

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第4285455号  
(P4285455)

(45) 発行日 平成21年6月24日(2009.6.24)

(24) 登録日 平成21年4月3日(2009.4.3)

(51) Int. Cl.

F I

H O 1 L 21/301 (2006.01)

H O 1 L 21/78 Q

H O 1 L 21/304 (2006.01)

H O 1 L 21/78 M

H O 1 L 21/78 P

H O 1 L 21/78 S

H O 1 L 21/304 6 3 1

請求項の数 2 (全 7 頁)

(21) 出願番号 特願2005-201536 (P2005-201536)  
 (22) 出願日 平成17年7月11日(2005.7.11)  
 (65) 公開番号 特開2007-19386 (P2007-19386A)  
 (43) 公開日 平成19年1月25日(2007.1.25)  
 審査請求日 平成19年4月20日(2007.4.20)

(73) 特許権者 000005821  
 パナソニック株式会社  
 大阪府門真市大字門真1006番地  
 (74) 代理人 100097445  
 弁理士 岩橋 文雄  
 (74) 代理人 100109667  
 弁理士 内藤 浩樹  
 (74) 代理人 100109151  
 弁理士 永野 大介  
 (72) 発明者 有田 潔  
 大阪府門真市松葉町2番7号 パナソニック  
 クファクトリーソリューションズ株式会社  
 内

審査官 太田 良隆

最終頁に続く

(54) 【発明の名称】 半導体チップの製造方法

(57) 【特許請求の範囲】

【請求項1】

ストリートラインによって区画された複数の領域のそれぞれに半導体装置が形成された半導体ウェハを個々の半導体装置毎に分割して半導体チップを製造する半導体チップの製造方法であって、

前記半導体ウェハの半導体装置形成面側に剥離可能な保護テープを貼付ける保護テープ貼付工程と、前記保護テープを貼り付けた半導体ウェハの裏面側を研削して半導体ウェハを薄化する裏面研削工程と、前記裏面研削工程の後、前記複数の領域を覆うマスクを半導体ウェハの裏面に形成するマスク形成工程と、前記マスクが形成された表面から半導体ウェハにプラズマを照射して前記半導体ウェハにおいてマスクで覆われていない部分を除去することにより、この半導体ウェハを個々の半導体装置毎に複数の半導体チップに分割するプラズマダイシング工程と、このプラズマダイシング工程後に前記マスクが形成された裏面を研削することにより前記マスクを除去するマスク除去工程と、前記マスク除去工程において前記裏面に形成された加工変質層を除去する加工変質層除去工程と、前記分割された複数の半導体チップから前記保護テープを剥離するテープ剥離工程とを含むことを特徴とする半導体チップの製造方法。

【請求項2】

前記加工変質層除去工程において、前記裏面をプラズマエッチングすることにより前記裏面に形成された加工変質層を除去することを特徴とする請求項1記載の半導体チップの製造方法。

**【発明の詳細な説明】****【技術分野】****【0001】**

本発明は、複数の半導体装置が形成された半導体ウェハを個々の半導体装置毎に分割して半導体チップを製造する半導体チップの製造方法に関するものである。

**【背景技術】****【0002】**

電子機器の基板などに実装される半導体チップは、ウェハ状態で回路パターン形成が行われた半導体装置を個片に切り出すことにより製造される。近年、半導体装置の薄化によりウェハ状態の半導体装置の取り扱い難度が増大したのに伴い、半導体ウェハを切断して個片の半導体チップに分割するダイシングを、プラズマエッチングによって行うプラズマダイシングが用いられるようになっている（例えば特許文献1参照）。

10

**【0003】**

プラズマダイシングは、格子目状の分割位置を示すストリートライン以外の部位をレジスト膜のマスクによってマスクした状態でプラズマエッチングすることにより、半導体ウェハをストリートラインに沿って切断するものである。ダイシング後にはマスクを除去する必要があるため、特許文献1に示す先行技術例においては、プラズマダイシングに用いた同一のプラズマ処理装置によってマスク除去のためのプラズマアッシングを行うようにしている。

【特許文献1】特開2004-172364号公報

20

**【発明の開示】****【発明が解決しようとする課題】****【0004】**

しかしながらプラズマアッシングにおいては、マスク除去時に発生した反応生成物がパーティクルとなって飛散してプラズマ処理装置の内部に付着堆積する。このため、同一のプラズマ処理装置によってダイシングとアッシングを反復して実行する過程において、堆積したパーティクルが半導体ウェハに付着することに起因するダイシングの品質劣化が生じる場合があった。

**【0005】**

そこで本発明は、堆積したパーティクルによる品質劣化を生じることなくダイシングを行うことができる半導体チップの製造方法を提供することを目的とする。

30

**【課題を解決するための手段】****【0006】**

本発明の半導体チップの製造方法は、ストリートラインによって区画された複数の領域のそれぞれに半導体装置が形成された半導体ウェハを個々の半導体装置毎に分割して半導体チップを製造する半導体チップの製造方法であって、前記半導体ウェハの半導体装置形成面側に剥離可能な保護テープを貼付ける保護テープ貼付工程と、前記保護テープを貼り付けた半導体ウェハの裏面側を研削して半導体ウェハを薄化する裏面研削工程と、前記裏面研削工程の後、前記複数の領域を覆うマスクを半導体ウェハの裏面に形成するマスク形成工程と、前記マスクが形成された表面から半導体ウェハにプラズマを照射して前記半導体ウェハにおいてマスクで覆われていない部分を除去することにより、この半導体ウェハを個々の半導体装置毎に複数の半導体チップに分割するプラズマダイシング工程と、このプラズマダイシング工程後に前記マスクが形成された裏面を研削することにより前記マスクを除去するマスク除去工程と、前記マスク除去工程において前記裏面に形成された加工変質層を除去する加工変質層除去工程と、前記分割された複数の半導体チップから前記保護テープを剥離するテープ剥離工程とを含む。

40

**【発明の効果】****【0007】**

本発明によれば、プラズマダイシングのためのマスクを機械研削によって除去することにより、マスク除去時の反応生成物の発生を防止して、堆積したパーティクルによる品質

50

劣化を生じることなくダイシングを行うことができる。

【発明を実施するための最良の形態】

【0008】

次に本発明の実施の形態を図面を参照して説明する。図1は本発明の一実施の形態の半導体チップの製造方法を示すフロー図、図2、図3、図4、図5、図6は本発明の一実施の形態の半導体チップの製造方法の工程説明図である。

【0009】

まず半導体チップの製造方法について、図1、図2に沿って各図を参照しながら説明する。この半導体チップの製造方法は、分割位置を示すストリートラインによって区画された複数の領域のそれぞれに半導体装置が形成された半導体ウェハを、個々の半導体装置毎に分割して半導体チップを製造するものである。

【0010】

図1において、まず半導体ウェハに機械研削時の保護用のテープを貼り付ける保護テープ貼付工程が実行される(ST1)。すなわち、図2(a)に示すように、半導体ウェハ1の半導体装置形成面1a側に、剥離可能な保護テープ2を貼付ける。次いで、裏面研削工程が実行される(ST2)。すなわち図3に示すように、半導体ウェハ1を保護テープ2側を下面にした姿勢で、チャックテーブル6に載置する。そして保護テープ2を貼り付けた半導体ウェハ1の裏面側を、研削ヘッド7によって機械研削して、半導体ウェハ1を薄化する。これにより、当初約750 $\mu$ mの厚みの半導体ウェハ1は、図2(b)に示すように、60 $\mu$ m程度の厚みtまで薄化される。

【0011】

次に、マスク形成工程が実行される(ST3)。すなわち、裏面研削工程の後、機械研削面には5~20 $\mu$ m程度の厚みのレジスト膜が、樹脂膜貼付けやスピンコートによる樹脂塗布などの方法によって形成される。次いで、レジスト膜において個々の半導体チップを区画するストリートラインに対応した部分のみを、フォトリソグラフィやレーザ加工などの方法によって除去する。これにより、図2(c)に示すように、プラズマダイシングのためのマスク、すなわちストリートライン3aによって区画された領域を覆うマスク3が、半導体ウェハ1の裏面に形成される。

【0012】

次いでプラズマダイシング工程が実行される(ST4)。図4は、このプラズマダイシングのために用いられるドライエッチング装置10の構成を示している。図4において、真空チャンバ11の内部は減圧雰囲気下でプラズマ処理を行う処理室12となっており、真空排気装置15を駆動することにより、処理室12の内部はプラズマ処理のための圧力まで減圧される。処理室12の内部には、高周波電極13およびシャワー電極14が上下対向して配設されている。高周波電極13の上面には、処理対象の半導体ウェハ1が保護テープ2を下面側にしてマスク3を上面に向けた姿勢で載置される。

【0013】

高周波電極13には高周波電源装置16が電氣的に接続されている。シャワー電極14は接地部18に接地されており、高周波電源装置16を駆動することによって高周波電極13とシャワー電極14との間には高周波電圧が印加される。シャワー電極14の下面には、複数のガス噴出孔14aが開口しており、ガス噴出孔14aはフッ素系のプラズマ処理用ガスを供給するガス供給部17に接続されている。

【0014】

プラズマ処理に際しては、まず高周波電極13上に半導体ウェハ1を載置し、処理室12内を真空排気装置15によって真空排気しながらガス供給部17によって処理室12内にフッ素系のプラズマ発生用ガス(ここでは六フッ化硫黄(SF<sub>6</sub>)とヘリウムの混合ガス)を半導体ウェハ1に対して吹き付け、この状態で高周波電極13とシャワー電極14との間に高周波電圧を印加する。これによりフッ素系ガスがプラズマ化することによるフッ素ラジカルとイオンが発生し、このフッ素ラジカルの化学作用と加速されたイオンの物理作用によってプラズマダイシングが行われる。

## 【 0 0 1 5 】

すなわちフッ素系ガスのプラズマを半導体ウェハ 1 に上面から照射することにより、図 3 ( d ) に示すように、半導体ウェハ 1 においてマスク 3 で覆われていないストリートライン 3 a の部分がフッ素ラジカルの化学作用と加速されたイオンの物理作用によって除去される。そして半導体ウェハ 1 2 の全厚みを貫通するダイシング溝 1 c を形成することにより、半導体ウェハ 1 を個々の半導体装置毎に複数の半導体チップ 1 d に分割する。

## 【 0 0 1 6 】

次いでマスク除去のための裏面研削が実行される ( S T 5 ) 。すなわち図 5 に示すように、個片に分割された半導体チップ 1 d が貼り付けられた保護テープ 2 はチャックテーブル 2 5 上に載置され、半導体チップ 1 d の上面を覆うマスク 3 は、研削ヘッド 2 6 によって機械的に除去され、これにより半導体チップ 1 d は 5 5  $\mu$  m 程度の厚みとなる。このとき、マスク 3 とともに半導体チップ 1 d も部分的に機械研削されることにより、半導体チップ 1 d の上面には加工変質層 1 e が形成される。

10

## 【 0 0 1 7 】

次に、機械研削面 1 e の加工変質層を除去するストレスリリーフが行われる ( S T 6 ) 。すなわち、図 6 に示すように、マスク除去のための裏面研削後の半導体チップ 1 d は保護テープ 2 に貼り付けられた状態で再びドライエッチング装置 1 0 に収容され、機械研削面 1 e を対象としたフッ素系ガスによるプラズマエッチングが行われる。これにより、図 2 ( e ) に示すように、マスク除去後の半導体チップ 1 d の上面に残留した機械研削面 1 e が除去され、半導体チップ 1 d は最終的に 5 0  $\mu$  m 程度まで薄化される。

20

## 【 0 0 1 8 】

すなわち、このストレスリリーフにおいては、マスク 3 が除去された半導体チップ 1 d 裏面をプラズマエッチングすることにより、この裏面に形成された加工変質層を除去する。なおこの加工変質層除去工程において、プラズマエッチングを用いる替わりに、ドライポリッシングや、ケミカルメカニカルポリッシングまたはウエットエッチングなど各種の方法を用いてもよいが、プラズマダイシングに用いる同一のドライエッチング装置 1 0 を用いるようにすれば、設備費用の増大を招くことなくストレスリリーフを行うことが可能となる。

## 【 0 0 1 9 】

この後、保護テープ剥離が行われる ( S T 7 ) 。すなわち図 2 ( f ) に示すように、半導体チップ 1 d は保護テープ 2 に貼り付けられた状態のまま、ウェハリング 5 に展張されたダイシングシート 4 に転写される。そして複数の半導体チップ 1 d をダイシングシート 4 に貼着した状態で、分割された複数の半導体チップ 1 d から保護テープ 2 を剥離する ( テープ剥離工程 ) これにより、半導体チップ 1 d は半導体装置形成面 1 a を上向きにして裏面側をダイシングシート 4 に保持された状態となる。

30

## 【 0 0 2 0 】

上記説明したように、本実施の形態に示す半導体チップの製造方法においては、プラズマダイシングのために半導体ウェハに形成されるマスクを、機械研削によって除去するようにしている。これにより、マスクをプラズマアッシングによって除去する方法において不可避免的に発生する反応生成物の発生を防止することができる。したがって反応生成物がプラズマ処理装置内に堆積することがなく、堆積したパーティクルによる品質劣化を生じることなくダイシングを行うことができる。

40

## 【 産業上の利用可能性 】

## 【 0 0 2 1 】

本発明の半導体チップの製造方法は、マスク除去時の反応生成物の発生を防止して、堆積したパーティクルによる品質劣化を生じることなくダイシングを行うことができるという利点を有し、複数の半導体装置が形成された半導体ウェハを個々の半導体装置に分割して半導体チップを製造する分野に有用である。

## 【 図面の簡単な説明 】

## 【 0 0 2 2 】

50

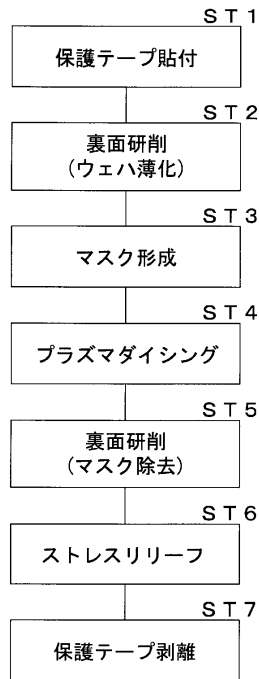
- 【図1】本発明の一実施の形態の半導体チップの製造方法を示すフロー図
- 【図2】本発明の一実施の形態の半導体チップの製造方法の工程説明図
- 【図3】本発明の一実施の形態の半導体チップの製造方法の工程説明図
- 【図4】本発明の一実施の形態の半導体チップの製造方法の工程説明図
- 【図5】本発明の一実施の形態の半導体チップの製造方法の工程説明図
- 【図6】本発明の一実施の形態の半導体チップの製造方法の工程説明図

【符号の説明】

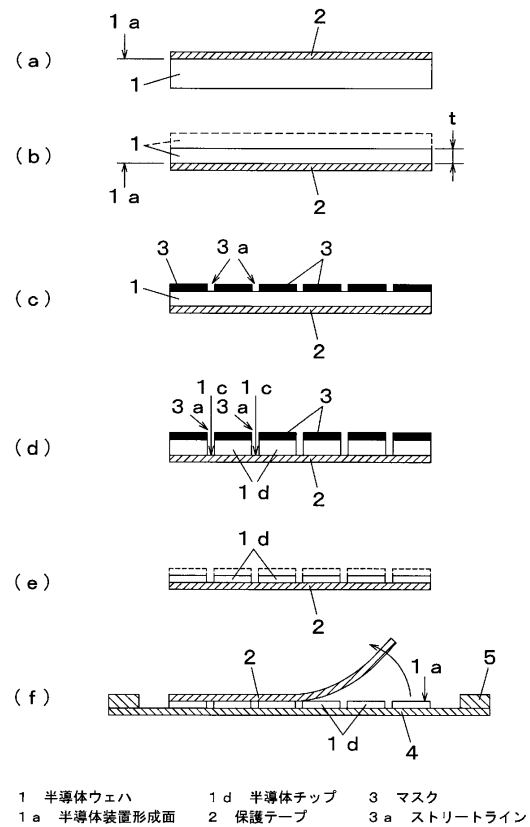
【0023】

- 1 半導体ウェハ
- 1 a 半導体装置形成面
- 1 d 半導体チップ
- 2 保護テープ
- 3 マスク
- 3 a ストリートライン
- 10 ドライエッチング装置

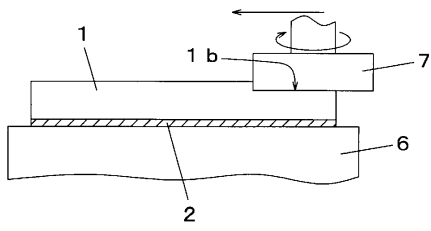
【図1】



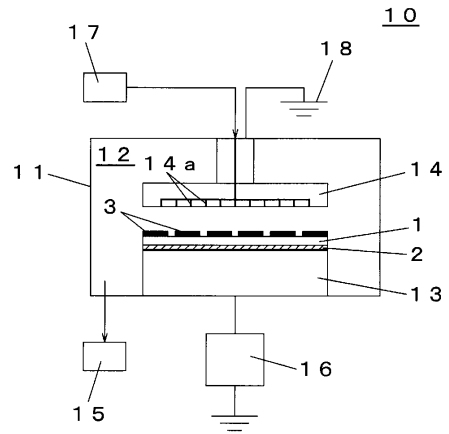
【図2】



【図3】

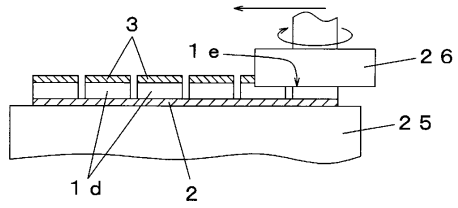


【図4】

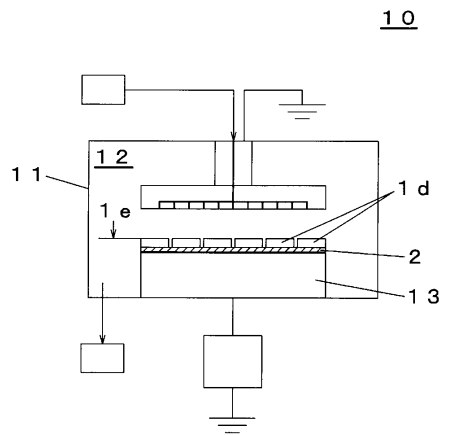


10 ドライエッチング装置

【図5】



【図6】



---

フロントページの続き

- (56)参考文献 特開2004-172364(JP,A)  
特開2004-172365(JP,A)  
特開2002-093752(JP,A)  
特開2000-288911(JP,A)  
特開平11-163137(JP,A)  
特開2000-331916(JP,A)  
特開昭63-127534(JP,A)

(58)調査した分野(Int.Cl., DB名)

H01L21/301  
H01L21/304  
H01L21/3065  
H01L21/027