

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第4302346号
(P4302346)

(45) 発行日 平成21年7月22日(2009.7.22)

(24) 登録日 平成21年5月1日(2009.5.1)

(51) Int.Cl.

F I

G 0 9 G 3/36 (2006.01)

G 0 2 F 1/133 (2006.01)

G 0 9 G 3/20 (2006.01)

G 0 9 G 3/30 (2006.01)

H 0 4 N 1/028 (2006.01)

G 0 9 G 3/36

G 0 2 F 1/133 5 3 5

G 0 2 F 1/133 5 5 0

G 0 9 G 3/20 6 1 2 J

G 0 9 G 3/20 6 2 4 B

請求項の数 8 (全 45 頁) 最終頁に続く

(21) 出願番号 特願2001-381434 (P2001-381434)
 (22) 出願日 平成13年12月14日(2001.12.14)
 (65) 公開番号 特開2002-268615 (P2002-268615A)
 (43) 公開日 平成14年9月20日(2002.9.20)
 審査請求日 平成16年11月17日(2004.11.17)
 (31) 優先権主張番号 特願2000-379987 (P2000-379987)
 (32) 優先日 平成12年12月14日(2000.12.14)
 (33) 優先権主張国 日本国(JP)

前置審査

(73) 特許権者 000153878
 株式会社半導体エネルギー研究所
 神奈川県厚木市長谷398番地
 (72) 発明者 木村 肇
 神奈川県厚木市長谷398番地 株式会社
 半導体エネルギー研究所内

審査官 中村 直行

(56) 参考文献 特開平11-282411 (JP, A)
 特開平07-261932 (JP, A)
 特開平05-216441 (JP, A)
 特開平08-234703 (JP, A)

最終頁に続く

(54) 【発明の名称】 半導体装置、電子機器

(57) 【特許請求の範囲】

【請求項1】

複数の画素を含む画素部と、第1及び第2の信号線駆動回路と、選択信号線駆動回路と、出力切り替え回路とを有し、

前記複数の画素はそれぞれ、第1の選択信号線を有する表示部と、第2の選択信号線を有するセンサ部とを有し、

前記選択信号線駆動回路により、外部より入力される制御信号に基づいてパルスが出力され、

前記出力切り替え回路により、第1の期間において、前記第1の選択信号線に前記パルスが出力されて前記表示部が選択され、前記第1の期間とは異なる第2の期間において、前記第2の選択信号線に前記パルスが出力されて前記センサ部が選択され、

前記第1の期間において、前記表示部に、前記第1の信号線駆動回路からビデオ信号が入力され、

前記第2の期間において、前記センサ部より、前記第2の信号線駆動回路に、前記センサ部において取得された、画像情報を示す信号が出力され、

前記第1の信号線駆動回路から、前記表示部に前記ビデオ信号が入力される経路と、前記第2の信号線駆動回路に、前記センサ部から前記画像情報を示す信号が出力される経路とが異なることを特徴とする半導体装置。

【請求項2】

複数の画素を含む画素部と、第1及び第2の信号線駆動回路と、選択信号線駆動回路と

10

20

、出力切り替え回路とを有し、

前記複数の画素はそれぞれ、第１の選択信号線を有する表示部と、第２の選択信号線を有するセンサ部とを有し、

前記選択信号線駆動回路により、外部より入力される制御信号に基づいてパルスが出力され、

前記出力切り替え回路により、第１の期間において、前記第１の選択信号線に前記パルスが出力されて前記表示部が選択され、前記第１の期間とは異なる第２の期間において、前記第２の選択信号線に前記パルスが出力されて前記センサ部が選択され、

前記第１の期間において、前記表示部に、前記第１の信号線駆動回路からビデオ信号が入力され、前記ビデオ信号に基づいて映像の表示が行われ、

10

前記第２の期間において、前記センサ部において、前記画素部に面した対象物に応じて、前記対象物の画像情報を示す信号が生成され、前記画像情報を示す信号は、前記センサ部より、前記第２の信号線駆動回路に出力され、

前記第１の信号線駆動回路から、前記表示部に前記ビデオ信号が入力される経路と、前記第２の信号線駆動回路に、前記センサ部から前記画像情報を示す信号が出力される経路とが異なることを特徴とする半導体装置。

【請求項３】

複数の画素を含む画素部と、第１及び第２の信号線駆動回路と、選択信号線駆動回路と、出力切り替え回路とを有し、

前記複数の画素はそれぞれ、第１の選択信号線、及び第１のトランジスタを有する表示部と、第２の選択信号線、及び第２のトランジスタを有するセンサ部とを有し、

20

前記第１のトランジスタのゲートは、前記第１の選択信号線に電氣的に接続され、

前記第２のトランジスタのゲートは、前記第２の選択信号線に電氣的に接続され、

前記選択信号線駆動回路により、外部より入力される制御信号に基づいてパルスが出力され、

前記出力切り替え回路により、第１の期間において、前記第１の選択信号線に前記パルスが出力され、前記第１のトランジスタが導通状態となって前記表示部が選択され、前記第１の期間とは異なる第２の期間において、前記第２の選択信号線に前記パルスが出力され、前記第２のトランジスタが導通状態となって前記センサ部が選択され、

前記第１の期間において、前記表示部に、前記第１の信号線駆動回路から、前記第１のトランジスタを介してビデオ信号が入力され、前記ビデオ信号に基づいて映像の表示が行われ、

30

前記第２の期間において、前記センサ部において、前記画素部に面した対象物に応じて、前記対象物の画像情報を示す信号が生成され、前記画像情報を示す信号は、前記センサ部より、前記第２のトランジスタを介して、前記第２の信号線駆動回路に出力され、

前記第１の信号線駆動回路から、前記表示部に前記ビデオ信号が入力される経路と、前記第２の信号線駆動回路に、前記センサ部から前記画像情報を示す信号が出力される経路とが異なることを特徴とする半導体装置。

【請求項４】

請求項１乃至請求項３のいずれかーにおいて、

40

前記選択信号線駆動回路は、シフトレジスタを有し、

前記パルスは前記シフトレジスタより順次出力される信号に基づいて生成されることを特徴とする半導体装置。

【請求項５】

請求項１、請求項２、及び請求項４のいずれかーにおいて、

前記センサ部は、ＰＮ型ダイオード、ＰＩＮ型ダイオード、アバランシェダイオード、ＮＰＮ型埋め込みダイオード、又はショットキーダイオードから選ばれた一でなる光電変換素子を有することを特徴とする半導体装置。

【請求項６】

請求項３において、

50

前記センサ部は、P N型ダイオード、P I N型ダイオード、アバランシェダイオード、N P N型埋め込みダイオード、又はショットキーダイオードから選ばれた一でなる光電変換素子を有することを特徴とする半導体装置。

【請求項 7】

請求項 6 において、

前記光電変換素子は、前記トランジスタが有する第 1 の半導体層と同層に形成された第 2 の半導体層を有することを特徴とする半導体装置。

【請求項 8】

請求項 1 乃至請求項 7 のいずれか一に記載の半導体装置と、操作キーとを具備したことを特徴とする電子機器。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は光源を有し、マトリクス状に配置された光電変換素子と複数のトランジスタ（以下、T F Tとよぶ。）によって構成される半導体装置に関する。また本発明は、絶縁表面上又は半導体基板上に形成された光電変換素子、発光素子及び複数のトランジスタを有する半導体装置に関する。そして本発明の半導体装置は、イメージセンサ機能と画像を表示する機能を有することを特徴とする。

【0002】

【従来の技術】

近年、紙面上の文字・図画情報などから、画像情報を有する電気信号を読み出すダイオードやC C Dなどの光電変換素子を有する固体撮像装置の開発が進められている。前記固体撮像装置は、スキャナやデジタルカメラ等に用いられている。

【0003】

光電変換素子を有する固体撮像装置には、大別してラインセンサとエリアセンサがある。ラインセンサは、線状に設けられた光電変換素子を被写体においてスキャンして、画像の情報を電気信号として取り込む。

【0004】

一方エリアセンサは、密着型エリアセンサとも呼ばれており、平面（面状）に設けられた光電変換素子を被写体上に配置し、画像の情報を電気信号として取り込む。エリアセンサは、ラインセンサと比較すると、光電変換素子をスキャンする動作が必要ないことから、スキャンするときに用いるモーター等を具備することが不要である。

【0005】

本明細書において、ラインセンサやエリアセンサなどのイメージセンサ機能を有する装置を半導体装置とよぶ。図 5 に従来の半導体装置の構成の概略図を示す。1001 は、C C D 型（C M O S 型）のイメージセンサであり、イメージセンサ 1001 上にはロッドレンズアレイなどの光学系 1002 が配置されている。光学系 1002 は、被写体 1004 の画像がイメージセンサ 1001 上に映し出される（照射される）ようにするために配置される。図 5 において、光学系 1002 の像の関係は、等倍系であるとする。光源 1003 は、被写体 1004 に光を照射できる位置に配置されている。図 5 に示す半導体装置に用いられる光源 1003 には、L E D や蛍光灯などが用いられる。そして、被写体 1004 の下部にはガラス 1005 が配置される。被写体 1004 はガラス 1005 の上部に配置される。

【0006】

光源 1003 から発せられた光は、ガラス 1005 を介して被写体 1004 に照射される。そして被写体 1004 に照射された光は、該被写体 1004 において反射し、ガラス 1005 を介して、光学系 1002 に入射する。光学系 1002 に入射した光は、イメージセンサ 1001 に入射し、イメージセンサ 1001 において被写体 1004 の情報が光電変換される。そして、電気に変換された被写体 1004 の情報を示す信号は、外部に読み出される。イメージセンサ 1001 は、被写体 1004 の情報を行毎に読み出していくが

10

20

30

40

50

、イメージセンサ１００１で一行分の信号を読み取った後は、スキャナ１００６を移動して、再び同様の動作を繰り返す。

【０００７】

【発明が解決しようとする課題】

上述した図５に示す半導体装置は、光源１００３からの光が、ガラス１００５という媒体を介して被写体１００４に照射されるために、光が均一に照射されない場合（問題点）がある。また被写体１００４において反射した光は、光学系１００２という媒体を介してイメージセンサ１００１に照射されるために、読み込んだ被写体１００４の情報を画像に示すと、該画像は部分的に明るくなったり暗くなったりしてむらが生じてしまうという問題点が発生する。

10

【０００８】

また上述した半導体装置の構造では、光学系１００２と光源１００３のサイズを抑えることは難しい。つまり光学系１００２と光源１００３の大きさをある一定以上は小さくすることは難しい。その結果、半導体装置自体の小型化、薄型化が妨げられている。

【０００９】

本発明は上記の実情を鑑みてなされたもので、読み込んだ画像に明るさのむらが生じない半導体装置を提供することを目的とする。さらに、小型化、薄型化を実現した半導体装置を提供することを目的とする。

【００１０】

【課題を解決するための手段】

20

本発明は、光電変換素子と発光素子、およびそれらを制御するための複数の薄膜トランジスタ（ＴＦＴ）を１つの画素として、複数の画素を同一基板上にマトリクス状に形成した半導体装置を提供する。このように、発光素子と光電変換素子を同一基板上に形成することによって、小型化、薄型化を実現した半導体装置を提供することができる。

【００１１】

発光素子は光源として機能し、発光素子から発せられた光は被写体において反射して、光電変換素子に照射される。このとき被写体において反射した光が、光電変換素子に照射されることによって電流が生じて、被写体の画像情報を有する電気信号（画像信号）が半導体装置に取り込まれる。このようにすると、光電変換素子により画像の情報を読み取ることが出来る。本発明の半導体装置は、上記構成によって発光素子から発せられる光が被写体に均一に照射されるため、読み込んだ画像の明るさにむらが生じることはない。

30

【００１２】

また本発明では、半導体装置の駆動回路として、信号線駆動回路と出力切り替え回路を用いる。信号線駆動回路は、外部から入力された信号に基づいてタイミング信号を出力切り替え回路に出力する。出力切り替え回路は、発光素子部が有するＴＦＴに接続されている信号線と、センサ部が有するＴＦＴに接続されている信号線に異なるタイミング信号を出力する。すなわち、出力切り替え回路を用いることにより、１つの駆動回路で２本の信号線を制御することが可能となる。その結果、半導体装置の駆動回路の占有面積を小さくすることが可能になり、半導体装置の小型化を実現することができる。

【００１３】

40

なお本発明は、発光素子および光電変換素子を有する如何なる構成の半導体装置に有効である。また、光源として発光素子ではなく、フロントライトまたはバックライトを用いた液晶素子を有する半導体装置にも有効である。

【００１４】

また本明細書において、接続とは電氣的な接続を意味している。

【００１５】

【発明の実施の形態】

（実施の形態１）

本発明の半導体装置について説明する。図６を参照する。図６には、発光素子、光電変換素子及び複数の薄膜トランジスタ（ＴＦＴ）をマトリクス状に配置し、同一基板上に形成

50

した半導体装置の画素部を示す。画素部は複数の画素を有している。本実施の形態では、光電変換素子としてフォトダイオードを用いる。

【0016】

本明細書では、EL素子などの自発光素子を発光素子とよぶ。発光素子は、電場を加えることで発生するルミネッセンス(Electro Luminescence)が得られる有機化合物を含む層(以下、有機化合物層と記す)と、陽極層と、陰極層とを有する。有機化合物におけるルミネッセンスには、一重項励起状態から基底状態に戻る際の発光(蛍光)と三重項励起状態から基底状態に戻る際の発光(リン光)とがあるが、どちらが一方の発光、又は両方の発光を用いることができる。

【0017】

なお本明細書では、陽極と陰極の間に形成された全ての層を有機化合物層と定義する。有機化合物層には具体的に、発光層、正孔注入層、電子注入層、正孔輸送層、電子輸送層などが含まれる。基本的に発光素子は、陽極/発光層/陰極が順に積層された構造を有しており、この構造に加えて、陽極/正孔注入層/発光層/陰極や、陽極/正孔注入層/発光層/電子輸送層/陰極等の順に積層した構造を有していることもある。本明細書では、陽極、有機化合物層及び陰極で形成される素子を発光素子とよぶ。

【0018】

また本明細書で用いる光電変換素子とは、PN型のフォトダイオード、PIN型のダイオード、アバランシェ型ダイオード、npn埋め込み型ダイオード、ショットキー型ダイオード、フォトトランジスタ、フォトコンダクタなどのいずれか1つを自由に用いることができる。

【0019】

画素部100はソース信号線(S1~Sx)、電源供給線(V1~Vx)、選択信号線(EG1~EGy)、リセット信号線(ER1~ERy)、センサ選択信号線(SG1~SGy)、センサリセット信号線(SR1~SRy)、センサ用信号出力線(SS1~SSx)、センサ用電源線(VB1~VBx)を有している。

【0020】

画素部100は複数の画素を有している。画素101は、ソース信号線(S1~Sx)のいずれか1つと、電源供給線(V1~Vx)のいずれか1つと、選択信号線(EG1~EGy)のいずれか1つと、リセット信号線(ER1~ERy)のいずれか1つと、センサ選択信号線(SG1~SGy)のいずれか1つと、センサリセット信号線(SR1~SRy)のいずれか1つと、センサ用信号出力線(SS1~SSx)のいずれか1つと、センサ用電源線(VB1~VBx)のいずれか1つを有している。

【0021】

バイアス用TF T102のソース領域およびドレイン領域は、一方はセンサ用信号出力線(SS1~SSx)に接続されており、もう一方はVss[バイアス用TF T用]に接続されている。またバイアス用TF T102のゲート電極は、バイアス用信号線(BS)に接続されている。なお、バイアス用TF T102がnチャネル型の場合は、Vss[バイアス用TF T用]に接続されており、pチャネル型の場合は、Vdd[バイアス用TF T用]に接続されている。

【0022】

図7を参照する。図7には画素101の詳しい回路構成を示している。点線で囲まれた領域は、図6で示す画素部100のi列目j行目の画素であり、本明細書では、画素(i、j)とよぶ。画素(i、j)は、ソース信号線(Si)と、電源供給線(Vi)と、センサ用信号出力配線(SSi)と、センサ用電源線(VBi)と、選択信号線(EGj)と、リセット信号線(ERj)と、センサ選択信号線(SGj)と、センサリセット信号線(SRj)を有する。

【0023】

なお本発明の半導体装置に設けられる画素には、発光素子及び光電変換素子、並びにそれらを制御する複数のトランジスタが設けられる。本明細書では、説明を簡単にするために

10

20

30

40

50

1つの画素を発光素子部とセンサ部に大別する。そして発光素子と、該発光素子を制御する複数のトランジスタを合わせて発光素子部とよぶ。また光電変換素子と、該光電変換素子を制御する複数のトランジスタを合わせてセンサ部とよぶ。

【0024】

画素(i、j)は、発光素子部211、センサ部221を有する。発光素子部211は、選択用TF T 212、駆動用TF T 213、リセット用TF T 214、コンデンサ215、発光素子216を有している。図7では、画素(i、j)にコンデンサ215が設けられているが、コンデンサ215は設けなくとも良い。

【0025】

発光素子216は陽極と陰極と、陽極と陰極との間に設けられた有機化合物層とからなる。陽極が駆動用TF T 213のソース領域またはドレイン領域と接続している場合、陽極が画素電極となり、また陰極が対向電極となる。逆に陰極が駆動用TF T 213のソース領域またはドレイン領域と接続している場合、陰極が画素電極となり、陽極が対向電極となる。

【0026】

選択用TF T 212のゲート電極は選択信号線(EG j)に接続されている。そして選択用TF T 212のソース領域とドレイン領域は、一方がソース信号線(S i)に、もう一方が駆動用TF T 213のゲート電極に接続されている。選択用TF T 212は、画素(i、j)に信号を書き込むときのスイッチング素子として機能するTF Tである。

【0027】

駆動用TF T 213のソース領域とドレイン領域は、一方が電源供給線(V i)に、もう一方が発光素子216に接続されている。コンデンサ215は駆動用TF T 213のゲート電極と電源供給線(V i)に接続している。駆動用TF T 213は、発光素子216に供給する電流を制御するための素子(電流制御素子)として機能するTF Tである。

【0028】

リセット用TF T 214のソース領域とドレイン領域は、一方は電源供給線(V i)に接続され、もう一方は駆動用TF T 213のゲート電極に接続されている。リセット用TF T 214のゲート電極は、リセット信号線(ER j)に接続されている。リセット用TF T 214は、画素(i、j)に書き込まれた信号を消去(リセット)するための素子として機能するTF Tである。

【0029】

また画素(i、j)は、センサ部221として、センサ選択用TF T 222、センサ駆動用TF T 223、センサリセット用TF T 224を有している。また本実施の形態では、画素(i、j)は光電変換素子として、フォトダイオード225を有している。

【0030】

フォトダイオード225は、nチャネル型端子、pチャネル型端子、およびnチャネル型端子とpチャネル型端子の間に設けられている光電変換層を有している。pチャネル型端子、nチャネル型端子の一方は、V s s { s e n s o r 用 } に接続されており、もう一方はセンサ駆動用TF T 223のゲート電極に接続されている。

【0031】

センサ選択用TF T 222のゲート電極はセンサ選択信号線(SG j)に接続されている。そしてセンサ選択用TF T 222のソース領域とドレイン領域は、一方はセンサ駆動用TF T 223のソース領域に接続されており、もう一方はセンサ用信号出力線(SS i)に接続されている。センサ選択用TF T 222は、フォトダイオード225の信号を出力するときのスイッチング素子として機能するTF Tである。

【0032】

センサ駆動用TF T 223のドレイン領域はセンサ用電源線(VB i)に接続されている。そしてセンサ駆動用TF T 223のソース領域はセンサ選択用TF T 222のソース領域又はドレイン領域に接続されている。センサ駆動用TF T 223は、バイアス用TF T 102とソースフォロワ回路を形成する。そのため、駆動用TF T 223とバイアス用T

10

20

30

40

50

F T 1 0 2 は同じ極性であることが好ましい。

【 0 0 3 3 】

センサリセット用 T F T 2 2 4 のゲート電極はセンサリセット信号線 (S R j) に接続されている。センサリセット用 T F T 2 2 4 のソース領域とドレイン領域は、一方はセンサ用電源線 (V B i) に接続されており、もう一方は、フォトダイオード 2 2 5 及びセンサ駆動用 T F T 2 2 3 のゲート電極に接続されている。センサリセット用 T F T 2 2 4 は、フォトダイオード 2 2 5 を初期化するための素子として機能する T F T である。

【 0 0 3 4 】

なお発光素子部は、発光素子、選択用 T F T、駆動用 T F T、リセット用 T F T を有する場合 (3 T r / c e l l) と、発光素子、選択用 T F T、駆動用 T F T を有する場合 (2 T r / c e l l) とがある。また本明細書では詳細な説明は省略するが、発光素子部に含まれる T F T の数は特に限定されない。本発明の半導体装置が有する画素の発光素子部は、1 画素中に 4 つの T F T を有する場合 (4 T r / c e l l)、1 画素中に 5 つの T F T を有する場合 (5 T r / c e l l)、1 画素中に 6 つの T F T を有する場合 (6 T r / c e l l) などのいずれを適用してもよい。

【 0 0 3 5 】

続いて、図 1 を参照する。図 1 には本発明の半導体装置の概略図が示されている。画素部 1 0 0 の周囲には、選択信号線駆動回路 1 0 3 a、選択用出力切り替え回路 1 0 3 b が形成されており、またリセット信号線駆動回路 1 0 4 a、リセット用出力切り替え回路 1 0 4 b が形成されている。さらに、ソース信号線駆動回路 1 0 5、センサ用ソース信号線駆動回路 1 0 6 が形成されている。

【 0 0 3 6 】

図 2 を参照する。図 2 (a) には、選択信号線駆動回路 1 0 3 a と選択用出力切り替え回路 1 0 3 b を示している。また図 2 (b) には、リセット信号線駆動回路 1 0 4 a とリセット用出力切り替え回路 1 0 4 b を示している。また実施の形態 2 において説明するが、図 2 (a) で示す選択信号線駆動回路 1 0 3 a と選択用出力切り替え回路 1 0 3 b から出力される信号のタイミングチャートを図 3 に示すので適宜参考にすると良い。

【 0 0 3 7 】

以下にはまず選択信号線駆動回路 1 0 3 a と選択用出力切り替え回路 1 0 3 b に関して図 2 (a) を用いて説明し、次いでリセット信号線駆動回路 1 0 4 a とリセット用出力切り替え回路 1 0 4 b に関して図 2 (b) を用いて説明する。

【 0 0 3 8 】

まず選択信号線駆動回路 1 0 3 a と選択用出力切り替え回路 1 0 3 b に関して図 2 (a) を用いて説明する。図 2 (a) で示す選択信号線駆動回路 1 0 3 a と図 2 (b) で示すリセット信号線駆動回路 1 0 4 a は、シフトレジスタ 1 1 0 とパルス幅制御回路 1 1 1 を有している。選択信号線駆動回路 1 0 3 a とリセット信号線駆動回路 1 0 4 a は、シフトレジスタ 1 1 0 とパルス幅制御回路 1 1 1 を有している。しかしパルス幅制御回路 1 1 1 は必ずしも設けられる必要はなく、選択信号線駆動回路 1 0 3 a とリセット信号線駆動回路 1 0 4 a は、シフトレジスタ 1 1 0 のみを有していてもよい。

【 0 0 3 9 】

シフトレジスタ 1 1 0 は、外部から入力される信号に基づいてタイミング信号を発生させている。外部から入力される信号とは、クロック信号、クロックバック信号、スタートパルスなどを指す。そして前記タイミング信号は、シフトレジスタ 1 1 0 に設けられている複数の N A N D 回路 1 1 4 より、シフトレジスタ 1 1 0 に隣接するパルス幅制御回路 1 1 1 に入力される。

【 0 0 4 0 】

パルス幅制御配線 1 1 2 は、シフトレジスタから入力されるタイミング信号のパルス幅に比べると、小さいパルス幅のタイミング信号を出力する。

【 0 0 4 1 】

本実施の形態では、一例として、パルス幅制御回路 1 1 1 は、複数の N O R 回路 1 1 5 と

10

20

30

40

50

複数のインバータ回路 116 を有している。図 2 に示すように、NOR 回路 115 の 2 つの入力端子は、一方はパルス幅制御配線 112 に接続され、他方は NAND 回路 114 の出力端子に接続している。また NOR 回路 115 の出力端子は、インバータ回路 116 の入力端子に接続している。NOR 回路 115 は、NAND 回路 114 から入力されたタイミング信号と、パルス幅制御配線 112 から入力された信号の否定論理和をとって、インバータ回路 116 に信号を出力する。

【0042】

インバータ回路 116 の出力端子は、NAND 回路 117 の入力端子と、NOR 回路 120 の入力端子に接続されている。インバータ回路 116 は、NOR 回路 115 から入力された信号の否定をとって、2 本の配線に信号を出力する。前記 2 本の配線には、一方は N

10

【0043】

図 2 (a) に示すように、NAND 回路 117 の出力端子と NOR 回路 120 の出力端子には、インバータ回路が接続されている場合があり、1 つまたは複数のインバータ回路が接続されている。

【0044】

なお NAND 回路 117 の出力端子と NOR 回路 120 の出力端子には、インバータ回路が接続されていなくてもよく、その場合には、NAND 回路 117 の出力端子には選択信号線 (EG) が接続され、NOR 回路 120 の出力端子にはセンサ選択信号線 (SG) が

20

【0045】

インバータ回路が接続されている場合は、接続されているインバータ回路の数は、NAND 回路 117 の場合と NOR 回路 120 の場合によってそれぞれ異なる。NAND 回路 117 の出力端子には、1 つまたは複数のインバータ回路が接続されており、その先には選択信号線 (EG) が接続されている。NOR 回路 120 の出力端子には、1 つまたは複数のインバータ回路が接続されており、その先にはセンサ選択信号線 (SG) に接続されている。また、選択信号線 (EG) とセンサ選択信号線 (SG) が接続されている TFT の極性によっても、インバータ回路の数は異なる。

【0046】

30

以下には、NAND 回路 117 の出力端子と NOR 回路 120 の出力端子に接続されるインバータ回路の個数について、それぞれの信号線ごとに説明する。

【0047】

まず、選択信号線 (EG) の場合を説明する。選択信号線 (EG) は、NAND 回路 117 の出力端子の先に接続されている。選択信号線 (EG) に接続されている選択用 TFT が n チャネル型の場合は、NAND 回路 117 の出力端子に接続されるインバータ回路は偶数個となる。また選択用 TFT が p チャネル型の場合は、NAND 回路 117 の出力端子に接続されるインバータ回路は奇数個となる。

【0048】

図 2 (a) においては、一例として選択用 TFT が n チャネル型の場合を示し、インバータ回路が 2 個 (偶数個) 接続されている場合を示している。NAND 回路 117 の出力端子には、インバータ回路 118 の入力端子が接続されている。そしてインバータ回路 118 の出力端子には、インバータ回路 119 の入力端子が接続されている。インバータ回路 119 の出力端子には、選択信号線 (EG) が接続されている。

40

【0049】

次に、センサ選択信号線 (SG) の場合を説明する。センサ選択信号線 (SG) は、NOR 回路 120 の出力端子の先に接続されている。センサ選択信号線 (SG) に接続されているセンサ選択用 TFT が n チャネル型の場合は、NOR 回路 120 の出力端子に接続されるインバータ回路は偶数個となる。また、センサ選択用 TFT が p チャネル型の場合は、NOR 回路 120 の出力端子に接続されるインバータ回路は奇数個となる。

50

【 0 0 5 0 】

図 2 (a) においては、一例としてセンサ選択用 T F T が n チャネル型の場合を示し、インバータ回路が 2 個 (偶数個) 接続されている場合を示している。N O R 回路 1 2 0 の出力端子には、インバータ回路 1 2 1 の入力端子が接続されている。そしてインバータ回路 1 2 1 の出力端子には、インバータ回路 1 2 2 の入力端子が接続されている。インバータ回路 1 2 2 の出力端子には、センサ選択信号線 (S G) が接続されている。

【 0 0 5 1 】

次いでリセット信号線駆動回路 1 0 4 a とリセット用出力切り替え回路 1 0 4 b に関して図 2 (b) を用いて説明する。リセット信号線駆動回路 1 0 4 a は、シフトレジスタ 1 1 0 とパルス幅制御回路 1 1 1 を有している。シフトレジスタ 1 1 0 とパルス幅制御回路 1 1 1 に関しては上述したので、ここでは説明を省略する。

10

【 0 0 5 2 】

以下には、N A N D 回路 1 2 7 の出力端子と、N O R 回路 1 3 0 の出力端子とに接続されるインバータ回路の個数について、それぞれの信号線ごとに説明する。

【 0 0 5 3 】

まずリセット信号線 (E R) の場合を説明する。リセット信号線 (E R) は、N A N D 回路 1 2 7 の出力端子の先に接続されている。リセット信号線 (E R) に接続されているリセット用 T F T が n チャネル型の場合は、N A N D 回路 1 2 7 の出力端子に接続されるインバータ回路は奇数個となる。またリセット用 T F T が p チャネル型の場合は、N A N D 回路 1 2 7 の出力端子に接続されるインバータ回路は偶数個となる。

20

【 0 0 5 4 】

図 2 (b) においては、一例としてリセット用 T F T が n チャネル型の場合を示し、インバータ回路が 1 個 (奇数個) 接続されている場合を示している。N A N D 回路 1 2 7 の出力端子には、インバータ回路 1 2 8 の入力端子が接続されている。インバータ回路 1 2 8 の出力端子には、リセット信号線 (E R) が接続されている。

【 0 0 5 5 】

次に、センサリセット信号線 (S R) の場合を説明する。センサリセット信号線 (S R) は、N O R 回路 1 3 0 の出力端子の先に接続されている。センサリセット信号線 (S R) に接続されているセンサリセット用 T F T が n チャネル型の場合は、N O R 回路 1 3 0 の出力端子に接続されるインバータ回路は偶数個となる。また、センサリセット用 T F T が p チャネル型の場合は、N O R 回路 1 3 0 の出力端子に接続されるインバータ回路は奇数個となる。

30

【 0 0 5 6 】

図 2 (b) においては、一例としてセンサリセット用 T F T が n チャネル型の場合を示し、インバータ回路が 2 個 (偶数個) 接続されている場合を示している。N O R 回路 1 3 0 の出力端子には、インバータ回路 1 3 1 の入力端子が接続されている。インバータ回路 1 3 1 の出力端子には、インバータ回路 1 3 2 の入力端子が接続されている。インバータ回路 1 3 2 の出力端子には、センサリセット信号線 (S R) が接続されている。

【 0 0 5 7 】

なお本明細書では、上述した N A N D 回路 1 1 7 及び N O R 回路 1 2 0 と、N A N D 回路 1 2 7 及び N O R 回路 1 3 0 は、一方は第一の論理回路であり、もう一方は第二の論理回路と称する。

40

【 0 0 5 8 】

第一の論理回路と第二の論理回路は、一方は N A N D 回路であり、もう一方は N O R 回路である。また、一方は N A N D 回路であり、もう一方は O R 回路でもよい。さらに、一方は A N D 回路であり、もう一方は N O R 回路でもよいし、一方は A N D 回路であり、もう一方は O R 回路でもよい。

【 0 0 5 9 】

また本明細書では、第一の論理回路と第二の論理回路に接続される信号線を、第一の信号線と第二の信号線と称する。

50

【 0 0 6 0 】

第一の信号線と第二の信号線は、一方は選択信号線であり、もう一方はセンサ選択信号線である。また、一方は選択信号線であり、もう一方はセンサリセット信号線でもよい。さらに、一方はリセット信号線であり、もう一方はセンサ選択信号線でもよいし、一方はリセット信号線であり、もう一方はセンサリセット信号線でもよい。

【 0 0 6 1 】

また本明細書では、第一の信号線と第二の信号線に接続されている T F T を第一の T F T と第二の T F T と称する。

【 0 0 6 2 】

第一の T F T と第二の T F T は、一方は選択用 T F T であり、もう一方はセンサ選択用 T F T である。また、一方は選択用 T F T であり、もう一方はセンサリセット用 T F T でもよい。さらに、一方はリセット用 T F T であり、もう一方はセンサ選択用 T F T でもよいし、一方はリセット用 T F T であり、もう一方はセンサリセット用 T F T でもよい。

10

【 0 0 6 3 】

本発明の半導体装置は、イメージセンサ機能を有し、かつ画像を表示する機能を有することを特徴としており、該半導体装置は2つのモード（読み取りモード、表示モード）を有している。使用者は、イメージセンサ機能を用いる場合は読み取りモードを選択し、画像を表示する機能を用いる場合は表示モードを選択することで、本発明の半導体装置を使用する。

【 0 0 6 4 】

読み取りモードの場合には、画素部 1 0 0 を形成する発光素子 2 1 6 が、全画面中で均一に発光し、光源として機能する。そして光源からの光（発光素子 2 1 6 から発せられる光）は、被写体において反射する。フォトダイオード 2 2 5 は、被写体において反射した光を受け取り、被写体の情報を読み取る。

20

【 0 0 6 5 】

また表示モードの場合には、画素部 1 0 0 を形成する複数の発光素子 2 1 6 により画像を表示する。このとき、センサ部 2 2 1 のフォトダイオード 2 2 5 は機能せず、本発明の半導体装置は通常の表示装置と同様の機能を有する。

【 0 0 6 6 】

そしてモード制御配線 1 1 3 には、上述した読み取りモードと表示モードによって、異なる信号が入力される。

30

【 0 0 6 7 】

図 2 (a) において、N A N D 回路 1 1 7 の 2 つの入力端子は、一方はモード制御配線 1 1 3 に接続され、他方はインバータ回路 1 1 6 の出力端子に接続されている。N A N D 回路 1 1 7 の出力端子は、インバータ回路 1 1 8 の入力端子に接続している。N A N D 回路 1 1 7 は、入力された信号の否定論理積をとって、インバータ回路 1 1 8 の入力端子に信号を出力する。インバータ回路 1 1 8 の出力端子は、インバータ回路 1 1 9 の入力端子に接続されている。インバータ回路 1 1 8 は、入力された信号の否定をとって、インバータ回路 1 1 9 の入力端子に信号を出力する。インバータ回路 1 1 9 の出力端子は、選択信号線 (E G) に接続されている。インバータ回路 1 1 9 は、入力された信号の否定をとって、選択信号線 (E G) に信号を出力する。

40

【 0 0 6 8 】

また図 2 (a) において、N O R 回路 1 2 0 の 2 つ入力端子は、一方はモード制御配線 1 1 3 に接続され、他方はインバータ回路 1 1 6 の出力端子に接続されている。N O R 回路 1 2 0 の出力端子は、インバータ回路 1 2 1 の入力端子に接続している。N O R 回路 1 2 0 は、入力された信号の否定論理和をとって、インバータ回路 1 2 1 の入力端子に信号を出力する。インバータ回路 1 2 1 の出力端子は、インバータ回路 1 2 2 の入力端子に接続されている。インバータ回路 1 2 1 は、入力された信号の否定をとって、インバータ回路 1 2 2 の入力端子に信号を出力する。インバータ回路 1 2 2 の出力端子は、センサ選択信号線 (S G) に接続されている。インバータ回路 1 2 2 は、入力された信号の否定をとって

50

て、センサ選択信号線（ＳＧ）に信号を出力する。

【００６９】

図２（ｂ）において、ＮＡＮＤ回路１２７の２つの入力端子は、一方はモード制御配線１１３に接続され、他方はインバータ回路１１６の出力端子に接続されている。ＮＡＮＤ回路１２７の出力端子は、インバータ回路１２８の入力端子に接続している。ＮＡＮＤ回路１２７は、入力された信号の否定論理積をとって、インバータ回路１２８の入力端子に信号を出力する。インバータ回路１２８の出力端子は、リセット信号線（ＥＲ）に接続されている。インバータ回路１２８は、入力された信号を反転させて、リセット信号線（ＥＲ）に信号を出力する。

【００７０】

また図２（ｂ）において、ＮＯＲ回路１３０の２つの入力端子は、一方はモード制御配線１１３に接続され、他方はインバータ回路１１６の出力端子に接続されている。ＮＯＲ回路１３０の出力端子は、インバータ回路１３１の入力端子に接続している。ＮＯＲ回路１３０は、入力された信号の否定論理和をとって、インバータ回路１３１の入力端子に信号を出力する。インバータ回路１３１の出力端子は、インバータ回路１３２の入力端子に接続されている。インバータ回路１３１は、入力された信号を反転させて、インバータ回路１３２に信号を出力する。インバータ回路１３２の出力端子は、センサリセット信号線（ＳＲ）に接続されている。インバータ回路１３２は、入力された信号を反転させて、センサリセット信号線（ＳＲ）に信号を出力する。

【００７１】

図２において、本発明の半導体装置の駆動回路として選択用出力切り替え回路１０３ｂとリセット用出力切り替え回路１０４ｂを示したが、あくまで一例である。図２ではＮＡＮＤ回路を用いているが、ＮＡＮＤ回路の代わりにＡＮＤ回路を用いてもよい。また同様に、ＮＯＲ回路を用いているが、ＯＲ回路を用いてもよい。また、ＮＡＮＤ回路とＮＯＲ回路、ＡＮＤ回路とＯＲ回路を入れ替えて用いてもよい。すなわち、信号線駆動回路および出力切り替え回路の回路構成は、設計者が自由に設計することができる。

【００７２】

なお本明細書において、信号線駆動回路とは、選択信号線駆動回路またはリセット信号線駆動回路のどちらか一方を示す。また出力切り替え回路とは、選択用出力切り替え回路とリセット用出力切り替え回路のどちらか一方を示す。

【００７３】

（実施の形態２）

図３を参照する。図３には実施の形態１で示した駆動回路の信号のタイミングチャートを示す。そして本実施の形態では、一例として選択信号線駆動回路１０３ａと選択用出力切り替え回路１０３ｂから出力される信号のタイミングチャートを示して、該選択信号線駆動回路１０３ａと該選択用出力切り替え回路１０３ｂの動作について以下に説明する。

【００７４】

図２（ａ）において、隣接している任意のＮＡＮＤ回路１１４から出力される信号をｂ１、ｂ２とする。パルス幅制御配線１１２からは、図３に示すように、ＮＡＮＤ回路１１４から出力されたタイミング信号のパルス幅に比べて、小さいパルス幅のタイミング信号を出力する。ＮＯＲ回路１１５の２つの入力端子は、一方はＮＡＮＤ回路１１４の出力端子に接続され、他方はパルス幅制御配線１１２に接続されている。ＮＯＲ回路１１５の出力端子は、インバータ回路１１６の入力端子に接続されている。ＮＯＲ回路１１５は、ＮＡＮＤ回路１１４から入力されたタイミング信号と、パルス幅制御配線１１２から入力された信号の否定論理和をとって、インバータ回路１１６にｃ１に示す信号を出力する。インバータ回路１１６は、ＮＯＲ回路１１５から入力された信号を反転させ、ｄ１に示す信号を出力する。

【００７５】

モード制御配線１１３からは、表示モードの場合と読み取りモードの場合において、図３に示すように異なる信号が出力される。本実施の形態では、表示モードでは常にＨｉｇｈ

10

20

30

40

50

の信号が入力されて、読み取りモードでは常にLowの信号が入力されるとする。

【0076】

NAND回路117の2つの入力端子は、一方はモード制御配線113に接続され、他方はインバータ回路116の出力端子に接続されている。NAND回路117の出力端子は、インバータ回路118の入力端子に接続されている。NAND回路117は、インバータ回路116から入力されたタイミング信号と、モード制御配線113から入力された信号の否定論理積をとって、インバータ回路118に信号を出力する。インバータ回路118の出力端子は、インバータ回路119の入力端子に接続されている。インバータ回路118は、入力された信号を反転させて、インバータ回路119に信号を出力する。インバータ回路119の出力端子には、選択信号線(EG)が接続されている。インバータ回路119は、入力された信号を反転させて、e1に示す信号を選択信号線(EG)に出力する。

10

【0077】

またNOR回路120の2つの入力端子は、一方はモード制御配線113に接続され、他方はインバータ回路116の出力端子に接続されている。NOR回路120の出力端子は、インバータ回路121の入力端子が接続されている。NOR回路120は、インバータ回路116から入力されたタイミング信号と、モード制御配線113から入力された信号の否定論理和をとって、インバータ回路121に信号を出力する。インバータ回路121の出力端子は、インバータ回路122の入力端子に接続されている。インバータ回路121は、入力された信号を反転させて、インバータ回路122に信号を出力する。インバータ回路122の出力端子には、センサ選択信号線(SG)が接続されている。インバータ回路122は、入力された信号を反転させて、e2に示す信号をセンサ選択信号線(SG)に出力する。

20

【0078】

そして図3に示すように、選択信号線(EG)とセンサ用選択信号線(SG)とに出力される信号は異なる。また表示モードと読み取りモードでは、選択信号線(EG)とセンサ用選択信号線(SG)に出力される信号は異なる。

【0079】

ここでモード制御配線113からHighの信号が出力される場合と、Lowの信号が出力される場合の2つの場合について説明する。本実施の形態では、表示モードを選択したときにはモード制御配線113からHighの信号が出力され、読み取りモードを選択したときにはモード制御配線113からLowの信号が出力されるとする。

30

【0080】

まずモード制御配線113から、Highの信号が出力される場合について説明する。NAND回路117に接続されている選択用信号線(EG)には、インバータ回路116の出力端子から出力される信号と同様の信号であるHighの信号が入力される。またNOR回路120に接続されているセンサ選択用信号線(SG)には、インバータ回路116の出力端子から出力される信号に関わらず、常に一定の電圧を保った信号が出力される。

【0081】

次いで、モード制御配線113から、Lowの信号が出力される場合について説明する。NOR回路120に接続されているセンサ選択用信号線(SG)には、インバータ回路116と同様の信号であるLowの信号が出力される。またNAND回路117に接続されている選択用信号線(EG)には、インバータ回路116の出力に関わらず、常に一定の電圧を保った信号が出力される。

40

【0082】

本実施の形態は、実施の形態1と自由に組み合わせることが可能である。

【0083】

(実施の形態3)

本実施の形態では、被写体をモノクロで読み取る場合において入力される信号と、該被写体の画像をモノクロで表示する場合において入力される信号とを図4(A)を用いて説明

50

する。

【 0 0 8 4 】

図 4 (A) には、被写体をモノクロで読み取る場合について、ソース信号線駆動回路から発生する信号と、選択信号線 (E G) 及びリセット信号線 (E R) のそれぞれに接続されている T F T に入力される信号と、発光素子部 2 1 1 に与えられるビデオ信号とを示している。ビデオ信号とは、デジタルビデオ信号またはアナログビデオ信号を示す。また図 4 (A) には、センサ部 2 2 1 のセンサ用信号出力線 (S S) と、センサ用選択信号線 (S G) と、センサ用リセット信号線 (S R) のそれぞれに接続されている T F T に入力される信号を示している。なお本実施の形態では、画素部の構成として図 6 および図 7 を参照する。

10

【 0 0 8 5 】

本実施の形態においては、選択用 T F T 2 1 2、リセット用 T F T 2 1 4、センサ選択用 T F T 2 2 2、センサリセット T F T 2 2 4 は全て n チャネル型とする。また駆動用 T F T 2 1 3 は p チャネル型とする。そしてそれらの T F T の極性に対応した信号を図 4 (A) に示す。ただし、選択用 T F T 2 1 2、リセット用 T F T 2 1 4、センサ選択用 T F T 2 2 2、センサリセット T F T 2 2 4、駆動用 T F T 2 1 3 の極性は、自由に設計することができる。但しその場合には、その T F T の極性に対応した信号を出力できる回路を設計する必要がある。

【 0 0 8 6 】

T F T の極性が n チャネル型の場合は、オン信号が H i g h の信号であり、オフ信号が L o w の信号である。また T F T の極性が p チャネル型の場合は、オン信号が L o w の信号であり、オフ信号が H i g h の信号である。

20

【 0 0 8 7 】

ここで表示モードと読み取りモードにおける発光素子部とセンサ部に入力される信号を図 4 (A) を用いて説明する。なお図 4 (A) にはモノクロの被写体を読み取る場合を示し、図 4 (B) にはカラーの被写体を読み取る場合を示す。そして本実施の形態では、モノクロの被写体を読み取る場合を図 4 (A) を用いて説明する。カラーの被写体を読み取る場合については、実施例 2 において説明する。

【 0 0 8 8 】

まず表示モードについて説明する。表示モードでは、画素部 1 0 0 を形成する複数の発光素子 2 1 6 により画像を表示する。その場合には、センサ部 2 2 1 のフォトダイオード 2 2 5 は機能せずに常にオフ状態となって、通常の表示装置と同様の機能をもつ。

30

【 0 0 8 9 】

なおセンサ部 2 2 1 は常にオフ状態でなく、常にオン状態としてもよい。そしてセンサ部 2 2 1 を常にオン状態として機能させないようにすることもできる。しかしセンサ部 2 2 1 がオン状態を維持する場合には、ソースフォロワ回路などが電力を消費してしまう。よって消費電力の観点から考えると、センサ部 2 2 1 は、常にオフ状態にしておくことが望ましい。またセンサ部 2 2 1 をオフ状態にしておくことによって、消費電力を抑制することができる。

【 0 0 9 0 】

また駆動回路においては、オン状態からオフ状態に移行する場合と、オフ状態からオン状態に移行する場合とにおいて電流が流れて電力を消費する。消費電力を抑制するためには、駆動回路を構成する各回路素子の電圧が変化せずに、電流が流れないようにすればよい。つまり、センサ部 2 2 1 を常にオフ状態にしておくことにより、消費電力を抑制することができる。

40

【 0 0 9 1 】

ソース信号線駆動回路からは、パルス信号が発生する。また選択信号線 (E G) と、リセット信号線 (E R) は、それぞれ接続している T F T にパルス信号を入力する。またビデオ信号として、パルス信号が入力される。なお本実施の形態において、パルス信号とは、時間的に電圧が変化する信号のことを指す。

50

【 0 0 9 2 】

上述したように表示モードにおいては、センサ部 2 2 1 はオフ状態であって機能しない。センサ用ソース信号線 (S S) は、接続している T F T に信号を出力せず、一定の電圧を保っている。また、センサ選択信号線 (S G) とセンサリセット信号線 (S R) は、それぞれ接続している T F T に常にオフ信号 (本実施の形態では L o w の信号) を入力する。なおここでは、センサ選択信号線 (S G) とセンサリセット信号線 (S R) に入力される信号は、パルス信号ではなく、常に一定の電圧を保っている信号である。つまり表示モードの場合においては、センサ選択信号線 (S G) とセンサリセット信号線 (S R) は常に一定の電圧を保っている。その結果、センサ部 2 2 1 には電流が流れないので機能しない。

10

【 0 0 9 3 】

次いで、読み取りモードについて説明する。読み取りモードの場合には、画素部 1 0 0 を形成する発光素子 2 1 6 が、全画面中で均一に発光し、光源として機能する。そして光源からの光 (発光素子 2 1 6 から発せられる光) は、被写体において反射され、フォトダイオード 2 2 5 はその反射した光を受け取って、その結果、被写体の情報を読み取ることができる。

【 0 0 9 4 】

つまり発光素子部 2 1 1 では、発光素子 2 1 6 を均一に発光させる必要がある。ソース信号線駆動回路からは、オン信号 (本実施の形態では、H i g h の信号) が発生する。またリセット信号線 (E R) は、接続している T F T にオフ信号 (本実施の形態では、L o w の信号) を入力する。またビデオ信号として、駆動用 T F T がオン状態になるような信号が駆動用 T F T に入力される。すなわちビデオ信号は、オン信号 (本実施の形態では、L o w の信号) が入力される。また、センサ部 2 2 1 において、センサ用信号出力信号線 (S S)、センサ用選択信号線 (S G)、センサ用リセット信号線 (S R) は、それぞれ接続している T F T にパルス信号を入力する。

20

【 0 0 9 5 】

上述したように、読み取りモードと表示モードによって、T F T に入力される信号は、それぞれの信号線によって異なる。

【 0 0 9 6 】

本実施の形態は、実施の形態 1、2 と自由に組み合わせることが可能である。

30

【 0 0 9 7 】

【実施例】

(実施例 1)

実施の形態では、図 7 に示すように発光素子部が 3 T r / c e l l の場合を説明したが、本実施例では発光素子部が 2 T r / c e l l の場合について図 8 を用いて説明する。

【 0 0 9 8 】

図 8 に発光素子部が 2 T r / c e l l の場合における 1 つの画素の詳しい回路構成を示す。画素部において、i 列目 j 行目に設けられた画素 (i、j) の詳しい回路構成を示す。画素 (i、j) は、ソース信号線 (S i) と、電源供給線 (V i) と、センサ用信号出力線 (S S i) と、センサ用電源線 (V B i) と、選択信号線 (E G j) と、センサ選択信号線 (S G j) と、センサリセット信号線 (S R j) を有する。

40

【 0 0 9 9 】

画素 (i、j) は、発光素子部 2 3 1、センサ部 2 4 1 を有している。発光素子部 2 3 1 は、選択用 T F T 2 3 2、駆動用 T F T 2 3 3、コンデンサ 2 3 5、発光素子 2 3 6 を有している。また図 8 では画素 (i、j) にコンデンサ 2 3 5 が設けられているが、コンデンサ 2 3 5 を設けなくとも良い。そしてセンサ部 2 4 1 は、センサ選択用 T F T 2 4 2、センサ駆動用 T F T 2 4 3、センサリセット用 T F T 2 4 4、フォトダイオード 2 4 5 を有している。

【 0 1 0 0 】

発光素子 2 3 6 は陽極と陰極と、陽極と陰極との間に設けられた有機化合物層とからなる

50

。陽極が駆動用 T F T 2 3 3 のソース領域またはドレイン領域と接続している場合、陽極が画素電極となり、陰極が対向電極となる。また、陰極が駆動用 T F T 2 3 3 のソース領域またはドレイン領域と接続している場合、陰極が画素電極となり、陽極が対向電極となる。

【 0 1 0 1 】

選択用 T F T 2 3 2 のゲート電極は選択信号線 (E G j) に接続されている。そして選択用 T F T 2 3 2 のソース領域とドレイン領域は、一方がソース信号線 (S i) に、もう一方が駆動用 T F T 2 3 3 のゲート電極に接続されている。選択用 T F T 2 3 2 は、画素 (i , j) に信号を書き込むときのスイッチング素子として機能する T F T である。

【 0 1 0 2 】

駆動用 T F T 2 3 3 のソース領域とドレイン領域は、一方が電源供給線 (V i) に、もう一方が発光素子 2 3 6 に接続されている。コンデンサ 2 3 5 は駆動用 T F T 2 3 3 のゲート電極と電源供給線 (V i) とに接続して設けられている。駆動用 T F T 2 3 3 は、発光素子 2 3 6 に供給する電流を制御するための素子 (電流制御素子) として機能する T F T である。

【 0 1 0 3 】

フォトダイオード 2 4 5 は、 n チャネル型端子、 p チャネル型端子および n チャネル型端子と p チャネル型端子の間に設けられている光電変換層を有している。 n チャネル型端子、 p チャネル型端子の一方は、 V s s [sensor用] に接続されており、もう一方はセンサ駆動用 T F T 2 4 3 のゲート電極に接続されている。

【 0 1 0 4 】

センサ選択用 T F T 2 4 2 のゲート電極はセンサ選択信号線 (S G j) に接続されている。そしてセンサ選択用 T F T 2 4 2 のソース領域とドレイン領域は、一方はセンサ駆動用 T F T 2 4 3 のソース領域に接続されており、もう一方はセンサ用信号出力線 (S S i) に接続されている。センサ選択用 T F T 2 4 2 は、フォトダイオード 2 4 5 の信号を出力するときのスイッチング素子として機能する T F T である。

【 0 1 0 5 】

センサ駆動用 T F T 2 4 3 のドレイン領域はセンサ用電源線 (V B i) に接続されている。そしてセンサ駆動用 T F T 2 4 3 のソース領域はセンサ選択用 T F T 2 4 2 のソース領域又はドレイン領域に接続されている。また、センサ駆動用 T F T 2 4 3 は、バイアス用 T F T (図示せず) とソースフォロワ回路を形成する。そのため、センサ駆動用 T F T 2 4 3 とバイアス用 T F T の極性は同じである方がよい。

【 0 1 0 6 】

センサリセット用 T F T 2 4 4 のゲート電極はセンサリセット信号線 (S R j) に接続されている。センサリセット用 T F T 2 4 4 のソース領域とドレイン領域は、一方はセンサ用電源線 (V B i) に接続されており、もう一方はフォトダイオード 2 4 5 及びセンサ駆動用 T F T 2 4 3 のゲート電極に接続されている。センサリセット用 T F T 2 4 4 は、フォトダイオード 2 4 5 を初期化するための素子として機能する T F T である。

【 0 1 0 7 】

そして画素部は、図 8 に示す画素が複数個マトリクス状に同一基板上に形成されたものである。画素部の周辺には駆動回路が形成されるが、ソース信号線 (S) とセンサ用信号出力線 (S S) を制御するための駆動回路として、ソース信号線駆動回路と、センサ用ソース信号線駆動回路が形成される。

【 0 1 0 8 】

また選択信号線 (E G) とセンサ選択信号線 (S G) を制御するために信号線駆動回路が形成される。そして信号線駆動回路には、出力切り替え回路が接続される。また選択信号線 (E G) とセンサ選択信号線 (S G) に限らず、選択信号線 (E G) とセンサリセット信号線 (S R) を制御するために信号線駆動回路が形成されていてもよい。その場合にも信号線駆動回路には、出力切り替え回路が接続される。

【 0 1 0 9 】

なお発光素子部が 2 T r / c e l l である本実施例における半導体装置には、本出願人による特願 2 0 0 0 - 0 6 7 7 9 3 号の発明を適用することが可能である。

【 0 1 1 0 】

また本実施例は、実施の形態 1 乃至実施の形態 3 と自由に組み合わせることが可能である。

【 0 1 1 1 】

(実施例 2)

実施例 1 では、発光素子部が 2 T r / c e l l の場合について説明したが、本実施例では、発光素子部は 2 T r / c e l l であって、3つの発光素子部と1つのセンサ部で1つの画素を形成している例について図 9 を用いて説明する。なお、発光素子部が 3 T r / c e l l の場合や、その他の回路構成を有する場合においても、3つの発光素子部と1つのセンサ部で画素を形成することができる。また前記画素で画素部を形成することができる。

10

【 0 1 1 2 】

図 9 を参照する。光の三原色である赤 (R) 、緑 (G) 、青 (B) 用に全部で 3 つの発光素子部が形成されている。発光素子部 2 5 1 は、赤 (R) 用であり、選択用 T F T 2 5 1 a 、駆動用 T F T 2 5 1 b 、コンデンサ 2 5 1 c 、発光素子 2 5 1 d を有している。発光素子部 2 5 2 は、緑 (G) 用であり、選択用 T F T 2 5 2 a 、駆動用 T F T 2 5 2 b 、コンデンサ 2 5 2 c 、発光素子 2 5 2 d を有している。発光素子部 2 5 3 は、青 (B) 用であり、選択用 T F T 2 5 3 a 、駆動用 T F T 2 5 3 b 、コンデンサ 2 5 3 c 、発光素子 2 5 3 d を有している。

20

【 0 1 1 3 】

発光素子 2 5 1 d 、 2 5 2 d 、 2 5 3 d は、陽極と陰極と、陽極と陰極との間に設けられた発光層とからなる。陽極が駆動用 T F T 2 5 1 b 、 2 5 2 b 、 2 5 3 b のそれぞれのソース領域またはドレイン領域と接続している場合、陽極が画素電極となり、陰極が対向電極となる。逆に陰極が駆動用 T F T 2 5 1 b 、 2 5 2 b 、 2 5 3 b のそれぞれのソース領域またはドレイン領域と接続している場合、陰極が画素電極となり、陽極が対向電極となる。

【 0 1 1 4 】

センサ部 2 5 4 は、センサ選択用 T F T 2 5 4 a 、センサ駆動用 T F T 2 5 4 b 、センサリセット用 T F T 2 5 4 c 、フォトダイオード 2 5 4 d を有している。

30

【 0 1 1 5 】

フォトダイオード 2 5 4 d は、nチャネル型端子、pチャネル型端子およびnチャネル型端子とpチャネル型端子の間に設けられている光電変換層を有している。nチャネル型端子、pチャネル型端子の一方は、V s s [sensor用]に接続されており、もう一方はセンサ駆動用 T F T 2 5 4 b のゲート電極に接続されている。

【 0 1 1 6 】

センサ選択用 T F T 2 5 4 a のゲート電極はセンサ選択信号線 (S G j) に接続されている。そしてセンサ選択用 T F T 2 5 4 a のソース領域とドレイン領域は、一方はセンサ駆動用 T F T 2 5 4 b のソース領域に接続されており、もう一方はセンサ用信号出力線 (S S i) に接続されている。センサ選択用 T F T 2 5 4 a は、フォトダイオード 2 5 4 d の信号を出力するときのスイッチング素子として機能する T F T である。

40

【 0 1 1 7 】

センサ駆動用 T F T 2 5 4 b のドレイン領域とソース領域は、一方はセンサ用電源線 (V B i) に接続されており、もう一方は、センサ選択用 T F T 2 5 4 a のソース領域又はドレイン領域に接続されている。センサ駆動用 T F T 2 5 4 b は、バイアス用 T F T (図示せず) とソースフォロワ回路を形成する。そのため、センサ駆動用 T F T 2 5 4 b とバイアス用 T F T の極性は同じである方がよい。

【 0 1 1 8 】

センサリセット用 T F T 2 5 4 c のゲート電極はセンサリセット信号線 (S R j) に接続されている。センサリセット用 T F T 2 5 4 c のソース領域とドレイン領域は、一方はセ

50

ンサ用電源線（V B i）に接続されており、もう一方は、フォトダイオード254d及びセンサ駆動用T F T 254bのゲート電極に接続されている。センサリセット用T F T 254cは、フォトダイオード254dを初期化するための素子として機能するT F Tである。

【0119】

そして画素部は、図9に示す画素が複数個マトリクス状に同一基板上に形成されたものである。画素部の周辺には駆動回路が形成されるが、例えばR用ソース信号線（R S）と、G用ソース信号線（G S）と、B用ソース信号線（B S）を制御するためのソース信号線駆動回路と、センサ用信号出力線（S S）を制御するためのセンサ用ソース信号線駆動回路が形成される。

10

【0120】

また選択信号線（E G）とセンサ選択信号線（S G）を制御するために信号線駆動回路が形成される。そして信号線駆動回路には、出力切り替え回路が接続される。また選択信号線（E G）とセンサ選択信号線（S G）に限らず、選択信号線（E G）とセンサリセット信号線（S R）を制御するために信号線駆動回路が形成されていてもよい。その場合にも信号線駆動回路には、出力切り替え回路が接続される。

【0121】

また発光素子部が2 T r / c e l lである本実施例の半導体装置には、本出願人による特願2000-067793号の発明を適用することが可能である。

【0122】

20

ここで、表示モードと読み取りモードのそれぞれのモードにおける発光素子部とセンサ部に入力される信号を図4（B）を用いて説明する。

【0123】

図4（B）には、ソース信号線駆動回路から発生する信号、選択信号線（E G）及びリセット信号線（E R）がそれぞれ接続されているT F Tに出力する信号、発光素子部251～発光素子部253に与えられるビデオ信号を示している。またセンサ部254のセンサ用信号出力線（S S）、センサ用選択信号線（S G）、センサ用リセット信号線（S R）がそれぞれ接続されているT F Tに出力する信号を示している。なお本実施例では画素の構成として、図9を参照する。

【0124】

30

本実施例においては、発光素子部251～発光素子部253に含まれる駆動用T F Tの極性はpチャネル型であり、他のT F Tはすべてnチャネル型とする。それぞれのT F Tの極性は、自由に設計することが可能であるが、その場合には、その極性に対応した信号を出力できる回路を設計する必要がある。

【0125】

信号を入力するT F Tの極性がnチャネル型の場合は、オン信号がH i g hの信号であり、オフ信号がL o wの信号である。また、信号を入力するT F Tの極性がpチャネル型の場合は、オン信号がL o wの信号であり、オフ信号がH i g hの信号である。

【0126】

まず表示モードについて説明する。表示モードでは、発光素子251d、発光素子252d、発光素子253dが画像を表示する。その場合には、センサ部のフォトダイオード254dは機能しない。このとき、ソース信号線駆動回路からは、パルス信号が発生する。また、選択信号線（E G）及びリセット信号線（E R）は、それぞれ接続しているT F Tにパルス信号を出力する。またビデオ信号として、パルス信号を出力する。

40

【0127】

また表示モードでは、センサ部254は機能しない。センサ用ソース信号線（S S）は、接続しているT F Tに信号を出力せず、一定の電圧を保っている。また、センサ選択信号線（S G）とセンサリセット信号線（S R）は、それぞれ接続しているT F Tに常にオフ信号（本実施の形態ではL o wの信号）を出力する。なおここでセンサ選択信号線（S G）とセンサリセット信号線（S R）が出力する信号は、パルス信号ではなく、常に一定の

50

電圧を保っている信号である。そのため表示モードの場合において、センサ選択信号線（ＳＧ）とセンサリセット信号線（ＳＲ）は常に一定の電圧を保っている。その結果、センサ部２５４には電流が流れず、機能しない。

【０１２８】

なお図９に示す画素の構成は、カラーの被写体をカラーの画像として読み取ることが可能であるが、カラーの画像として読み取らずに、モノクロの画像として読み取ることにも出来る。本実施例では、まずモノクロの画像として読み取る場合について説明して、次いでカラーの画像として読み取る場合について説明する。

【０１２９】

被写体をモノクロの画像として読み取る場合の読み取りモードについて説明する。読み取りモードの場合には、発光素子２５１ｄ、発光素子２５２ｄ、発光素子２５３ｄは、全面で均一に発光し、光源として機能する。そして、光源からの光を被写体において反射させる。センサ部２５４は、被写体において反射した光を受け取って、被写体の情報を読み取る。つまり被写体の情報を読み取るためには、発光素子２５１ｄ、発光素子２５２ｄ、発光素子２５３ｄを均一に発光させる必要がある。

【０１３０】

この場合には、ソース信号線駆動回路からは、オン信号（本実施の形態では、Ｈｉｇｈの信号）が発生する。またリセット信号線（ＥＲ）は、接続しているＴＦＴにオフ信号（本実施の形態では、Ｌｏｗの信号）を入力する。またビデオ信号として、駆動用ＴＦＴ２５１ｂ、２５２ｂ、２５３ｂがオン状態になるような信号が、駆動用ＴＦＴ２５１ｂ、２５２ｂ、２５３ｂに20入力される。すなわちビデオ信号として、オン信号（本実施の形態では、Ｌｏｗの信号）が20入力される。

【０１３１】

次いで、被写体をカラーの画像として読み取る場合の読み取りモードについて説明する。被写体をカラーの画像として読み取る場合は、光の三原色である赤（Ｒ）、緑（Ｇ）、青（Ｂ）用に発光素子部を形成する。そして赤（Ｒ）、緑（Ｇ）、青（Ｂ）の三回に分けて画像を読み取り、それらの画像を重ね合わせて１つの画像を形成する。

【０１３２】

この場合においては、センサ部２５４において、センサ用信号出力信号線（ＳＳ）、センサ用選択信号線（ＳＧ）、センサ用リセット信号線（ＳＲ）は、それぞれ接続しているＴ30ＦＴにパルス信号を出力する。

【０１３３】

そして被写体をカラーの画像として読み取る場合においては、Ｒ用の画像を読み取る場合、Ｇ用の画像を読み取る場合、Ｂ用の画像を読み取る場合に分けて説明する。

【０１３４】

まずＲ用の画像を読み取る場合を説明する。ソース信号線駆動回路からは、オン信号が発生する。また選択信号線（ＥＧ）、リセット信号線（ＥＲ）は、それぞれ接続しているＴ40ＦＴにオン信号又はオフ信号を入力する。そしてビデオ信号として、Ｒ用の発光素子部２５１にオンの信号が入力されて、Ｇ用の発光素子部２５２にはオフの信号が入力され、Ｂ用の発光素子部２５３にはオフの信号が入力される。

【０１３５】

次いでＧ用の画像を読み取る場合を説明する。ソース信号線駆動回路からは、オン信号が発生する。また選択信号線（ＥＧ）、リセット信号線（ＥＲ）は、それぞれ接続しているＴ50ＦＴにオン信号又はオフ信号を入力する。そしてビデオ信号として、Ｒ用の発光素子部２５１にオフの信号が入力されて、Ｇ用の発光素子部２５２にはオンの信号が入力され、Ｂ用の発光素子部２５３にはオフの信号が入力される。

【０１３６】

最後にＢ用の画像を読み取る場合を説明する。ソース信号線駆動回路からは、オン信号が発生する。選択信号線（ＥＧ）からはオン信号が発生する。また、選択信号線（ＥＧ）、リセット信号線（ＥＲ）は、それぞれ接続しているＴ50ＦＴにオン信号又はオフ信号を入力

する。そしてビデオ信号として、R用の発光素子部251にオフの信号が入力され、G用の発光素子部252にオフの信号が入力され、B用の発光素子部253にオンの信号が入力される。

【0137】

このように、R用、G用、B用と3回に分けての被写体の画像を読み取り、その後、3つの画像を合成することにより、被写体をカラーの画像として読み取ることができる。

【0138】

上述したように、読み取りモードと表示モードによって、TF Tに入力される信号は、それぞれの信号線によって異なる。

【0139】

なお本実施例では、3つの発光素子部と1つのセンサ部で1つの画素を形成しており、該画素により被写体をカラーの画像として読み取る場合を説明した。しかし、3つの発光素子部と1つのセンサ部で1つの画素を形成している場合において、被写体をカラーの画像としてではなく、モノクロの画像として読み取ることが可能である。すなわちモノクロの画像で読み取る場合には、1つの画素に3つある発光素子部をすべて発光させて被写体を読み取ればよい。また1つの画素に3つある発光素子部のうち、任意の2つを発光させてもよい。また1つの画素に3つある発光素子部のうち、任意の1つを発光させてもよい。但し、赤(R)用の発光素子部のみを発光させた場合は、被写体の赤の部分は読み取れない場合がある。

【0140】

また本実施例は、実施の形態1乃至実施の形態3および実施例1と自由に組み合わせることが可能である。

【0141】

(実施例3)

実施の形態1乃至実施の形態3および実施例1、2では、光源として発光素子を用いた例を示したが、本実施例では、光源としてフロントライト又はバックライトを用いた半導体装置について説明する。この場合には、イメージセンサ機能により得られた被写体の情報は、半導体装置の画素部に設けられている液晶素子部により表示される。

【0142】

図10を参照する。本実施例の半導体装置は、液晶素子部261とセンサ部271とで1つの画素を形成している。液晶素子部261は、液晶選択用TF T262、コンデンサ263、液晶素子264を有している。またセンサ部271は、センサ選択用TF T272、センサ駆動用TF T273、センサリセット用TF T274、フォトダイオード275を有している。

【0143】

液晶選択用TF T262のゲート電極は液晶選択信号線(EGj)に接続されている。そして液晶選択用TF T262のソース領域とドレイン領域は、一方がソース信号線(Si)に、もう一方が液晶素子264およびコンデンサ263に接続されている。液晶選択用TF T262は、画素(i、j)に信号を書き込むときのスイッチング素子として機能するTF Tである。

【0144】

センサ選択用TF T272のゲート電極はセンサ選択信号線(SGj)に接続されている。そしてセンサ選択用TF T272のソース領域とドレイン領域は、一方はセンサ駆動用TF T273のソース領域に接続されており、もう一方はセンサ用信号出力線(SSi)に接続されている。センサ選択用TF T272は、フォトダイオード275から読み出された信号を出力するときのスイッチング素子として機能するTF Tである。

【0145】

センサ駆動用TF T273のドレイン領域はセンサ用電源線(VBi)に接続されている。そしてセンサ駆動用TF T273のソース領域は、センサ選択用TF T272のソース領域又はドレイン領域に接続されている。センサ駆動用TF T273は、バイアス用TF

10

20

30

40

50

T (図示せず) とソースフォロウ回路を形成する。そのため、センサ駆動用 T F T 2 7 3 とバイアス用 T F T の極性は同じである方がよい。

【 0 1 4 6 】

センサリセット用 T F T 2 7 4 のゲート電極はセンサリセット信号線 (S R j) に接続されている。センサリセット用 T F T 2 7 4 のソース領域とドレイン領域は、一方はセンサ用電源線 (V B i) に接続されており、もう一方はフォトダイオード 2 7 5 及びセンサ駆動用 T F T 2 7 3 のゲート電極に接続されている。センサリセット用 T F T 2 7 4 は、フォトダイオード 2 7 5 を初期化するための素子として機能する T F T である。

【 0 1 4 7 】

画素部は、図 1 0 に示す画素が複数個マトリクス状に同一基板上に形成されたものである。そして画素部の周囲には駆動回路が形成され、ソース信号線 (S) を制御するための液晶用ソース信号線駆動回路と、センサ用信号出力線 (S S) を制御するためのセンサ用ソース信号線駆動回路が形成される。

10

【 0 1 4 8 】

また液晶選択信号線 (E G) とセンサ選択信号線 (S G) を制御するための信号線駆動回路が形成される。信号線駆動回路には、出力切り替え回路が接続される。また液晶選択信号線 (E G) とセンサ選択信号線 (S G) の組み合わせに限らず、選択信号線 (E G) とセンサリセット信号線 (S R) を制御するために信号線駆動回路が形成されていてもよい。その場合にも信号線駆動回路には、出力切り替え回路が接続される。

【 0 1 4 9 】

20

また本実施例は、実施の形態 1 乃至実施の形態 3 および実施例 1、2 と自由に組み合わせることが可能である。

【 0 1 5 0 】

(実施例 4)

本実施例では、発光素子 2 1 6 の動作を制御する選択用 T F T 2 1 2 および駆動用 T F T 2 1 3 の駆動方法について説明する。本実施例では、画素部 1 0 0 の構成として、図 6 及び図 7 を参照する。

【 0 1 5 1 】

図 1 1 に本発明の半導体装置のブロック図を示す。画素部 1 0 0 の周囲には、選択信号線駆動回路 1 0 3 a、選択用出力切り替え回路 1 0 3 b が形成されており、またリセット信号線駆動回路 1 0 4 a、リセット用出力切り替え回路 1 0 4 b が形成されている。また画素部 1 0 0 の周囲には、ソース信号線駆動回路 1 0 5、センサ用ソース信号線駆動回路 1 0 6 が形成されている。

30

【 0 1 5 2 】

ソース信号線駆動回路 1 0 5 は、シフトレジスタ 1 0 5 a、ラッチ (A) 1 0 5 b、ラッチ (B) 1 0 5 c を有している。ソース信号線駆動回路 1 0 5 において、シフトレジスタ 1 0 5 a にクロック信号 (C L K) およびスタートパルス (S P) が入力される。シフトレジスタ 1 0 5 a は、これらのクロック信号 (C L K) およびスタートパルス (S P) に基づきタイミング信号を順に発生させ、後段の回路へタイミング信号を供給する。

【 0 1 5 3 】

40

なおシフトレジスタ 1 0 5 a からのタイミング信号を、バッファ等 (図示せず) によって緩衝増幅し、後段の回路へ緩衝増幅したタイミング信号を順次供給しても良い。タイミング信号が供給される配線には、多くの回路あるいは素子が接続されているために負荷容量 (寄生容量) が大きい。この負荷容量が大きいために生ずるタイミング信号の立ち上がりまたは立ち下がりの " 鈍り " を防ぐために、このバッファが設けられる。

【 0 1 5 4 】

シフトレジスタ 1 0 5 a からのタイミング信号は、ラッチ (A) 1 0 5 b に供給される。ラッチ (A) 1 0 5 b は、デジタル信号 (digital signals) を処理する複数のステージのラッチを有している。ラッチ (A) 1 0 5 b は、前記タイミング信号が入力されると同時に、デジタル信号を順次書き込み保持する。

50

【 0 1 5 5 】

なおラッチ（Ａ）１０５ｂにデジタル信号を取り込む際に、ラッチ（Ａ）１０５ｂが有する複数のステージのラッチに、順にデジタル信号を入力しても良い。ラッチ（Ａ）１０５ｂが有する複数のステージのラッチをいくつかのグループに分け、グループごとに並行して同時にデジタル信号を入力する、いわゆる分割駆動を行っても良い。なおこのときのグループの数を分割数と呼ぶ。例えば４つのステージごとにラッチをグループに分けた場合、４分割で分割駆動すると言う。

【 0 1 5 6 】

ラッチ（Ａ）１０５ｂの全ステージのラッチへのデジタル信号の書き込みが一通り終了するまでの時間を、ライン期間と呼ぶ。すなわち、ラッチ（Ａ）１０５ｂ中で一番左側のステージのラッチにデジタル信号の書き込みが開始される時点から、一番右側のステージのラッチにデジタル信号の書き込みが終了する時点までの時間間隔がライン期間である。実際には、上記ライン期間に水平帰線期間が加えられた期間をライン期間に含むことがある。

10

【 0 1 5 7 】

１ライン期間が終了すると、ラッチ（Ｂ）１０５ｃにラッチシグナル（Latch Signal）が供給される。この瞬間、ラッチ（Ａ）１０５ｂに書き込まれ保持されているデジタル信号は、ラッチ（Ｂ）１０５ｃに一斉に送出され、ラッチ（Ｂ）１０５ｃの全ステージのラッチに書き込まれ、保持される。

20

【 0 1 5 8 】

デジタル信号をラッチ（Ｂ）１０５ｃに送出したラッチ（Ａ）１０５ｂは、シフトレジスタ１０５ａからのタイミング信号に基づき、再びデジタル信号の書き込みを順次行う。

【 0 1 5 9 】

この２順目の１ライン期間中には、ラッチ（Ｂ）１０５ｃに書き込まれ、保持されているデジタル信号がソース信号線（Ｓ）に入力される。

【 0 1 6 0 】

なおソース信号線駆動回路の構成は、本実施例で示した構成に限定されない。

【 0 1 6 1 】

画素部１００の発光素子２１６の動作を制御する選択用ＴＦＴ２１２及び駆動用ＴＦＴ２１３を、デジタル方式で駆動させた場合のタイミングチャートを図１２に示し、その駆動方法について説明する。

30

【 0 1 6 2 】

画素部１００の全ての画素が一通り発光するまでの期間を１フレーム期間（Ｆ）と呼ぶ。フレーム期間はアドレス期間（Ｔ_a）とサステイン期間（Ｔ_s）とに分けられる。アドレス期間とは、１フレーム期間中、全ての画素にデジタル信号を入力する期間である。サステイン期間（点灯期間とも呼ぶ）とは、アドレス期間において画素に入力されたデジタル信号によって、発光素子を発光又は非発光の状態にし、表示を行う期間を示している。

【 0 1 6 3 】

まずアドレス期間Ｔ_aにおいて、発光素子の対向電極の電位は、電源供給線（Ｖ）の電位（電源電位）と同じ高さに保たれている。

40

【 0 1 6 4 】

そして選択信号線（ＥＧ１）に入力される信号によって、選択信号線（ＥＧ１）に接続されている選択用ＴＦＴ２１２がオンの状態になる。次に、ソース信号線駆動回路１０５からソース信号線（Ｓ）にデジタルビデオ信号が入力される。ソース信号線（Ｓ）に入力されたデジタルビデオ信号は、オンの状態の選択用ＴＦＴ２１２を介して駆動用ＴＦＴ２１３のゲート電極に入力される。

【 0 1 6 5 】

次に選択信号線（ＥＧ２）に入力される信号によって、選択信号線（ＥＧ２）に接続されている全ての選択用ＴＦＴ２１２がオンの状態になる。次に、ソース信号線駆動回路１０５からソース信号線（Ｓ）にデジタルビデオ信号が入力される。ソース信号線（Ｓ）に入

50

力されたデジタルビデオ信号は、オンの状態の選択用 T F T 2 1 2 を介して駆動用 T F T 2 1 3 のゲート電極に入力される。

【 0 1 6 6 】

上述した動作を選択信号線 (E G y) まで繰り返し、全ての画素 1 0 1 の駆動用 T F T 2 1 3 のゲート電極にデジタル信号が入力され、アドレス期間 T a が終了する。

【 0 1 6 7 】

アドレス期間 T a が終了すると同時にサステイン期間 T s となる。サステイン期間 T s において、全ての選択用 T F T 2 1 2 は、オフの状態となる。

【 0 1 6 8 】

そしてサステイン期間 T s が開始されると同時に、全ての発光素子 2 1 6 の対向電極の電位は、電源電位が画素電極に与えられたときに発光素子 2 1 6 が発光する程度に、電源電位との間に電位差を有する高さになる。なお本明細書において、画素電極と対向電極の電位差を駆動電圧と呼ぶ。また各画素が有する駆動用 T F T 2 1 3 のゲート電極に入力されたビデオ信号によって駆動用 T F T 2 1 3 はオンの状態になっている。よって電源電位が発光素子 2 1 6 の画素電極に与えられ、全ての画素が有する発光素子 2 1 6 は発光する。

【 0 1 6 9 】

サステイン期間 T s が終了すると同時に、1つのフレーム期間が終了する。

【 0 1 7 0 】

なお本実施例では、被写体をモノクロの画像として読み込む半導体装置の駆動方法について説明したが、被写体をカラーの画像として読み込む場合も同様である。ただしカラーの画像として読み込む半導体装置の場合、1つのフレーム期間を R G B に対応した3つのサブフレーム期間に分割し、各サブフレーム期間においてアドレス期間とサステイン期間とに設ける。そして R 用のサブフレーム期間のアドレス期間では、R に対応する画素の発光素子だけ発光するような信号を全ての画素に入力し、サステイン期間において R の発光素子だけ発光を行う。G 用、B 用のサブフレーム期間においても同様に、各サステイン期間において、各色に対応する画素の発光素子のみが発光を行うようにする。

【 0 1 7 1 】

そして被写体をカラーの画像として読み込む半導体装置の場合、R G B に対応した3つのサブフレーム期間の各サステイン期間は、R 用、G 用、B 用センサフレーム期間 (S F r 、 S F g 、 S F b) をそれぞれ設けるようにするとよい。

【 0 1 7 2 】

また本実施例は、実施の形態 1 乃至実施の形態 3、実施例 1 乃至実施例 3 と自由に組み合わせることが可能である。

【 0 1 7 3 】

(実施例 5)

本実施例では、発光素子 2 1 6 の動作を制御する選択用 T F T 2 1 2 および駆動用 T F T 2 1 3 の駆動方法について、実施例 4 とは異なる場合について説明する。本実施例では、画素部 1 0 0 の構成として、図 6 及び図 7 を参照する。

【 0 1 7 4 】

図 1 3 に、本発明の半導体装置において、デジタル方式で画素部 1 0 0 に画像を表示する際のタイミングチャートを示す。

【 0 1 7 5 】

まず、1フレーム期間 (F) を n 個のサブフレーム期間 (S F 1 ~ S F n) に分割する。階調数が多くなるにつれて1フレーム期間におけるサブフレーム期間の数も増える。なお半導体装置の画素部 1 0 0 が画像を表示する場合、1フレーム期間 (F) とは、画素部 1 0 0 の全ての画素 1 0 1 が1つの画像を表示する期間を指す。

【 0 1 7 6 】

本実施例の場合、フレーム期間は1秒間に 6 0 以上設けることが好ましい。1秒間に表示される画像の数を 6 0 以上にすることで、視覚的にフリッカ等の画像のちらつきを抑えることが可能になる。

10

20

30

40

50

【 0 1 7 7 】

サブフレーム期間はアドレス期間 (T a) とサステイン期間 (T s) とに分けられる。アドレス期間とは、1 サブフレーム期間中、全ての画素にデジタルビデオ信号を入力する期間である。なおデジタルビデオ信号とは、画像の情報を有するデジタルの信号である。サステイン期間 (点灯期間とも呼ぶ) とは、アドレス期間において画素に入力されたデジタルビデオ信号によって、発光素子を発光又は非発光の状態にし、表示を行う期間を示している。

【 0 1 7 8 】

S F 1 ~ S F n が有するアドレス期間 (T a) をそれぞれ T a 1 ~ T a n とする。S F 1 ~ S F n が有するサステイン期間 (T s) をそれぞれ T s 1 ~ T s n とする。

10

【 0 1 7 9 】

電源供給線 (V) の電位は所定の電位 (電源電位) に保たれている。

【 0 1 8 0 】

まずアドレス期間 T a において、発光素子の対向電極の電位は、電源電位と同じ高さに保たれている。

【 0 1 8 1 】

次に選択信号線 (E G 1) に入力される信号によって、選択信号線 (E G 1) に接続されている全ての選択用 T F T 2 1 2 がオンの状態になる。次に、ソース信号線駆動回路 1 0 5 からソース信号線 (S) にデジタルビデオ信号が入力される。デジタルビデオ信号は「 0 」または「 1 」の情報を有しており、「 0 」と「 1 」のデジタルビデオ信号は、一方が H i g h、もう一方が L o w の電圧を有する信号である。

20

【 0 1 8 2 】

そしてソース信号線 (S) に入力されたデジタルビデオ信号は、オンの状態の選択用 T F T 2 1 2 を介して、駆動用 T F T 2 1 3 のゲート電極に入力される。

【 0 1 8 3 】

次に選択信号線 (E G 1) に接続されている全ての選択用 T F T 2 1 2 がオフの状態になり、選択信号線 (E G 2) に入力されるタイミング信号によって、選択信号線 (E G 2) に接続されている全ての選択用 T F T 2 1 2 がオンの状態になる。次に、ソース信号線駆動回路 1 0 5 からソース信号線 (S) にデジタルビデオ信号が入力される。ソース信号線 (S) に入力されたデジタルビデオ信号は、オンの状態の選択用 T F T 2 1 2 を介して、駆動用 T F T 2 1 3 のゲート電極に入力される。

30

【 0 1 8 4 】

上述した動作を選択信号線 (E G y) まで繰り返し、全ての画素 1 0 1 の駆動用 T F T 2 1 3 のゲート電極にデジタルビデオ信号が入力され、アドレス期間が終了する。

【 0 1 8 5 】

アドレス期間が終了すると同時にサステイン期間となる。サステイン期間において、全ての選択用 T F T はオフの状態になる。サステイン期間において、全ての発光素子の対向電極の電位は、電源電位が画素電極に与えられたときに発光素子が発光する程度に、電源電位との間に電位差を有する高さになる。

【 0 1 8 6 】

本実施例では、デジタルビデオ信号が「 0 」の情報を有していた場合、駆動用 T F T 2 1 3 はオフの状態になる。よって発光素子 2 1 6 の画素電極は対向電極の電位に保たれたままである。その結果、「 0 」の情報を有するデジタルビデオ信号が入力された画素において、発光素子 2 1 6 は発光しない。

40

【 0 1 8 7 】

逆にデジタルビデオ信号が「 1 」の情報を有していた場合、駆動用 T F T 2 1 3 はオンの状態になる。よって電源電位が発光素子 2 1 6 の画素電極に与えられる。その結果、「 1 」の情報を有するデジタルビデオ信号が入力された画素が有する発光素子 2 1 6 は発光する。

【 0 1 8 8 】

50

このように、画素に入力されるデジタルビデオ信号の有する情報によって、発光素子 216 が発光または非発光の状態になり、画素は表示を行う。

【0189】

サステイン期間が終了すると同時に、1つのサブフレーム期間が終了する。そして次のサブフレーム期間が出現し、再びアドレス期間に入り、全画素にデジタルビデオ信号を入力したら、再びサステイン期間に入る。なお、サブフレーム期間 SF1 ~ SFn の出現する順序は任意である。

【0190】

以下、残りのサブフレーム期間においても同様の動作を繰り返し、表示を行う。n 個のサブフレーム期間が全て終了したら、1つの画像が表示され、1フレーム期間が終了する。1フレーム期間が終了すると次のフレーム期間のサブフレーム期間が出現し、上述した動作を繰り返す。

【0191】

本発明において、n 個のサブフレーム期間がそれぞれ有するアドレス期間 $T_{a1} \sim T_{an}$ の長さは全て同じである。また n 個のサステイン期間 T_{s1} 、...、 T_{sn} の長さの比は、 $T_{s1} : T_{s2} : T_{s3} : \dots : T_{s(n-1)} : T_{sn} = 2^0 : 2^{-1} : 2^{-2} : \dots : 2^{-(n-2)} : 2^{-(n-1)}$ で表される。

【0192】

各画素の階調は、1フレーム期間においてどのサブフレーム期間を発光させるかによって決まる。例えば、 $n = 8$ のとき、全部のサステイン期間で発光した場合の画素の輝度を 100% とすると、 T_{s1} と T_{s2} において画素が発光した場合には 75% の輝度が表現でき、 T_{s3} と T_{s5} と T_{s8} を選択した場合には 16% の輝度が表現できる。

【0193】

また本実施例は、実施の形態 1 乃至実施の形態 3、実施例 1 乃至実施例 4 と自由に組み合わせることが可能である。

【0194】

(実施例 6)

実施例 4 及び実施例 5 では、アドレス期間において対向電極の電位を電源電位と同じ電位に保っていたため、発光素子は発光しなかった。本実施例では、実施例 4 及び実施例 5 とは異なる例について説明する。画素電極に電源電位が与えられたときに発光素子が発光する程度の電位差を、対向電位と電源電位との間に常に設け、アドレス期間においても表示期間と同様に表示を行うようにしても良い。

【0195】

ただし発光素子を光源として用いる場合と本実施例を組み合わせる場合は、モノクロの画像を読み込む半導体装置では、フレーム期間内にセンサフレーム期間 SF が含まれていることが重要である。またカラー画像を読み込む半導体装置では、RGB に対応した 3 つのサブフレーム期間が、それぞれ R 用、G 用、B 用のセンサフレーム期間に含まれていることが重要である。

【0196】

またセンサ部に画像を表示する場合と本実施例を組み合わせる場合は、サブフレーム期間全体が実際に表示を行う期間となるので、サブフレーム期間の長さを、 $SF1 : SF2 : SF3 : \dots : SF(n-1) : SFn = 2^0 : 2^{-1} : 2^{-2} : \dots : 2^{-(n-2)} : 2^{-(n-1)}$ となるように設定する。上記構成により、アドレス期間を発光させない駆動方法に比べて、高い輝度の画像が得られる。

【0197】

また本実施例は、実施の形態 1 乃至実施の形態 3、実施例 1 乃至実施例 5 と自由に組み合わせることが可能である。

【0198】

(実施例 7)

本実施例では、発光素子 216 の動作を制御する選択用 TFT212 および駆動用 TFT

10

20

30

40

50

213の駆動方法について、実施例4～6とは異なる場合について説明する。本実施例では、画素部100の構成として、図6及び図7を参照する。

【0199】

図14に本実施例の半導体装置のブロック図を示す。画素部100の周囲には、選択信号線駆動回路103a、選択用出力切り替え回路103bが形成されており、また、リセット信号線駆動回路104a、リセット用出力切り替え回路104bが形成されている。また、ソース信号線駆動回路105、センサ用ソース信号線駆動回路106が形成されている。

【0200】

ソース信号線駆動回路105は、シフトレジスタ105a、レベルシフト105b、サンプリング回路105cを有している。なおレベルシフト105bは、設計者が必要に応じて用いることができる。また本実施例においてレベルシフト105bはシフトレジスタ105aとサンプリング回路105cとの間に設ける構成としたが、本発明はこの構成に限定されず、シフトレジスタ105aの中にレベルシフト105bが組み込まれている構成にしても良い。

【0201】

クロック信号(CLK)、スタートパルス信号(SP)がシフトレジスタ105aに入力される。シフトレジスタ105aからアナログの信号(アナログ信号)をサンプリングするためのサンプリング信号が出力される。出力されたサンプリング信号はレベルシフト105bに入力され、その電位の振幅が大きくなって出力される。

【0202】

レベルシフト105bから出力されたサンプリング信号は、サンプリング回路105cに入力される。そしてサンプリング回路105cに入力されるアナログ信号がサンプリング信号によってそれぞれサンプリングされ、ソース信号線(S)に入力される。

【0203】

一方、選択信号線駆動回路103aは、それぞれシフトレジスタ、バッファ(いずれも図示せず)を有している。

【0204】

選択信号線駆動回路103aにおいて、シフトレジスタ(図示せず)からのタイミング信号がバッファ(図示せず)に供給され、対応する選択信号線(EG)に供給される。選択信号線(EG)には、それぞれ1ライン分の画素の選択用TF T212のゲート電極が接続されており、1ライン分全ての画素の選択用TF T212を同時にオンの状態にしなくてはならないので、バッファは大きな電流を流すことが可能なものが用いられる。

【0205】

次に、選択用TF T212及び駆動用TF T213を、アナログ方式で駆動させた場合のタイミングチャートを図15に示す。画素部100の全ての画素が一通り発光するまでの期間を1フレーム期間Fと呼ぶ。1ライン期間Lは、1つの選択信号線が選択されてから、その次に別の選択信号線が選択されるまでの期間を意味する。図6に示した半導体装置の場合、選択信号線はy本あるので、1フレーム期間中にy個のライン期間L1～Lyが設けられている。

【0206】

解像度が高くなるにつれて1フレーム期間中のライン期間の数も増え、駆動回路を高い周波数で駆動しなければならなくなる。

【0207】

まず電源供給線(V)は一定の電源電位に保たれている。そして発光素子の対向電極の電位である対向電位も一定の電位に保たれている。電源電位は、電源電位が発光素子の画素電極に与えられると発光素子が発光する程度に、対向電位との間に電位差を有している。

【0208】

第1のライン期間L1において、選択信号線駆動回路103aから選択信号線(EG1)に入力されるタイミング信号によって、選択信号線(EG1)に接続された全ての選択用

10

20

30

40

50

T F T 2 1 2 はオンの状態になる。そして、ソース信号線 (S) に順にソース信号線駆動回路 1 0 5 からアナログ信号が入力される。ソース信号線 (S) に入力されたアナログ信号は、選択用 T F T 2 1 2 を介して駆動用 T F T 2 1 3 のゲート電極に入力される。

【 0 2 0 9 】

駆動用 T F T 2 1 3 のチャネル形成領域を流れる電流の大きさは、そのゲート電極に入力される信号の電位の高さ (電圧) によって制御される。よって、発光素子 2 1 6 の画素電極に与えられる電位は、駆動用 T F T 2 1 3 のゲート電極に入力されたアナログ信号の電位の高さによって決まる。そして発光素子 2 1 6 はアナログ信号の電位に制御されて発光を行う。なお本実施例の場合、全ての画素に入力されるアナログ信号は、同じ高さの電位に保たれている。

10

【 0 2 1 0 】

ソース信号線 (S) へのアナログ信号の入力が終了すると、第 1 のライン期間 L 1 が終了する。なお、ソース信号線 (S) へのアナログ信号の入力が終了するまでの期間と水平帰線期間とを合わせて 1 つのライン期間としても良い。そして次に第 2 のライン期間 L 2 となり、選択信号線 (E G 1) に接続された全ての選択用 T F T 2 1 2 はオフの状態になり、選択信号線 (E G 2) に入力されるゲート信号によって、選択信号線 (E G 2) に接続された全ての選択用 T F T 2 1 2 はオンの状態になる。そして第 1 のライン期間 L 1 と同様に、ソース信号線 (S) に順にアナログ信号が入力される。

【 0 2 1 1 】

そして上述した動作を選択信号線 (E G y) まで繰り返し、全てのライン期間 L 1 ~ L y が終了する。全てのライン期間 L 1 ~ L y が終了すると、1 フレーム期間が終了する。1 フレーム期間が終了することで、全ての画素が有する発光素子は発光を行う。なお全てのライン期間 L 1 ~ L y と垂直帰線期間とを合わせて 1 フレーム期間としても良い。

20

【 0 2 1 2 】

本発明では、全てのサンプリング期間 S T 1 ~ S T y において画素が発光する必要がある、よって本実施例の駆動方法の場合、フレーム期間内にセンサフレーム期間 S F が含まれていることが重要である。

【 0 2 1 3 】

なお本実施例では、モノクロの画像を読み込む半導体装置の駆動方法について説明したが、カラー画像を読み込む場合も同様である。ただしカラー画像を読み込む半導体装置の場合、1 つのフレーム期間を R G B に対応した 3 つのサブフレーム期間に分割する。そして R 用のサブフレーム期間では、R に対応する画素の発光素子だけ発光するようなアナログ信号を全ての画素に入力し、R の発光素子だけ発光を行う。G 用、B 用のサブフレーム期間においても同様に、各色に対応する画素の発光素子のみが発光を行うようにする。

30

【 0 2 1 4 】

そしてカラー画像を読み込む半導体装置の場合、R G B に対応した 3 つのサブフレーム期間の各サステイン期間は、R 用、G 用、B 用センサフレーム期間 (S F r 、 S F g 、 S F b) を含んでいることが重要である。

【 0 2 1 5 】

また本実施例は、実施の形態 1 乃至実施の形態 3、実施例 1 乃至実施例 7 と自由に組み合わせることが可能である。

40

【 0 2 1 6 】

(実施例 8)

図 1 6 に本実施例の半導体装置のブロック図を示す。画素部 1 0 0 の周囲には、選択信号線駆動回路 1 0 3 a、選択用出力切り替え回路 1 0 3 b が形成されており、また、リセット信号線駆動回路 1 0 4 a、リセット用出力切り替え回路 1 0 4 b が形成されている。また、ソース信号線駆動回路 1 0 5、センサ用ソース信号線駆動回路 1 0 6 が形成されている。

【 0 2 1 7 】

なお本実施例において、画素部 1 0 0 の構成は、図 6 及び図 7 を参照する。そして本実施

50

例では画素部 1 0 0 を構成するセンサ部 2 2 1 に注目して、センサ部 2 2 1 の駆動方法について説明する。

【 0 2 1 8 】

センサ用ソース信号線駆動回路 1 0 6 は、バイアス用回路 1 0 6 a、サンプルホールド & 信号処理用回路 1 0 6 b、信号出力線用駆動回路 1 0 6 c、最終出力増幅用回路 1 0 6 d を有する。

【 0 2 1 9 】

バイアス用回路 1 0 6 a は、各画素のセンサ駆動用 T F T 2 2 3 と対になって、ソースフォロワ回路を形成する。バイアス用回路 1 0 6 a の下部には、サンプルホールド & 信号処理用回路 1 0 6 b が形成されている。サンプルホールド & 信号処理用回路 1 0 6 b は、信号を一時保存したり、アナログ・デジタル変換を行ったり、雑音を低減したりするための回路などが形成されている。

【 0 2 2 0 】

サンプルホールド & 信号処理用回路 1 0 6 b の下部には、信号出力線用駆動回路 1 0 6 c が形成されている。信号出力線用駆動回路 1 0 6 c は、一時的に保存されていた信号を、画素部 1 0 0 に順に出力していく機能を有する。そして、最終出力増幅用回路 1 0 6 d は、サンプルホールド & 信号処理用回路 1 0 6 b と信号出力線用駆動回路 1 0 6 c から出力された信号を、外部に出力するために増幅する。つまり、信号を増幅しない場合は必要であるが、形成する場合が多い。

【 0 2 2 1 】

次いで、図 1 7 を参照する。図 1 7 には、バイアス用回路 1 0 6 a、サンプルホールド & 信号処理用回路 1 0 6 b および信号出力線用駆動回路 1 0 6 c の i 列目周辺回路の回路図を示してある。本実施例では、全ての T F T が n チャネル型の場合を示す。バイアス用回路 1 0 6 a は、バイアス用 T F T 5 1 0 a を有している。バイアス用 T F T 5 1 0 a の極性は、各画素のセンサ駆動用 T F T 2 2 3 の極性と同じであり、センサ駆動用 T F T 2 2 3 とソースフォロワ回路を形成する。

【 0 2 2 2 】

バイアス用 T F T 5 1 0 a のゲート電極には、バイアス信号線 5 1 1 が接続されている。バイアス用 T F T 5 1 0 a のソース電極およびドレイン電極は、一方はセンサ用信号出力線 (S S i) に接続されており、もう一方は電源基準線 5 1 0 b に接続されている。なお本実施例では、バイアス用 T F T 5 1 0 a が n チャネル型の場合を示したが、バイアス用 T F T 5 1 0 a が p チャネル型の場合は、電源線に接続される。

【 0 2 2 3 】

転送用 T F T 5 1 2 のゲート電極には、転送信号線 5 1 3 が接続されている。転送用 T F T 5 1 2 のソース電極とドレイン電極は、一方はセンサ用信号出力線 (S S i) に接続され、もう一方はコンデンサ 5 1 4 b に接続されている。転送用 T F T 5 1 2 は、センサ用信号出力線 (S S i) の電位をコンデンサ 5 1 4 b に転送する場合に動作する。また本実施例では、n チャネル型の転送用 T F T 5 1 2 のみを用いたが、p チャネル型の転送用 T F T を追加して、n チャネル型転送用 T F T 5 1 2 と並列に接続して用いることも出来る。

【 0 2 2 4 】

コンデンサ 5 1 4 b は、転送用 T F T 5 1 2 と電源基準線 5 1 4 c に接続されている。コンデンサ 5 1 4 b は、センサ用信号出力線 (S S i) から出力される信号を一時的に蓄積する。

【 0 2 2 5 】

放電用 T F T 5 1 4 a のゲート電極は、プリ放電信号線 5 1 5 に接続されている。また放電用 T F T 5 1 4 a のソース電極とドレイン電極は、一方はコンデンサ 5 1 4 b に接続され、もう一方は電源基準線 5 1 4 c にそれぞれ接続される。放電用 T F T 5 1 4 a は、センサ用信号出力線 (S S i) の電位をコンデンサ 5 1 4 b に入力する前に、コンデンサ 5 1 4 b の電荷を放電する役目を担う。

【 0 2 2 6 】

なお本発明のセンサ用ソース信号線駆動回路 1 0 6 の構成は、図 1 6 に示した構成に限定されない。図 1 6 に示す回路に加えて、アナログ・デジタル信号変換回路や雑音低減回路などを形成してもよい。

【 0 2 2 7 】

そして、コンデンサ 5 1 4 b と最終出力線 5 1 8 の間には、最終選択用 T F T 5 1 6 が設けられる。最終選択用 T F T 5 1 6 のソース電極とドレイン電極は、一方はコンデンサ 5 1 4 b に接続され、もう一方は最終出力線 5 1 8 に接続される。最終選択用 T F T 5 1 6 のゲート電極は、i 列目最終選択線 5 1 9 に接続される。

【 0 2 2 8 】

最終選択線 5 1 9 は、マトリクス状に配置されており、1 列目から順にスキャンされていく。そして i 列目最終選択線 5 1 9 が選択され、最終選択用 T F T 5 1 6 が導通状態になると、コンデンサ 5 1 4 b の電位と i 列目最終選択線 5 1 9 の電位が等しくなる。そしてコンデンサ 5 1 4 b に蓄積されていた信号を最終出力線 5 1 8 に出力することができる。

【 0 2 2 9 】

ただし、最終出力線 5 1 8 に信号を出力する前に、最終出力線 5 1 8 に電荷が蓄積されていると、その電荷によって最終出力線 5 1 8 に信号を出力したときの電位が影響を受けてしまう。そこで最終出力線 5 1 8 に信号を出力する前に、最終出力線 5 1 8 の電位をある電位値に初期化する動作を行うことが必要である。

【 0 2 3 0 】

図 1 7 では、最終出力線 5 1 8 と電源基準線 5 1 7 b の間に、最終リセット用 T F T 5 1 7 a を配置している。そして最終リセット用 T F T 5 1 7 a のゲート電極には、i 列目最終リセット線 5 2 0 が接続されている。そして i 列目最終選択線 5 1 9 を選択する前に、i 列目最終リセット線 5 2 0 を選択して、最終出力線 5 1 8 の電位を電源基準線 5 1 7 b の電位に初期化する。その後、i 列目最終選択線 5 1 9 を選択して、最終出力線 5 1 8 に、コンデンサ 5 1 4 b に蓄積していた信号を出力する。

【 0 2 3 1 】

最終出力線 5 1 8 に出力される信号は、そのまま外部に取り出すことも可能である。しかし信号が微弱であるため、外部に取り出す前に増幅しておくことが好ましい。そして図 1 8 及び図 1 9 には、信号を増幅するための回路として、最終出力増幅用回路 1 0 6 d の回路を示す。信号を増幅するための回路としては、演算増幅器などさまざまな種類があるが、本実施例では、最も簡単な回路構成として、ソースフォロワ回路を示す。なお図 1 8 には n チャネル型のソースフォロワ回路を示し、図 1 9 には p チャネル型のソースフォロワ回路を示す。

【 0 2 3 2 】

図 1 8 は、n チャネル型のソースフォロワ回路の回路図を示す。最終出力増幅用回路 1 0 6 d への信号の入力は、最終出力線 5 1 8 を介して行われる。最終出力線 5 1 8 は、マトリクス状に配置されており、その 1 列目から順に信号が出力される。最終出力線 5 1 8 から出力された信号は、最終出力増幅用回路 1 0 6 d によって、増幅されて外部に出力される。最終出力線 5 1 8 は、最終出力増幅向け増幅用 T F T 5 2 1 のゲート電極に接続される。最終出力増幅向け増幅用 T F T 5 2 1 のドレイン電極は、電源線 5 2 0 に接続され、ソース電極は出力端子となる。最終出力増幅向けバイアス用 T F T 5 2 2 のゲート電極は、最終出力増幅用バイアス信号線 5 2 3 に接続される。最終出力増幅向けバイアス用 T F T 5 2 2 のソース電極とドレイン電極は、一方は電源基準線 5 2 4 に接続され、もう一方は最終出力増幅向け増幅用 T F T 5 2 1 のソース電極に接続される。

【 0 2 3 3 】

次いで、図 1 9 には p チャネル型のソースフォロワ回路の回路図を示す。最終出力線 5 1 8 は、最終出力増幅向け増幅用 T F T 5 2 1 のゲート電極に接続される。最終出力増幅向け増幅用 T F T 5 2 1 のドレイン電極は、電源基準線 5 2 4 に接続され、ソース電極は出力端子となる。最終出力増幅向けバイアス用 T F T 5 2 2 のゲート電極は、最終出力増幅

10

20

30

40

50

用バイアス信号線 5 2 3 と接続される。最終出力増幅向けバイアス用 T F T 5 2 2 のソース電極とドレイン電極は、一方は電源線 5 2 0 と接続されており、もう一方は最終出力増幅向け増幅用 T F T 5 2 1 のソース電極と接続されている。なお図 1 9 に示す最終出力増幅用バイアス信号線 5 2 3 の電位は、図 1 8 に示す n チャンネル型を用いた場合の最終出力増幅用バイアス信号線 5 2 3 の電位とは異なっている。

【 0 2 3 4 】

また本実施例は、実施の形態 1 乃至実施の形態 3、実施例 1 乃至実施例 8 と自由に組み合わせることが可能である。

【 0 2 3 5 】

(実施例 9)

次いで、図 1 6 に示す半導体装置に用いられるセンサ用ソース信号線駆動回路 1 0 6 の動作について図 2 0 を用いて説明する。図 2 0 には、センサ用ソース信号線駆動回路 1 0 6 を構成する信号のタイミングチャートが示されている。そして本実施例では、i 列目のセンサ選択信号線 (S G i) が選択されたときを説明する。

【 0 2 3 6 】

まず i 列目のセンサ選択信号線 (S G i) が選択されると、次にプリ放電信号線 5 1 5 が選択され、放電用 T F T 5 1 4 a が導通状態になる。そして転送信号線 5 1 3 が選択される。そうすると画素から、各列の信号が各列のコンデンサ 5 1 4 b に出力される。

【 0 2 3 7 】

全ての画素の信号を、各列のコンデンサ 5 1 4 b に蓄積した後、最終出力線 5 1 8 に各列の信号を順に出力していく。転送信号線 5 1 3 が非選択になってから、センサ選択信号線 (S G i) が選択されるまでの間、信号出力用駆動回路 1 0 6 c により、全列をスキャンしていく。まず 1 列目の最終リセット線を選択して、最終リセット用 T F T 5 1 7 a を導通状態にし、最終出力線 5 1 8 を電源基準線 5 1 7 b の電位に初期化する。次いで 1 列目の最終選択線を選択し、最終選択用 T F T 5 1 6 を導通状態にし、1 列目のコンデンサ 5 1 4 b の信号を最終出力線 5 1 8 に出力する。

【 0 2 3 8 】

次に 2 列目の最終リセット線を選択して、最終リセット用 T F T 5 1 7 a を導通状態にして、最終出力線 5 1 8 を電源基準線 5 1 7 b の電位に初期化する。その後、2 列目の最終選択線を選択し、最終選択用 T F T 5 1 6 を導通状態にし、2 列目のコンデンサ 5 1 4 b の信号を最終出力線 5 1 8 に出力する。その後は、同様の動作を繰り返す。

【 0 2 3 9 】

そしてあるタイミングで、i 列目最終リセット線 5 2 0 を選択して、最終リセット用 T F T 5 1 7 a を導通状態にし、最終出力線 5 1 8 を電源基準線 5 1 7 b の電位に初期化する。その後、i 列目最終選択線 5 1 9 を選択し、最終選択用 T F T 5 1 6 を導通状態にし、i 列目のコンデンサ 5 1 4 b の信号を最終出力線 5 1 8 に出力する。

【 0 2 4 0 】

次いで、(i + 1) 列目の最終リセット線 5 2 0 を選択し、最終リセット用 T F T 5 1 7 a を導通状態にし、最終出力線 5 1 8 を電源基準線 5 1 7 b の電位に初期化する。その後、(i + 1) 列目の最終選択線 5 1 9 を選択して、最終選択用 T F T 5 1 6 を導通状態にし、(i + 1) 列目のコンデンサ 5 1 4 b の信号を最終出力線 5 1 8 に出力する。その後は、同様の動作を繰り返し、全ての列の信号を最終出力線 5 1 8 に、順次出力していく。このとき、バイアス信号線 5 1 1 の電位は、一定に保たれている。最終出力線 5 1 8 に出力された信号は、最終出力増幅用回路 1 0 6 d で増幅され、外部に出力されていく。

【 0 2 4 1 】

なお光電変換などを行うセンサ部については、P N 型のフォトダイオードの他に、P I N 型のダイオード、アバランシェ型ダイオード、N P N 埋め込み型ダイオード、ショットキー型ダイオード、X 線用のフォトコンダクタ、赤外線用のセンサなどでもよい。また、蛍光材やシンチレータにより、X 線を光に変換した後、その光を読み取ってもよい。

【 0 2 4 2 】

10

20

30

40

50

上述のように、光電変換素子はソースフォロワ回路の入力端子に接続されることが多い。しかしフォトゲート型のように、スイッチを間に挟んだ構成の光電変換素子を用いることもできる。また対数変換型のように、光強度の対数値になるように処理した後の信号を入力端子に入力してもよい。

【0243】

なお本実施例では、画素が2次元に配置された半導体装置について述べたが、画素が1次元に配置されたラインセンサを実現することも出来る。

【0244】

また本実施例は、実施の形態1乃至実施の形態3、実施例1乃至実施例8と自由に組み合わせることが可能である。

【0245】

(実施例10)

本実施例では、本発明の半導体装置の画素部における断面構造について説明する。

【0246】

図21に本実施例の半導体装置の断面図を示す。401は選択用TFT、402は駆動用TFT、403はセンサリセット用TFT、404はセンサ駆動用TFT、405はセンサ選択用TFTである。

【0247】

また、406はカソード電極、407は光電変換層、408はアノード電極である。カソード電極406と、光電変換層407と、アノード電極408とによって、フォトダイオード421が形成される。414はセンサ用配線であり、アノード電極408と外部の電源とを接続している。

【0248】

また409は画素電極(陰極)、410は発光層、411は正孔注入層、412は対向電極(陽極)である。画素電極(陰極)409と、発光層410と、正孔注入層411と、対向電極(陽極)412とで発光素子422が形成される。413は保護膜である。415は層間絶縁膜であり、バンクとして機能し、隣接する画素のEL層を分離する役割を有している。

【0249】

423は被写体であり、発光素子422から発せられた光が被写体423において反射し、フォトダイオード421に照射される。本実施例では、被写体423を基板430のTFTが形成されている側に設ける。

【0250】

本実施例において、選択用TFT401、駆動用TFT402、センサ駆動用TFT404、センサ選択用TFT405は全てnチャネル型TFTである。またセンサリセット用TFT403はpチャネル型TFTである。なお本発明はこの構成に限定されない。よって選択用TFT401、駆動用TFT402、センサ駆動用TFT404、センサ選択用TFT405、センサリセット用TFT403は、nチャネル型TFTとpチャネル型TFTのどちらでも良い。

【0251】

ただし本実施例のように、駆動用TFT402のソース領域またはドレイン領域が発光素子の陰極と電氣的に接続されている場合、駆動用TFT402はnチャネル型TFTであることが望ましい。また逆に、駆動用TFT402のソース領域またはドレイン領域が発光素子の陽極と電氣的に接続されている場合、駆動用TFT402はpチャネル型TFTであることが望ましい。

【0252】

また、本実施例のように、センサリセット用TFT403のドレイン領域がフォトダイオード421のカソード電極406とが電氣的に接続されている場合、センサリセット用TFT403はpチャネル型TFT、センサ駆動用TFT404はnチャネル型TFTであることが望ましい。逆にセンサリセット用TFT403のドレイン領域がフォトダイオード

10

20

30

40

50

ド４２１のアノード電極４０８と電氣的に接続され、センサ用配線４１４がカソード電極４０６と接続されている場合、センサリセット用ＴＦＴ４０３はｎチャネル型ＴＦＴ、センサ駆動用ＴＦＴ４０４はｐチャネル型ＴＦＴであることが望ましい。

【０２５３】

また本実施例は、実施の形態１乃至実施の形態３、実施例１乃至実施例９と自由に組み合わせることが可能である。

【０２５４】

(実施例１１)

本実施例では、本発明の半導体装置の画素部における断面構造であって、実施例１０とは異なる例について説明する。

【０２５５】

図２２に本実施例の半導体装置の断面図を示す。５０１は選択用ＴＦＴ、５０２は駆動用ＴＦＴ、５０３はセンサリセット用ＴＦＴ、５０４はセンサ駆動用ＴＦＴ、５０５はセンサ選択用ＴＦＴである。

【０２５６】

また、５０６はカソード電極、５０７は光電変換層、５０８はアノード電極である。カソード電極５０６と、光電変換層５０７と、アノード電極５０８とによって、フォトダイオード５２１が形成される。５１４はセンサ用配線であり、アノード電極５０８と外部の電源とを電氣的に接続している。また、フォトダイオード５２１のカソード電極５０６とセンサリセット用ＴＦＴ５０３のドレイン領域とは電氣的に接続されている。

【０２５７】

また５０９は画素電極（陽極）、５１０は発光層、５１１は正孔注入層、５１２は対向電極（陰極）である。画素電極（陽極）５０９と、発光層５１０と、正孔注入層５１１と、対向電極（陰極）５１２とで発光素子５２２が形成される。５１３は保護膜である。５１５は層間絶縁膜であり、バンクとして機能し、隣接する画素のＥＬ層を分離する役割を有している。

【０２５８】

５２３は被写体であり、発光素子５２２から発せられた光が被写体５２３上で反射し、フォトダイオード５２１に照射される。本実施例では、実施例１０と異なり、被写体を基板５３０のＴＦＴが形成されていない側に設ける。

【０２５９】

本実施例において、選択用ＴＦＴ５０１、センサ駆動用ＴＦＴ５０４、センサ選択用ＴＦＴ５０５は全てｎチャネル型ＴＦＴである。また駆動用ＴＦＴ５０２、センサリセット用ＴＦＴ５０３はｐチャネル型ＴＦＴである。なお本発明はこの構成に限定されない。よって選択用ＴＦＴ５０１、駆動用ＴＦＴ５０２、センサ駆動用ＴＦＴ５０４、センサ選択用ＴＦＴ５０５、センサリセット用ＴＦＴ５０３は、ｎチャネル型ＴＦＴとｐチャネル型ＴＦＴのどちらでも良い。

【０２６０】

ただし本実施例のように、駆動用ＴＦＴ５０２のソース領域またはドレイン領域が発光素子５２２の陽極５０９と電氣的に接続されている場合、駆動用ＴＦＴ５０２はｐチャネル型ＴＦＴであることが望ましい。また逆に、駆動用ＴＦＴ５０２のソース領域またはドレイン領域が発光素子５２２の陰極と電氣的に接続されている場合、駆動用ＴＦＴ５０２はｎチャネル型ＴＦＴであることが望ましい。

【０２６１】

また、本実施例のように、センサリセット用ＴＦＴ５０３のドレイン領域がフォトダイオード５２１のカソード電極５０６と電氣的に接続されている場合、センサリセット用ＴＦＴ５０３はｐチャネル型ＴＦＴ、センサ駆動用ＴＦＴ５０４はｎチャネル型ＴＦＴであることが望ましい。逆にセンサリセット用ＴＦＴ５０３のドレイン領域がフォトダイオード５２１のアノード電極５０８と電氣的に接続され、センサ用配線５１４がカソード電極５０６と電氣的に接続されている場合、センサリセット用ＴＦＴ５０３はｎチャネル型Ｔ

10

20

30

40

50

T、センサ駆動用TFT504はpチャネル型TFTであることが望ましい。

【0262】

なお本実施例のフォトダイオードは他のTFTと同時に形成することができるので、工程数を抑えることができる。

【0263】

また本実施例は、実施の形態1乃至実施の形態3、実施例1乃至実施例10と自由に組み合わせることが可能である。

【0264】

(実施例12)

本実施例では、本発明の半導体装置の画素部における断面構造であって、実施例10、11とは異なる例について説明する。 10

【0265】

図23に本実施例の半導体装置の断面図を示す。601は選択用TFT、602は駆動用TFT、603はセンサリセット用TFT、604はセンサ駆動用TFT、605はセンサ選択用TFTである。

【0266】

また、606はカソード電極、607は光電変換層、608はアノード電極である。カソード電極606と、光電変換層607と、アノード電極608とによって、フォトダイオード621が形成される。614はセンサ用配線であり、アノード電極608と外部の電源とを接続している。また、フォトダイオード621のカソード電極606とセンサリセット用TFT603のドレイン領域とは電氣的に接続されている 20

【0267】

また609は画素電極(陽極)、610は発光層、611は正孔注入層、612は対向電極(陰極)である。画素電極(陽極)609と、発光層610と、正孔注入層611と、対向電極(陰極)612とで発光素子622が形成される。613は保護膜である。615は層間絶縁膜であり、バンクとして機能し、隣接する画素のEL層を分離する役割を有している。

【0268】

623は被写体であり、発光素子622から発せられた光が被写体623上で反射し、フォトダイオード621に照射される。本実施例では、実施例10と異なり、被写体623を基板630のTFTが形成されていない側に設ける。 30

【0269】

本実施例において、選択用TFT601、センサ駆動用TFT604、センサ選択用TFT605は全てnチャネル型TFTである。また駆動用TFT602、センサリセット用TFT603はpチャネル型TFTである。なお本発明はこの構成に限定されない。よって選択用TFT601、駆動用TFT602、センサ駆動用TFT604、センサ選択用TFT605、センサリセット用TFT603は、nチャネル型TFTとpチャネル型TFTのどちらでも良い。

【0270】

ただし本実施例のように、駆動用TFT602のソース領域またはドレイン領域が発光素子の陽極と電氣的に接続されている場合、駆動用TFT602はpチャネル型TFTであることが望ましい。また逆に、駆動用TFT602のソース領域またはドレイン領域が発光素子の陰極と電氣的に接続されている場合、駆動用TFT602はnチャネル型TFTであることが望ましい。 40

【0271】

また、本実施例のように、センサリセット用TFT603のドレイン領域がフォトダイオード621のカソード電極606と電氣的に接続されている場合、センサリセット用TFT603はpチャネル型TFT、センサ駆動用TFT604はnチャネル型TFTであることが望ましい。逆にセンサリセット用TFT603のドレイン領域がフォトダイオード621のアノード電極608と電氣的に接続されていて、センサ用配線614がカソード 50

電極 606 と接続されている場合、センサリセット用 T F T 603 は n チャンネル型 T F T 、センサ駆動用 T F T 604 は p チャンネル型 T F T であることが望ましい。

【0272】

また本実施例は、実施の形態 1 乃至実施の形態 3、実施例 1 乃至実施例 11 と自由に組み合わせることが可能である。

【0273】

(実施例 13)

本実施例では、本発明の半導体装置の画素部における断面構造であって、実施例 10 ~ 12 とは異なる例について説明する。

【0274】

図 24 に本実施例の半導体装置の断面図を示す。701 は選択用 T F T、702 は駆動用 T F T、703 はセンサリセット用 T F T、704 はセンサ駆動用 T F T、705 はセンサ選択用 T F T である。

【0275】

また、706 はカソード電極、707 は光電変換層、708 はアノード電極である。カソード電極 706 と、光電変換層 707 と、アノード電極 708 とによって、フォトダイオード 721 が形成される。714 はセンサ用配線であり、カソード電極 706 と外部の電源とを接続している。また、フォトダイオード 721 のアノード電極 708 とセンサリセット用 T F T 703 のドレイン領域とは電氣的に接続されている

【0276】

また 709 は画素電極（陰極）、710 は発光層、711 は正孔注入層、712 は対向電極（陽極）である。画素電極（陰極）709 と、発光層 710 と、正孔注入層 711 と、対向電極（陽極）712 とで発光素子 722 が形成される。713 は保護膜である。715 は層間絶縁膜であり、バンクとして機能し、隣接する画素の E L 層を分離する役割を有している

【0277】

723 は被写体であり、発光素子 722 から発せられた光が被写体 723 上で反射し、フォトダイオード 721 に照射される。本実施例では、被写体 723 を基板 730 の T F T が形成されている側に設ける。

【0278】

本実施例において、選択用 T F T 701、駆動用 T F T 702、センサリセット用 T F T 703 は全て n チャンネル型 T F T である。またセンサ駆動用 T F T 704、センサ選択用 T F T 705 は p チャンネル型 T F T である。なお本発明はこの構成に限定されない。よって選択用 T F T 701、駆動用 T F T 702、センサ駆動用 T F T 704、センサ選択用 T F T 705、センサリセット用 T F T 703 は、n チャンネル型 T F T と p チャンネル型 T F T のどちらでも良い。

【0279】

ただし本実施例のように、駆動用 T F T 702 のソース領域またはドレイン領域が発光素子 722 の陰極 709 と電氣的に接続されている場合、駆動用 T F T 702 は n チャンネル型 T F T であることが望ましい。また逆に、駆動用 T F T 702 のソース領域またはドレイン領域が発光素子 722 の陽極 712 と電氣的に接続されている場合、駆動用 T F T 702 は p チャンネル型 T F T であることが望ましい。

【0280】

また、本実施例のように、センサリセット用 T F T 703 のドレイン領域がフォトダイオード 721 のアノード電極 708 と電氣的に接続されている場合、センサリセット用 T F T 703 は n チャンネル型 T F T、センサ駆動用 T F T 704 は p チャンネル型 T F T であることが望ましい。逆にセンサリセット用 T F T 703 のドレイン領域がフォトダイオード 721 のカソード電極 706 と接続され、センサ用配線 714 がアノード電極 708 と接続されている場合、センサリセット用 T F T 703 は p チャンネル型 T F T、センサ駆動用 T F T 704 は n チャンネル型 T F T であることが望ましい。

【0281】

なお本実施例のフォトダイオード721は他のTFTと同時に形成することができるので、工程数を抑えることができる。

【0282】

また本実施例は、実施の形態1乃至実施の形態3、実施例1乃至実施例12と自由に組み合わせることが可能である。

【0283】

(実施例14)

本実施例では、本発明の半導体装置の画素部における断面構造であって、実施例10～13とは異なる例について説明する。

10

【0284】

図25に本実施例の半導体装置の断面図を示す。801は液晶選択用TFT、802はコンデンサ、803はセンサリセット用TFT、804はセンサ駆動用TFT、805はセンサ選択用TFTである。

【0285】

また、806はMgやTiからなる遮光層である。807はフォトダイオードであり、p型半導体層、光電変換層およびn型半導体層の3つの層から形成されている。808はITOからなる透明の導電層であり、809はセンサ用信号出力線(SS)である。

【0286】

810は画素電極(陰極)、811は液晶層、812は配向膜、813はITO膜(透明導電膜)、814は透明絶縁性の基板である。

20

【0287】

840は導光板であり、導光板840の端にはフロントライトが設けられている。823は被写体であり、導光板840から発せられた光が被写体823において反射し、フォトダイオード807に照射される。本実施例では、被写体823を基板830のTFTが形成されている側に設ける。

【0288】

本実施例において、液晶選択用TFT801、コンデンサ802、センサリセット用TFT803は全てnチャネル型TFTである。またセンサ駆動用TFT804、センサ選択用TFT805はpチャネル型TFTである。なお本発明はこの構成に限定されない。よって液晶選択用TFT801、コンデンサ802、センサ駆動用TFT804、センサ選択用TFT805、センサリセット用TFT803は、nチャネル型TFTとpチャネル型TFTのどちらでも良い。

30

【0289】

また本実施例は、実施の形態1乃至実施の形態3、実施例1乃至実施例13と自由に組み合わせることが可能である。

【0290】

(実施例15)

本実施例では、本発明の半導体装置の画素部における断面構造であって、実施例10～14とは異なる例について説明する。

40

【0291】

図26に本実施例の半導体装置の断面図を示す。901は液晶選択用TFT、902はコンデンサ、903はセンサリセット用TFT、904はセンサ駆動用TFT、905はセンサ選択用TFTである。

【0292】

また、906はMgやTiからなる遮光層である。907はフォトダイオードであり、p型半導体層、光電変換層およびn型半導体層の3つの層から形成されている。908はITOからなる透明の導電層であり、909はセンサ用信号出力線(SS)である。

【0293】

910は画素電極(陰極)、911は液晶層、912は配向膜、913はITO膜(透明

50

導電膜)、914は透明絶縁性の基板である。

【0294】

940は導光板であり、導光板940の端にはバックライトが設けられている。923は被写体であり、導光板940から発せられた光が被写体923において反射し、フォトダイオード907に照射される。本実施例では、被写体923を基板930のTFTが形成されている側に設ける。

【0295】

本実施例において、液晶選択用TFT901、コンデンサ902、センサリセット用TFT903は全てnチャネル型TFTである。またセンサ駆動用TFT904、センサ選択用TFT905はpチャネル型TFTである。なお本発明はこの構成に限定されない。よって液晶選択用TFT901、コンデンサ902、センサ駆動用TFT904、センサ選択用TFT905、センサリセット用TFT903は、nチャネル型TFTとpチャネル型TFTのどちらでも良い。

【0296】

また本実施例は、実施の形態1乃至実施の形態3、実施例1乃至実施例14と自由に組み合わせることが可能である。

【0297】

(実施例16)

本発明の半導体装置を用いた電子機器として、ビデオカメラ、デジタルカメラ、ゴーグル型ディスプレイ(ヘッドマウントディスプレイ)、ナビゲーションシステム、音響再生装置(カーオーディオ、オーディオコンポ等)、ノート型パーソナルコンピュータ、ゲーム機器、携帯情報端末(モバイルコンピュータ、携帯電話、携帯型ゲーム機または電子書籍等)、記録媒体を備えた画像再生装置(具体的にはデジタルビデオディスク(DVD)等の記録媒体を再生し、その画像を表示しうるディスプレイを備えた装置)などが挙げられる。特に、斜め方向から画面を見る機会が多い携帯情報端末は、視野角の広さが重要視されるため、発光装置を用いることが望ましい。それら電子機器の具体例を図27に示す。

【0298】

図27(A)はデジタルビデオカメラであり、本体2101、表示部2102、外部接続ポート2105、受像部2103、操作キー2104、シャッター2106等を含む。本発明の半導体装置は表示部2102に用いることができる。

【0299】

図27(B)はモバイルコンピュータであり、本体2301、表示部2302、スイッチ2303、操作キー2304、赤外線ポート2305等を含む。本発明の半導体装置は表示部2302に用いることができる。

【0300】

ここで図27(C)は携帯電話であり、本体2701、筐体2702、表示部2703、音声入力部2704、音声出力部2705、操作キー2706、外部接続ポート2707、アンテナ2708等を含む。本発明の半導体装置は表示部2703に用いることができる。なお、表示部2703は黒色の背景に白色の文字を表示することで携帯電話の消費電力を抑えることができる。

【0301】

なお、将来的に発光素子材料の発光輝度が高くなれば、出力した画像情報を含む光をレンズ等で拡大投影してフロント型またはリア型のプロジェクターに用いることも可能となる。また、上記電子機器はインターネットやCATV(ケーブルテレビ)などの電子通信回線を通じて配信された情報を表示することが多くなり、特に動画情報を表示する機会が増してきている。発光素子を用いる場合の本発明の半導体装置において、発光素子材料の応答速度は非常に高いため、半導体装置は動画表示に好ましい。

【0302】

また、発光素子を用いる場合の本発明の半導体装置は発光している部分が電力を消費するため、発光部分が極力少なくなるように情報を表示することが望ましい。従って、携帯情

10

20

30

40

50

報端末、特に携帯電話や音響再生装置のような文字情報を主とする表示部に発光装置を用いる場合には、非発光部分を背景として文字情報を発光部分で形成するように駆動することが望ましい。

【0303】

以上の様に、本発明の適用範囲は極めて広く、あらゆる分野の電子機器に用いることが可能である。また本実施例は、実施の形態1乃至実施の形態3、実施例1乃至実施例15と自由に組み合わせることが可能である。

【0304】

(実施例17)

本発明の半導体装置を用いた電子機器の実施例16とは異なる例として、携帯型ハンドスキャナーについて、図28を用いて説明する。

10

【0305】

1801は基板、1802は画素部、1803はタッチパネル、1804はタッチペンである。タッチパネル1803は透光性を有しており、画素部1802から発せられる光及び、画素部1802に入射する光を透過することができ、タッチパネル1803を通して被写体上の画像を読み込むことができる。また画素部1802に画像が表示されている場合にも、タッチパネル1803を通して、画素部1802上の画像を見ることが可能である。

【0306】

タッチペン1804がタッチパネル1803に触れると、タッチペン1804とタッチパネル1803とが接している部分の位置の情報を、電気信号として半導体装置に取り込むことができる。本実施例で用いられるタッチパネル1803及びタッチペン1804は、タッチパネル1803が透光性を有していて、なおかつタッチペン1804とタッチパネル1803とが接している部分の位置の情報を、電気信号として半導体装置に取り込むことができるものならば、公知のものを用いることができる。

20

【0307】

上記構成を有する本発明の半導体装置は、画像を読み込んで、画素部1802に読み込んだ画像を表示し、取り込んだ画像にタッチペン1804で書き込みを行うことができる。そして本発明の半導体装置は、画像の読み込み、画像の表示、画像への書き込みを、全て画素部1802において行うことができる。よって半導体装置自体の大きさを抑え、なおかつ様々な機能を半導体装置に持たせることができる。

30

【0308】

図28(b)は、図28(a)とは異なる携帯型ハンドスキャナーであり、本体1901、画素部1902、上部カバー1903、外部接続ポート1904、操作スイッチ1905で構成されている。図28(c)は図28(b)と同じ携帯型ハンドスキャナーの上部カバー1903を閉じた図である。

【0309】

本発明の半導体装置は、読み込んだ画像を画素部1902において表示することが可能であり、新たに電子ディスプレイを半導体装置に設けなくとも、その場で読み込んだ画像を確認することができる。

40

【0310】

また画素部1902で読み込んだ画像信号を、外部接続ポート1904から携帯型ハンドスキャナーの外部に接続されている電子機器に送り、ソフト上で画像を補正、合成、編集等を行うことも可能である。

【0311】

また本実施例は、実施の形態1乃至実施の形態3、実施例1乃至実施例16と自由に組み合わせることが可能である。

【0312】

【発明の効果】

本発明の半導体装置は、光源としての発光素子と光電変換素子のフォトダイオードを同一

50

基板上に形成することにより、半導体装置の小型化を実現することができる。また出力切り替え回路を用いることにより、１つの駆動回路で２本の信号線を制御することが可能となる。その結果、半導体装置の駆動回路の占有面積を小さくすることが可能になり、半導体装置の小型化を実現することができる。

【０３１３】

【図面の簡単な説明】

【図１】 本発明の半導体装置の概略図。

【図２】 本発明の半導体装置の駆動回路の回路図。

【図３】 本発明の駆動回路のタイミングチャート図。

【図４】 画素に設けられたＴＦＴに入力される信号の図。

10

【図５】 従来の半導体装置の概略図。

【図６】 本発明の画素部の回路図。

【図７】 本発明の画素の回路図。

【図８】 本発明の画素の回路図。

【図９】 本発明の画素の回路図。

【図１０】 本発明の画素の回路図。

【図１１】 本発明の半導体装置の概略図。

【図１２】 画像を読み取るときの発光素子の発光のタイミングチャート。

【図１３】 画像を表示するときの発光素子の発光のタイミングチャート。

【図１４】 本発明の半導体装置の概略図。

20

【図１５】 画像を読み取るときの発光素子の発光のタイミングチャート。

【図１６】 本発明の半導体装置の概略図。

【図１７】 センサ用ソース信号線駆動回路の回路図。

【図１８】 センサ用ソース信号線駆動回路の回路図。

【図１９】 センサ用ソース信号線駆動回路の回路図。

【図２０】 センサ用ソース信号線駆動回路のタイミングチャート図。

【図２１】 本発明の半導体装置の断面構造の図。

【図２２】 本発明の半導体装置の断面構造の図。

【図２３】 本発明の半導体装置の断面構造の図。

【図２４】 本発明の半導体装置の断面構造の図。

30

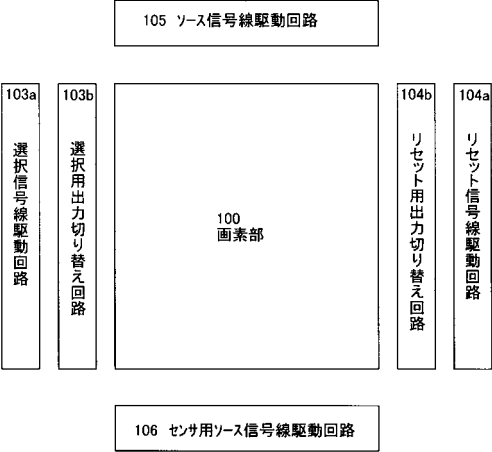
【図２５】 本発明の半導体装置の断面構造の図。

【図２６】 本発明の半導体装置の断面構造の図。

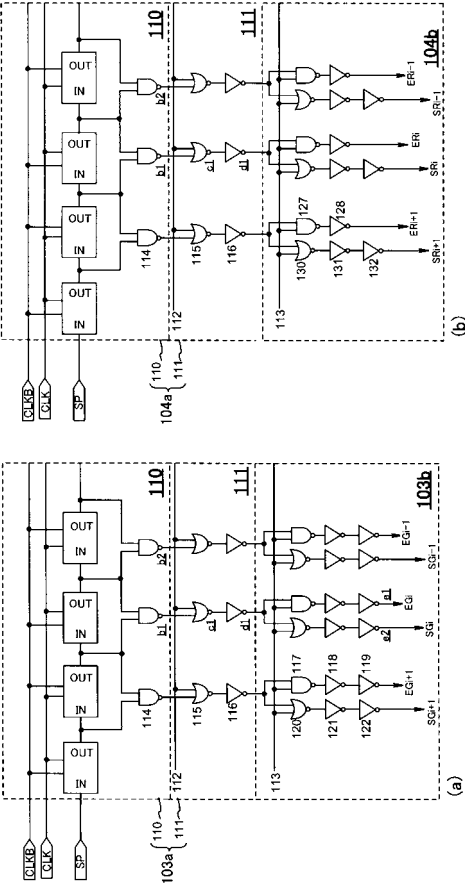
【図２７】 本発明が適用される電子機器の一例の図。

【図２８】 本発明が適用される電子機器の一例の図。

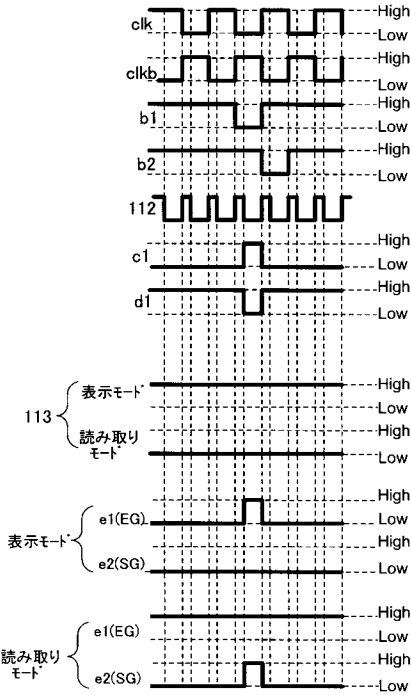
【図 1】



【図 2】



【図 3】



【図 4】

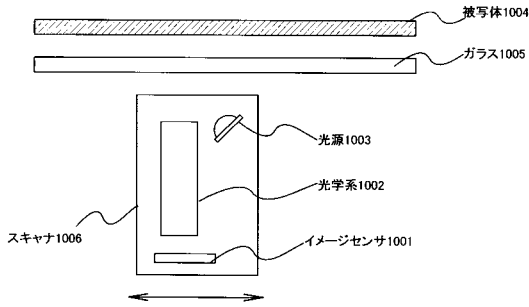
(A)

		表示モード	被写体をモノクロで読み取る場合の読み取りモード	
			オン信号	オフ信号
発光素子部	ソース信号線駆動回路	パルス信号	オン信号	
	ビデオ信号	パルス信号	オン信号	
	選択信号線(EG)	パルス信号	オン信号	
	リセット信号線(ER)	パルス信号	オフ信号	
センサ部	センサ用信号出力線(SS)		パルス信号	
	センサ選択信号線(SG)	オフ信号	パルス信号	
	センサリセット信号線(SR)	オフ信号	パルス信号	

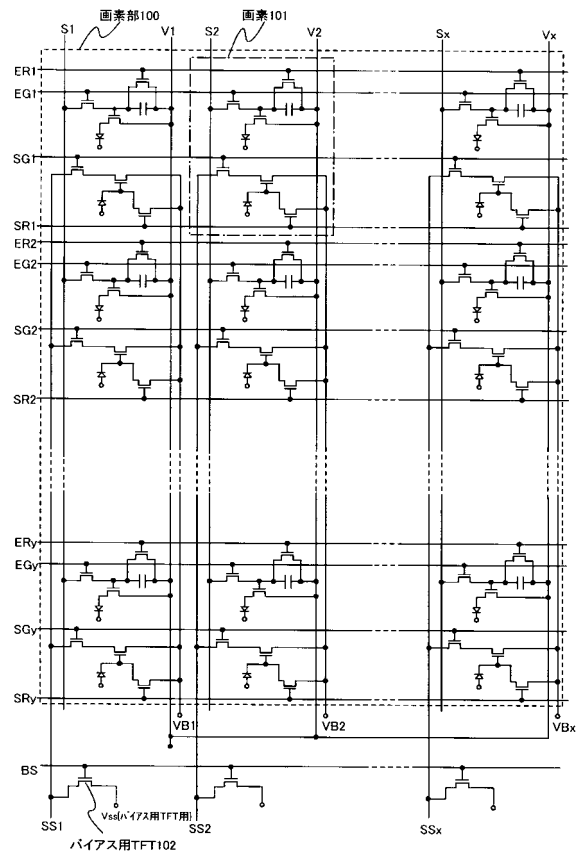
(B)

		表示モード	被写体をカラーで読み取る場合の読み取りモード		
			R	G	B
発光素子部	ソース信号線駆動回路	パルス信号	オン信号	オン信号	オン信号
	ビデオ信号(R)	パルス信号	オン信号	オフ信号	オフ信号
	ビデオ信号(G)	パルス信号	オフ信号	オン信号	オフ信号
	ビデオ信号(B)	パルス信号	オフ信号	オフ信号	オン信号
	選択信号線(EG)	パルス信号	オン信号	オン信号	オン信号
	リセット信号線(ER)	パルス信号	オフ信号	オフ信号	オフ信号
センサ部	センサ用信号出力線(SS)		パルス信号	パルス信号	パルス信号
	センサ選択信号線(SG)	オフ信号	パルス信号	パルス信号	パルス信号
	センサリセット信号線(SR)	オフ信号	パルス信号	パルス信号	パルス信号

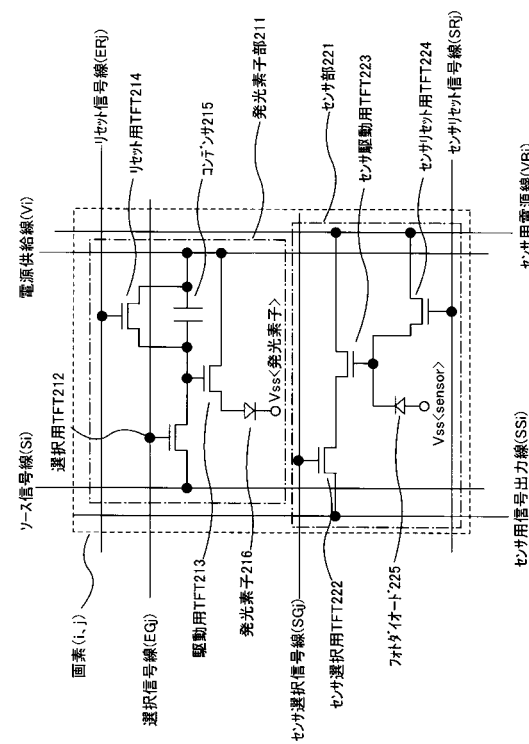
【図 5】



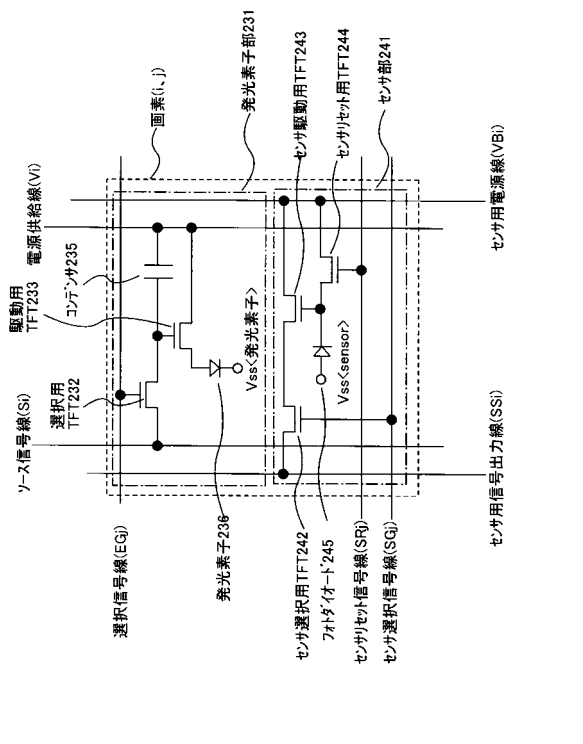
【図 6】



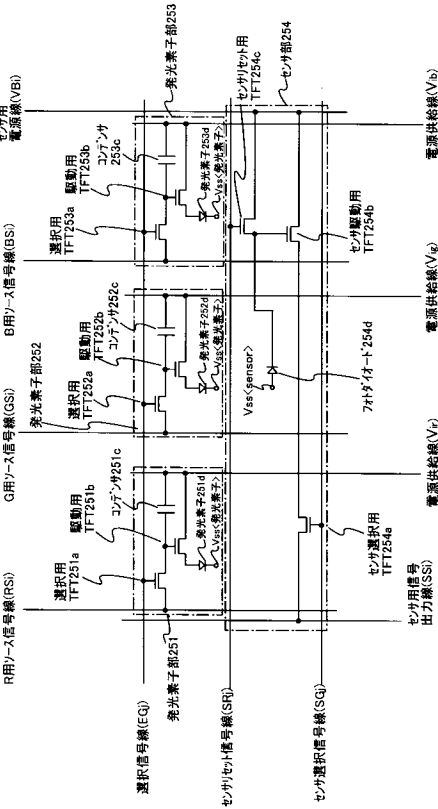
【図 7】



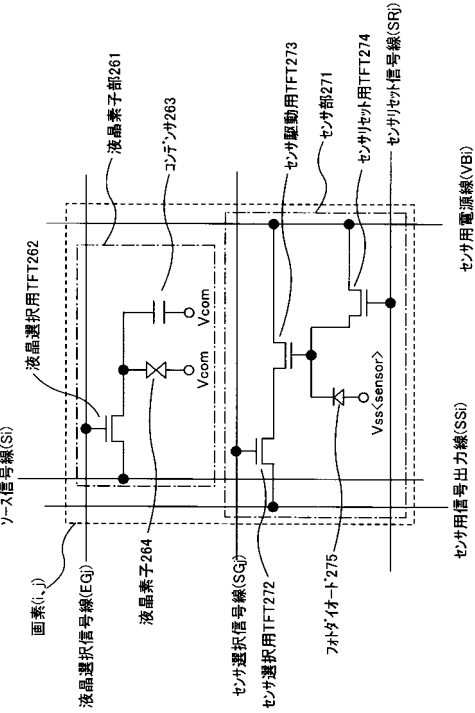
【図 8】



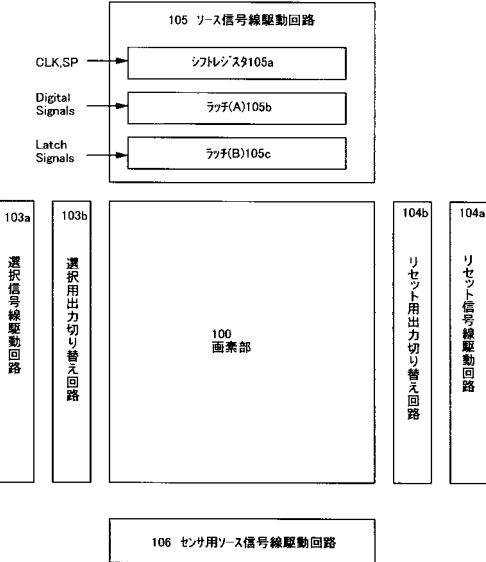
【図 9】



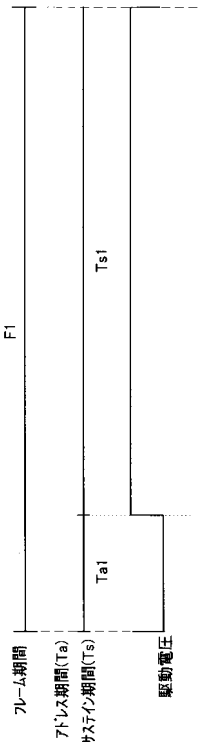
【図 10】



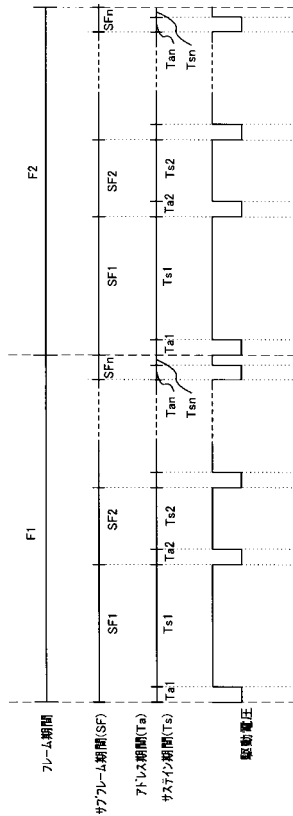
【図 11】



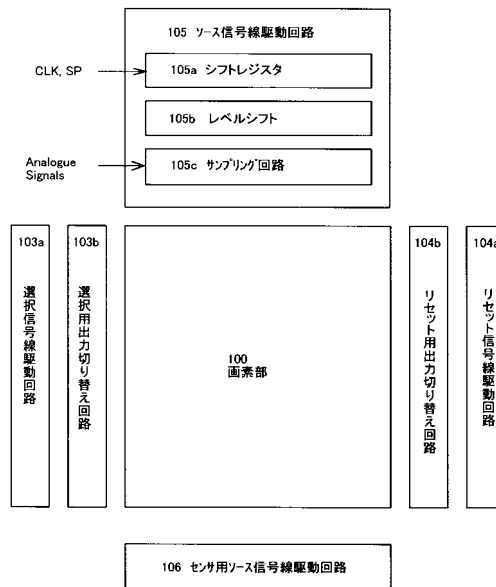
【図 12】



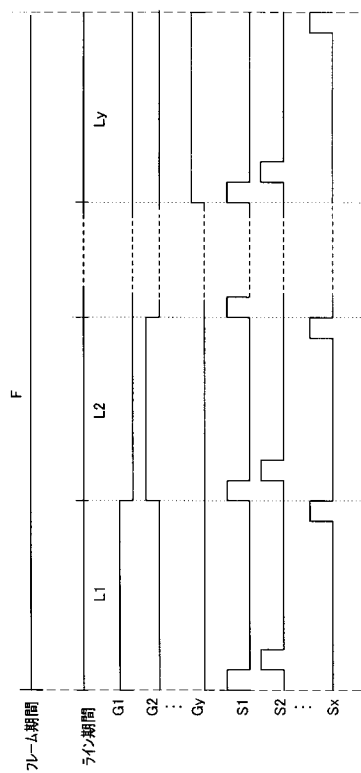
【図 13】



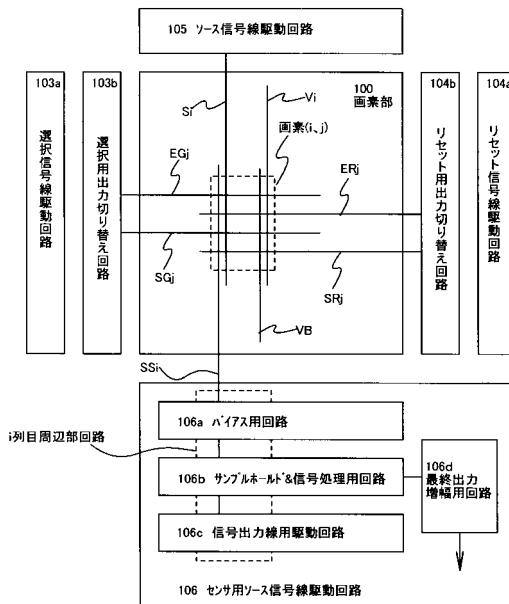
【図 14】



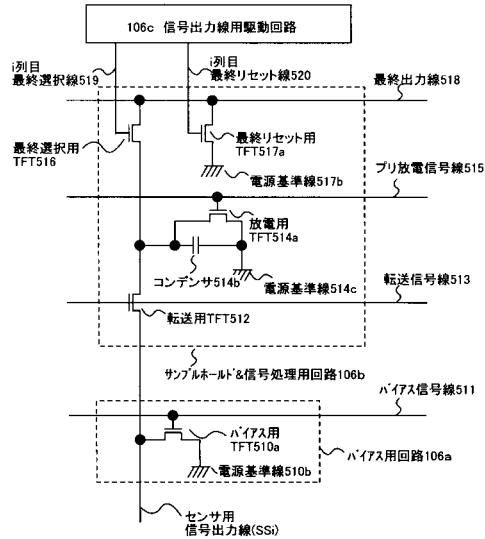
【図 15】



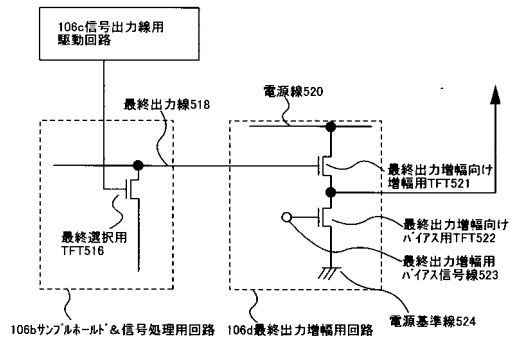
【図 16】



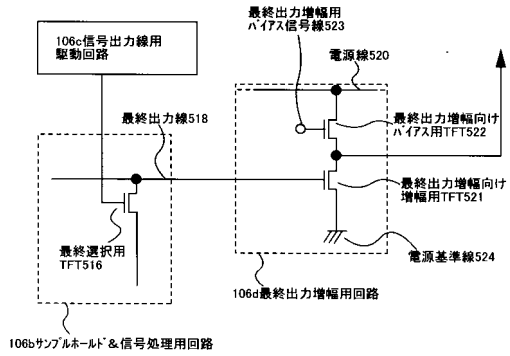
【 図 1 7 】



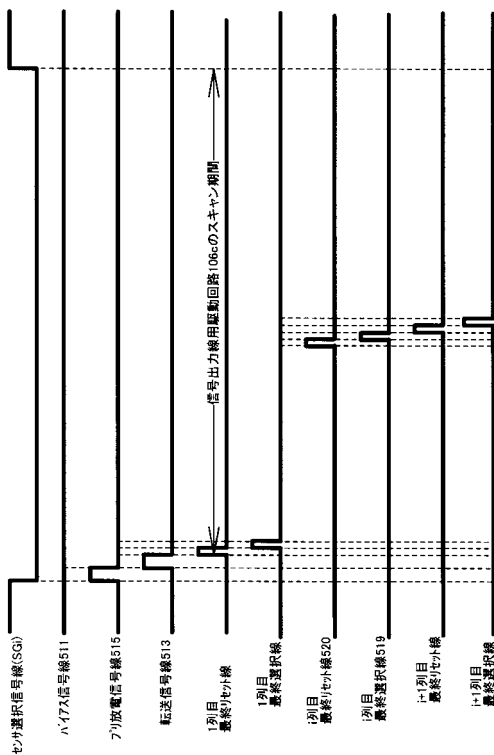
【 図 1 8 】



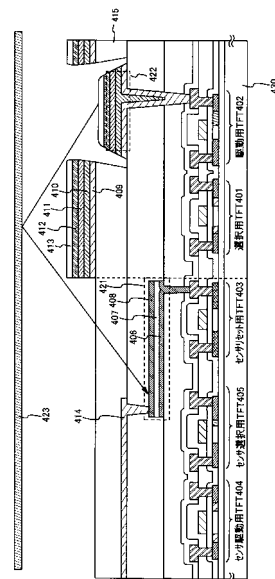
【 図 1 9 】



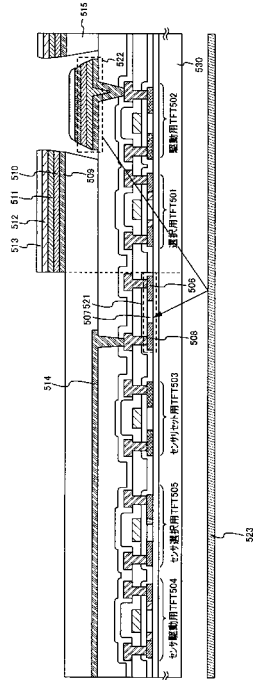
【 図 2 0 】



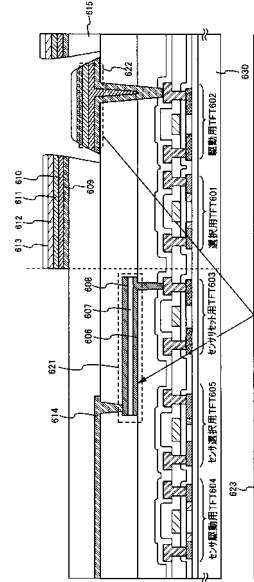
【 図 2 1 】



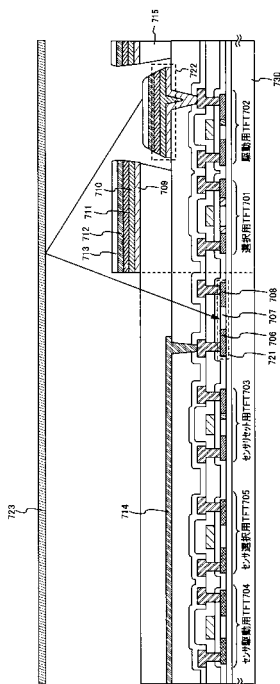
【 図 2 2 】



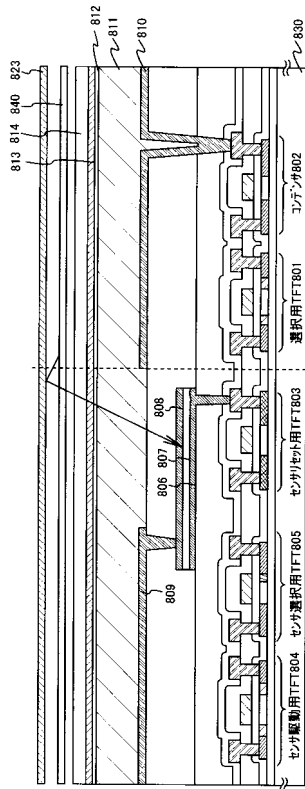
【圖 23】



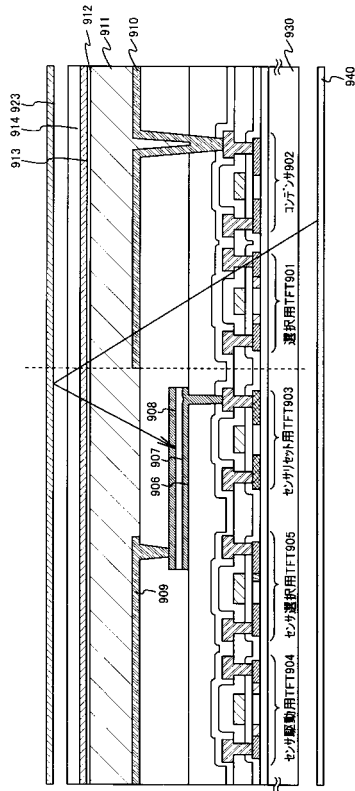
【 図 2 4 】



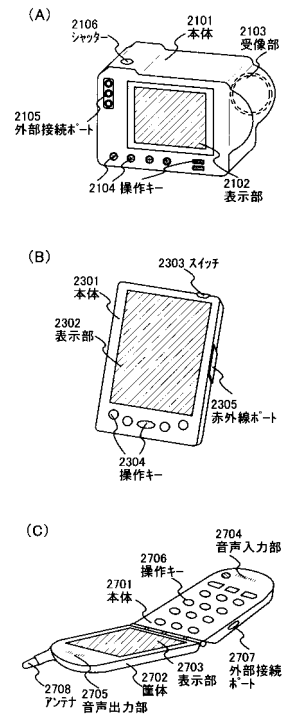
【 図 2 5 】



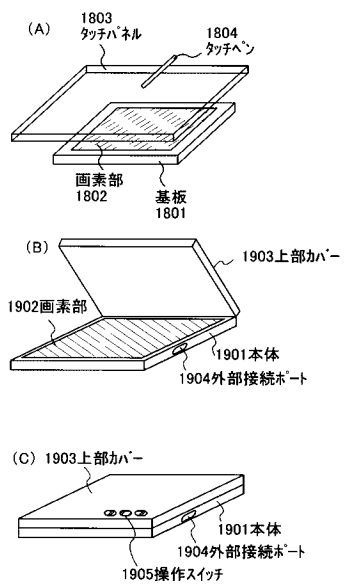
【図 26】



【図 27】



【図 28】



フロントページの続き

(51)Int.Cl.

F I

G 0 9 G	3/20	6 4 2 A
G 0 9 G	3/20	6 8 0 H
G 0 9 G	3/20	6 8 0 T
G 0 9 G	3/30	K
H 0 4 N	1/028	A

(58)調査した分野(Int.Cl. , D B 名)

G09G	3/00 - 3/38
G02F	1/133
H04N	5/66