

(19)日本国特許庁(JP)

(12)特許公報(B2)

(11)特許番号
特許第7628629号
(P7628629)

(45)発行日 令和7年2月10日(2025.2.10)

(24)登録日 令和7年1月31日(2025.1.31)

(51)国際特許分類

F I

G 1 1 C 16/34 (2006.01)

G 1 1 C 16/34 1 4 0

G 1 1 C 16/10 (2006.01)

G 1 1 C 16/10 1 4 0

請求項の数 20 (全15頁)

(21)出願番号	特願2023-565896(P2023-565896)	(73)特許権者	500147506
(86)(22)出願日	令和3年9月27日(2021.9.27)		シリコン ストーリッジ テクノロジー
(65)公表番号	特表2024-520275(P2024-520275		インコーポレイテッド
	A)		S I L I C O N S T O R A G E T E C
(43)公表日	令和6年5月24日(2024.5.24)		H N O L O G Y , I N C .
(86)国際出願番号	PCT/US2021/052234		アメリカ合衆国 9 5 1 3 4 カリフォル
(87)国際公開番号	WO2022/256030		ニア州 サンノゼ ホルガー ウェイ 4 5 0
(87)国際公開日	令和4年12月8日(2022.12.8)	(74)代理人	110000626
審査請求日	令和5年12月25日(2023.12.25)		弁理士法人英知国際特許商標事務所
(31)優先権主張番号	63/196,130	(72)発明者	マルコフ、ビクター
(32)優先日	令和3年6月2日(2021.6.2)		アメリカ合衆国 9 5 0 5 0 カリフォル
(33)優先権主張国・地域又は機関			ニア州、サンタクララ、ルース カブラル
	米国(US)		ウェイ 2 4 2 1
(31)優先権主張番号	17/481,225	(72)発明者	コトフ、アレキサンダー
(32)優先日	令和3年9月21日(2021.9.21)		アメリカ合衆国 9 5 1 2 7 カリフォル
	最終頁に続く		最終頁に続く

(54)【発明の名称】 ランダムテレグラフノイズを呈するメモリセルに対するプログラム後調整によってアナログ不揮発性メモリにおける読み出し電流安定性を改善する方法

(57)【特許請求の範囲】

【請求項1】

メモリデバイスであって、
各々が第1のゲートを備える複数の不揮発性メモリセルと、
制御回路と、を備え、前記制御回路は、
前記複数の不揮発性メモリセルのうちの選択された不揮発性メモリセルを、前記選択された不揮発性メモリセルの前記第1のゲートのためのターゲット閾値電圧を満たすか又は超える前記選択された不揮発性メモリセルの前記第1のゲートのための閾値電圧に対応する初期プログラム状態にプログラムすることであって、前記第1のゲートのための前記ターゲット閾値電圧は、ターゲット読み出し電流に対応し、前記選択された不揮発性メモリセルを前記プログラムすることは、第1の値を有するプログラム電圧を前記第1のゲートに印加することを含む、プログラムすることと、
前記第1の値をメモリに記憶することと、
第1の読み出し電流を生成するように、前記選択された不揮発性メモリセルの前記第1のゲートに印加される、前記第1のゲートに対するターゲット閾値電圧より小さい読み出し電圧を使用して、第1の読み出し動作において、前記選択された不揮発性メモリセルを読み出すことと、
前記第1の読み出し電流が前記ターゲット読み出し電流より大きいという判定にตอบสนองして、前記選択された不揮発性メモリセルを追加のプログラミングに供することと、を行うように構成されており、前記追加のプログラミングは、

10

20

前記メモリから前記第 1 の値を取り出すことと、
前記第 1 の値より大きい第 2 の値を決定することと、
前記第 2 の値を有するプログラム電圧を前記第 1 のゲートに印加することを含む、
前記選択された不揮発性メモリセルをプログラムすることと、を含む、メモリデバイス。

【請求項 2】

前記制御回路は、前記第 2 の値を前記メモリに記憶するように構成されている、請求項 1 に記載のメモリデバイス。

【請求項 3】

メモリデバイスであって、前記複数の不揮発性メモリセルの各々は、
半導体基板内に形成された離間したソース領域及びドレイン領域であって、前記基板の
チャンネル領域が間に延在しているソース領域及びドレイン領域と、
前記チャンネル領域の第 1 の部分の上方に垂直に配設され、かつ前記チャンネル領域の前記
第 1 の部分から絶縁されている浮遊ゲートと、
前記チャンネル領域の第 2 の部分の上方に垂直に配設され、かつ前記チャンネル領域の前記
第 2 の部分から絶縁されている選択ゲートと、を備え、
前記複数の不揮発性メモリセルの各々について、前記第 1 のゲートは、前記浮遊ゲート
の上方に垂直に配設され、かつ前記浮遊ゲートから絶縁されている、請求項 1 に記載のメ
モリデバイス。

【請求項 4】

前記複数の不揮発性メモリセルの各々は、
前記ソース領域の上方に配設され、かつ前記ソース領域から絶縁されている消去ゲート
を更に備える、請求項 3 に記載のメモリデバイス。

【請求項 5】

メモリデバイスであって、前記制御回路は、
前記選択された不揮発性メモリセルにプログラミング電圧の少なくとも 1 つの第 1 のパ
ルスを印加することと、
第 2 の読み出し電流を生成するように、前記選択された不揮発性メモリセルの前記第 1
のゲートに印加される、前記第 1 のゲートに対する前記ターゲット閾値電圧に等しい、読
み出し電圧を使用して、前記選択された不揮発性メモリセルを読み出すことと、
前記第 2 の読み出し電流が前記ターゲット読み出し電流以下ではないという判定に回答
して、プログラミング電圧の少なくとも 1 つの第 2 のパルスを前記選択された不揮発性メ
モリセルに印加することと、によって前記選択された不揮発性メモリセルを前記初期プロ
グラム状態にプログラムするように構成されている、請求項 1 に記載のメモリデバイス。

【請求項 6】

プログラミング電圧の前記少なくとも 1 つの第 1 のパルスは、前記第 1 のゲートに印加
される第 1 のプログラム電圧を含み、プログラミング電圧の前記少なくとも 1 つの第 2 の
パルスは、前記第 1 のプログラム電圧より大きい、前記第 1 のゲートに印加される第 2 の
プログラム電圧を含む、請求項 5 に記載のメモリデバイス。

【請求項 7】

メモリデバイスであって、前記制御回路は、
第 2 の読み出し電流を生成するように、前記選択された不揮発性メモリセルの前記第 1
のゲートに印加される、前記ターゲット閾値電圧より小さい読み出し電圧を使用して、前
記第 1 の読み出し動作において、前記第 1 の読み出し電流が前記ターゲット読み出し電流
より大きくないと判定されたことに回答して、行われる第 2 の読み出し動作において、前
記選択された不揮発性メモリセルを読み出すことと、
前記第 2 の読み出し電流が前記ターゲット読み出し電流より大きいという判定に回答し
て、前記選択された不揮発性メモリセルを前記追加のプログラミングに供することと、
前記第 2 の読み出し電流が前記ターゲット読み出し電流より大きくないと判定に回答
して、前記選択された不揮発性メモリセルを前記追加プログラミングに供しないことと
、を行うように構成されている、請求項 1 に記載のメモリデバイス。

【請求項 8】

前記制御回路は、前記選択された不揮発性メモリセルの初期プログラム状態への前記プログラミングの後、かつ前記第 1 の読み出し動作の前に、前記選択された不揮発性メモリセルの非浮遊ゲートに負電圧を印加するように構成されている、請求項 1 に記載のメモリデバイス。

【請求項 9】

前記制御回路は、前記選択された不揮発性メモリセルの前記初期プログラム状態への前記プログラミングの後、かつ前記第 1 の読み出し動作の前に、前記選択された不揮発性メモリセルの前記第 1 のゲートに負電圧を印加するように構成されている、請求項 1 に記載のメモリデバイス。

10

【請求項 10】

メモリデバイスであって、前記制御回路は、

前記選択された不揮発性メモリセルの前記初期プログラム状態への前記プログラミングの後、かつ前記第 1 の読み出し動作の前に、前記選択された不揮発性メモリセルの前記第 1 のゲートに負電圧を印加することと、

前記第 1 の読み出し動作において、前記第 1 の読み出し電流が前記ターゲット読み出し電流より大きくないと判定した後、かつ前記第 2 の読み出し動作の前に、前記選択された不揮発性メモリセルの前記第 1 のゲートに負電圧を印加することと、を行うように構成されている、請求項 7 に記載のメモリデバイス。

【請求項 11】

20

複数の不揮発性メモリセルのうちの選択された不揮発性メモリセルをプログラムする方法であって、前記複数の不揮発性メモリセルの各々は第 1 のゲートを含み、前記方法は、

前記選択された不揮発性メモリセルを、前記選択された不揮発性メモリセルの前記第 1 のゲートに対するターゲット閾値電圧を満たすか又は超えることに対応する初期プログラム状態にプログラムするステップであって、前記ターゲット閾値電圧は、ターゲット読み出し電流に対応し、前記プログラムすることは、第 1 の値を有するプログラム電圧を前記第 1 のゲートに印加するステップを含む、プログラムするステップと、

前記第 1 の値をメモリに記憶するステップと、

第 1 の読み出し電流を生成するように、前記選択された不揮発性メモリセルの前記第 1 のゲートに印加される、前記ターゲット閾値電圧より小さい、読み出し電圧を使用して、第 1 の読み出し動作において、前記選択された不揮発性メモリセルを読み出すステップと、

30

前記第 1 の読み出し電流が前記ターゲット読み出し電流より大きいと判定したことに応答して、前記選択された不揮発性メモリセルを追加のプログラミングに供するステップと、を含み、前記追加のプログラミングは、

前記メモリから前記第 1 の値を取り出すステップと、

前記第 1 の値より大きい第 2 の値を決定するステップと、

前記第 2 の値を有するプログラム電圧を前記第 1 のゲートに印加するステップを含む、前記選択された不揮発性メモリセルをプログラムするステップと、を含む、方法。

【請求項 12】

前記第 2 の値を前記メモリに記憶するステップを含む、請求項 11 に記載の方法。

40

【請求項 13】

前記複数の不揮発性メモリセルの各々は、

半導体基板内に形成された離間したソース領域及びドレイン領域であって、前記基板のチャネル領域が間に延在しているソース領域及びドレイン領域と、

前記チャネル領域の第 1 の部分の上方に垂直に配設され、かつ前記チャネル領域の前記第 1 の部分から絶縁されている浮遊ゲートと、

前記チャネル領域の第 2 の部分の上方に垂直に配設され、かつ前記チャネル領域の前記第 2 の部分から絶縁されている選択ゲートと、を更に備え、

前記複数の不揮発性メモリセルの各々について、前記第 1 のゲートは、前記浮遊ゲートの上方に垂直に配設され、かつ前記浮遊ゲートから絶縁されている、請求項 11 に記載の

50

方法。

【請求項 1 4】

前記複数の不揮発性メモリセルの各々は、

前記ソース領域の上方に配設され、かつ前記ソース領域から絶縁されている消去ゲートを更に含む、請求項 1 3 に記載の方法。

【請求項 1 5】

方法であって、前記選択された不揮発性メモリセルの前記初期プログラム状態への前記プログラミングは、

前記選択された不揮発性メモリセルにプログラミング電圧の少なくとも 1 つの第 1 のパルスを印加するステップと、

第 2 の読み出し電流を生成するように、前記選択された不揮発性メモリセルの前記第 1 のゲートに印加される、前記ターゲット閾値電圧に等しい、読み出し電圧を使用して、前記選択された不揮発性メモリセルを読み出すステップと、

前記第 2 の読み出し電流が前記ターゲット読み出し電流より大きいと判定することに対応して、プログラミング電圧の少なくとも 1 つの第 2 のパルスを前記選択された不揮発性メモリセルに印加するステップと、を含む、請求項 1 1 に記載の方法。

【請求項 1 6】

プログラミング電圧の前記少なくとも 1 つの第 1 のパルスは、前記第 1 のゲートに印加される第 1 のプログラム電圧を含み、プログラミング電圧の前記少なくとも 1 つの第 2 のパルスは、前記第 1 のプログラム電圧より大きい、前記第 1 のゲートに印加される第 2 のプログラム電圧を含む、請求項 1 5 に記載の方法。

【請求項 1 7】

方法であって、第 2 の読み出し電流を生成するように、前記選択された不揮発性メモリセルの前記第 1 のゲートに印加され、前記ターゲット閾値電圧より小さい読み出し電圧を使用して、前記第 1 の読み出し動作において前記第 1 の読み出し電流が前記ターゲット読み出し電流より大きくないと判定されたことに応答して、行われる第 2 の読み出し動作において、前記選択された不揮発性メモリセルを読み出すステップと、

前記第 2 の読み出し電流が前記ターゲット読み出し電流より大きいと判定することに対応して、前記選択された不揮発性メモリセルを前記追加のプログラミングに供するステップと、

前記第 2 の読み出し電流が前記ターゲット読み出し電流より大きくないと判定することに対応して、前記選択された不揮発性メモリセルを前記追加プログラミングに供しないステップと、を含む、請求項 1 1 に記載の方法。

【請求項 1 8】

前記選択された不揮発性メモリセルの前記初期プログラム状態への前記プログラミングの後、かつ前記第 1 の読み出し動作の前に、前記選択された不揮発性メモリセルの非浮遊ゲートに負電圧を印加するステップを更に含む、請求項 1 1 に記載の方法。

【請求項 1 9】

前記選択された不揮発性メモリセルの前記初期プログラム状態への前記プログラミングの後、かつ前記第 1 の読み出し動作の前に、前記選択された不揮発性メモリセルの前記第 1 のゲートに負電圧を印加するステップを更に含む、請求項 1 1 に記載の方法。

【請求項 2 0】

前記選択された不揮発性メモリセルの前記初期プログラム状態への前記プログラミングの後、かつ前記第 1 の読み出し動作の前に、前記選択された不揮発性メモリセルの前記第 1 のゲートに負電圧を印加するステップと、

前記第 1 の読み出し動作において、前記第 1 の読み出し電流が前記ターゲット読み出し電流より大きくないと判定した後、かつ前記第 2 の読み出し動作の前に、前記選択された不揮発性メモリセルの前記第 1 のゲートに負電圧を印加するステップと、を含む、請求項 1 7 に記載の方法。

【発明の詳細な説明】

【技術分野】

【0001】

(優先権の主張)

本出願は、2021年6月2日出願の米国仮特許出願第63/196,130号及び2021年9月21日出願の米国特許出願第17/481,225号の利益を主張するものである。

【0002】

(発明の分野)

本発明は、不揮発性メモリデバイスに関し、より具体的には、読み出し動作中のメモリセル電流の安定性を改善することに関する。

【背景技術】

【0003】

不揮発性メモリデバイスは、当該技術分野において周知である。例えば、米国特許第7,868,375号は、4ゲートメモリセル構造を開示し、あらゆる目的のために参照により本明細書に組み込まれる。具体的には、本出願の図1は、シリコン半導体基板12内に形成された、離間されたソース領域14及びドレイン領域16を有するスプリットゲートメモリセル10を例解する。ソース領域14は、ソースラインSLと称され得(なぜなら、通常、同じ行又は列の他のメモリセルの他のソース領域に接続されるからである)、ドレイン領域16は、通常、ビットラインコンタクト28によってビットラインに接続される。基板のチャンネル領域18は、ソース領域14と、ドレイン領域16との間に画定される。浮遊ゲート20は、チャンネル領域18の第1の部分の上方に垂直に配設され、かつチャンネル領域18の第1の部分から絶縁されている(また、部分的にソース領域14の上方に垂直であり絶縁されている)(並びに、チャンネル領域18の第1の部分の導電性を制御する)。制御ゲート22は、浮遊ゲート20の上方に垂直に配設され、かつ浮遊ゲート20から絶縁されている。選択ゲート24は、チャンネル領域18の第2の部分の上方に垂直に配設され、かつチャンネル領域18の第2の部分から絶縁されている(並びに、チャンネル領域18の第2の部分の導電性を制御する)。消去ゲート26は、ソース領域14の上方に垂直に配設され、かつソース領域14から絶縁されており、浮遊ゲート20に横方向に隣接している。複数のそのようなメモリセルを行及び列に配置して、メモリセルアレイを形成することができる。

【0004】

電圧の様々な組み合わせが、制御ゲート22、選択ゲート24、消去ゲート26、並びに/又はソース及びドレイン領域14/16に印加されて、スプリットゲートメモリセル10をプログラムし(すなわち、浮遊ゲートに電子を注入し)、スプリットゲートメモリセル10を消去し(すなわち、浮遊ゲートから電子を除去し)、スプリットゲートメモリセル10を読み出す(すなわち、チャンネル領域18の導電率を測定又は検出して、浮遊ゲート20のプログラミング状態を判定する)。

【0005】

スプリットゲートメモリセル10は、デジタル様式で動作することができ、スプリットゲートメモリセル10は、2つの可能な状態: プログラム状態及び消去状態のみのうちの1つに設定される。スプリットゲートメモリセル10は、消去ゲート26に高い正電圧、任意選択的に制御ゲート22に負電圧を加えることによって消去され、浮遊ゲート20から消去ゲート26への電子のトンネリングを誘導する(浮遊ゲート20をより正に帯電した状態-消去状態のままにする)。スプリットゲートメモリセル10は、制御ゲート22、消去ゲート26、選択ゲート24、及びソース領域14に正電圧を加え、ドレイン領域16に電流を加えることによって、プログラムされ得る。次いで、電子は、いくつかの電子を加速及び加熱しながら、チャンネル領域18に沿ってドレイン領域16からソース領域14に向かって流れ、それによって、電子の一部は、ホットエレクトロン注入によって浮遊ゲート20に注入される(浮遊ゲート20をより負に帯電した状態のままにする、つまりプログラム状態)。スプリットゲートメモリセル10は、選択ゲート24(選択ゲート

10

20

30

40

50

24 の下のチャネル領域 18 の部分をオンにする) 及びドレイン領域 16 上 (並びに任意選択的に消去ゲート 26 及び / 又は制御ゲート 22 上) に正電圧を加えることによって、並びにチャネル領域 18 を通る電流の流れを検知することによって、読み出すことができる。浮遊ゲート 20 が正に帯電している (すなわち、スプリットゲートメモリセル 10 は消去されている) 場合、スプリットゲートメモリセル 10 はオンになり、電流は、ドレイン領域 16 からソース領域 14 へ流れる (すなわち、スプリットゲートメモリセル 10 は、検知された電流に基づいて、その消去された「1」状態であることが検知される)。浮遊ゲート 20 が負に帯電している (すなわち、スプリットゲートメモリセル 10 はプログラムされている) 場合、浮遊ゲート下のチャネル領域 18 の部分はオフになり、それによって、かなりの電流を阻止する (すなわち、スプリットゲートメモリセル 10 は、電流なし又は最小の電流であることに基づいて、そのプログラムされた「0」状態にあることを検知する)。

10

【0006】

表 1 は、 V_{cc} が電源電圧又は 2.5 V など別の正電圧である、消去電圧、プログラム電圧、及び読み出し電圧の非限定的な例を提供する。

表 1

【表 1】

	WL (SG)	BL (ドレイン)	ソース	EG	CG
消去	0 V	0 V	0 V	11.5 V	0 V
プログラム	1 V	1 μ A	4.5 V	4.5 V	10.5 V
読み出し	V_{cc}	0.6 V	0 V	0 V	V_{cc}

20

【0007】

スプリットゲートメモリセル 10 は、スプリットゲートメモリセル 10 のメモリ状態 (すなわち、浮遊ゲート 20 上の電子の数などの電荷の量) を、完全に消去された状態 (浮遊ゲート 20 上の電子の数が最小) から完全にプログラムされた状態 (浮遊ゲート 20 上の電子の数が最大) までのどこでも連続的に、又はこの範囲の一部分のみを変更することができる、アナログ様式で交互に操作することができる。これは、スプリットゲートメモリセル 10 がアナログであることを意味し、スプリットゲートメモリセル 10 のアレイ内の各スプリットゲートメモリセル 10 の非常に正確かつ個々の調整を可能にする。代替的に、スプリットゲートメモリセル 10 は、MLC (マルチレベルセル) として動作することができる、多くの離散値 (例えば 16 個又は 64 個の異なる値) のうちの 1 つにプログラムされるように構成されている。アナログ又は MLC プログラミングの場合において、プログラミング電圧は、所望のプログラミング状態が達成されるまで、限られた時間、又は一連のパルスとして印加される。複数のプログラミングパルスの場合において、プログラミングパルス間の介在読み出し動作を使用して、所望のプログラミング状態が達成されている (その場合、プログラミングは停止する) か、又は達成されていない (その場合、プログラミングは継続する) かどうかを判定することができる。

30

40

【0008】

アナログ様式で又は MLC として動作されるスプリットゲートメモリセル 10 は、スプリットゲートメモリセル 10 の正確性に悪影響を及ぼし得るノイズ及び読み出し電流不安定性に対してより敏感であり得る。アナログ不揮発性メモリデバイスにおける読み出し電流の不安定性の 1 つの原因は、ゲート酸化物とメモリセルチャネル領域との間の界面及び界面近傍に位置する酸化物トラップによる電子の捕捉及び放出である。ゲート酸化物は、浮遊ゲート 20 をチャネル基板 12 の領域 18 から分離する絶縁層である。電子がインターフェーストラップで捕捉されると、読み出し動作中のチャネル導電率を低下させ、したがって、スプリットゲートメモリセル 10 の閾値電圧 V_t (すなわち、スプリットゲート

50

メモリセル 10 のチャネル領域 18 をオンにして、所定のターゲット電流、例として $1\ \mu\text{A}$ を生じさせるために必要な制御ゲート 22 の最小電圧)を増大させる。制御ゲート電圧が閾値電圧 V_t 以上である場合、ソース領域 14 とドレイン領域 16 との間に伝導経路が創出され、少なくとも所定のターゲット電流の電流が流れる。制御ゲート電圧が閾値電圧 V_t を下回るとき、伝導経路は創出されず、ソース領域 14 とドレイン領域 16 との間のいかなる電流も、サブ閾値電流又は漏れ電流とみなされる。インターフェーストラップで捕捉された電子は、インターフェーストラップから放出され得、メモリセルの閾値電流 V_t を低下させ、したがって、読み出し動作中のチャネル導電率を増大させる。インターフェーストラップによる電子の捕捉及び放出というこれらの単電子事象は、読み出し電流ノイズとして現れ、ランダムテレグラフノイズ (RTN) と称される。概して、単一のインターフェーストラップによって生じる RTN は、2 つの状態、すなわち、電子がインターフェースから放出された場合の、より低い V_t 状態 (及びより高い読み出し電流状態) 及び電子がインターフェーストラップによって捕捉された場合の、より高い V_t 状態 (及びより低い読み出し電流状態) によって特徴付けられる。上で説明されるように、読み出し中のスプリットゲートメモリセル 10 の不安定性は、閾値電圧 V_t 、すなわち所定のターゲット電流に対応する制御ゲート電圧によって、又は所与の読み出し電圧条件下でのメモリセル電流によって特徴付けられる可能性がある。本実施例は、閾値電圧 V_t としてのメモリセル読み出し不安定性に関連して特に説明されるが、所与の読み出し電圧下でのメモリセル電流の使用が具体的に企図される。

【0009】

プログラミング中に発生する RTN は、プログラム動作の一部として対処することができる。しかしながら、RTN の 1 つの問題点は、メモリセルのプログラミングが完了した後に、メモリセルの閾値電圧 V_t を望ましくないほど低下させる (したがって、読み出し動作中にチャネル導電率を望ましくないほど増加させる) 電子放出が発生する可能性があることである。したがって、スプリットゲートメモリセル 10 などの、アナログ及び MLC 不揮発性メモリデバイスにおいて、限定されるものではないが、プログラム後の RTN を補償するために RTN に対処する必要がある。

【発明の概要】

【0010】

前述の問題及び必要性は、各々が第 1 のゲートを備える複数の不揮発性メモリセルと、制御回路とを備えるメモリデバイスによって対処される。制御回路は、

複数の不揮発性メモリセルのうちの選択された不揮発性メモリセルを、選択された不揮発性メモリセルの第 1 のゲートのためのターゲット閾値電圧を満たすか又は超える選択された不揮発性メモリセルの第 1 のゲートのための閾値電圧に対応する初期プログラム状態にプログラムすることであって、第 1 のゲートのためのターゲット閾値電圧は、ターゲット読み出し電流に対応し、選択された不揮発性メモリセルをプログラムすることは、第 1 の値を有するプログラム電圧を第 1 のゲートに印加することを含む、プログラムすることと、

第 1 の値をメモリに記憶することと、

第 1 の読み出し電流を生成するように、選択された不揮発性メモリセルの第 1 のゲートに印加される、第 1 のゲートに対するターゲット閾値電圧より小さい読み出し電圧を使用して、第 1 の読み出し動作において、選択された不揮発性メモリセルを読み出すことと、

第 1 の読み出し電流がターゲット読み出し電流より大きいという判定に回答して、選択された不揮発性メモリセルを追加のプログラミングに供することと、を行うように構成されており、追加のプログラミングは、

メモリから第 1 の値を取り出すことと、

第 1 の値より大きい第 2 の値を決定することと、

第 2 の値を有するプログラム電圧を第 1 のゲートに印加することを含む、選択された不揮発性メモリセルをプログラムすることと、を含む。

【0011】

複数の不揮発性メモリセルのうちの選択された不揮発性メモリセルをプログラムする方法であって、複数の不揮発性メモリセルの各々は第１のゲートを含み、方法は、

選択された不揮発性メモリセルを、選択された不揮発性メモリセルの第１のゲートに対するターゲット閾値電圧を満たすか又は超えることに対応する初期プログラム状態にプログラムするステップであって、ターゲット閾値電圧は、ターゲット読み出し電流に対応し、プログラムすることは、第１の値を有するプログラム電圧を第１のゲートに印加するステップを含む、プログラムするステップと、

第１の値をメモリに記憶するステップと、

第１の読み出し電流を生成するように、選択された不揮発性メモリセルの第１のゲートに印加される、ターゲット閾値電圧より小さい読み出し電圧を使用して、第１の読み出し動作において、選択された不揮発性メモリセルを読み出すステップと、

10

第１の読み出し電流がターゲット読み出し電流より大きいと判定したことに応答して、選択された不揮発性メモリセルを追加のプログラミングに供するステップと、を含み、追加のプログラミングは、

メモリから第１の値を取り出すステップと、

第１の値より大きい第２の値を決定するステップと、

第２の値を有するプログラム電圧を第１のゲートに印加するステップを含む、選択された不揮発性メモリセルをプログラムするステップと、を含む。

【 0 0 1 2 】

他の目的及び特徴は、明細書、特許請求の範囲、添付図面を精読することによって明らかになるであろう。

20

【 0 0 1 3 】

【 0 0 1 4 】

【 0 0 1 5 】

【 0 0 1 6 】

【図面の簡単な説明】

【 0 0 1 7 】

【図 1】従来のメモリセルの側面断面図である。

【図 2】メモリデバイスの構成要素を例解する図である。

【図 3】メモリセルをプログラムするためのステップを示すフロー図である。

30

【図 4】メモリセルのプログラム後調整のためのステップを示すフロー図である。

【図 5】メモリセルのプログラム後調整のための第１の代替実施例のステップを示すフロー図である。

【発明を実施するための形態】

【 0 0 1 8 】

本実施例は、図 1 のスプリットゲートメモリセル 1 0 などの、不揮発性メモリセルのプログラミングが完了した後に、読み出し動作精度を改善するためにプログラム後調整を実行することによって R T N を補償するための技法を例解する。

【 0 0 1 9 】

メモリセルプログラミング及びプログラム後調整技法は、メモリアレイのための様々なデバイス要素を制御する制御回路 6 6 の構成の一部として実装され、これは、図 2 に例解される例示的なメモリデバイスのアーキテクチャからより良好に理解することができる。メモリデバイスは、スプリットゲートメモリセル 1 0 のアレイ 5 0 を含み、それは、２つの分離した平面（平面 A 5 2 a 及び平面 B 5 2 b ）に隔離することができる。スプリットゲートメモリセル 1 0 は、図 1 に示されるタイプのものであることができ、半導体基板 1 2 で複数の行及び列に配置され、したがって単一のチップに形成されることができる。スプリットゲートメモリセル 1 0 のアレイ 5 0 のアレイには、アドレスデコーダ（例えば X D E C 5 4 ）、ソース線ドライバ（例えば S L D R V 5 6 ）、列デコーダ（例えば Y M U X 5 8 ）、高電圧行デコーダ（例えば H V D E C 6 0 ）及びビット線コントローラ（例えば B L I N H C T L 6 2 ）が隣接しており、これらは、アドレスをデコードし、アレイ 5

40

50

0 の選択されたスプリットゲートメモリセル 10 に対する読み出し動作、プログラム動作、及び消去動作中に、スプリットゲートメモリセル 10 の様々なゲート及び領域に様々な電圧を供給するために使用される。列デコーダ 58 は、読み出し動作中にビット線上の電流を測定するための回路を含むセンス増幅器を含む。制御回路 66 は、本明細書で説明されるように、アレイ 50 の選択されたスプリットゲートメモリセル 10 に対して各動作（プログラム、消去、読み出し）を実施するために様々なデバイス要素を制御するように構成されている。電荷ポンプ CHRGPM 64 は、制御回路 66 の制御下にて、アレイ 50 の選択されたスプリットゲートメモリセル 10 の読み出し、プログラム、及び消去に使用される様々な電圧を提供する。制御回路 66 は、メモリデバイスを動作させて、アレイ 50 の選択されたスプリットゲートメモリセル 10 をプログラムし、消去し、読み出すように構成されている。これらの動作の一部として、制御回路 66 には、同じ又は異なる線に提供されるプログラム、消去コマンド及び読み出しコマンドと共に、アレイ 50 の選択されたスプリットゲートメモリセル 10 にプログラムされるデータである入力データへのアクセスが提供される可能性がある。アレイ 50 から、すなわちアレイ 50 の選択されたスプリットゲートメモリセル 10 から読み出されるデータは、発信データとして提供される。制御回路 66 は、以下で更に説明されるように、電圧値を記憶するためのランダムアクセスメモリ（random access memory、RAM）70 などの別個のメモリを含むか、又はそれへのアクセスが提供される。

10

【0020】

プログラム後調整技法は、制御回路 66 が、メモリセルの初期プログラミングを実施し、続いて、初期プログラミングの後に、許容不能なレベルの読み出し電流不安定性を呈するメモリセルに対して、プログラム後調整を実施することを伴う。メモリセルプログラミングが最初に説明され、続いて、プログラム後調整が行われる。したがって、制御回路 66 は、図 4 及び図 5 に関連して以下に説明される方法を行うために、ソフトウェア、すなわち、非一時的電子可読命令、又はファームウェアがロードされ、それによって、構成され得る。制御回路 66 は、マイクロコントローラ、専用回路、プロセッサ、又はそれらの組み合わせによって実装され得る。

20

【0021】

メモリセルプログラミングは、プログラミング電圧パルスを使用して、選択されたメモリセルを初期プログラミング状態にプログラミングすることを伴い、メモリセルの閾値電圧パラメータ（すなわち、ターゲット電流 I_{target} と称される所定のレベルのソース/ドレイン電流を達成するためにスプリットゲートメモリセル 10 に印加される最小電圧）を測定するための読み出し動作が介在する。閾値電圧パラメータは、制御ゲート 22（本明細書では第 1 のゲートとも称される）から見たメモリセルの閾値電圧である制御ゲート閾値電圧 V_{tcg} である。具体的には、制御ゲート閾値電圧 V_{tcg} は、チャンネル領域 18 が導電路となり、したがって、読み出し動作の読み出し電位がセレクトゲート 24 及びドレイン領域 16 に印加されたときにメモリセルがオンになったとみなすためのターゲット電流（ I_{target} ）（例えば、 $1\ \mu\text{A}$ ）としても知られる所定レベルのソース/ドレイン電流のチャンネルを通る読み出し電流をもたらす制御ゲート 22 に加えられる電圧である。制御ゲート閾値電圧 V_{tcg} は、スプリットゲートメモリセル 10 のプログラミング状態の関数として変化するが、スプリットゲートメモリセル 10 が特定のプログラミング状態にプログラムされると、制御ゲート閾値電圧 V_{tcg} の経時的な変動が所定量を下回ることが所望される。

30

40

【0022】

初期メモリセルプログラミングは、図 3 のステップ 1 ~ 4 として例解されており、選択されたスプリットゲートメモリセル 10 を、その特定の所望の初期プログラミング状態に関連付けられたターゲット制御ゲート閾値電圧 $V_{\text{tcg target}}$ を有するように、特定の所望の初期プログラミング状態にプログラミングするように実施される。この技法は、ステップ 1 で、制御回路 66 がアレイ 50 の選択されたスプリットゲートメモリセル 10 をプログラミングするところから始まる。上で説明されるように、このプログラミングステッ

50

ブは、選択されたスプリットゲートメモリセル 10 にプログラミング電圧を限られた時間（すなわち、少なくとも 1 つのパルス）だけ印加することを伴い、その結果、浮遊ゲート 20 に電子が注入される。ステップ 1 のプログラムにおいて、制御ゲート 22 に印加される電圧 V_{cg} は、制御ゲートプログラム電圧 $V_{cg\ program}$ の値を有する。ステップ 2 では、例えば $SLDRV56$ から選択されたスプリットゲートメモリセル 10 に読み出し電圧を印加するステップと、列デコーダ 58 及びビット線コントローラ 62 を用いて、選択されたスプリットゲートメモリセル 10 のチャンネル領域 18 を流れる電流 I_{read} を測定するステップとを含む読み出し動作が実行される。この読み出し動作において、制御ゲート 22 に印加される電圧 V_{cg} は、ターゲット制御ゲート閾値電圧 $V_{tcg\ target}$ である。ステップ 3 では、ステップ 2 の読み出し動作から、メモリセルの制御ゲート閾値電圧 V_{tcg} がターゲット制御ゲート閾値電圧 $V_{tcg\ target}$ に達したか又は超えたか（すなわち、列デコーダ 58 及びビット線コントローラ 62 によって測定された読み出し電流 I_{read} がターゲット電流 I_{target} 以下であるか否か、ここで、ターゲット電流 I_{target} に等しい I_{read} は、ターゲット制御ゲート閾値電圧 $V_{tcg\ target}$ に達したメモリセルの制御ゲート閾値電圧 V_{tcg} を示す）が判定される。ステップ 3 の読み出し電流 I_{read} は、本明細書では第 2 の読み出し電流とも称される。判定が正しい場合（すなわち、制御ゲート閾値電圧 V_{tcg} がターゲット制御ゲート閾値電圧 $V_{tcg\ target}$ 以上でない）、ステップ 4 では、プログラミングに使用される制御ゲートプログラム電圧 $V_{cg\ program}$ が、メモリセルの前のステップ 1 のプログラミングで使用されたものに対して増加され、次いで、増加された制御ゲートプログラム電圧 $V_{cg\ program}$ を使用してステップ 1 が繰り返される。ステップ 3 で、メモリセルの制御ゲート閾値電圧 V_{tcg} がターゲット制御ゲート閾値電圧 $V_{tcg\ target}$ に達したか、又はそれを超えた（すなわち、読み出し電流 I_{read} がターゲット電流 I_{target} 以下である）と判定されるまで、制御回路 66 によって、ステップ 1 ~ 4 が順に繰り返される。その時点において、メモリセルは、その所望の初期プログラミング状態に（すなわち、そのターゲット制御ゲート閾値電圧 $V_{tcg\ target}$ に）プログラムされたとみなされる。通常、従来のプログラミングが終了するのはこの時点である。

【0023】

しかしながら、プログラミングが完了した後に、プログラムされたメモリセルが R_{TN} を呈する場合、界面トラップに捕捉された電子は、プログラミングの一部としてメモリセルの測定された制御ゲート閾値電圧 V_{tcg} に寄与する。プログラミングが終了した後に電子が界面トラップから放出される場合 / とき、制御ゲート閾値電圧 V_{tcg} は、ターゲット制御ゲート閾値電圧 $V_{tcg\ target}$ よりも $\Delta V_{tcg\ max}$ を超えて降下する可能性があり、ここで、 $\Delta V_{tcg\ max}$ は、制御ゲート閾値電圧 V_{tcg} 変動に関する最大許容読み出し誤差である。 $\Delta V_{tcg\ max}$ を超える制御ゲートの閾値電圧降下は、その後の読み出し動作において許容不能なエラーとみなされる。したがって、プログラム後調整は、図 4 のステップ 5 から始まり、メモリセルをプログラムする際に使用された最大制御ゲートプログラム電圧 $V_{cg\ program}$ 値（本明細書では第 1 の値とも称される）はメモリに記憶される（すなわち、特定のスプリットゲートメモリセルをプログラムする際に使用された最後の制御ゲートプログラム電圧 $V_{cg\ program}$ 値、ステップ 4 の最後の反復では、ステップ 1 の初期制御ゲートプログラム電圧 $V_{cg\ program}$ によって、メモリセルの制御ゲート閾値電圧 V_{tcg} がターゲット制御ゲート閾値電圧 $V_{tcg\ target}$ に達するか又は超える（すなわち、読み出し電流 I_{read} がターゲット電流 I_{target} 以下である）ことがなければ、この場合、ステップ 1 の初期制御ゲートプログラム電圧 $V_{cg\ program}$ は、最大制御ゲートプログラム電圧 $V_{cg\ program}$ 値である）。一実施例では、アナログプログラミングの直後にプログラム後調整が実行される場合、最大 $V_{cg\ program}$ 値を記憶するために使用されるメモリは、 $RAM70$ である。しかしながら、ユーザがアナログプログラミングの後、いつかプログラム後調整を実行することを意図する場合、その代わりに、最大制御ゲートプログラム電圧 $V_{cg\ program}$ 値をファイル（例えば、制御回路 66 によってアクセス可能な不揮発性ストレージ内）に記憶して、より長い期間データを保存することがで

きる。最大制御ゲートプログラム電圧 $V_{cg_program}$ 値を記憶することは、ステップ 3 に関連して上で説明されるように、スプリットゲートメモリセル 10 がその所望の初期プログラム状態にプログラムされていることが判明した後に、制御回路 66 によって実行される。

【0024】

ステップ 6 では、スプリットゲートメモリセル 10 は、ステップ 2 で使用されたターゲット制御ゲート閾値電圧 V_{tcg_target} より小さい制御ゲート電圧 V_{cg} を使用して読み出される（本明細書では第 1 の読み出し動作とも称される）。具体的には、この読み出し動作のために使用される制御ゲート電圧 V_{cg} は、 $V_{tcg_target} - \Delta V_{tcg}$ であり、ここで、 ΔV_{tcg} は、制御ゲート閾値電圧の最大許容偏差（ ΔV_{tcg_max} ）であることができるが、そうである必要はない。非限定的な例として、 ΔV_{tcg} は、例えば、20 mV であることができる。ステップ 7 では、ステップ 6 の読み出し動作から、読み出し電流 I_{read} がターゲット読み出し電流 I_{target} より大きいかが判定される。ステップ 6 の読み出し電流 I_{read} は、本明細書では第 1 の読み出し電流とも称される。メモリセルがプログラム後の許容不能な R T N を呈しない場合、ステップ 6 の読み出し動作中の制御ゲート電圧 V_{cg} における ΔV_{tcg} の小さい減少は、 I_{target} を下回って、若しくは更に下回って、読み出し電流 I_{read} を低下させるはずであり、ステップ 7 の判定は、いいえ、すなわち否定となるはずである。その場合、メモリセルは適切にプログラムされたとみなすことができ、プログラム後調整は不要である。しかしながら、任意選択的なステップ 8 に示されるように、ステップ 6 及び 7 を 1 回以上繰り返すことができる（ここで、繰り返される読み出し動作は、本明細書では第 2 の読み出し動作とも称される）、これにより、ステップ 7 で肯定的な判定があれば、以前に否定的な判定が何回あったとしても、以下で説明されるように、メモリセルは、別のプログラミングラウンドに供される。ステップ 7 の結果が最初は否定的であっても、ステップ 6 及び 7 を繰り返すことは、電子が必ずしも第 1 の読み出しの前にトラップから放出されるとは限らず、第 1 の読み出しの後にトラップから放出される可能性があり、第 1 の読み出し動作の後に電子放出がある場合、後続の読み出し動作において、ステップ 7 のはい、すなわち肯定的な判定が起こる可能性があるため、有利である。

【0025】

メモリセルが許容不能な R T N を呈する場合であってしかもこの読み出し動作の前又は間に界面トラップ電子放出がある場合、メモリセルの制御ゲート閾値電圧 V_{tcg} は降下し、その結果、読み出し電流 I_{read} が上昇する。電流の上昇が I_{target} を超える場合、ステップ 7 の判定ははい、すなわち肯定であり、選択されたスプリットゲートメモリセル 10 は、ステップ 9 で始まる別のプログラミングラウンドに供され、ステップ 5 ですなわち R A M 70（又は他のメモリ）に記憶された最大制御ゲートプログラム電圧 $V_{cg_program}$ 値が取り出される。取り出された制御ゲートプログラム電圧 $V_{cg_program}$ 値は、プログラミングでの使用に備えて増加され（ステップ 10 参照）（例えば、本明細書では第 2 の値とも称される、増加された値の制御ゲートプログラム電圧 $V_{cg_program}$ を判定することによって）、判定された増加された制御ゲートプログラム電圧 $V_{cg_program}$ 値は、R A M 70（又は他のメモリ）に記憶される（ステップ 11 参照）。次いで、メモリセルは、（上で説明されるステップ 1 と同様の）ステップ 12 で、増加した制御ゲートプログラム電圧 $V_{cg_program}$ 値を使用してプログラムされる。次いで、プロセスはステップ 6 に戻り、ステップ 6 に関して上で説明されるようにメモリセルがもう一度読み出され、続いて、上で説明されるようにステップ 7 の判定が行われる。ステップ 7 での後続の判定がはい、すなわち肯定である場合、ステップ 9 ~ 12 が再び実行され、続いて、ステップ 6 での別の読み出し及びステップ 7 での判定が行われる。ステップ 7 での後続の判定がいいえ、すなわち否定である場合、プログラム後調整は終了することができ、又は、ステップ 9 ~ 12 が 1 回以上実行されている場合であっても、任意選択的なステップ 8 に示されるように、ステップ 6 及び 7 を 1 回以上繰り返すことができる。読み出し動作及び判定動作（ステップ 6 及び 7）の回数、及びプログラミングラウンド（ステップ 9 ~ 12）の回数に

制限はない。ステップ 6 及び 7 並びに 9 ~ 12 が繰り返される回数は、所望のプログラミング時間を考慮することによってユーザが定義することができる。プログラミング後調整プロセスは、プログラミング後調整の以前のインスタンスの後の時点において繰り返すこともでき、その場合、増加した制御ゲートプログラム電圧 $V_{tcg\ program}$ 値は、より長期の記憶のために、制御回路 66 によってアクセス可能なハードドライブ又は他の不揮発性ストレージなどのより永久的なメモリに記憶することができる。

【0026】

上で説明される技法の利点は、プログラミングが最初に完了した後にメモリセルが許容不能な RTN を呈する場合、メモリセルは、他の場合よりも深くプログラムされる（すなわち、より高い制御ゲート閾値電圧 V_{tcg} を呈する）ことになり、制御ゲート閾値電圧 V_{tcg} がターゲット制御ゲート閾値電圧 $V_{tcg\ target}$ から所望されない量だけ変動することがなくなることである。上で説明される技法を利用することにより、電子放出が生じたとしても、スプリットゲートメモリセル 10 の制御ゲート閾値電圧 V_{tcg} が、目標制御ゲート閾値電圧 $V_{tcg\ target}$ を下回って、許容レベル ΔV_{tcg} を超える量だけ降下する可能性はより低い。これは、スプリットゲートメモリセル 10 が $V_{tcg\ target}$ より上でより深くプログラムされ、将来の読み出し動作が ΔV_{tcg} 変動の許容レベル内でメモリセルの所望のプログラミング状態をより正確に反映するためである。

【0027】

図 5 は、ステップ 6 の前にステップ 6A が追加され、ステップ 12 の後、プロセスがステップ 6 ではなくステップ 6A に戻ることを除いて、上で説明され、図 3 及び図 4 に描示されたものと同じ方法であり、再度説明されない、第 1 の代替実施例を例解している。具体的には、ステップ 6 でメモリセルが読み出される前に、制御回路 66 の制御の下、例えば、SLDRV56 から供給される負電圧がメモリセルに印加され（例えば、制御ゲート 22、消去ゲート 26、及び / 又は選択ゲート 24 などのメモリセルの任意の非浮遊ゲートに印加され）、負電圧は、基板 12 の電位に対して定義される。スプリットゲートメモリセル 10 に印加されるこの負電圧は、スプリットゲートメモリセル 10 のゲート酸化物に電界ストレスを誘起し、界面及び界面近傍の酸化物トラップからの電子のデトラップ（放出）を刺激する。一実施例では、負電圧は制御ゲート 22 に印加されるが、それに追加的に又は代替的に、浮遊ゲート 20 に容量結合されている任意のゲート又は端子に印加することができる。したがって、RTN を生じさせる酸化物トラップを有するスプリットゲートメモリセル 10 の場合、負電圧は、電子のデトラップを刺激するのを助け、制御ゲート閾値電圧 V_{tcg} をより低い閾値電圧 V_t 状態に設定し、ステップ 7 の判定が肯定的になる（したがって、メモリセルが、追加のプログラミングに供される）可能性を増加させる。RTN は不規則的な挙動を有するので、欠陥メモリセルは、ステップ 6 の読み出し動作中であっても 1 つの制御ゲート閾値電圧 V_{tcg} 状態に留まり得、したがって、ステップ 9 ~ 12 の追加プログラミングのために適切に識別されない。したがって、ステップ 6 の読み出し動作の前の負電圧（例えば、 $-1V \sim -7V$ ）の印加は、RTN を有するメモリセルを刺激して、より低い制御ゲート閾値電圧 V_{tcg} 状態を呈し、それによって、追加のプログラミングのためにステップ 7 で識別され、プログラミング効率及び正確さを増強させることができる。ある特徴的な時間が存在し、その間に、メモリセルは、その除去後に印加電圧ストレス下で獲得されたそれらの制御ゲート閾値電圧 V_{tcg} 状態を維持する。したがって、ステップ 6A の負電圧印加と、ステップ 6 の読み出し動作との間の遅延は、一実施例では、典型的な電子捕捉及び放出時間（例として、室温において $100ms$ ）よりも長くはなく、そうでなければ、ステップ 6 の読み出し動作の前にステップ 6A の負電圧を印加することは、あまり効率的でない場合がある。

【0028】

上記は、本明細書において上で説明され、かつ例解した実施例に限定されるものではなく、任意の特許請求の範囲の範疇に収まるあらゆる変形例を包含することが理解されよう。例えば、本明細書における実施例又は本発明への任意の言及は、特許請求の範囲又は特許請求項の用語の限定を意図するものではなく、代わりに特許請求の範囲の 1 つ以上によ

10

20

30

40

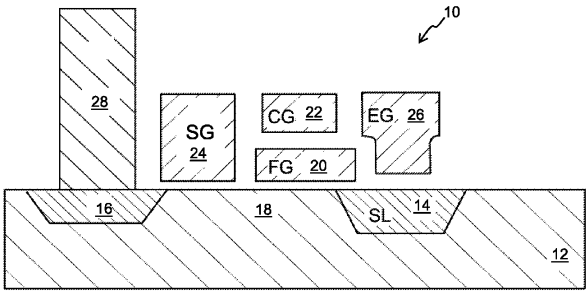
50

って網羅され得る1つ以上の特徴に関連するにすぎない。上で説明した材料、プロセス、及び数値の例は、単なる例であり、特許請求の範囲を限定するものとみなされるべきではない。更に、特許請求の範囲及び明細書から明らかであるように、特に指定のない限り、全ての方法ステップが例解又は特許請求されている厳密な順序で行われる必要はない。上で説明される技法で使用される閾値電圧 V_{tcg} の実施例は、制御ゲート22から見たメモリセルの閾値電圧である。しかしながら、上で説明される技法は、浮遊していないスプリットゲートメモリセル10内の任意の1つ以上のゲートから見た閾値電圧 V_t に関して実施され得る。追加的に、上記の説明は、図1のものよりも少ないゲート（例えば、消去ゲート及び/又は選択ゲートと組み合わせられる制御ゲートがない）を有するメモリセルのアレイに実装され得る。

10

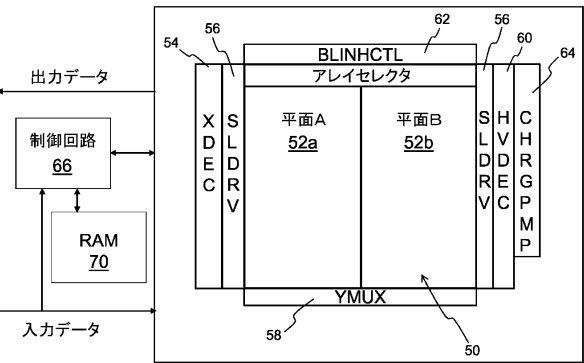
【図面】

【図1】



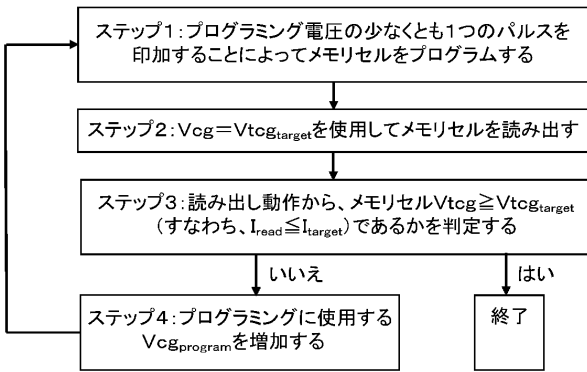
(先行技術)

【図2】

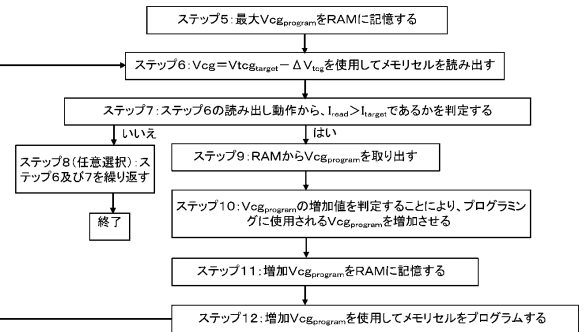


20

【図3】



【図4】

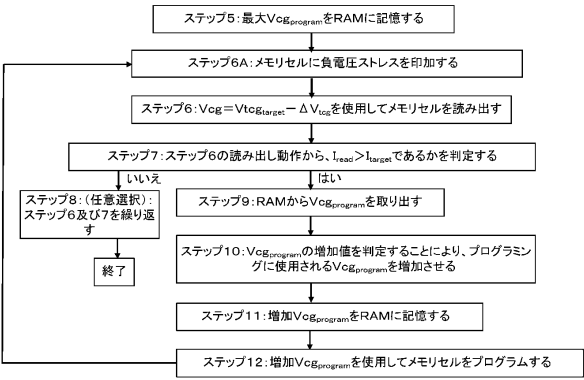


30

40

50

【図 5】



10

20

30

40

50

フロントページの続き

- (33)優先権主張国・地域又は機関
米国(US)
ニア州、サンノゼ、ガーカル ドライブ 1 5 1 0 1
審査官 後藤 彰
- (56)参考文献 特開 2 0 1 5 - 1 0 9 1 2 1 (J P , A)
特開 2 0 0 5 - 2 4 3 2 3 0 (J P , A)
米国特許第 0 8 9 0 8 4 4 1 (U S , B 1)
特開 2 0 0 9 - 2 6 6 3 5 6 (J P , A)
- (58)調査した分野 (Int.Cl. , D B 名)
G 1 1 C 1 6 / 3 4
G 1 1 C 1 6 / 1 0