

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第6170124号
(P6170124)

(45) 発行日 平成29年7月26日(2017.7.26)

(24) 登録日 平成29年7月7日(2017.7.7)

(51) Int.Cl.	F 1		
HO 1 L 21/8242	(2006.01)	HO 1 L	27/108 3 2 1
HO 1 L 27/108	(2006.01)	HO 1 L	27/10 4 6 1
HO 1 L 27/10	(2006.01)	HO 1 L	27/10 4 8 1
HO 1 L 29/786	(2006.01)	HO 1 L	29/78 6 1 8 B
		HO 1 L	29/78 6 1 7 L

請求項の数 1 (全 55 頁) 最終頁に続く

(21) 出願番号	特願2015-250750 (P2015-250750)	(73) 特許権者	000153878
(22) 出願日	平成27年12月23日(2015.12.23)	株式会社半導体エネルギー研究所	
(62) 分割の表示	特願2011-277158 (P2011-277158)	神奈川県厚木市長谷398番地	
原出願日	平成23年12月19日(2011.12.19)	(72) 発明者	小山 潤
(65) 公開番号	特開2016-76726 (P2016-76726A)	神奈川県厚木市長谷398番地	株式会社
(43) 公開日	平成28年5月12日(2016.5.12)	半導体エネルギー研究所内	
審査請求日	平成28年1月8日(2016.1.8)	(72) 発明者	山崎 舜平
(31) 優先権主張番号	特願2010-292496 (P2010-292496)	神奈川県厚木市長谷398番地	株式会社
(32) 優先日	平成22年12月28日(2010.12.28)	半導体エネルギー研究所内	
(33) 優先権主張国	日本国(JP)	審査官	宮本 博司
(31) 優先権主張番号	特願2011-112538 (P2011-112538)		
(32) 優先日	平成23年5月19日(2011.5.19)		
(33) 優先権主張国	日本国(JP)		

最終頁に続く

(54) 【発明の名称】半導体装置

(57) 【特許請求の範囲】

【請求項 1】

第1のトランジスタと、

第2のトランジスタと、

整流素子と、を有し、

前記第1のトランジスタのゲートは、第1の配線と電気的に接続され、

前記第1のトランジスタのソースまたはドレインの一方は、第2の配線と電気的に接続され、

前記第1のトランジスタのソースまたはドレインの他方は、前記第2のトランジスタのゲートと電気的に接続され、

前記第2のトランジスタのソースまたはドレインの一方は、第3の配線と電気的に接続され、

前記第2のトランジスタのソースまたはドレインの他方は、前記整流素子の第1の電極と電気的に接続され、

前記整流素子の第2の電極は、前記第2の配線と電気的に接続され、

前記第1のトランジスタのチャネル形成領域は、酸化物半導体を有し、

前記酸化物半導体は、InとSnとZnまたはInとGaとZnを主成分とし、

前記第1のトランジスタのオフ電流は、27において、10Vの電位がソースとドレインの間に印加されたとき、チャネル幅あたり1zA/μm以下であり、

前記酸化物半導体は、複数の結晶部分を有する非単結晶であって、

10

20

前記複数の結晶部分のc軸は一定の方向に揃っていることを特徴とする半導体装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明の一態様は、半導体装置に関する。また、本発明の一態様は、半導体記憶装置に関する。

【背景技術】

【0002】

近年、データの書き込み及び消去が可能であり、一定期間データの保持が可能な記憶回路を具備する半導体装置の開発が進められている。

10

【0003】

上記半導体装置としては、例えばダイナミックランダムアクセスメモリ(DRAMともいう)(例えば特許文献1)又はスタティックランダムアクセスメモリ(SRAMともいう)(例えば特許文献2)などが挙げられる。

【0004】

特許文献1に示すDRAMは、1つのトランジスタ及び1つの容量素子により構成されるメモリセルを備える。特許文献1に示すDRAMは、トランジスタをオン状態にし、容量素子に電荷を蓄積することによりデータを保持する。

【0005】

また、特許文献2に示すSRAMは、6つのトランジスタにより構成されるメモリセルを備える。

20

【先行技術文献】

【特許文献】

【0006】

【特許文献1】特表2004-529502号公報

【特許文献2】国際公開第2008/114716号

【発明の概要】

【発明が解決しようとする課題】

【0007】

しかしながら、特許文献1に示すような従来のDRAMは、データの保持期間が短く、例えば同じデータの再書き込み動作(リフレッシュ動作ともいう)が1秒間に数十回必要であるため、消費電力が高いという問題があった。また、特許文献1に示すような従来のDRAMは、1回データを読み出すと、データが消失してしまうため、1回のデータの書き込みに対して同じデータを繰り返し読み出すことができないという問題もあった。

30

【0008】

また、特許文献2に示すような従来のSRAMでは、データを保持している間は常に電源を供給しなければならないため、従来のDRAMと同様に消費電力が高いという問題があった。また、従来のSRAMでは、メモリセルを構成するトランジスタの数が多いため、回路面積が大きく、回路の集積が困難であった。

【0009】

40

本発明の一態様では、記憶回路におけるデータの保持期間を長くすること、消費電力を低減すること、回路面積を小さくすること、及び1回のデータの書き込みに対する該データの読み出し可能回数を増やすことの一つ又は複数を課題とする。

【課題を解決するための手段】

【0010】

本発明の一態様は、2つのトランジスタ及び1つの整流素子を備えるメモリセルを具備する。上記構成とすることにより、回路面積の増大を抑制しつつ、消費電力の低減又は1回のデータの書き込みに対する該データの読み出し可能回数の増加を図る。

【0011】

また、本発明の一態様では、上記トランジスタの少なくとも一つをオフ電流の低いトラン

50

ジスタとすることができます。さらに、該トランジスタはドーパントが添加された領域を含む酸化物半導体層を含んでいてもよい。トランジスタにおける酸化物半導体層中にドーパントが添加された領域を設けることによりトランジスタの微細化を図る。

【0012】

また、本発明の一態様では、上記トランジスタにおける酸化物半導体層を、非単結晶であって、a b面（層の平面ともいう）に垂直な方向から見て、三角形、六角形、正三角形、又は正六角形の原子配列を有し、且つ、c 軸方向（層の厚さ方向ともいう）に垂直な方向から見て金属原子が層状に配列した相、又はc 軸方向に垂直な方向から見て金属原子と酸素原子が層状に配列した相を有する材料（c 軸配向結晶、又はC A A C : c a x i s a l i g n e d c r y s t a l ともいう）である酸化物半導体層とすることができます。これにより、トランジスタの光による劣化の抑制を図る。

10

【発明の効果】

【0013】

本発明の一態様により、記憶回路におけるデータ保持期間を長くすることができます。よって、消費電力を低減することができる。また、本発明の一態様により、1回のデータの書き込みに対する該データの読み出し回数を増やすことができる。また、本発明の一態様により、回路面積を小さくすることができる。

【図面の簡単な説明】

【0014】

【図1】半導体装置における記憶回路の例を説明するための図。

20

【図2】半導体記憶装置におけるメモリセルアレイの例を説明するための図。

【図3】半導体記憶装置におけるメモリセルアレイの例を説明するための図。

【図4】トランジスタの構造例を説明するための断面模式図。

【図5】トランジスタの作製方法例を説明するための断面模式図。

【図6】メモリセルの構造例を示す断面模式図。

【図7】半導体記憶装置の構成例を示すブロック図。

【図8】電子機器の例を示す模式図。

【図9】従来のメモリの構成例を示す回路図。

【図10】携帯電話の構成例を示すブロック図。

【図11】メモリの構成例を示すブロック図。

30

【図12】電子書籍の構成例を示すブロック図。

【図13】本発明の一態様に係る酸化物材料の構造を説明する図。

【図14】本発明の一態様に係る酸化物材料の構造を説明する図。

【図15】本発明の一態様に係る酸化物材料の構造を説明する図。

【図16】計算によって得られた移動度のゲート電圧依存性を説明する図。

【図17】計算によって得られたトランジスタのドレイン電流と移動度のゲート電圧依存性を説明する図。

【図18】計算によって得られたトランジスタのドレイン電流と移動度のゲート電圧依存性を説明する図。

【図19】計算によって得られたトランジスタのドレイン電流と移動度のゲート電圧依存性を説明する図。

40

【図20】計算に用いたトランジスタの断面構造を説明する図。

【図21】酸化物半導体膜を用いたトランジスタ特性のグラフ。

【図22】試料1のトランジスタのB T試験後の V_g - I_d 特性を示す図。

【図23】試料2のトランジスタのB T試験後の V_g - I_d 特性を示す図。

【図24】試料A及び試料BのX R Dスペクトルを示す図。

【図25】トランジスタのオフ電流と測定時基板温度との関係を示す図。

【図26】 I_d 及び電界効果移動度の V_g 依存性を示す図。

【図27】基板温度としきい値電圧の関係及び基板温度と電界効果移動度の関係を示す図。

。

50

【図28】トランジスタの上面図及び断面図。

【図29】トランジスタの上面図及び断面図。

【発明を実施するための形態】

【0015】

本発明を説明するための実施の形態の一例について、図面を用いて以下に説明する。なお、本発明の趣旨及びその範囲から逸脱することなく実施の形態の内容を変更することは、当業者であれば容易である。よって、本発明は、以下に示す実施の形態の記載内容に限定されない。

【0016】

なお、各実施の形態の内容を互いに適宜組み合わせることができる。また、各実施の形態の内容を互いに置き換えることができる。 10

【0017】

また、構成要素の混同を避けるために第1、第2などの序数を付しているが、各構成要素の数は、序数の数に限定されない。

【0018】

(実施の形態1)

本実施の形態では、一定期間データを記憶することができる記憶回路を備えた半導体装置の例について説明する。

【0019】

なお、記憶回路とは、一定期間データとなる電荷を保持することができる回路のことをいう。 20

【0020】

本実施の形態における半導体装置の一例は、記憶回路を具備する。

【0021】

さらに、記憶回路の例について、図1を用いて説明する。

【0022】

まず、本実施の形態の半導体装置における記憶回路の回路構成例について、図1を用いて説明する。

【0023】

図1に示す記憶回路は、トランジスタ111と、トランジスタ112と、整流素子(rect)ともいう)113と、を備える。 30

【0024】

なお、トランジスタは、2つの端子と、印加される電圧により該2つの端子の間に流れる電流を制御する電流制御端子と、を有する。なお、トランジスタに限らず、素子において、互いの間に流れる電流が制御される端子を電流端子ともいい、2つの電流端子を一対の電流端子ともいい、2つの電流端子のそれぞれを第1の電流端子及び第2の電流端子ともいう。

【0025】

また、トランジスタとしては、例えば電界効果トランジスタを用いることができる。電界効果トランジスタの場合、第1の電流端子は、ソース及びドレインの一方であり、第2の電流端子は、ソース及びドレインの他方であり、電流制御端子は、ゲートである。 40

【0026】

また、トランジスタの構造や動作条件などによって、トランジスタのソースとドレインが互いに入れ替わることがある。

【0027】

また、整流素子は、一対の電流端子を有し、該一対の電流端子の間に印加される電圧に応じて一対の電流端子が導通状態になることにより、導通状態になる。

【0028】

また、一般的に電圧とは、ある二点間における電位の差(電位差ともいう)のことをいう。しかし、電圧及び電位の値は、回路図などにおいていずれもボルト(V)で表されるこ 50

とがあるため、区別が困難である。そこで、本明細書では、特に指定する場合を除き、ある一点の電位と基準となる電位（基準電位ともいう）との電位差を、該一点の電圧として用いる場合がある。

【0029】

トランジスタ111のソース及びドレインの一方には、データ信号が入力される。トランジスタ111は、記憶回路にデータを書き込むか否かを選択する選択トランジスタとしての機能を有する。また、トランジスタ111のゲートに書き込み選択信号を入力してもよい。書き込み選択信号は、記憶回路にデータを書き込むか否かを選択するためのパルス信号である。

【0030】

トランジスタ111としては、例えばチャネルが形成される酸化物半導体層を含むトランジスタを用いることができる。

【0031】

また、上記酸化物半導体層のバンドギャップは、シリコンより高く、例えば2eV以上、好ましくは2.5eV以上、より好ましくは3eV以上である。

【0032】

さらに、上記酸化物半導体層を含むトランジスタは、シリコンなどの従来の電界効果トランジスタよりもオフ電流を低くすることができる。

【0033】

また、トランジスタ111としては、互いに離間し、ドーパントが添加された一対の領域を有する酸化物半導体層を含むトランジスタを用いることもできる。ドーパントが添加された一対の領域を有する酸化物半導体層を含むトランジスタは、酸化物半導体層のドーパントが添加された一対の領域の間にチャネルが形成される。ドーパントが添加された一対の領域の抵抗値は、チャネルが形成される領域（チャネル形成領域ともいう）より低いことが好ましい。ドーパントが添加された一対の領域を有する酸化物半導体層を含むトランジスタを用いることにより、チャネルが形成される領域（チャネル形成領域ともいう）と、トランジスタのソース又はドレインとの抵抗を小さくすることができるため、トランジスタの面積を小さくすること（微細化ともいう）ができる。

【0034】

また、上記酸化物半導体層としては、例えば、非単結晶であって、a b面に垂直な方向から見て、三角形、六角形、正三角形、又は正六角形の原子配列を有し、且つ、c軸方向に垂直な方向から見て金属原子が層状に配列した相、又はc軸方向に垂直な方向から見て金属原子と酸素原子が層状に配列した相を有する材料である酸化物半導体層を用いることができる。CACACである酸化物半導体層をトランジスタのチャネルが形成される層（チャネル形成層ともいう）として用いることにより、例えば光によるトランジスタの劣化を抑制することができる。

【0035】

トランジスタ112のゲートは、トランジスタ111のソース及びドレインの他方に電気的に接続される。

【0036】

なお、2つ以上の構成要素が電気的に接続される期間が存在するのであれば、該2つ以上の構成要素は、電気的に接続されるといえる。

【0037】

トランジスタ112としては、例えばチャネルが形成され、元素周期表における第14族の半導体（シリコンなど）を含有する半導体層又は上記酸化物半導体層を含むトランジスタを用いることができる。

【0038】

なお、上記第14族の半導体を含有する半導体層は、単結晶半導体層、多結晶半導体層、微結晶半導体層、又は非晶質半導体層でもよい。

【0039】

10

20

30

40

50

整流素子 113 の一対の電流端子の一方は、トランジスタ 112 のソース又はドレインに電気的に接続される。このとき、トランジスタ 112 のソース及びドレインのうち、整流素子 113 の一対の電流端子の一方に電気的に接続されない方がトランジスタ 112 のソース及びドレインの一方となり、整流素子 113 の一対の電流端子の一方に電気的に接続される方がトランジスタ 112 のソース及びドレインの他方となる。また、整流素子 113 の一対の電流端子の他方に読み出し選択信号を入力してもよい。読み出し選択信号は、記憶回路からデータを読み出すか否かを選択するためのパルス信号である。整流素子 113 は、記憶回路からデータを読み出すか否かを選択するスイッチング素子である。

【0040】

次に、図 1 に示す記憶回路の駆動方法例について説明する。

10

【0041】

データを記憶回路に書き込む場合、トランジスタ 111 をオン状態にする。例えば、トランジスタ 111 におけるゲートの電圧を変化させてトランジスタ 111 をオン状態にする。また、このとき整流素子 113 が非導通状態になるように、整流素子 113 の一対の電流端子の他方の電圧の値、並びにトランジスタ 112 のソース及びドレインの一方の電圧の値を設定する。例えば、整流素子 113 の一対の電流端子の他方の電圧の値、並びにトランジスタ 112 のソース及びドレインの一方の電圧の値を同等の値に設定することが好みしい。

【0042】

トランジスタ 111 がオン状態のとき、トランジスタ 111 のソース及びドレインを介してデータ信号が入力され、トランジスタ 112 のゲートの電圧は、入力されるデータ信号の電圧に応じた値になる。よって、記憶回路にデータが書き込まれる。

20

【0043】

その後、トランジスタ 111 がオフ状態になると、トランジスタ 112 のゲートは、浮遊状態になり、トランジスタ 112 のゲートの電圧は、一定期間保持される。

【0044】

また、記憶回路からデータを読み出す場合、トランジスタ 112 のソース及びドレインの一方の電圧、並びに整流素子 113 の一対の電流端子の他方の電圧の差の絶対値が、整流素子 113 が導通状態になるために必要な電圧以上になるように、整流素子 113 の一対の電流端子の他方の電圧の値を設定しておく。このときの電圧を読み出し電圧ともいう。

30

【0045】

トランジスタ 112 のソース及びドレインの間の抵抗値は、トランジスタ 112 のゲートの電圧に応じて決まる。また、トランジスタ 112 のソース及びドレインの間に流れる電流に応じて整流素子 113 が導通状態になるか否かが制御され、整流素子 113 の一対の電流端子の他方の電圧が設定される。例えば、トランジスタ 112 がオン状態になり、整流素子 113 が導通状態になると、整流素子 113 の一対の電流端子の他方の電圧が変化する。よって、記憶回路では、整流素子 113 の一対の電流端子の他方の電圧をデータとして記憶回路から読み出すことができる。また、トランジスタ 111 がオフ状態の間、トランジスタ 112 のゲートの電圧が一定期間保持されるため、整流素子 113 の一対の電流端子の他方の電圧をデータとして記憶回路から複数回読み出すこともできる。以上が図 1 に示す半導体装置の駆動方法例の説明である。

40

【0046】

以上が本実施の形態における半導体装置の例の説明である。

【0047】

本実施の形態における半導体装置の一例では、2つの電界効果トランジスタと1つの整流素子により記憶回路を構成することができるため、例えば従来の SRAM のメモリセルなどと比べて回路面積を小さくすることができる。

【0048】

本実施の形態における半導体装置の一例では、ゲートが第1の電界効果トランジスタのソース又はドレインに電気的に接続される第2の電界効果トランジスタのゲートの電圧をデ

50

ータ信号の電圧に応じた値に設定することにより、1回のデータの書き込みに対する書き込んだデータの読み出し可能回数を増やすことができる。

【0049】

また、本実施の形態における半導体装置の一例では、第1の電界効果トランジスタとしてオフ電流の低い電界効果トランジスタを用いることによりデータの保持期間を長くすることができる。よって、例えばリフレッシュ動作が必要であってもリフレッシュ動作の回数を少なくすることができるため、消費電力を低減することができ、また、第2の電界効果トランジスタのゲートに付加される容量を少なくすること又は無くすことができる。

【0050】

(実施の形態2)

10

本実施の形態では、上記実施の形態における半導体装置の一例として、半導体記憶装置の例について説明する。

【0051】

本実施の形態における半導体記憶装置の例は、 i 行 (i は2以上の自然数) j 列 (j は自然数) にマトリクス状に配列された複数のメモリセルを備えたメモリセルアレイを具備する。メモリセルは、上記実施の形態の半導体装置における記憶回路に相当する。

【0052】

さらに、本実施の形態の半導体記憶装置におけるメモリセルアレイの例について、図2を用いて説明する。

【0053】

20

まず、本実施の形態の半導体記憶装置におけるメモリセルアレイの回路構成例について、図2(A)を用いて説明する。

【0054】

図2(A)に示すメモリセルアレイは、 i 行 j 列にマトリクス状に配列された複数のメモリセル200と、 j 本の配線201(配線201_1乃至配線201_j)と、 i 本の配線202(配線202_1乃至配線202_i)と、 i 本の配線203(配線203_1乃至配線203_i)と、 j 本の配線204(配線204_1乃至配線204_j)と、を具備する。なお、図2(A)に示すメモリセルアレイの説明では、便宜のため、 i を3以上の自然数とし、 j を3以上の自然数とする。

【0055】

30

メモリセル200は、データを記憶する機能を有する。

【0056】

配線201_1乃至配線201_jのそれぞれの電圧は、例えばデコーダを用いた駆動回路により制御される。配線201_1乃至配線201_jのそれぞれを、例えばビット線又はデータ線と呼ぶこともできる。

【0057】

配線202_1乃至配線202_iのそれぞれの電圧は、例えばデコーダを用いた駆動回路により制御される。配線202_1乃至配線202_iのそれぞれを、例えばワード線と呼ぶこともできる。

【0058】

40

配線203_1乃至配線203_iのそれぞれの電圧は、例えばデコーダを用いた駆動回路により制御される。配線203_1乃至配線203_iのそれぞれを、例えばソース線と呼ぶこともできる。

【0059】

配線204_1乃至配線204_jのそれぞれの電圧は、例えばデコーダを用いた駆動回路により制御される。配線204_1乃至配線204_jのそれぞれを、例えば選択線と呼ぶこともできる。

【0060】

さらに、 M (M は i 以下の自然数) 行 N (N は j 以下の自然数) 列目のメモリセル200 (M, N) は、トランジスタ211 (M, N) と、トランジスタ212 (M, N) と、整

50

流素子 (rectともいう) 213 (M, N) と、を備える。

【0061】

トランジスタ 211 (M, N) のソース及びドレインの一方は、配線 201_N に電気的に接続され、トランジスタ 211 (M, N) のゲートは、配線 202_M に電気的に接続される。

【0062】

トランジスタ 211 (M, N) は、データを書き込むか否かを選択する機能を有する。なお、トランジスタ 211 (M, N) を、例えば選択トランジスタと呼ぶこともできる。

【0063】

トランジスタ 211 (M, N) としては、上記実施の形態 1 の半導体装置におけるトランジスタ 111 に適用可能なトランジスタを用いることができる。 10

【0064】

トランジスタ 212 (M, N) のソース及びドレインの一方は、配線 203_M に電気的に接続され、トランジスタ 212 (M, N) のゲートは、トランジスタ 211 (M, N) のソース及びドレインの他方に電気的に接続される。

【0065】

トランジスタ 212 (M, N) は、出力するデータの値を設定する機能を有する。なお、トランジスタ 212 (M, N) を、出力トランジスタと呼ぶこともできる。

【0066】

トランジスタ 212 (M, N) としては、上記実施の形態 1 の半導体装置におけるトランジスタ 112 に適用可能なトランジスタを用いることができる。 20

【0067】

整流素子 213 (M, N) の一対の電流端子の一方は、配線 204_N に電気的に接続され、整流素子 213 (M, N) の一対の電流端子の他方は、トランジスタ 212 (M, N) のソース及びドレインの他方に電気的に接続される。

【0068】

整流素子 213 (M, N) としては、例えばダイオード、又はドレイン及びゲートが電気的に接続された電界効果トランジスタなどを用いることができる。

【0069】

例えば、整流素子 213 (M, N) としてダイオードを用いるとき、トランジスタ 212 (M, N) が N チャネル型トランジスタの場合には、ダイオードのアノードが整流素子 213 (M, N) の一対の電流端子の一方であり、ダイオードのカソードが整流素子 213 (M, N) の一対の電流端子の他方である。また、トランジスタ 212 (M, N) が P チャネル型トランジスタの場合には、ダイオードのカソードが整流素子 213 (M, N) の一対の電流端子の一方であり、ダイオードのアノードが整流素子 213 (M, N) の一対の電流端子の他方である。 30

【0070】

また、例えば整流素子 213 (M, N) として、ドレイン及びゲートが電気的に接続された電界効果トランジスタなどを用いるとき、該電界効果トランジスタのソース及びドレインの一方が整流素子 213 (M, N) の一対の電流端子の一方であり、該電界効果トランジスタのソース及びドレインの他方が整流素子 213 (M, N) の一対の電流端子の他方である。 40

【0071】

さらに、図 2 (A) に示すメモリセルアレイの駆動方法例について、図 2 (B) 及び図 2 (C) を用いて説明する。図 2 (B) 及び図 2 (C) は、図 2 (A) に示すメモリセルアレイの駆動方法例を説明するためのタイミングチャートである。ここでは、一例として M 行目のメモリセル 200 (メモリセル 200 (M, 1) 乃至メモリセル 200 (M, j)) に順次データを書き込み、その後書き込まれたデータを読み出す場合について説明するが、これに限定されず、メモリセル 200 毎にデータの書き込み又はデータの読み出しを行うこともできる。 50

【0072】

まず、M行目のメモリセル200にデータを書き込む場合、M行目のメモリセル200における、トランジスタ211(M, 1)乃至トランジスタ211(M, j)をオン状態にする。なお、このとき、全てのメモリセル200における、整流素子213(1, 1)乃至整流素子213(i, j)を非導通状態にすることが好ましい。整流素子213(1, 1)乃至整流素子213(i, j)を非導通状態にすることにより、データ書き込み時にM行N列目のメモリセル200における、トランジスタ212(M, N)のソース及びドレイン、並びに整流素子213(M, N)の一対の電流端子を介して電流が流れないため、消費電力を低減することができる。

【0073】

10 例えば、M行目のメモリセル200における、トランジスタ211(M, 1)乃至トランジスタ211(M, j)がNチャネル型トランジスタの場合、図2(B)に示すように、M行目の配線202_Mの電圧を電圧VHにすることにより、M行目のメモリセル200における、トランジスタ211(M, 1)乃至トランジスタ211(M, j)をオン状態にすることができる。電圧VHは、例えば基準電位より大きい値の電圧である。また、このとき、配線202_1乃至配線202_iのうち、M行目の配線202_M以外の配線(配線202_otherともいう)の電圧を電圧VLにする。また、このとき、配線203_1乃至配線203_iの電圧を電圧VLにし、配線204_1乃至配線204_jの電圧を電圧VLにすることにより、整流素子213(M, N)を非導通状態にことができる。電圧VLは、例えば基準電位以下の電圧である。このとき、電圧VH及び電圧VLの差の絶対値は、トランジスタ211(M, N)の閾値電圧の絶対値より大きいことが好ましい。

【0074】

M行目のメモリセル200における、トランジスタ211(M, 1)乃至トランジスタ211(M, j)がオン状態のとき、配線201_1乃至配線201_jからデータ信号がM行目のメモリセル200に入力され、トランジスタ212(M, 1)乃至トランジスタ212(M, j)のゲートの電圧は、入力されるデータ信号の電圧に応じた値になり、M行目のメモリセル200は、書き込み状態になる。

【0075】

その後、M行目のメモリセル200における、トランジスタ211(M, 1)乃至トランジスタ211(M, j)をオフ状態にすると、M行目のメモリセル200における、トランジスタ212(M, 1)乃至トランジスタ212(M, j)のゲートの電圧は、それぞれ一定期間保持される。

【0076】

さらに、上記動作を各行のメモリセル200毎に繰り返し行うことにより、全てのメモリセル200にデータを書き込むことができる。

【0077】

また、M行目のメモリセル200からデータを読み出す場合、M行目の配線203_Mの電圧と、配線204_1乃至配線204_jのそれぞれの電圧との差の絶対値が、M行目のメモリセル200における、整流素子213(M, 1)乃至整流素子213(M, j)が導通状態になるために必要な電圧以上になるように、配線203_Mの電圧の値を設定する。また、配線203_1乃至配線203_iのうち、M行目の配線203_M以外の配線の電圧を、配線204_1乃至配線204_jのそれぞれの電圧と同等の値に設定することにより、M行目のメモリセル200のみからデータを読み出すことができる。また、このとき、全てのメモリセル200における、トランジスタ211(1, 1)乃至トランジスタ211(i, j)をオフ状態にしておく。

【0078】

例えば、M行目のメモリセル200における、トランジスタ211(M, 1)乃至トランジスタ211(M, j)、及びトランジスタ212(M, 1)乃至トランジスタ212(M, j)がNチャネル型トランジスタの場合、図2(C)に示すように、配線203_M

10

20

30

40

50

の電圧を電圧 V_L にし、配線 203_1 乃至配線 203_i のうち、配線 203_M 以外の配線（配線 203_other ともいう）の電圧を電圧 V_H にし、配線 204_1 乃至配線 204_j の電圧を電圧 V_H にする。また、このとき、配線 202_1 乃至配線 202_i の電圧を電圧 V_L にしておく。

【0079】

M行目のメモリセル 200 における、トランジスタ $212 (M, 1)$ 乃至トランジスタ $212 (M, j)$ のそれれにおけるソース及びドレインの間の抵抗値は、トランジスタ $212 (M, 1)$ 乃至トランジスタ $212 (M, j)$ のゲートの電圧に応じて決まる。また、トランジスタ $212 (M, 1)$ 乃至トランジスタ $212 (M, j)$ のそれれのソース及びドレインの間に流れる電流に応じて、M行目のメモリセル 200 における、整流素子 $213 (M, 1)$ 乃至整流素子 $213 (M, j)$ が導通状態になるか否かが制御され、配線 204_1 乃至配線 204_j の電圧が設定される。よって、このときの配線 204_1 乃至配線 204_j の電圧をデータとすることにより、M行目のメモリセル 200 からデータを読み出すことができる。また、トランジスタ $211 (M, 1)$ 乃至トランジスタ $211 (M, j)$ がオフ状態の間、トランジスタ $212 (M, 1)$ 乃至トランジスタ $212 (M, j)$ のゲートの電圧が一定期間保持されるため、配線 204_1 乃至配線 204_j の電圧を、データとしてM行目のメモリセル 200 から複数回読み出すこともできる。

【0080】

さらに、上記動作を各行のメモリセル 200 毎に繰り返し行うことにより、全てのメモリセル（メモリセル $200 (1, 1)$ 乃至メモリセル $200 (i, j)$ ）においてデータを読み出すことができる。以上が図2（A）に示す半導体記憶装置の駆動方法例の説明である。

【0081】

さらに、本実施の形態における半導体記憶装置の他の例について説明する。

【0082】

本実施の形態における半導体記憶装置の他の例は、 i 行 j 列にマトリクス状に配列された複数のメモリセルを備えたメモリセルアレイを具備する。

【0083】

さらに、本実施の形態の半導体記憶装置におけるメモリセルアレイの例について、図3を用いて説明する。なお、図2を用いて説明した半導体記憶装置と同じ部分については、図2を用いて説明した半導体記憶装置の説明を適宜援用する。

【0084】

まず、本実施の形態の半導体記憶装置におけるメモリセルアレイの回路構成例について、図3（A）を用いて説明する。

【0085】

図3（A）に示すメモリセルアレイは、 i 行 j 列にマトリクス状に配列された複数のメモリセル 200 と、 j 本の配線 205 （配線 205_1 乃至配線 205_j ）と、 i 本の配線 202 （配線 202_1 乃至配線 202_i ）と、 i 本の配線 203 （配線 203_1 乃至配線 203_i ）と、を具備する。なお、図3（A）に示すメモリセルアレイの説明では、便宜のため、 i は3以上の自然数とし、 j は3以上の自然数とする。

【0086】

配線 205_1 乃至配線 205_j のそれぞれの電圧は、例えばデコーダを用いた駆動回路により制御される。なお、配線 205_1 乃至配線 205_j をピット線又はデータ線と呼ぶこともできる。

【0087】

さらに、M行N列目のメモリセル $200 (M, N)$ は、トランジスタ $211 (M, N)$ と、トランジスタ $212 (M, N)$ と、整流素子 $213 (M, N)$ と、を備える。

【0088】

トランジスタ $211 (M, N)$ のソース及びドレインの一方は、配線 205_N に電気的

10

20

30

40

50

に接続され、トランジスタ 211 (M, N) のゲートは、配線 202_M に電気的に接続される。

【0089】

トランジスタ 211 (M, N) は、データを入力するか否かを選択する機能を有する。

【0090】

トランジスタ 212 (M, N) のソース及びドレインの一方は、配線 203_M に電気的に接続され、トランジスタ 212 (M, N) のゲートは、トランジスタ 211 (M, N) のソース及びドレインの他方に電気的に接続される。

【0091】

トランジスタ 212 (M, N) は、出力するデータの値を設定する機能を有する。

10

【0092】

整流素子 213 (M, N) の一対の電流端子の一方は、配線 205_N に電気的に接続され、整流素子 213 (M, N) の一対の電流端子の他方は、トランジスタ 212 (M, N) のソース及びドレインの他方に電気的に接続される。

【0093】

さらに、図 3 (A) に示すメモリセルアレイの駆動方法例について、図 3 (B) 及び図 3 (C) を用いて説明する。図 3 (B) 及び図 3 (C) は、図 3 (A) に示すメモリセルアレイの駆動方法例を説明するためのタイミングチャートである。ここでは、一例として M 行目のメモリセル 200 (メモリセル 200 (M, 1) 乃至メモリセル 200 (M, j)) に順次データを書き込み、その後書き込まれたデータを読み出す場合について説明するが、これに限定されず、メモリセル 200 毎にデータの書き込み又はデータの読み出しを行うこともできる。

20

【0094】

まず、M 行目のメモリセル 200 にデータを書き込む場合、M 行目のメモリセル 200 における、トランジスタ 211 (M, 1) 乃至トランジスタ 211 (M, j) をオン状態にする。なお、このとき、全てのメモリセル 200 における、整流素子 213 (1, 1) 乃至整流素子 213 (i, j) を非導通状態にすることが好ましい。整流素子 213 (1, 1) 乃至整流素子 213 (i, j) を非導通状態にすることにより、データ書き込み時ににおいて、M 行 N 列目のメモリセル 200 における、トランジスタ 212 (M, N) のソース及びドレイン、並びに整流素子 213 (M, N) の一対の電流端子を介して電流が流れないため、消費電力を低減することができる。

30

【0095】

例えば、M 行目のメモリセル 200 における、トランジスタ 211 (M, 1) 乃至トランジスタ 211 (M, j) が N チャネル型トランジスタの場合、図 3 (B) に示すように、M 行目の配線 202_M の電圧を電圧 V_H にすることにより、M 行目のメモリセル 200 における、トランジスタ 211 (M, 1) 乃至トランジスタ 211 (M, j) をオン状態にできる。また、このとき、配線 202_1 乃至配線 202_i のうち、配線 202_M 以外の配線の電圧を電圧 V_L にする。

【0096】

M 行目のメモリセル 200 における、トランジスタ 211 (M, 1) 乃至トランジスタ 211 (M, j) がオン状態のとき、配線 205_1 乃至配線 205_j からデータ信号が M 行目のメモリセル 200 に入力され、トランジスタ 212 (M, 1) 乃至トランジスタ 212 (M, j) のゲートの電圧は、入力されるデータ信号の電圧に応じた値になり、M 行目のメモリセル 200 は、書き込み状態になる。

40

【0097】

その後、M 行目のメモリセル 200 における、トランジスタ 211 (M, 1) 乃至トランジスタ 211 (M, j) をオフ状態にすると、M 行目のメモリセル 200 における、トランジスタ 212 (M, 1) 乃至トランジスタ 212 (M, j) のゲートの電圧は、それぞれ一定期間保持される。

【0098】

50

さらに、上記動作を各行のメモリセル200毎に繰り返し行うことにより、全てのメモリセル200にデータを書き込むことができる。

【0099】

また、M行目のメモリセル200からデータを読み出す場合、M行目の配線203_Mの電圧と、配線205_1乃至配線205_jのそれぞれの電圧の差の絶対値が、M行目のメモリセル200における、整流素子213(M, 1)乃至整流素子213(M, j)が導通状態になるために必要な電圧以上になるように、配線203_Mの電圧の値を設定しておく。また、配線203_1乃至配線203_iのうち、配線203_M以外の配線の電圧を、配線205_1乃至配線205_jのそれぞれの電圧と同等の値に設定しておくことにより、M行目のメモリセル200のみのデータを読み出すことができる。 10

【0100】

例えば、M行目のメモリセル200における、トランジスタ212(M, 1)乃至トランジスタ212(M, j)がNチャネル型トランジスタの場合、図3(C)に示すように、配線203_Mの電圧を電圧V_Lにし、配線203_1乃至配線203_iのうち、配線203_M以外の配線の電圧を電圧V_Hにし、配線205_1乃至配線205_jの電圧を電圧V_Hにする。また、このとき、配線202_1乃至配線202_iの電圧を電圧V_Lにしておく。

【0101】

M行目のメモリセル200における、トランジスタ212(M, 1)乃至トランジスタ212(M, j)のそれそれぞれにおけるソース及びドレインの間の抵抗値は、トランジスタ212(M, 1)乃至トランジスタ212(M, j)のゲートの電圧に応じて決まる。また、トランジスタ212(M, 1)乃至トランジスタ212(M, j)のそれそれぞれのソース及びドレインの間に流れる電流に応じて、M行目のメモリセル200における、整流素子213(M, 1)乃至整流素子213(M, j)が導通状態になるか否かが制御され、配線205_1乃至配線205_jの電圧が設定される。よって、このときの配線205_1乃至配線205_jの電圧をデータとすることにより、M行目のメモリセル200からデータを読み出すことができる。また、トランジスタ211(M, 1)乃至トランジスタ211(M, j)がオフ状態の間、トランジスタ212(M, 1)乃至トランジスタ212(M, j)のゲートの電圧が一定期間保持されるため、配線205_1乃至配線205_jの電圧を、データとしてM行目のメモリセル200から複数回読み出すこともできる。 30

【0102】

さらに、上記動作を各行のメモリセル200毎に繰り返し行うことにより、全てのメモリセル(メモリセル200(1, 1)乃至メモリセル200(i, j))においてデータを読み出すことができる。以上が図3(A)に示す半導体記憶装置の駆動方法例の説明である。

【0103】

以上が実施の形態2における半導体記憶装置の例の説明である。

【0104】

本実施の形態では、ゲートが第1の電界効果トランジスタのソース又はドレインに電気的に接続される第2の電界効果トランジスタのゲートの電圧をデータ信号の電圧に応じた値に設定することにより、1回のデータの書き込みに対する書き込んだデータの読み出し可能回数を増やすことができる。 40

【0105】

また、本実施の形態では、第1の電界効果トランジスタとしてオフ電流の低い電界効果トランジスタを用いることによりデータの保持期間を長くすることができ、また、第2の電界効果トランジスタのゲートに付加される容量を少なくすること又は無くすことができる。よって、例えばリフレッシュ動作が必要な場合であっても、リフレッシュ動作の間隔を10年以上にすることもできる。

【0106】

また、本実施の形態における半導体装置の一例では、第1の電界効果トランジスタのソース又はドレインに電気的に接続される配線と、整流素子の第1の電流端子に電気的に接続される配線と、同じ（共通）にすることにより、配線の数を少なくすることができ半導体記憶装置の面積を小さくすることができる。

【0107】

（実施の形態3）

本実施の形態では、上記実施の形態の半導体装置又は半導体記憶装置に適用可能な酸化物半導体層を含むトランジスタの例について説明する。

【0108】

本実施の形態におけるトランジスタの構造例について、図4を用いて説明する。図4は、
10 本実施の形態におけるトランジスタの構造例を説明するための断面模式図である。なお、図4では、実際の寸法と異なる構成要素を含む。

【0109】

図4(A)に示すトランジスタは、トップゲート構造のトランジスタの一つである。

【0110】

図4(A)に示すトランジスタは、半導体層603_Aと、導電層605a_Aと、導電層605b_Aと、絶縁層606_Aと、導電層607_Aと、を含む。

【0111】

半導体層603_Aは、互いに離間し、それぞれドーパントが添加された領域である、領域604a_A及び領域604b_Aと、を含む。領域604a_A及び領域604b_Aの間の領域がチャネル形成領域になる。半導体層603_Aは、例えば被素子形成層600_Aの上に設けられる。
20

【0112】

導電層605a_Aは、半導体層603_Aの上に設けられ、半導体層603_Aに電気的に接続される。また、導電層605a_Aの側面は、テーパ状であり、導電層605a_Aは、領域604a_Aの一部に重畳するが、必ずしもこれに限定されない。導電層605a_Aを領域604a_Aの一部に重畳させることにより、導電層605a_A及び領域604a_Aの間の抵抗値を小さくすることができる。また、導電層605a_Aに重畳する半導体層603_Aの領域の全てが領域604a_Aでもよい。

【0113】

導電層605b_Aは、半導体層603_Aの上に設けられ、半導体層603_Aに電気的に接続される。また、導電層605b_Aの側面は、テーパ状であり、導電層605b_Aは、領域604b_Aの一部に重畳するが、必ずしもこれに限定されない。導電層605b_Aを領域604b_Aの一部に重畳させることにより、導電層605b_A及び領域604b_Aの間の抵抗値を小さくすることができる。また、導電層605b_Aに重畳する半導体層603_Aの領域の全てが領域604b_Aでもよい。
30

【0114】

絶縁層606_Aは、半導体層603_A、導電層605a_A、及び導電層605b_Aの上に設けられる。

【0115】

導電層607_Aは、絶縁層606_Aを介して半導体層603_Aに重畳する。絶縁層606_Aを介して導電層607_Aと重畳する半導体層603_Aの領域がチャネル形成領域になる。

【0116】

また、図4(B)に示すトランジスタは、図4(A)に示す構造に加え、絶縁層609a_A及び絶縁層609b_Aを含み、さらに、半導体層603_Aは、領域604a_A及び領域604b_Aの間に、互いに離間し、それぞれドーパントが添加された領域である、領域608a_A及び領域608b_Aを含む。

【0117】

絶縁層609a_Aは、絶縁層606_Aの上に設けられ、導電層607_Aにおける、
50

互いに対向する一対の側面の一方に接する。

【0118】

絶縁層609b_Aは、絶縁層606_Aの上に設けられ、導電層607_Aにおける、互いに対向する一対の側面の他方に接する。

【0119】

領域608a_Aは、絶縁層606_Aを介して絶縁層609a_Aに重畳する。また、領域608a_Aのドーパントの濃度が、領域604a_A及び領域604b_Aのドーパントの濃度より低くてもよい。このとき、領域608a_Aを低濃度領域ともいう。

【0120】

領域608b_Aは、絶縁層606_Aを介して絶縁層609b_Aに重畳する。また、領域608b_Aのドーパントの濃度が、領域604a_A及び領域604b_Aのドーパントの濃度より低くてもよい。このとき、領域608b_Aを低濃度領域ともいう。また、このとき領域604a_A及び領域604b_Aを高濃度領域と呼んでもよい。

【0121】

領域608a_A及び領域608b_Aを設けることにより、トランジスタへの局所的な電界集中を抑制することができるため、トランジスタの面積が小さい場合であってもトランジスタの信頼性を高くすることができる。

【0122】

図4(C)に示すトランジスタは、トップゲート構造のトランジスタの一つである。

【0123】

図4(C)に示すトランジスタは、半導体層603_Bと、導電層605a_Bと、導電層605b_Bと、絶縁層606_Bと、導電層607_Bと、を含む。

【0124】

導電層605a_Bは、被素子形成層600_Bの上に設けられる。また、導電層605a_Bの側面は、テーパ状である。

【0125】

導電層605b_Bは、被素子形成層600_Bの上に設けられる。また、導電層605b_Bの側面は、テーパ状である。

【0126】

半導体層603_Bは、互いに離間し、それぞれドーパントが添加された領域である、領域604a_B及び領域604b_Bと、を含む。また、領域604a_B及び領域604b_Bの間の領域がチャネル形成領域になる。半導体層603_Bは、例えば導電層605a_B、導電層605b_B、及び被素子形成層600_Bの上に設けられる。

【0127】

領域604a_Bは、導電層605a_Bに電気的に接続される。

【0128】

領域604b_Bは、導電層605b_Bに電気的に接続される。

【0129】

絶縁層606_Bは、半導体層603_Bの上に設けられる。

【0130】

導電層607_Bは、絶縁層606_Bを介して半導体層603_Bに重畳する。絶縁層606_Bを介して導電層607_Bと重畳する半導体層603_Bの領域がチャネル形成領域になる。

【0131】

また、図4(D)に示すトランジスタは、図4(C)に示す構造に加え、絶縁層609a_B及び絶縁層609b_Bを含み、さらに、半導体層603_Bは、領域604a_B及び領域604b_Bの間に、互いに離間し、それぞれドーパントが添加された領域である、領域608a_B及び領域608b_Bを含む。

【0132】

絶縁層609a_Bは、絶縁層606_Bの上に設けられ、導電層607_Bにおける、

10

20

30

40

50

互いに対向する一対の側面の一方に接する。

【0133】

絶縁層 609b_B は、絶縁層 606_B の上に設けられ、導電層 607_B における、互いに対向する一対の側面の他方に接する。

【0134】

領域 608a_B は、絶縁層 606_B を介して絶縁層 609a_B に重畠する。また、領域 608a_B のドーパントの濃度が、領域 604a_B 及び領域 604b_B のドーパントの濃度より低くてもよい。このとき、領域 608a_B を低濃度領域ともいう。

【0135】

領域 608b_B は、絶縁層 606_B を介して絶縁層 609b_B に重畠する。また、領域 608b_B のドーパントの濃度が、領域 604a_B 及び領域 604b_B のドーパントの濃度より低くてもよい。このとき、領域 608b_B を低濃度領域ともいう。また、このとき領域 604a_B 及び領域 604b_B を高濃度領域と呼んでもよい。

【0136】

領域 608a_B 及び領域 608b_B を設けることにより、トランジスタへの局所的な電界集中を抑制することができるため、トランジスタの信頼性を高くすることができる。

【0137】

さらに、図 4 (A) 乃至図 4 (D) に示す各構成要素について説明する。

【0138】

被素子形成層 600_A 及び被素子形成層 600_B としては、例えば絶縁層、又は絶縁表面を有する基板などを用いることができる。また、予め素子が形成された層を被素子形成層 600_A 及び被素子形成層 600_B として用いることもできる。

【0139】

半導体層 603_A 及び半導体層 603_B は、トランジスタのチャネル形成層としての機能を有する。半導体層 603_A 及び半導体層 603_B としては、酸化物半導体層を用いることができる。

【0140】

用いる酸化物半導体としては、少なくともインジウム (In) あるいは亜鉛 (Zn) を含むことが好ましい。特に In と Zn を含むことが好ましい。また、該酸化物半導体を用いたトランジスタの電気特性のばらつきを減らすためのスタビライザーとして、それらに加えてガリウム (Ga) を有することが好ましい。また、スタビライザーとしてスズ (Sn) を有することが好ましい。また、スタビライザーとしてハフニウム (Hf) を有することが好ましい。また、スタビライザーとしてアルミニウム (Al) を有することが好ましい。

【0141】

また、他のスタビライザーとして、ランタノイドである、ランタン (La)、セリウム (Ce)、プラセオジム (Pr)、ネオジム (Nd)、サマリウム (Sm)、ユウロピウム (Eu)、ガドリニウム (Gd)、テルビウム (Tb)、ジスプロシウム (Dy)、ホルミウム (Ho)、エルビウム (Er)、ツリウム (Tm)、イッテルビウム (Yb)、ルテチウム (Lu) のいずれか一種あるいは複数種を有してもよい。

【0142】

酸化物半導体層として、例えば四元系金属酸化物、三元系金属酸化物、又は二元系金属酸化物などを含む酸化物半導体を用いることができる。

【0143】

四元系金属酸化物としては、例えば In - Sn - Ga - Zn 系酸化物、In - Hf - Ga - Zn 系酸化物、In - Al - Ga - Zn 系酸化物、In - Sn - Al - Zn 系酸化物、In - Sn - Hf - Zn 系酸化物、又は In - Hf - Al - Zn 系酸化物などを用いることができる。

【0144】

三元系金属酸化物としては、例えば In - Ga - Zn 系酸化物 (IGZO とも表記する)

10

20

30

40

50

、In-Sn-Zn系酸化物、In-Al-Zn系酸化物、Sn-Ga-Zn系酸化物、Al-Ga-Zn系酸化物、Sn-Al-Zn系酸化物、In-Hf-Zn系酸化物、In-La-Zn系酸化物、In-Ce-Zn系酸化物、In-Pr-Zn系酸化物、In-Nd-Zn系酸化物、In-Sm-Zn系酸化物、In-Eu-Zn系酸化物、In-Gd-Zn系酸化物、In-Tb-Zn系酸化物、In-Dy-Zn系酸化物、In-Ho-Zn系酸化物、In-Er-Zn系酸化物、In-Tm-Zn系酸化物、In-Yb-Zn系酸化物、又はIn-Lu-Zn系酸化物などを用いることができる。

【0145】

二元系金属酸化物としては、例えばIn-Zn系酸化物、Sn-Zn系酸化物、Al-Zn系酸化物、Zn-Mg系酸化物、Sn-Mg系酸化物、In-Mg系酸化物、In-Sn系酸化物、又はIn-Ga系酸化物などを用いることができる。

10

【0146】

また、半導体層603_A及び半導体層603_Bとしては、例えば酸化インジウム、酸化スズ、又は酸化亜鉛の層などを用いることもできる。また、上記酸化物半導体として適用可能な金属酸化物は、酸化シリコンを含んでいてもよい。また、上記酸化物半導体として適用可能な金属酸化物は、窒素を含んでいてもよい。

【0147】

In-Zn-O系金属酸化物を用いる場合、例えば、In:Zn=50:1乃至In:Zn=1:2（モル数比に換算するとIn₂O₃:ZnO=25:1乃至In₂O₃:ZnO=1:4）、好ましくはIn:Zn=20:1乃至In:Zn=1:1（モル数比に換算するとIn₂O₃:ZnO=10:1乃至In₂O₃:ZnO=1:2）、さらに好ましくはIn:Zn=15:1乃至In:Zn=1.5:1（モル数比に換算するとIn₂O₃:ZnO=15:2乃至In₂O₃:ZnO=3:4）の組成比である酸化物ターゲットを用いてIn-Zn-O系金属酸化物の半導体層を形成することができる。例えば、In-Zn-O系金属酸化物半導体の形成に用いるターゲットは、原子数比がIn:Zn:O=P:Q:Rのとき、R>1.5P+Qとする。Inの量を多くすることにより、トランジスタの移動度を向上させることができる。

20

【0148】

なお、ここで、例えば、In-Ga-Zn系酸化物とは、InとGaとZnを主成分として有する酸化物という意味であり、InとGaとZnの比率は問わない。また、InとGaとZn以外の金属元素が入っていてもよい。

30

【0149】

また、半導体層603_A及び半導体層603_Bとしては、In_LO₃(ZnO)_m（m>0、且つ、mは整数でない）で表記される材料の層を用いることもできる。In_LO₃(ZnO)_mのLは、Ga、Al、Fe、Mn、及びCoから選ばれた一つ又は複数の金属元素を示す。また、酸化物半導体として、In₃SnO₅(ZnO)_n（n>0、且つ、nは整数）で表記される材料を用いてもよい。

【0150】

例えば、In:Ga:Zn=1:1:1（=1/3:1/3:1/3）あるいはIn:Ga:Zn=2:2:1（=2/5:2/5:1/5）の原子数比のIn-Ga-Zn系酸化物やその組成の近傍の酸化物を用いることができる。あるいは、In:Sn:Zn=1:1:1（=1/3:1/3:1/3）、In:Sn:Zn=2:1:3（=1/3:1/6:1/2）あるいはIn:Sn:Zn=2:1:5（=1/4:1/8:5/8）の原子数比のIn-Sn-Zn系酸化物やその組成の近傍の酸化物を用いるとよい。

40

【0151】

しかし、これらに限られず、必要とする半導体特性（移動度、しきい値、ばらつきなど）に応じて適切な組成のものを用いればよい。また、必要とする半導体特性を得るために、キャリア濃度や不純物濃度、欠陥密度、金属元素と酸素の原子数比、原子間結合距離、密度などを適切なものとすることが好ましい。

【0152】

50

例えば、In - Sn - Zn系酸化物では比較的容易に高い移動度が得られる。しかしながら、In - Ga - Zn系酸化物でも、バルク内欠陥密度を低減することにより移動度を上げることができる。

【0153】

なお、例えば、In、Ga、Znの原子数比がIn : Ga : Zn = a : b : c (a + b + c = 1) である酸化物の組成が、原子数比がIn : Ga : Zn = A : B : C (A + B + C = 1) の酸化物の組成の近傍であるとは、a、b、cが(a - A)² + (b - B)² + (c - C)² / r² を満たすことを言う。rとしては、例えば、0.05とすればよい。他の酸化物でも同様である。

【0154】

酸化物半導体は単結晶でも、非単結晶でもよい。後者の場合、アモルファスでも、多結晶でもよい。また、アモルファス中に結晶性を有する部分を含む構造でも、非アモルファスでもよい。

【0155】

アモルファス状態の酸化物半導体は、比較的容易に平坦な表面を得ることができるため、これを用いてトランジスタを作製した際の界面散乱を低減でき、比較的容易に、比較的高い移動度を得ることができる。

【0156】

また、結晶性を有する酸化物半導体では、よりバルク内欠陥を低減することができ、表面の平坦性を高めればアモルファス状態の酸化物半導体以上の移動度を得ることができる。表面の平坦性を高めるためには、平坦な表面上に酸化物半導体を形成することが好ましく、具体的には、平均面粗さ (Ra) が 1 nm 以下、好ましくは 0.3 nm 以下、より好ましくは 0.1 nm 以下の表面上に形成するとよい。

【0157】

なお、Ra は、JIS B 0601 で定義されている中心線平均粗さを面に対して適用できるよう三次元に拡張したものであり、「基準面から指定面までの偏差の絶対値を平均した値」と表現でき、以下の式にて定義される。

【0158】

【数1】

$$Ra = \frac{1}{S_0} \int_{y_1}^{y_2} \int_{x_1}^{x_2} |f(x, y) - Z_0| dx dy$$

【0159】

なお、上記において、S₀ は、測定面 (座標 (x₁, y₁) (x₁, y₂) (x₂, y₁) (x₂, y₂) で表される 4 点によって囲まれる長方形の領域) の面積を指し、Z₀ は測定面の平均高さを指す。Ra は原子間力顕微鏡 (AFM: Atomic Force Microscope) にて評価可能である。なお、測定面とは、全測定データの示す面であり、三つのパラメータ (X, Y, Z) から成り立っており、Z = F (X, Y) で表される。なお、X の (及び Y) の範囲は 0 乃至 XMAX (及び YMAX) であり、Z の範囲は ZMIN 乃至 ZMAX である。

【0160】

また、半導体層 603_A 及び半導体層 603_B の少なくともチャネルが形成される領域は、非単結晶であって、a b 面に垂直な方向から見て、三角形、六角形、正三角形、又は正六角形の原子配列を有し、且つ、c 軸方向に垂直な方向から見て金属原子が層状に配列した相、又は c 軸方向に垂直な方向から見て金属原子と酸素原子が層状に配列した相を有してもよい。

【0161】

領域 604a_A 及び領域 604a_B は、一導電型を付与するドーパントが添加され、トランジスタのソース及びドレインの一方としての機能を有する。なお、トランジスタのソースとしての機能を有する領域をソース領域ともいい、トランジスタのドレインとして

10

20

30

40

50

の機能を有する領域をドレイン領域ともいう。

【0162】

領域604b_A及び領域604b_Bは、一導電型を付与するドーパントが添加され、トランジスタのソース及びドレインの他方としての機能を有する。

【0163】

領域608a_A及び領域608b_A、並びに領域608a_B及び領域608b_Bの抵抗値は、チャネル形成領域の抵抗値より低くてもよく、領域604a_A及び領域604b_A、並びに領域604a_B及び領域604b_Bの抵抗値より高い。なお、領域608a_A及び領域608b_A、並びに領域608a_B及び領域608b_Bを低抵抗領域ともいう。

10

【0164】

領域604a_A及び領域604b_A、領域608a_A及び領域608b_A、領域604a_B及び領域604b_B、並びに領域608a_B及び領域608b_Bに含まれるドーパントとしては、例えば元素周期表における15族の元素（例えば窒素、リン、及び砒素の一つ又は複数）、及び希ガス元素（例えばヘリウム、アルゴン、及びキセノンの一つ又は複数）の一つ又は複数が挙げられる。

【0165】

また、領域604a_A及び領域604b_A、並びに領域604a_B及び領域604b_Bに含まれるドーパントの濃度は、例えば $5 \times 10^{19} \text{ cm}^{-3}$ 以上であることが好ましい。例えば、領域604a_A及び領域604b_A、並びに領域604a_B及び領域604b_Bには、 $1 \times 10^{20} \text{ cm}^{-3}$ 以上7原子%未満の窒素を含ませてもよい。

20

【0166】

また、領域608a_A及び領域608b_A、並びに領域608a_B及び領域608b_Bに含まれるドーパントの濃度は、例えば $5 \times 10^{18} \text{ cm}^{-3}$ 以上 $5 \times 10^{19} \text{ cm}^{-3}$ 未満であることが好ましい。

【0167】

また、領域604a_A及び領域604b_A、領域608a_A及び領域608b_A、領域604a_B及び領域604b_B、並びに領域608a_B及び領域608b_Bは、チャネル形成領域より結晶性が低くてもよい。

30

【0168】

また、領域604a_A及び領域604b_A、並びに領域604a_B及び領域604b_Bに、ウルツ鉱構造の結晶が含まれていてもよい。

【0169】

また、領域608a_A及び領域608b_A、並びに領域608a_B及び領域608b_Bに、ウルツ鉱構造の結晶が含まれていてもよい。

【0170】

例えば、ドーパントを添加した後に熱処理を行うことにより、領域604a_A及び領域604b_A、領域608a_A及び領域608b_A、領域604a_B及び領域604b_B、並びに領域608a_B及び領域608b_Bをウルツ鉱構造の結晶を含む構造にすることもできる。

40

【0171】

上記ドーパントが添加された領域をウルツ鉱構造の結晶を含む構造にすることにより、トランジスタのソース又はドレインと、チャネル形成領域との間の抵抗値を低くすることができる。

【0172】

導電層605a_A、導電層605a_B、導電層605b_A、並びに導電層605b_Bのそれぞれは、トランジスタのソース又はドレインとしての機能を有する。なお、トランジスタのソースとしての機能を有する層をソース電極又はソース配線ともいい、トランジスタのドレインとしての機能を有する層をドレイン電極又はドレイン配線ともいう。

50

【0173】

導電層 605a_A、導電層 605a_B、導電層 605b_A、並びに導電層 605b_B としては、例えばアルミニウム、クロム、銅、タンタル、チタン、モリブデン、若しくはタンクスチールなどの金属材料、又はこれらの金属材料を主成分とする合金材料の層を用いることができる。合金材料の層としては、例えば Cu - Mg - Al 合金材料の層を用いることができる。

【0174】

また、導電層 605a_A、導電層 605a_B、導電層 605b_A、並びに導電層 605b_B としては、導電性の金属酸化物を含む層を用いることができる。なお、導電層 605a_A、導電層 605a_B、導電層 605b_A、並びに導電層 605b_B に適用可能な導電性の金属酸化物は、酸化シリコンを含んでいてもよい。

10

【0175】

また、導電層 605a_A、導電層 605a_B、導電層 605b_A、並びに導電層 605b_B に適用可能な材料の層の積層により、導電層 605a_A、導電層 605a_B、導電層 605b_A、並びに導電層 605b_B を構成することもできる。例えば Cu - Mg - Al 合金材料の層の上に銅の層が設けられた積層により、導電層 605a_A、導電層 605a_B、導電層 605b_A、並びに導電層 605b_B を構成することにより、導電層 605a_A、導電層 605a_B、導電層 605b_A、並びに導電層 605b_B に接する他の層との密着性を高めることができる。

【0176】

20

絶縁層 606_A 及び絶縁層 606_B としては、例えば酸化シリコン層、窒化シリコン層、酸化窒化シリコン層、窒化酸化シリコン層、酸化アルミニウム層、窒化アルミニウム層、酸化窒化アルミニウム層、窒化酸化アルミニウム層、又は酸化ハフニウム層を用いることができる。また、絶縁層 606_A 及び絶縁層 606_B に適用可能な材料の層の積層により絶縁層 606_A 及び絶縁層 606_B を構成することもできる。

【0177】

また、絶縁層 606_A 及び絶縁層 606_B としては、例えば元素周期表における第 1 3 族元素及び酸素元素を含む材料の絶縁層を用いることができる。

【0178】

30

第 1 3 族元素及び酸素元素を含む材料としては、例えば酸化ガリウム、酸化アルミニウム、酸化アルミニウムガリウム、酸化ガリウムアルミニウムなどが挙げられる。なお、酸化アルミニウムガリウムとは、ガリウムの含有量（原子%）よりアルミニウムの含有量（原子%）が多い物質のことをいい、酸化ガリウムアルミニウムとは、ガリウムの含有量（原子%）がアルミニウムの含有量（原子%）以上の物質のことをいう。

【0179】

導電層 607_A 及び導電層 607_B は、トランジスタのゲートとしての機能を有する。なお、トランジスタのゲートとしての機能を有する導電層をゲート電極又はゲート配線ともいう。

【0180】

40

導電層 607_A 及び導電層 607_B としては、例えばアルミニウム、クロム、銅、タンタル、チタン、モリブデン、若しくはタンクスチールなどの金属材料、又はこれらの金属材料を主成分とする合金材料の層を用いることができる。また、導電層 607_A 及び導電層 607_B に適用可能な材料の層の積層により、導電層 607_A 及び導電層 607_B を構成することもできる。

【0181】

また、導電層 607_A 及び導電層 607_B としては、導電性の金属酸化物を含む層を用いることができる。なお、導電層 607_A 及び導電層 607_B に適用可能な導電性の金属酸化物は、酸化シリコンを含んでいてもよい。

【0182】

また、導電層 607_A 及び導電層 607_B としては、In - Ga - Zn - O - N 系材

50

料の層を用いることもできる。In-Ga-Zn-O-N系材料の層は、導電性が高いいため、導電層607_A及び導電層607_Bとして好ましい。

【0183】

絶縁層609a_A及び絶縁層609b_A、並びに絶縁層609a_B及び絶縁層609b_Bとしては、例えば絶縁層606_A及び絶縁層606_Bに適用可能な材料の層を用いることができる。また、絶縁層609a_A及び絶縁層609b_A、並びに絶縁層609a_B及び絶縁層609b_Bに適用可能な材料の層の積層により絶縁層609a_A及び絶縁層609b_A、並びに絶縁層609a_B及び絶縁層609b_Bを構成してもよい。

【0184】

なお、導電層607_Aを介して絶縁層606_Aの上又は導電層607_Bを介して絶縁層606_Bの上にさらに、絶縁層を設けてもよい。

【0185】

なお、本実施の形態のトランジスタを、半導体層の全てがゲート電極としての機能を有する導電層に重畠する構造にすることにより、半導体層への光の入射を抑制することができる。このとき、半導体層にドーパントが添加された領域を設けなくてもよい。

【0186】

以上が図4に示すトランジスタの構造例の説明である。

【0187】

さらに、本実施の形態のトランジスタの作製方法例として、図4(A)に示すトランジスタの作製方法例について、図5(A)乃至図5(E)を用いて説明する。図5(A)乃至図5(E)は、本実施の形態におけるトランジスタの作製方法例を説明するための断面模式図である。

【0188】

まず、図5(A)に示すように、被素子形成層600_Aの上に半導体層603_Aを形成する。

【0189】

さらに、半導体層603_Aの一例として、CACである酸化物半導体層の形成方法例について以下に説明する。

【0190】

CACである酸化物半導体層の形成方法例は、被素子形成層600_Aの上に半導体膜を形成する工程を含む。なお、半導体層603_Aの形成方法例において、1回以上の加熱処理を行う工程、及び半導体膜の一部を除去する工程の一つ又は複数を含ませてもよい。このとき、該半導体膜の一部を除去する工程の順番は、半導体膜の形成後から導電層605a_A及び導電層605b_Aの形成前までであれば特に限定されない。また、加熱処理を行う工程の順番は半導体膜の形成後であれば特に限定されない。

【0191】

被素子形成層600_Aの上に半導体膜を形成する工程としては、例えばスパッタリング法を用いて半導体層603_Aに適用可能な材料の膜を形成することにより半導体膜を形成する。このとき、半導体膜が形成される被素子形成層の温度を100以上500以下、好ましくは200以上350以下にする。半導体膜が形成される被素子形成層の温度を高くすることにより、上記半導体膜において、a b面に垂直な方向から見て、三角形、六角形、正三角形、又は正六角形の原子配列を有し、且つ、c軸方向に垂直な方向から見て金属原子が層状に配列した相、又はc軸方向に垂直な方向から見て金属原子と酸素原子が層状に配列した相を形成することができる。

【0192】

また、In-Sn-Zn系酸化物(ITZO)を用いて半導体層603_Aを形成する場合、In:Sn:Znが原子数比で、1:2:2、2:1:3、1:1:1、又は20:45:35などとなる酸化物ターゲットを用いる。

【0193】

10

20

30

40

50

加熱処理を行う工程としては、例えば400以上750以下、又は400以上基板の歪み点未満の温度で加熱処理（加熱処理Aともいう）を行う。なお、半導体膜を形成した後であれば、加熱処理Aを行うタイミングは特に限定されない。

【0194】

加熱処理Aにより、半導体層603_Aにおける結晶性を高めることができる。

【0195】

なお、加熱処理Aを行う加熱処理装置としては、電気炉、又は抵抗発熱体などの発熱体からの熱伝導又は熱輻射により被処理物を加熱する装置を用いることができ、例えばGRTA (Gas Rapid Thermal Annealing) 装置又はLRTA (Lamp Rapid Thermal Annealing) 装置などのRTA (Rapid Thermal Annealing) 装置を用いることができる。LRTA装置は、例えばハロゲンランプ、メタルハライドランプ、キセノンアークランプ、カーボンアークランプ、高圧ナトリウムランプ、又は高圧水銀ランプなどのランプから発する光（電磁波）の輻射により、被処理物を加熱する装置である。また、GRTA装置は、高温のガスを用いて加熱処理を行う装置である。高温のガスとしては、例えば希ガス、又は加熱処理によって被処理物と反応しない不活性気体（例えば窒素）を用いることができる。10

【0196】

また、加熱処理Aを行った後、その加熱温度を維持しながら又はその加熱温度から降温する過程で加熱処理Aを行った炉と同じ炉に高純度の酸素ガス、高純度のN₂Oガス、又は超乾燥エア（露点が-40以下、好ましくは-60以下の雰囲気）を導入してもよい。20 このとき、酸素ガス又はN₂Oガスは、水、水素などを含まないことが好ましい。また、加熱処理装置に導入する酸素ガス又はN₂Oガスの純度を、6N以上、好ましくは7N以上、すなわち、酸素ガス又はN₂Oガス中の不純物濃度を1ppm以下、好ましくは0.1ppm以下とすることが好ましい。酸素ガス又はN₂Oガスの作用により、半導体膜又は半導体層603_Aに酸素が供給され、半導体膜又は半導体層603_A中の酸素欠乏に起因する欠陥を低減することができる。

【0197】

次に、図5(B)に示すように、半導体層603_Aの一部の上に第1の導電膜を形成し、該第1の導電膜の一部をエッチングすることにより導電層605a_A及び導電層605b_Aを形成する。30

【0198】

例えば、スパッタリング法などを用いて導電層605a_A及び導電層605b_Aに適用可能な材料の膜を形成することにより第1の導電膜を形成することができる。また、導電層605a_A及び導電層605b_Aに適用可能な材料の膜を積層させることにより第1の導電膜を形成することもできる。

【0199】

また、上記導電層605a_A及び導電層605b_Aの形成方法のように、本実施の形態のトランジスタの作製方法例において、膜の一部をエッチングする場合、例えば、フォトリソグラフィ工程により膜の一部の上にレジストマスクを形成し、レジストマスクを用いて膜をエッチングしてもよい。なお、この場合、エッチング後にレジストマスクを除去することが好ましい。また、透過率の異なる複数の領域を有する露光マスク（多階調マスクともいう）を用いてレジストマスクを形成してもよい。多階調マスクを用いることにより、異なる厚さの領域を有するレジストマスクを形成することができ、トランジスタの作製に使用するレジストマスクの数を低減することができる。40

【0200】

次に、図5(C)に示すように、半導体層603_A、導電層605a_A、及び導電層605b_Aの上に第1の絶縁膜を形成することにより、絶縁層606_Aを形成する。また、絶縁層606_Aに適用可能な材料の膜を積層させることにより第1の絶縁膜を形成することもできる。

【0201】

例えば、スパッタリング法やプラズマ CVD 法などを用いて絶縁層 606_A に適用可能な材料の膜を形成することにより第 1 の絶縁膜を形成することができる。また、高密度プラズマ CVD 法（例えばマイクロ波（例えば、周波数 2.45 GHz のマイクロ波）を用いた高密度プラズマ CVD 法）を用いて絶縁層 606_A に適用可能な材料の膜を形成することにより、絶縁層 606_A を緻密にすることができる、絶縁層 606_A の絶縁耐圧を向上させることができる。

【0202】

次に、図 5 (D) に示すように、絶縁層 606_A の上に第 2 の導電膜を形成し、第 2 の導電膜の一部をエッチングすることにより、導電層 607_A を形成する。

【0203】

例えば、スパッタリング法を用いて導電層 607_A に適用可能な材料の膜を形成することにより第 2 の導電膜を形成することができる。また、第 2 の導電膜に適用可能な材料の膜を積層させ、第 2 の導電膜を形成することもできる。

【0204】

なお、スパッタリングガスとして、例えば水素、水、水酸基、又は水素化物などの不純物が除去された高純度ガスを用いることにより、形成される膜の上記不純物濃度を低減することができる。

【0205】

なお、スパッタリング法を用いて膜を形成する前に、スパッタリング装置の予備加熱室にて加熱処理（加熱処理 B ともいう）を行ってもよい。加熱処理 B を行うことにより、水素、水分などの不純物を脱離することができる。

【0206】

また、スパッタリング法を用いて膜を形成する前に、例えばアルゴン、窒素、ヘリウム、又は酸素雰囲気下で、ターゲット側に電圧を印加せずに、基板側に RF 電源を用いて電圧を印加し、プラズマを形成して被形成面を改質する処理（逆スパッタともいう）を行ってもよい。逆スパッタを行うことにより、被形成面に付着している粉状物質（パーティクル、ごみともいう）を除去することができる。

【0207】

また、スパッタリング法を用いて膜を形成する場合、吸着型の真空ポンプなどを用いて、膜を形成する成膜室内の残留水分を除去することができる。吸着型の真空ポンプとしては、例えばクライオポンプ、イオンポンプ、又はチタンサブリメーションポンプなどを用いることができる。また、コールドトラップを設けたターボ分子ポンプを用いて成膜室内の残留水分を除去することもできる。

【0208】

さらに、絶縁層 606_A を形成した後に、不活性ガス雰囲気下、又は酸素ガス雰囲気下で、加熱処理（加熱処理 C ともいう）を行ってもよい。このとき、例えば 200 以上 400 以下、好ましくは 250 以上 350 以下で加熱処理 C を行うことができる。

【0209】

次に、図 5 (E) に示すように、導電層 607_A が形成される側から半導体層 603_A に絶縁層 606_A を介してドーパントを添加することにより、自己整合で領域 604_a_A 及び領域 604_b_A を形成する。

【0210】

例えば、イオンドーピング装置又はイオン注入装置を用いてドーパントを添加することができる。

【0211】

添加するドーパントとしては、例えば元素周期表における 15 族の元素（例えば窒素、リン、及び砒素の一つ又は複数）、及び希ガス元素（例えばヘリウム、アルゴン、及びキセノンの一つ又は複数）の一つ又は複数を用いることができる。

【0212】

チャネル形成層としての機能を有する酸化物半導体層を含むトランジスタにおいて、ソーダ

10

20

30

40

50

ス領域又はドレイン領域としての機能を有する領域をセルフアラインプロセスにて作製する方法の一つとして、酸化物半導体層の表面を露出させて、アルゴンプラズマ処理を行い、酸化物半導体層のプラズマに曝された領域の抵抗率を低下させる方法が開示されている (S. Jeon et al. "180 nm Gate Length Amorphous InGaN O Thin Film Transistor for High Density Image Sensor Applications", IEDM Tech. Dig., p. 504, 2010.)。

【0213】

しかしながら、上記作製方法では、ゲート絶縁層としての機能を有する絶縁層を形成した後に、酸化物半導体層におけるソース領域又はドレイン領域としての機能を有する領域になる部分を露出するため、ゲート絶縁層としての機能を有する絶縁層を部分的に除去する必要がある。よって、ゲート絶縁層としての機能を有する絶縁層が除去される際に、下層の酸化物半導体層も部分的にオーバーエッチングされ、該ソース領域又はドレイン領域としての機能を有する領域になる部分の膜厚が薄くなってしまう。その結果、該ソース領域又はドレイン領域としての機能を有する領域になる部分の抵抗が増加し、また、オーバーエッチングによるトランジスタの特性不良が起こりやすくなる。

10

【0214】

トランジスタの微細化を行うためには、加工精度の高いドライエッチング法を用いる必要がある。しかし、上記オーバーエッチングは、酸化物半導体層とゲート絶縁層としての機能を有する絶縁層の選択比が十分に確保できないドライエッチング法を採用する場合に、顕著に起こりやすい。

20

【0215】

例えば、酸化物半導体層が十分な厚さであればオーバーエッチングも問題にはならないが、チャネル長を200 nm以下とする場合には、短チャネル効果を防止する上で、チャネル形成領域となる部分の酸化物半導体層の厚さは、20 nm以下、好ましくは10 nm以下であることが求められる。そのような薄い酸化物半導体層を扱う場合には、酸化物半導体層のオーバーエッチングは、上述したような、ソース領域又はドレイン領域としての機能を有する領域の抵抗が増加、トランジスタの特性不良を生じさせるため、好ましくない。

【0216】

30

しかし、本発明の一態様のように、酸化物半導体層へのドーパントの添加を、酸化物半導体層を露出させず、ゲート絶縁層としての機能を有する絶縁層を残したまま行うことで、酸化物半導体層のオーバーエッチングを防ぎ、酸化物半導体層への過剰なダメージを軽減することができる。また、加えて、酸化物半導体層とゲート絶縁層としての機能を有する絶縁層の界面も清浄に保たれる。従って、トランジスタの特性及び信頼性を高めることができる。

【0217】

なお、半導体層603_Aにドーパントを添加した後に、加熱処理を行ってもよい。

【0218】

以上が図4(A)に示すトランジスタの作製方法例の説明である。

40

【0219】

なお、図4(A)に示すトランジスタの作製方法例を示したが、これに限定されず、例えば図4(B)乃至図4(D)に示す各構成要素において、名称が図4(A)に示す各構成要素と同じであり且つ機能の少なくとも一部が図4(A)に示す各構成要素と同じであれば、図4(A)に示すトランジスタの作製方法例の説明を適宜援用することができる。

【0220】

例えば、図4(B)に示すトランジスタを作製する場合には、図5(D)に示す工程の後に、絶縁層606_A及び導電層607_Aの上に第2の絶縁膜を形成し、第2の絶縁膜の一部をエッチングすることにより、絶縁層609a_A及び絶縁層609b_Aを形成し、その後半導体層603_Aにドーパントを添加することにより、絶縁層609a_A

50

及び絶縁層 609b_A を介して半導体層 603_A の一部にドーパントが添加され、領域 608a_A 及び領域 608b_A が形成される。なお、複数の絶縁膜を順番に形成することにより第 2 の絶縁膜を形成してもよい。

【0221】

図 4 及び図 5 を用いて説明したように、本実施の形態におけるトランジスタの一例は、チャネルが形成される半導体層と、該半導体層に電気的に接続され、ソース及びドレインの一方としての機能を有する導電層と、該半導体層に電気的に接続され、ソース及びドレインの他方としての機能を有する導電層と、ゲート絶縁層としての機能を有する絶縁層と、絶縁層を介して半導体層に重畠し、ゲートとしての機能を有する導電層と、を含む構造である。

10

【0222】

本実施の形態におけるトランジスタは、オフ電流が低いため、上記半導体装置の記憶回路又は半導体記憶装置のメモリセルにおける、選択トランジスタとしての機能を有するトランジスタに適用することにより、データの保持期間を長くすることができる。よって、リフレッシュ動作を少なくすることができるため、消費電力を低減することができる。

【0223】

また、本実施の形態では、チャネル形成層としての機能を有する酸化物半導体層に、チャネル形成領域より抵抗値が低く、ドーパントが添加され、ソース領域又はドレイン領域としての機能を有する領域を設けることにより、トランジスタの面積が小さい場合であっても、トランジスタのソース又はドレインと、トランジスタのチャネル形成領域との間の抵抗値を小さくすることができる。

20

【0224】

また、本実施の形態では、ゲートとしての機能を有する導電層と、ソース又はドレインとしての機能を有する導電層と、を重畠させない構造にすることにより、トランジスタのゲートと、ソース又はドレインとの寄生容量を小さくすることができるため、トランジスタの面積を小さくした場合であっても、動作速度の低下を抑制することができる。

【0225】

また、本実施の形態では、少なくともチャネル形成領域が、非単結晶であって、a b 面に垂直な方向から見て、三角形、又は、六角形、又は正三角形、正六角形の原子配列を有し、且つ、c 軸方向に垂直な方向から見て、金属原子が層状、又は金属原子と酸素原子が層状に配列した相を有する酸化物半導体層を含むトランジスタを用いることにより、トランジスタの光による劣化を抑制することができる。

30

【0226】

(実施の形態 4)

本実施の形態では、C A A C の酸化物について説明する。

【0227】

C A A C を含む酸化物とは、広義に、非単結晶であって、その a b 面に垂直な方向から見て、三角形、六角形、正三角形又は正六角形の原子配列を有し、かつ c 軸方向に垂直な方向から見て、金属原子が層状、又は金属原子と酸素原子が層状に配列した相を含む酸化物をいう。

40

【0228】

C A A C は単結晶ではないが、非晶質のみから形成されているものでもない。また、C A A C は結晶化した部分（結晶部分）を含むが、1 つの結晶部分と他の結晶部分の境界を明確に判別できないこともある。

【0229】

C A A C に酸素が含まれる場合、酸素の一部は窒素で置換されてもよい。また、C A A C を構成する個々の結晶部分の c 軸は一定の方向（例えば、C A A C が形成される基板面、C A A C の表面などに垂直な方向）に揃っていてもよい。又は、C A A C を構成する個々の結晶部分の a b 面の法線は一定の方向（例えば、C A A C が形成される基板面、C A A C の表面などに垂直な方向）を向いていてもよい。

50

【0230】

C A A C は、その組成などに応じて、導体であったり、半導体であったり、絶縁体であったりする。また、その組成などに応じて、可視光に対して透明であったり不透明であったりする。

【0231】

このような C A A C の例として、膜状に形成され、膜表面又は支持する基板面に垂直な方向から観察すると三角形又は六角形の原子配列が認められ、かつその膜断面を観察すると金属原子又は金属原子及び酸素原子（又は窒素原子）の層状配列が認められる結晶を挙げることもできる。

【0232】

C A A C に含まれる結晶構造の一例について図 13 乃至図 15 を用いて詳細に説明する。なお、特に断りがない限り、図 13 乃至図 15 は上方向を c 軸方向とし、c 軸方向と直交する面を a b 面とする。なお、単に上半分、下半分という場合、a b 面を境にした場合の上半分、下半分をいう。

【0233】

図 13 (A) に、1 個の 6 配位の I n と、I n に近接の 6 個の 4 配位の酸素原子（以下 4 配位の O）と、を有する構造を示す。ここでは、金属原子が 1 個に対して、近接の酸素原子のみ示した構造を小グループと呼ぶ。図 13 (A) の構造は、八面体構造をとるが、簡単のため平面構造で示している。なお、図 13 (A) の上半分及び下半分にはそれぞれ 3 個ずつ 4 配位の O がある。図 13 (A) に示す小グループは電荷が 0 である。

10

【0234】

図 13 (B) に、1 個の 5 配位の G a と、G a に近接の 3 個の 3 配位の酸素原子（以下 3 配位の O）と、G a に近接の 2 個の 4 配位の O と、を有する構造を示す。3 配位の O は、いずれも a b 面に存在する。図 13 (B) の上半分及び下半分にはそれぞれ 1 個ずつ 4 配位の O がある。また、I n も 5 配位をとるため、図 13 (B) に示す構造をとりうる。図 13 (B) に示す小グループは電荷が 0 である。

【0235】

図 13 (C) に、1 個の 4 配位の Z n と、Z n に近接の 4 個の 4 配位の O と、を有する構造を示す。図 13 (C) の上半分には 1 個の 4 配位の O があり、下半分には 3 個の 4 配位の O がある。また、図 13 (C) の上半分に 3 個の 4 配位の O があり、下半分に 1 個の 4 配位の O があってもよい。図 13 (C) に示す小グループは電荷が 0 である。

20

【0236】

図 13 (D) に、1 個の 6 配位の S n と、S n に近接の 6 個の 4 配位の O と、を有する構造を示す。図 13 (D) の上半分には 3 個の 4 配位の O があり、下半分には 3 個の 4 配位の O がある。図 13 (D) に示す小グループは電荷が +1 となる。

30

【0237】

図 13 (E) に、2 個の Z n を含む小グループを示す。図 13 (E) の上半分には 1 個の 4 配位の O があり、下半分には 1 個の 4 配位の O がある。図 13 (E) に示す小グループは電荷が -1 となる。

【0238】

ここでは、複数の小グループの集合体を中グループと呼び、複数の中グループの集合体を大グループ（ユニットセルともいう。）と呼ぶ。

40

【0239】

ここで、これらの小グループ同士が結合する規則について説明する。図 13 (A) に示す 6 配位の I n の上半分の 3 個の O は下方向にそれぞれ 3 個の近接 I n を有し、下半分の 3 個の O は上方向にそれぞれ 3 個の近接 I n を有する。図 13 (B) に示す 5 配位の G a の上半分の 1 個の O は下方向に 1 個の近接 G a を有し、下半分の 1 個の O は上方向に 1 個の近接 G a を有する。図 13 (C) に示す 4 配位の Z n の上半分の 1 個の O は下方向に 1 個の近接 Z n を有し、下半分の 3 個の O は上方向にそれぞれ 3 個の近接 Z n を有する。このように、金属原子の上方向の 4 配位の O の数と、その O の下方向にある近接金属原子の数

50

は等しく、同様に金属原子の下方向の4配位のOの数と、そのOの上方向にある近接金属原子の数は等しい。Oは4配位なので、下方向にある近接金属原子の数と、上方向にある近接金属原子の数の和は4になる。従って、金属原子の上方向にある4配位のOの数と、別の金属原子の下方向にある4配位のOの数との和が4個のとき、金属原子を有する二種の小グループ同士は結合することができる。例えば、6配位の金属原子(I_n又はS_n)が下半分の4配位のOを介して結合する場合、4配位のOが3個であるため、5配位の金属原子(Ga又はIn)又は4配位の金属原子(Z_n)のいずれかと結合することになる。

【0240】

これらの配位数を有する金属原子は、c軸方向において、4配位のOを介して結合する。また、このほかにも、層構造の合計の電荷が0となるように複数の小グループが結合して中グループを構成する。

【0241】

図14(A)に、In-Sn-Zn-O系の層構造を構成する中グループのモデル図を示す。図14(B)に、3つの中グループで構成される大グループを示す。なお、図14(C)は、図14(B)の層構造をc軸方向から観察した場合の原子配列を示す。

【0242】

図14(A)においては、簡単のため、3配位のOは省略し、4配位のOは個数のみ示し、例えば、Snの上半分及び下半分にはそれぞれ3個ずつ4配位のOがあることを丸枠の3として示している。同様に、図14(A)において、Inの上半分及び下半分にはそれぞれ1個ずつ4配位のOがあり、丸枠の1として示している。また、同様に、図14(A)において、下半分には1個の4配位のOがあり、上半分には3個の4配位のOがあるZ_nと、上半分には1個の4配位のOがあり、下半分には3個の4配位のOがあるZ_nとを示している。

【0243】

図14(A)において、In-Sn-Zn-O系の層構造を構成する中グループは、上から順に4配位のOが3個ずつ上半分及び下半分にあるSnが、4配位のOが1個ずつ上半分及び下半分にあるInと結合し、そのInが、上半分に3個の4配位のOがあるZ_nと結合し、そのZ_nの下半分の1個の4配位のOを介して4配位のOが3個ずつ上半分及び下半分にあるInと結合し、そのInが、上半分に1個の4配位のOがあるZ_n2個からなる小グループと結合し、この小グループの下半分の1個の4配位のOを介して4配位のOが3個ずつ上半分及び下半分にあるSnと結合している構成である。この中グループが複数結合して大グループを構成する。

【0244】

ここで、3配位のO及び4配位のOの場合、結合1本当たりの電荷はそれぞれ-0.667、-0.5と考えることができる。例えば、In(6配位又は5配位)、Zn(4配位)、Sn(5配位又は6配位)の電荷は、それぞれ+3、+2、+4である。従って、Snを含む小グループは電荷が+1となる。そのため、Snを含む層構造を形成するためには、電荷+1を打ち消す電荷-1が必要となる。電荷-1をとる構造として、図13(E)に示すように、2個のZnを含む小グループが挙げられる。例えば、Snを含む小グループが1個に対し、2個のZnを含む小グループが1個あれば、電荷が打ち消されるため、層構造の合計の電荷を0とすることができます。

【0245】

具体的には、図14(B)に示した大グループが繰り返されることで、In-Sn-Zn-O系の結晶(In₂Sn₃Zn₃O₈)を得ることができる。なお、得られるIn-Sn-Zn-O系の層構造は、In₂Sn₃Zn₂O₇(ZnO)_m(mは0又は自然数。)とする組成式で表すことができる。なお、In-Sn-Zn-O系の結晶は、mの数が大きいと結晶性が向上するため、好ましい。

【0246】

また、このほかにも、四元系金属の酸化物であるIn-Sn-Ga-Zn系酸化物や、三

10

20

30

40

50

元系金属の酸化物である In - Ga - Zn 系酸化物 (IGZOとも表記する。)、In - Al - Zn 系酸化物、Sn - Ga - Zn 系酸化物、Al - Ga - Zn 系酸化物、Sn - Al - Zn 系酸化物や、In - Hf - Zn 系酸化物、In - La - Zn 系酸化物、In - Ce - Zn 系酸化物、In - Pr - Zn 系酸化物、In - Nd - Zn 系酸化物、In - Pm - Zn 系酸化物、In - Sm - Zn 系酸化物、In - Eu - Zn 系酸化物、In - Gd - Zn 系酸化物、In - Tb - Zn 系酸化物、In - Dy - Zn 系酸化物、In - Ho - Zn 系酸化物、In - Er - Zn 系酸化物、In - Tm - Zn 系酸化物、In - Yb - Zn 系酸化物、In - Lu - Zn 系酸化物や、二元系金属の酸化物である In - Zn 系酸化物、Sn - Zn 系酸化物、Al - Zn 系酸化物、Zn - Mg 系酸化物、Sn - Mg 系酸化物、In - Mg 系酸化物や、In - Ga 系酸化物、一元系金属の酸化物である In 系酸化物、Sn 系酸化物、Zn 系酸化物などを用いた場合も同様である。 10

【0247】

例えば、図 15 (A) に、In - Ga - Zn - O 系の層構造を構成する中グループのモデル図を示す。

【0248】

図 15 (A) において、In - Ga - Zn - O 系の層構造を構成する中グループは、上から順に 4 配位の O が 3 個ずつ上半分及び下半分にある In が、4 配位の O が 1 個上半分にある Zn と結合し、その Zn の下半分の 3 個の 4 配位の O を介して、4 配位の O が 1 個ずつ上半分及び下半分にある Ga と結合し、その Ga の下半分の 1 個の 4 配位の O を介して、4 配位の O が 3 個ずつ上半分及び下半分にある In と結合している構成である。この中グループが複数結合して大グループを構成する。 20

【0249】

図 15 (B) に 3 つの中グループで構成される大グループを示す。なお、図 15 (C) は、図 15 (B) の層構造を c 軸方向から観察した場合の原子配列を示している。

【0250】

ここで、In (6 配位又は 5 配位)、Zn (4 配位)、Ga (5 配位) の電荷は、それぞれ +3、+2、+3 であるため、In、Zn 及び Ga のいずれかを含む小グループは、電荷が 0 となる。そのため、これらの小グループの組み合わせであれば中グループの合計の電荷は常に 0 となる。

【0251】

また、In - Ga - Zn - O 系の層構造を構成する中グループは、図 15 (A) に示した中グループに限定されず、In、Ga、Zn の配列が異なる中グループを組み合わせた大グループも取りうる。

【0252】

(実施の形態 5)

本実施の形態では、上記実施の形態 2 の半導体記憶装置におけるメモリセルの構造例について、図 6 を用いて説明する。図 6 は、本実施の形態におけるメモリセルの構造例を示す断面模式図である。なお、ここでは、一例として、図 3 に示す構成のメモリセルの構造例について説明する。なお、図 6 では、実際の寸法と異なる構成要素を含む。

【0253】

図 6 に示すメモリセルは、半導体層 700 と、絶縁層 705 と、導電層 706a 乃至導電層 706c と、絶縁層 707a 乃至絶縁層 707f と、絶縁層 708a 乃至絶縁層 708f と、絶縁層 709 と、半導体層 710 と、導電層 712a 乃至導電層 712c と、絶縁層 713 と、導電層 714 と、を含む。 40

【0254】

半導体層 700 は、領域 702、領域 703a、領域 703b、領域 704a、及び領域 704b を有する。

【0255】

半導体層 700 としては、例えば半導体基板を用いることができる。また、別の基板の上に設けられた半導体層を半導体層 700 として用いることもできる。 50

【0256】

なお、半導体層700において、複数のメモリセルにおける間の領域に絶縁分離領域を設けてもよい。

【0257】

領域702は、N型及びP型の一方の導電型を付与するドーパントが添加された領域である。

【0258】

領域703a及び領域703bは、互いに離間して設けられ、N型及びP型の他方の導電型を付与するドーパントが添加された領域である。領域703a及び領域703bは、メモリセルにおける出力トランジスタのソース領域又はドレイン領域としての機能を有する。
10

【0259】

なお、領域702及び領域703aを用いてメモリセルにおけるダイオードが形成される。また、これに限定されず、整流素子として、ダイオード接続されたトランジスタを別途形成してもよい。

【0260】

領域704a及び領域704bは、領域703a及び領域703bの間に、互いに離間して設けられ、領域704a及び領域704bの間にチャネル形成領域が形成される。領域704aは、領域703aに接し、領域704bは、領域703bに接する。

【0261】

領域704a及び領域704bは、領域703a及び領域703bと同じく、N型及びP型の他方の導電型を付与するドーパントが添加された領域である。

20

【0262】

なお、領域704a及び領域704bのドーパントの濃度が、領域703a及び領域703bのドーパントの濃度よりも低くてもよい。このとき、領域704a及び領域704bを低濃度領域ともいう。また、このとき領域703a及び領域703bを高濃度領域と呼んでもよい。また、領域704a及び領域704bの深さは、領域703a及び領域703bの深さよりも小さくてもよいが、これに限定されない。

【0263】

絶縁層705は、半導体層700の上に設けられる。絶縁層705は、メモリセルにおける出力トランジスタのゲート絶縁層としての機能を有する。

30

【0264】

絶縁層705としては、例えば酸化シリコン、窒化シリコン、酸化窒化シリコン、窒化酸化シリコン、酸化アルミニウム、窒化アルミニウム、酸化窒化アルミニウム、窒化酸化アルミニウム、酸化ハフニウム、有機絶縁材料（例えばポリイミド又はアクリルなど）などの材料の層を用いることができる。また、絶縁層705に適用可能な材料の層の積層により絶縁層705を構成してもよい。

【0265】

導電層706aは、絶縁層705の上に設けられ、絶縁層705を貫通して設けられた第1の開口部を介して領域702に電気的に接続される。

40

【0266】

導電層706bは、絶縁層705を介して半導体層700に重畳する。導電層706bに重畳する半導体層700の領域がメモリセルにおける出力トランジスタのチャネル形成領域になる。導電層706bは、メモリセルにおける出力トランジスタのゲートとしての機能を有する。

【0267】

導電層706cは、絶縁層705の上に設けられ、絶縁層705を貫通して設けられた第2の開口部を介して領域703bに電気的に接続される。

【0268】

絶縁層707aは、絶縁層705の上に設けられ、導電層706aにおける、互いに対向

50

する一対の側面の一方に接する。

【0269】

絶縁層707bは、絶縁層705の上に設けられ、導電層706aにおける、互いに対向する上記一対の側面の他方に接する。

【0270】

絶縁層707cは、絶縁層705の上に設けられ、導電層706bにおける、互いに対向する一対の側面の一方に接する。また、絶縁層707cは、絶縁層705を介して領域704aに重畳する。

【0271】

絶縁層707dは、絶縁層705の上に設けられ、導電層706bにおける、互いに対向する上記一対の側面の他方に接する。また、絶縁層707dは、絶縁層705を介して領域704bに重畳する。

【0272】

絶縁層707eは、絶縁層705の上に設けられ、導電層706cにおける、互いに対向する一対の側面の一方に接する。

【0273】

絶縁層707fは、絶縁層705の上に設けられ、導電層706cにおける、互いに対向する上記一対の側面の他方に接する。

【0274】

絶縁層708aは、絶縁層707aの上に設けられる。

20

【0275】

絶縁層708bは、絶縁層707bの上に設けられる。

【0276】

絶縁層708cは、絶縁層707cの上に設けられる。

【0277】

絶縁層708dは、絶縁層707dの上に設けられる。

【0278】

絶縁層708eは、絶縁層707eの上に設けられる。

【0279】

絶縁層708fは、絶縁層707fの上に設けられる。

30

【0280】

絶縁層709は、絶縁層705の上に設けられる。

【0281】

半導体層710は、絶縁層709の上に設けられる。半導体層710は、領域711a及び領域711bを有する。

【0282】

半導体層710としては、例えば実施の形態3における図4(A)に示すトランジスタの半導体層603_Aに適用可能な材料の層を用いることができる。半導体層710は、メモリセルにおける選択トランジスタとしての機能を有するトランジスタのチャネル形成層としての機能を有する。

40

【0283】

領域711a及び領域711bは、N型の導電型を付与するドーパントが添加された領域である。領域711a及び領域711bとしては、上記実施の形態3における図4(A)に示すトランジスタの領域604a_A及び領域604b_Aに添加するドーパントとして適用可能なドーパントを用いることができ、また、領域711a及び領域711bのドーパントの濃度は、領域604a_A及び領域604b_Aに適用可能なドーパントの濃度の範囲に設定することができる。

【0284】

領域711a及び領域711bは、互いに離間して設けられ、領域711a及び領域711bの間にチャネル形成領域が形成される。

50

【0285】

導電層 712a は、導電層 706a 及び半導体層 710 に電気的に接続される。また、導電層 712a の一部は、領域 711a に重畳する。導電層 712a は、メモリセルにおける選択トランジスタとしての機能を有するトランジスタのソース及びドレインの一方としての機能を有する。

【0286】

導電層 712b は、導電層 706b 及び半導体層 710 に電気的に接続される。また、導電層 712b の一部は、領域 711b に重畳する。導電層 712b は、メモリセルにおける選択トランジスタとしての機能を有するトランジスタのソース及びドレインの他方としての機能を有する。

10

【0287】

導電層 712c は、導電層 706c に電気的に接続される。

【0288】

導電層 712a 乃至導電層 712c としては、例えば実施の形態 3 における図 4 (A) に示すトランジスタの導電層 605a_A 及び導電層 605b_A に適用可能な材料の層を用いることができる。

【0289】

絶縁層 713 は、半導体層 710 の上に設けられる。絶縁層 713 は、メモリセルにおける選択トランジスタのゲート絶縁層としての機能を有する。

【0290】

絶縁層 713 としては、例えば実施の形態 3 における図 4 (A) に示すトランジスタの絶縁層 606_A に適用可能な材料の層を用いることができる。

20

【0291】

導電層 714 は、絶縁層 713 を介して半導体層 710 に重畳する。導電層 714 は、メモリセルにおける選択トランジスタとしての機能を有するトランジスタのゲートとしての機能を有する。

【0292】

導電層 714 としては、例えば実施の形態 3 における図 4 (A) に示すトランジスタの導電層 607_A に適用可能な材料の層を用いることができる。

【0293】

以上が図 6 に示すメモリセルの構造例の説明である。

30

【0294】

本実施の形態では、互いに積層した複数のトランジスタを有することにより、メモリセルの面積を小さくすることができる。

【0295】

また、本実施の形態では、メモリセルにおける出力トランジスタとしての機能を有するトランジスタを、高い電流供給能力を有する第 14 族の半導体（シリコンなど）を含有する半導体層を含むトランジスタとし、メモリセルにおける選択トランジスタとしての機能を有するトランジスタを、酸化物半導体層を含み、オフ電流の低いトランジスタとすることにより、メモリセルの動作を高速にしつつ、データの保持期間を長くすることができる。よって、消費電力を低減することができる。

40

【0296】

また、本実施の形態では、選択トランジスタとしての機能を有するトランジスタを、ドーパントが添加された領域を含む酸化物半導体層を含むトランジスタにすることにより、メモリセルの面積が小さい場合であっても、チャネル形成領域と、ソース又はドレインとの間の抵抗を小さくすることができる。

【0297】

（実施の形態 6）

本実施の形態では、トランジスタの電界効果移動度について説明する。

【0298】

50

酸化物半導体に限らず、実際に測定される絶縁ゲート型トランジスタの電界効果移動度は、さまざまな理由によって本来の移動度よりも低くなる。移動度を低下させる要因としては半導体内部の欠陥や半導体と絶縁膜との界面の欠陥があるが、Levinsonモデルを用いると、半導体内部に欠陥がないと仮定した場合の電界効果移動度を理論的に導き出せる。

【0299】

半導体本来の移動度を μ_0 、測定される電界効果移動度を μ とし、半導体中に何らかのポテンシャル障壁（粒界など）が存在すると仮定すると、以下の式で表現できる。

【0300】

【数2】

10

$$\mu = \mu_0 \exp\left(-\frac{E}{kT}\right)$$

【0301】

ここで、 E はポテンシャル障壁の高さであり、 k がボルツマン定数、 T は絶対温度である。また、ポテンシャル障壁が欠陥に由来すると仮定すると、Levinsonモデルでは、以下の式で表される。

【0302】

【数3】

20

$$E = \frac{e^2 N^2}{8\epsilon n} = \frac{e^3 N^2 t}{8\epsilon C_{ox} V_g}$$

【0303】

ここで、 e は電気素量、 N はチャネル内の単位面積当たりの平均欠陥密度、 ϵ は半導体の誘電率、 n は単位面積当たりのチャネルに含まれるキャリア数、 C_{ox} は単位面積当たりの容量、 V_g はゲート電圧、 t はチャネルの厚さである。なお、厚さ 30 nm 以下の半導体層であれば、チャネルの厚さは半導体層の厚さと同一として差し支えない。

線形領域におけるドレイン電流 I_d は、以下の式となる。

【0304】

【数4】

30

$$I_d = \frac{W \mu V_g V_d C_{ox}}{L} \exp\left(-\frac{E}{kT}\right)$$

【0305】

ここで、 L はチャネル長、 W はチャネル幅であり、ここでは、 $L = W = 10 \mu m$ である。また、 V_d はドレイン電圧である。

上式の両辺を V_g で割り、更に両辺の対数を取ると、以下のようになる。

【0306】

【数5】

40

$$\ln\left(\frac{I_d}{V_g}\right) = \ln\left(\frac{W \mu V_d C_{ox}}{L}\right) - \frac{E}{kT} = \ln\left(\frac{W \mu V_d C_{ox}}{L}\right) - \frac{e^3 N^2 t}{8kT \epsilon C_{ox} V_g}$$

【0307】

数5の右辺は V_g の関数である。この式からわかるように、縦軸を $\ln(I_d / V_g)$ 、横軸を $1 / V_g$ とする直線の傾きから欠陥密度 N が求められる。すなわち、トランジスタの I_d ～ V_g 特性から、欠陥密度を評価できる。酸化物半導体としては、インジウム (I_n)、スズ (S_n)、亜鉛 (Z_n) の比率が、 $I_n : S_n : Z_n = 1 : 1 : 1$ のものでは欠陥密度 N は $1 \times 10^{12} / cm^2$ 程度である。

【0308】

このようにして求めた欠陥密度などをもとに数2及び数3より $\mu_0 = 120 \text{ cm}^2 / \text{Vs}$ 50

が導出される。欠陥のある In - Sn - Zn 系酸化物で測定される移動度は $35 \text{ cm}^2 / \text{Vs}$ 程度である。しかし、半導体内部及び半導体と絶縁膜との界面の欠陥が無い酸化物半導体の移動度 μ_0 は $120 \text{ cm}^2 / \text{Vs}$ となると予想できる。

【0309】

ただし、半導体内部に欠陥がなくても、チャネルとゲート絶縁層との界面での散乱によってトランジスタの輸送特性は影響を受ける。すなわち、チャネルとゲート絶縁層との界面から x だけ離れた場所における移動度 μ_1 は、以下の式で表される。

【0310】

【数6】

$$\frac{1}{\mu_1} = \frac{1}{\mu_0} + \frac{D}{B} \exp\left(-\frac{x}{G}\right)$$

10

【0311】

ここで、D はゲート方向の電界、B、G は定数である。B 及び G は、実際の測定結果より求めることができ、上記の測定結果からは、 $B = 4.75 \times 10^7 \text{ cm/s}$ 、 $G = 10 \text{ nm}$ （界面散乱が及ぶ深さ）である。D が増加する（すなわち、ゲート電圧が高くなる）と数6の第2項が増加するため、移動度 μ_1 は低下することがわかる。

【0312】

半導体内部の欠陥が無い理想的な酸化物半導体をチャネルに用いたトランジスタの移動度 μ_2 を計算した結果を図16に示す。なお、計算にはシノブシス社製デバイスシミュレーションソフト、Sentaurus Device を使用し、酸化物半導体のバンドギャップ、電子親和力、比誘電率、厚さをそれぞれ、 2.8 電子ボルト、 4.7 電子ボルト、 15 、 15 nm とした。これらの値は、スパッタリング法により形成された薄膜を測定して得られたものである。

20

【0313】

さらに、ゲート、ソース、ドレインの仕事関数をそれぞれ、 5.5 電子ボルト、 4.6 電子ボルト、 4.6 電子ボルトとした。また、ゲート絶縁層の厚さは 100 nm 、比誘電率は 4.1 とした。チャネル長及びチャネル幅はともに $10 \mu\text{m}$ 、ドレイン電圧 V_d は 0.1 V である。

【0314】

30

図16で示されるように、ゲート電圧 1 V 強で移動度 $100 \text{ cm}^2 / \text{Vs}$ 以上のピークをつけるが、ゲート電圧がさらに高くなると、界面散乱が大きくなり、移動度が低下する。なお、界面散乱を低減するためには、半導体層表面を原子レベルで平坦にすること（Atomic Layer Flatness）が望ましい。

【0315】

このような移動度を有する酸化物半導体を用いて微細なトランジスタを作製した場合の特性を計算した結果を図17乃至図19に示す。なお、計算に用いたトランジスタの断面構造を図20に示す。図20に示すトランジスタは酸化物半導体層に n^+ の導電型を呈する半導体領域903a及び半導体領域903cを有する。半導体領域903a及び半導体領域903cの抵抗率は $2 \times 10^{-3} \text{ cm}$ とする。

40

【0316】

図20（A）に示すトランジスタは、下地絶縁膜901と、下地絶縁膜901に埋め込まれるように形成された酸化アルミニウムよりなる埋め込み絶縁物902の上に形成される。トランジスタは半導体領域903a、半導体領域903cと、それらに挟まれ、チャネル形成領域となる真性の半導体領域903bと、ゲート電極905を有する。ゲート電極905の幅を 33 nm とする。

【0317】

ゲート電極905と半導体領域903bの間には、ゲート絶縁層904を有し、また、ゲート電極905の両側面には側壁絶縁物906a及び側壁絶縁物906b、ゲート電極905の上部には、ゲート電極905と他の配線との短絡を防止するための絶縁物907を

50

有する。側壁絶縁物の幅は 5 nm とする。また、半導体領域 903a 及び半導体領域 903c に接して、ソース電極 908a 及びドレイン電極 908b を有する。なお、このトランジスタにおけるチャネル幅を 40 nm とする。

【0318】

図 20 (B) に示すトランジスタは、下地絶縁膜 901 と、酸化アルミニウムよりなる埋め込み絶縁物 902 の上に形成され、半導体領域 903a、半導体領域 903c と、それらに挟まれた真性の半導体領域 903b と、幅 33 nm のゲート電極 905 とゲート絶縁層 904 と側壁絶縁物 906a 及び側壁絶縁物 906b と絶縁物 907 とソース電極 908a 及びドレイン電極 908b を有する点で図 20 (A) に示すトランジスタと同じである。

10

【0319】

図 20 (A) に示すトランジスタと図 20 (B) に示すトランジスタの相違点は、側壁絶縁物 906a 及び側壁絶縁物 906b の下の半導体領域の導電型である。図 20 (A) に示すトランジスタでは、側壁絶縁物 906a 及び側壁絶縁物 906b の下の半導体領域は n^+ の導電型を呈する半導体領域 903a 及び半導体領域 903c であるが、図 20 (B) に示すトランジスタでは、真性の半導体領域 903b である。すなわち、半導体領域 903a (半導体領域 903c) とゲート電極 905 が L_{off} だけ重ならない領域ができる。この領域をオフセット領域といい、その幅 L_{off} をオフセット長という。図から明らかなように、オフセット長は、側壁絶縁物 906a (側壁絶縁物 906b) の幅と同じである。

20

【0320】

その他の計算に使用するパラメータは上述の通りである。計算にはシノプシス社製デバイスシミュレーションソフト、Sentaurus Device を使用した。図 17 は、図 20 (A) に示される構造のトランジスタのドレイン電流 (I_d 、実線) 及び移動度 (μ 、点線) のゲート電圧 (V_g 、ゲートとソースの電位差) 依存性を示す。ドレイン電流 I_d は、ドレイン電圧 (ドレインとソースの電位差) を +1 V とし、移動度 μ はドレイン電圧を +0.1 V として計算したものである。

【0321】

図 17 (A) はゲート絶縁層の厚さを 15 nm としたものであり、図 17 (B) は 10 nm としたものであり、図 17 (C) は 5 nm としたものである。ゲート絶縁層が薄くなるほど、特にオフ状態でのドレイン電流 I_d (オフ電流) が顕著に低下する。一方、移動度 μ のピーク値やオン状態でのドレイン電流 I_d (オン電流) には目立った変化が無い。ゲート電圧 1 V 前後で、ドレイン電流は 10 μ A を超えることが示された。

30

【0322】

図 18 は、図 20 (B) に示される構造のトランジスタで、オフセット長 L_{off} を 5 nm としたもののドレイン電流 I_d (実線) 及び移動度 μ (点線) のゲート電圧 V_g 依存性を示す。ドレイン電流 I_d は、ドレイン電圧を +1 V とし、移動度 μ はドレイン電圧を +0.1 V として計算したものである。図 18 (A) はゲート絶縁層の厚さを 15 nm としたものであり、図 18 (B) は 10 nm としたものであり、図 18 (C) は 5 nm としたものである。

40

【0323】

また、図 19 は、図 20 (B) に示される構造のトランジスタで、オフセット長 L_{off} を 15 nm としたもののドレイン電流 I_d (実線) 及び移動度 μ (点線) のゲート電圧依存性を示す。ドレイン電流 I_d は、ドレイン電圧を +1 V とし、移動度 μ はドレイン電圧を +0.1 V として計算したものである。図 19 (A) はゲート絶縁層の厚さを 15 nm としたものであり、図 19 (B) は 10 nm としたものであり、図 19 (C) は 5 nm としたものである。

【0324】

いずれもゲート絶縁層が薄くなるほど、オフ電流が顕著に低下する一方、移動度 μ のピーク値やオン電流には目立った変化が無い。

50

【0325】

なお、移動度 μ のピークは、図17では $80 \text{ cm}^2 / \text{Vs}$ 程度であるが、図18では $60 \text{ cm}^2 / \text{Vs}$ 程度、図19では $40 \text{ cm}^2 / \text{Vs}$ 程度と、オフセット長 L_{off} が増加するほど低下する。また、オフ電流も同様な傾向がある。一方、オン電流はオフセット長 L_{off} の増加にともなって減少するが、オフ電流の低下に比べるとはるかに緩やかである。また、いずれもゲート電圧 1 V 前後で、ドレイン電流は $10 \mu\text{A}$ を超えることが示された。

【0326】

(実施の形態7)

本実施の形態では、半導体記憶装置の構成例について説明する。

10

【0327】

本実施の形態の半導体記憶装置の構成例について、図7を用いて説明する。図7は、本実施の形態における半導体記憶装置の構成例を示すブロック図である。

【0328】

図7に示す半導体記憶装置は、複数のメモリセル (MCともいう) 811を具備するメモリセルアレイ (MCAともいう) 812と、第1の駆動回路 (IDRVともいう) 813_1と、第2の駆動回路 (JDRVともいう) 813_2と、駆動制御回路 (DCTLともいう) 813_3と、を具備する。

【0329】

メモリセルアレイの構成としては、上記実施の形態2に示す半導体記憶装置におけるメモリセルアレイの構成を適用することができる。

20

【0330】

第1の駆動回路 813_1には、行アドレス信号が入力される。第1の駆動回路 813_1は、入力された行アドレス信号に従って行方向に配列された配線を選択し、選択した配線の電圧を設定する機能を有する。第1の駆動回路 813_1は、例えばデコーダを用いて構成される。デコーダは、入力された行アドレス信号に従って配線を選択する機能を有する。なお、本実施の形態の半導体記憶装置を、複数の第1の駆動回路 813_1を具備する構成にしてもよい。

【0331】

第2の駆動回路 813_2には、データ信号及び列アドレス信号が入力される。第2の駆動回路 813_2は、列方向に配列された配線の電圧を設定する機能を有する。第2の駆動回路 813_2は、例えばデコーダ、複数のアナログスイッチ、読み出し信号出力回路、及び読み出し回路を用いて構成される。デコーダは、配線を選択する機能を有し、複数のアナログスイッチは、デコーダから入力される信号に応じてデータ信号を出力するか否かを制御する機能を有し、読み出し信号出力回路は、読み出し信号をデータ線又は選択線としての機能を有する配線に出力する機能を有し、読み出し回路は、読み出し信号により選択した配線に電気的に接続されたメモリセル 811に記憶されたデータを読み出す機能を有する。

30

【0332】

駆動制御回路 813_3には、書き込み制御信号、読み出し制御信号、及びアドレス信号が入力される。駆動制御回路 813_3は、入力される書き込み制御信号、読み出し制御信号、及びアドレス信号に応じて、第1の駆動回路 813_1及び第2の駆動回路 813_2の動作を制御する信号を生成して出力する機能を有する。例えば、駆動制御回路 813_3は、アドレス信号に応じて複数の行アドレス信号を第1の駆動回路 813_1に出力し、複数の列アドレス信号を第2の駆動回路 813_2に出力する機能を有する。

40

【0333】

図7を用いて説明したように、本実施の形態における記憶装置の一例は、複数のメモリセルを具備するメモリセルアレイと、第1の駆動回路 (IDRVともいう) と、第2の駆動回路 (JDRVともいう) と、駆動制御回路と、を具備する構成である。

【0334】

50

上記構成にすることにより、各メモリセルへのデータの書き込み及び読み出しを行うことができる。

【0335】

(実施の形態8)

本実施の形態では、上記実施の形態における半導体記憶装置を備えた電子機器の例について説明する。

【0336】

本実施の形態の電子機器の構成例について、図8(A)乃至図8(D)を用いて説明する。

【0337】

図8(A)に示す電子機器は、携帯型情報端末の例である。図8(A)に示す携帯型情報端末は、筐体1001aと、筐体1001aに設けられた表示部1002aと、を具備する。

【0338】

なお、筐体1001aの側面1003aに外部機器に接続させるための接続端子、図8(A)に示す携帯型情報端末を操作するためのボタンのうち一つ又は複数を設けてもよい。

【0339】

図8(A)に示す携帯型情報端末は、筐体1001aの中に、CPUと、記憶回路と、外部機器とCPU及び記憶回路との間で信号の送受信を行うインターフェースと、外部機器との信号の送受信を行うアンテナと、を備える。

10

【0340】

図8(A)に示す携帯型情報端末は、例えば電話機、電子書籍、パーソナルコンピュータ、及び遊戯機の一つ又は複数としての機能を有する。

【0341】

図8(B)に示す電子機器は、折り畳み式の携帯型情報端末の例である。図8(B)に示す携帯型情報端末は、筐体1001bと、筐体1001bに設けられた表示部1002bと、筐体1004bと、筐体1004bに設けられた表示部1005bと、筐体1001b及び筐体1004bを接続する軸部1006bと、を具備する。

【0342】

また、図8(B)に示す携帯型情報端末では、軸部1006bにより筐体1001b又は筐体1004bを動かすことにより、筐体1001bを筐体1004bに重畳させることができる。

20

【0343】

なお、筐体1001bの側面1003b又は筐体1004bの側面1007bに外部機器に接続させるための接続端子、図8(B)に示す携帯型情報端末を操作するためのボタンのうち一つ又は複数を設けてもよい。

【0344】

また、表示部1002b及び表示部1005bに、互いに異なる画像又は一続きの画像を表示させてもよい。なお、表示部1005bを必ずしも設けなくてもよく、表示部1005bの代わりに、入力装置であるキーボードを設けてもよい。

30

【0345】

図8(B)に示す携帯型情報端末は、筐体1001b又は筐体1004bの中に、CPUと、記憶回路と、外部機器とCPU及び記憶回路との間で信号の送受信を行うインターフェースと、を備える。なお、図8(B)に示す携帯型情報端末に、外部との信号の送受信を行うアンテナを設けてもよい。

40

【0346】

図8(B)に示す携帯型情報端末は、例えば電話機、電子書籍、パーソナルコンピュータ、及び遊戯機の一つ又は複数としての機能を有する。

【0347】

図8(C)に示す電子機器は、設置型情報端末の例である。図8(C)に示す設置型情報

50

端末は、筐体 1001c と、筐体 1001c に設けられた表示部 1002c と、を具備する。

【0348】

なお、表示部 1002c を、筐体 1001c における甲板部 1008c に設けることもできる。

【0349】

また、図 8 (C) に示す設置型情報端末は、筐体 1001c の中に、CPU と、記憶回路と、外部機器と CPU 及び記憶回路との間で信号の送受信を行うインターフェースと、を備える。なお、図 8 (C) に示す設置型情報端末に、外部との信号の送受信を行うアンテナを設けてもよい。

10

【0350】

さらに、図 8 (C) に示す設置型情報端末における筐体 1001c の側面 1003c に券などを出力する券出力部、硬貨投入部、及び紙幣挿入部の一つ又は複数を設けてもよい。

【0351】

図 8 (C) に示す設置型情報端末は、例えば現金自動預け払い機、券などの注文をするための情報通信端末（マルチメディアステーションともいう）、又は遊技機としての機能を有する。

【0352】

図 8 (D) に示す電子機器は、設置型情報端末の例である。図 8 (D) に示す設置型情報端末は、筐体 1001d と、筐体 1001d に設けられた表示部 1002d と、を具備する。なお、筐体 1001d を支持する支持台を設けてもよい。

20

【0353】

なお、筐体 1001d の側面 1003d に外部機器に接続させるための接続端子、図 8 (D) に示す設置型情報端末を操作するためのボタンのうち一つ又は複数を設けてもよい。

【0354】

また、図 8 (D) に示す設置型情報端末は、筐体 1001d の中に、CPU と、記憶回路と、外部機器と CPU 及び記憶回路との間で信号の送受信を行うインターフェースと、を備えてよい。なお、図 8 (D) に示す設置型情報端末に、外部との信号の送受信を行うアンテナを設けてもよい。

30

【0355】

図 8 (D) に示す設置型情報端末は、例えばデジタルフォトフレーム、モニタ、又はテレビジョン装置としての機能を有する。

【0356】

上記実施の形態の半導体記憶装置は、例えば電子機器の記憶回路の一つとして用いられ、例えば図 8 (A) 乃至図 8 (D) に示す電子機器の記憶回路の一つとして用いられる。

【0357】

図 8 を用いて説明したように、本実施の形態の電子機器の一例は、上記実施の形態における半導体記憶装置が用いられた記憶回路を具備する構成である。

【0358】

上記構成にすることにより、電源を供給しない場合であっても電子機器内の情報を一定期間保持することができるため、信頼性が向上し、消費電力を低減することができる。

40

【0359】

また、図 8 に示す構成に限定されず、上記実施の形態の半導体記憶装置を用いて、コネクタが設けられた携帯型の半導体記憶装置などを構成することもできる。

【0360】

さらに、上記実施の形態における半導体記憶装置を、携帯電話、スマートフォン、電子書籍など携帯機器（携帯型情報端末など）に応用した場合の具体例を以下に示す。

【0361】

携帯機器では、画像データを一時的に記憶するためなどに SRAM 又は DRAM が用いられている。

50

【0362】

S R A M 又は D R A M が使用される理由としては、フラッシュメモリは、応答が遅く、画像処理に不向きであるためである。

【0363】

一方で、画像データを一時的に記憶するために S R A M 又は D R A M を用いた場合、以下の欠点がある。

【0364】

S R A M は、応答が速いという利点がある。通常の S R A M は、図 9 (A) に示すように、1つのメモリセルがトランジスタ 1001 乃至トランジスタ 1006 の6個のトランジスタで構成され、それを X デコーダ 1007、Y デコーダ 1008 にて駆動する。また、通常の S R A M は、トランジスタ 1003 及びトランジスタ 1005 により構成される第 1 のインバータ、並びにトランジスタ 1004 及びトランジスタ 1006 により構成される第 2 のインバータにより、高速駆動が可能である。10

【0365】

しかし、通常の S R A M は、1つのメモリセルを6つのトランジスタで構成するため、セル面積が大きいという欠点がある。デザインルールの最小寸法を F としたときに S R A M のメモリセル面積は通常 $100 \sim 150 F^2$ である。このため、S R A M はビットあたりの単価が各種メモリの中で最も高いという課題がある。

【0366】

一方、D R A M は、図 9 (B) に示されるように、1つのメモリセルがトランジスタ 1111 及び保持容量 1112 によって構成され、それを X デコーダ 1113、Y デコーダ 1114 にて駆動する。1つのメモリセルを1つのトランジスタ及び1つの容量素子で構成することができるため、セル面積が小さい。D R A M のメモリセル面積は、通常 $10 F^2$ 以下である。しかし、D R A M は、常にリフレッシュ動作が必要であり、違うデータの書き換えを行わない場合でも消費電力が発生するという課題がある。20

【0367】

上記 S R A M 及び D R A M に対して、上記実施の形態における半導体記憶装置のメモリセル面積は、 $10 F^2$ 前後であり、且つ頻繁なリフレッシュ動作は不要である。

【0368】

上記実施の形態における半導体記憶装置を用いることにより、メモリセルの面積の増大を抑制しつつ、消費電力を低減することができるため、上記2つの課題を解決することができる。30

【0369】

また、図 10 は、携帯機器の例のブロック図である。図 10 に示す携帯機器は、例えば R F (Radio Frequency) 回路 1201、アナログベースバンド回路 1202、デジタルベースバンド回路 1203、バッテリー 1204、電源回路 1205、アプリケーションプロセッサ 1206、フラッシュメモリであるメモリ 1210、ディスプレイコントローラ 1211、メモリ 1212、ディスプレイ 1213、タッチセンサ 1219、音声回路 (スピーカ及びマイクなど) 1217、及び入力手段の一つであるキーボード 1218 などより構成される。40

【0370】

R F 回路 1201 は、例えばデータを含む電波を受信する機能を有する。R F 回路 1201 としては、例えばアンテナなどが用いられる。

【0371】

タッチセンサ 1219 を設けることにより、ディスプレイ 1213 における表示部 1214 を操作することができる。

【0372】

ディスプレイ 1213 は、表示部 1214、ソースドライバ 1215、及びゲートドライバ 1216 によって構成される。表示部 1214 は、ソースドライバ 1215 及びゲートドライバ 1216 により動作が制御される。50

【0373】

アプリケーションプロセッサ 1206 は、CPU 1207、デジタルシグナルプロセッサ (DSPともいう) 1208、及びインターフェース (IFともいう) 1209を備える。

【0374】

また、メモリ 1212 は、通常 SRAM 又は DRAM で構成されるが、上記実施の形態の半導体記憶装置を用いることにより、1 ビットあたりのメモリ単価を低減することができ、また、メモリ 1212 の消費電力を低減することができる。

【0375】

図 11 は、上記実施の形態における半導体記憶装置を適用したメモリ 1212 の構成例である。図 11 に示すメモリは、上記実施の形態における半導体記憶装置を適用した記憶装置 1302 及び記憶装置 1303、スイッチ 1304、スイッチ 1305、並びにメモリコントローラ 1301 により構成される。 10

【0376】

さらに、図 11 に示すメモリをメモリ 1212 として適用した図 10 に示す携帯機器の動作例について説明する。

【0377】

まず、データを含む電波の受信又はアプリケーションプロセッサ 1206 により画像が形成される。形成された画像は、スイッチ 1304 を介して記憶装置 1302 にデータとして記憶される。そしてスイッチ 1305 を介して、記憶装置 1302 に記憶されているデータを、ディスプレイコントローラ 1211 を介してディスプレイ 1213 に出力し、ディスプレイ 1213 により入力された画像データに応じた画像を表示する。そのまま、画像に変更が無ければ通常 60 以上 130 Hz 以下の周期で記憶装置 1302 からデータが読み出され、読み出されたデータは、スイッチ 1305 を介して、ディスプレイコントローラ 1211 に送られ続ける。ユーザーが画面を書き換える操作をしたとき、アプリケーションプロセッサ 1206 により新たな画像を形成し、その画像を、スイッチ 1304 を介して記憶装置 1303 に記憶する。この間も定期的に記憶装置 1302 からスイッチ 1305 を介して画像データを読み出す。記憶装置 1303 に新たな画像データを記憶し終わると、ディスプレイ 1213 における次のフレーム期間において、記憶装置 1303 に記憶されたデータを読み出し、読み出したデータを、スイッチ 1305 及びディスプレイコントローラ 1211 を介して、ディスプレイ 1213 に出力する。データが入力されたディスプレイ 1213 は、入力された画像データに応じた画像を表示する。上記読み出し動作は、さらに次のデータが記憶装置 1302 に記憶されるまで継続される。このように、記憶装置 1302 及び記憶装置 1303 に交互にデータを書き込み、読み出すことによって、ディスプレイ 1213 により表示動作を行う。 20 30

【0378】

なお、記憶装置 1302 及び記憶装置 1303 は、それぞれ別のメモリチップに限定されず、1 つのメモリチップを分割して記憶装置 1302 及び記憶装置 1303 として用いてもよい。

【0379】

上記のように、記憶装置 1302 及び記憶装置 1303 に上記実施の形態における半導体記憶装置を用いることにより、メモリ単価を低減することができ、また、消費電力を低減することができる。 40

【0380】

また、図 12 は、電子書籍の例のブロック図である。図 12 は、例えばバッテリー 1401、電源回路 1402、マイクロプロセッサ 1403、フラッシュメモリであるメモリ 1404、音声回路 1405、キーボード 1406、メモリ 1407、タッチパネル 1408、ディスプレイ 1409、及びディスプレイコントローラ 1410 などにより構成される。

【0381】

マイクロプロセッサ 1403 は、例えば CPU 1403a、DSP 1403b、及び IF 1403c により構成される。

【0382】

例えば、メモリ 1407 に上記実施の形態における半導体記憶装置を用いることができる。メモリ 1407 は、書籍の内容をデータとして一時的に保持する機能を持つ。

【0383】

メモリ 1407 が有する機能の応用例としては、ユーザーがハイライト機能を使用する場合などがある。例えば、ユーザーが電子書籍を読んでいるときに、特定の箇所にマーキングをしたい場合がある。このマーキング機能をハイライト機能と言い、表示の色を変える、アンダーラインを引く、文字を太くする、文字の書体を変えるなどによって、周囲との違いを示すことである。ユーザーが指定した箇所の情報を記憶し、保持する機能である。この情報を長期に保存する場合にはメモリ 1404 にコピーしても良い。

【0384】

上記のように、メモリ 1407 として上記実施の形態における半導体記憶装置を用いることにより、メモリ単価を低減し、また、消費電力を低減することができる。

【実施例 1】

【0385】

In、Sn、Zn を主成分とする酸化物半導体をチャネル形成領域とするトランジスタは、該酸化物半導体を形成する際に基板を加熱して成膜すること、或いは酸化物半導体膜を形成した後に熱処理を行うことで良好な特性を得ることができる。なお、主成分とは組成比で 5 atomic % 以上含まれる元素をいう。

【0386】

In、Sn、Zn を主成分とする酸化物半導体膜の成膜後に基板を意図的に加熱することで、トランジスタの電界効果移動度を向上させることができるとなる。また、トランジスタのしきい値電圧をプラスシフトさせ、ノーマリ・オフ化させることができるとなる。

【0387】

例えば、図 21 (A) ~ (C) は、In、Sn、Zn を主成分とし、チャネル長 L が 3 μm、チャネル幅 W が 10 μm である酸化物半導体膜と、厚さ 100 nm のゲート絶縁層を用いたトランジスタの特性である。なお、V_d は 10 V とした。

【0388】

図 21 (A) は基板を意図的に加熱せずにスパッタリング法で In、Sn、Zn を主成分とする酸化物半導体膜を形成したときのトランジスタ特性である。このとき電界効果移動度は 18.8 cm² / Vsec が得られている。一方、基板を意図的に加熱して In、Sn、Zn を主成分とする酸化物半導体膜を形成すると電界効果移動度を向上させることができるとなる。図 21 (B) は基板を 200 に加熱して In、Sn、Zn を主成分とする酸化物半導体膜を形成したときのトランジスタ特性を示すが、電界効果移動度は 32.2 cm² / Vsec が得られている。

【0389】

電界効果移動度は、In、Sn、Zn を主成分とする酸化物半導体膜を形成した後に熱処理をすることによって、さらに高めることができる。図 21 (C) は、In、Sn、Zn を主成分とする酸化物半導体膜を 200 でスパッタリング成膜した後、650 で熱処理をしたときのトランジスタ特性を示す。このとき電界効果移動度は 34.5 cm² / Vsec が得られている。

【0390】

基板を意図的に加熱することでスパッタリング成膜中の水分が酸化物半導体膜中に取り込まれるのを低減する効果が期待できる。また、成膜後に熱処理をすることによっても、酸化物半導体膜から水素や水酸基若しくは水分を放出させ除去することができ、上記のように電界効果移動度を向上させることができる。このような電界効果移動度の向上は、脱水化・脱水素化による不純物の除去のみならず、高密度化により原子間距離が短くなるためとも推定される。また、酸化物半導体から不純物を除去して高純度化することで結晶化を

10

20

30

40

50

図ることができる。このように高純度化された非単結晶酸化物半導体は、理想的には $100 \text{ cm}^2 / \text{V sec}$ を超える電界効果移動度を実現することも可能になると推定される。

【0391】

In、Sn、Znを主成分とする酸化物半導体に酸素イオンを注入し、熱処理により該酸化物半導体に含まれる水素や水酸基若しくは水分を放出させ、その熱処理と同時に又はその後の熱処理により酸化物半導体を結晶化させても良い。このような結晶化若しくは再結晶化の処理により結晶性の良い非単結晶酸化物半導体を得ることができる。

【0392】

基板を意図的に加熱して成膜すること及び/又は成膜後に熱処理することの効果は、電界効果移動度の向上のみならず、トランジスタのノーマリ・オフ化を図ることにも寄与している。基板を意図的に加熱しないで形成されたIn、Sn、Znを主成分とする酸化物半導体膜をチャネル形成領域としたトランジスタは、しきい値電圧がマイナスシフトしてしまう傾向がある。しかし、基板を意図的に加熱して形成された酸化物半導体膜を用いた場合、このしきい値電圧のマイナスシフト化は解消される。つまり、しきい値電圧はトランジスタがノーマリ・オフとなる方向に動き、このような傾向は図21(A)と図21(B)の対比からも確認することができる。

【0393】

なお、しきい値電圧はIn、Sn及びZnの比率を変えることによっても制御することが可能であり、組成比としてIn:Sn:Zn = 2:1:3とすることでトランジスタのノーマリ・オフ化を期待することができる。また、ターゲットの組成比をIn:Sn:Zn = 2:1:3とすることで結晶性の高い酸化物半導体膜を得ることができる。

【0394】

意図的な基板加熱温度若しくは熱処理温度は、150以上、好ましくは200以上、より好ましくは400以上であり、より高温で成膜し或いは熱処理することでトランジスタのノーマリ・オフ化を図ることが可能となる。

【0395】

また、意図的に基板を加熱した成膜及び/又は成膜後に熱処理をすることで、ゲートバイアス・ストレスに対する安定性を高めることができる。例えば、2MV/cm、150、1時間印加の条件において、ドリフトがそれぞれ $\pm 1.5 \text{ V}$ 未満、好ましくは 1.0 V 未満を得ることができる。

【0396】

実際に、酸化物半導体膜成膜後に加熱処理を行っていない試料1と、650の加熱処理を行った試料2のトランジスタに対してBT試験を行った。

【0397】

まず基板温度を25とし、 V_d を10Vとし、トランジスタの V_g - I_d 特性の測定を行った。次に、基板温度を150とし、 V_d を0.1Vとした。次に、ゲート絶縁層に印加される電界強度が2MV/cmとなるように V_g に20Vを印加し、そのまま1時間保持した。次に、 V_g を0Vとした。次に、基板温度25とし、 V_d を10Vとし、トランジスタの V_g - I_d 測定を行った。これをプラスBT試験と呼ぶ。

【0398】

同様に、まず基板温度を25とし、 V_d を10Vとし、トランジスタの V_g - I_d 特性の測定を行った。次に、基板温度を150とし、 V_d を0.1Vとした。次に、ゲート絶縁層に印加される電界強度が-2MV/cmとなるように V_g に-20Vを印加し、そのまま1時間保持した。次に、 V_g を0Vとした。次に、基板温度25とし、 V_d を10Vとし、トランジスタの V_g - I_d 測定を行った。これをマイナスBT試験と呼ぶ。

【0399】

試料1のプラスBT試験の結果を図22(A)に、マイナスBT試験の結果を図22(B)に示す。また、試料2のプラスBT試験の結果を図23(A)に、マイナスBT試験の結果を図23(B)に示す。

【0400】

10

20

30

40

50

試料 1 のプラス B T 試験及びマイナス B T 試験によるしきい値電圧の変動は、それぞれ 1 . 8 0 V 及び - 0 . 4 2 V であった。また、試料 2 のプラス B T 試験及びマイナス B T 試験によるしきい値電圧の変動は、それぞれ 0 . 7 9 V 及び 0 . 7 6 V であった。

試料 1 及び試料 2 のいずれも、 B T 試験前後におけるしきい値電圧の変動が小さく、信頼性が高いことがわかる。

【 0 4 0 1 】

熱処理は酸素雰囲気中で行うことができるが、まず窒素若しくは不活性ガス、又は減圧下で熱処理を行ってから酸素を含む雰囲気中で熱処理を行っても良い。最初に脱水化・脱水素化を行ってから酸素を酸化物半導体に加えることで、熱処理の効果をより高めることができる。また、後から酸素を加えるには、酸素イオンを電界で加速して酸化物半導体膜に注入する方法を適用しても良い。 10

【 0 4 0 2 】

酸化物半導体中及び積層される膜との界面には、酸素欠損による欠陥が生成されやすいが、かかる熱処理により酸化物半導体中に酸素を過剰に含ませることにより、定常的に生成される酸素欠損を過剰な酸素によって補償することが可能となる。過剰酸素は主に格子間に存在する酸素であり、その酸素濃度は $1 \times 10^{16} / \text{cm}^3$ 以上 $2 \times 10^{20} / \text{cm}^3$ 以下とすれば、結晶に歪みなどを与えることなく酸化物半導体中に含ませることができる。

【 0 4 0 3 】

また、熱処理によって酸化物半導体に結晶が少なくとも一部に含まれるようにすることでき、より安定な酸化物半導体膜を得ることができる。例えば、組成比 $\text{In} : \text{Sn} : \text{Zn} = 1 : 1 : 1$ のターゲットを用いて、基板を意図的に加熱せずにスパッタリング成膜した酸化物半導体膜は、X線回折 (X R D : X - Ray Diffraction) でハローパターンが観測される。この成膜された酸化物半導体膜を熱処理することによって結晶化させることができる。熱処理温度は任意であるが、例えば 650 の熱処理を行うことで、X線回折により明確な回折ピークを観測することができる。 20

【 0 4 0 4 】

実際に、 $\text{In} - \text{Sn} - \text{Zn} - \text{O}$ 膜の X R D 分析を行った。 X R D 分析には、 Brucker AXS 社製 X 線回折装置 D 8 ADVANCE を用い、 Out - of - Plane 法で測定した。 30

【 0 4 0 5 】

X R D 分析を行った試料として、試料 A 及び試料 B を用意した。以下に試料 A 及び試料 B の作製方法を説明する。

【 0 4 0 6 】

脱水素化処理済みの石英基板上に $\text{In} - \text{Sn} - \text{Zn} - \text{O}$ 膜を 100 nm の厚さで成膜した。

【 0 4 0 7 】

$\text{In} - \text{Sn} - \text{Zn} - \text{O}$ 膜は、スパッタリング装置を用い、酸素雰囲気で電力を 100 W (D C) として成膜した。ターゲットは、 $\text{In} : \text{Sn} : \text{Zn} = 1 : 1 : 1$ [原子数比] の $\text{In} - \text{Sn} - \text{Zn} - \text{O}$ ターゲットを用いた。なお、成膜時の基板加熱温度は 200 とした。このようにして作製した試料を試料 A とした。 40

【 0 4 0 8 】

次に、試料 A と同様の方法で作製した試料に対し加熱処理を 650 の温度で行った。加熱処理は、はじめに窒素雰囲気で 1 時間の加熱処理を行い、温度を下げずに酸素雰囲気でさらに 1 時間の加熱処理を行っている。このようにして作製した試料を試料 B とした。

【 0 4 0 9 】

図 24 に試料 A 及び試料 B の X R D スペクトルを示す。試料 A では、結晶由来のピークが観測されなかったが、試料 B では、 25 deg 近傍及び $37 \text{ deg} \sim 38 \text{ deg}$ に結晶由来のピークが観測された。

【 0 4 1 0 】

10

20

30

40

50

このように、In、Sn、Znを主成分とする酸化物半導体は成膜時に意図的に加熱すること及び/又は成膜後に熱処理することによりトランジスタの特性を向上させることができる。

【0411】

この基板加熱や熱処理は、酸化物半導体にとって悪性の不純物である水素や水酸基を膜中に含ませないようにすること、或いは膜中から除去する作用がある。すなわち、酸化物半導体中でドナー不純物となる水素を除去することで高純度化を図ることができ、それによってトランジスタのノーマリ・オフ化を図ることができ、酸化物半導体が高純度化されることによりオフ電流を1aA/μm以下にすることができる。ここで、上記オフ電流値の単位は、チャネル幅1μmあたりの電流値を示す。

10

【0412】

図25に、トランジスタのオフ電流と測定時の基板温度(絶対温度)の逆数との関係を示す。ここでは、簡単のため測定時の基板温度の逆数に1000を掛けた数値(1000/T)を横軸としている。

【0413】

具体的には、図25に示すように、基板温度が125の場合には1aA/μm(1×10^{-18} A/μm)以下、85の場合には100zA/μm(1×10^{-19} A/μm)以下、室温(27)の場合には1zA/μm(1×10^{-21} A/μm)以下にすることができる。好ましくは、125において0.1aA/μm(1×10^{-19} A/μm)以下に、85において10zA/μm(1×10^{-20} A/μm)以下に、室温において0.1zA/μm(1×10^{-22} A/μm)以下にすることができる。これらのオフ電流値は、Siを半導体膜として用いたトランジスタに比べて、極めて低いものであることは明らかである。

20

【0414】

もっとも、酸化物半導体膜の成膜時に水素や水分が膜中に混入しないように、成膜室外部からのリークや成膜室内の内壁からの脱ガスを十分抑え、スパッタガスの高純度化を図ることが好ましい。例えば、スパッタガスは水分が膜中に含まれないように露点-70以下であるガスを用いることが好ましい。また、ターゲットそのものに水素や水分などの不純物が含まれていないように、高純度化されたターゲットを用いることが好ましい。In、Sn、Znを主成分とする酸化物半導体は熱処理によって膜中の水分を除去することができるが、In、Ga、Znを主成分とする酸化物半導体と比べて水分の放出温度が高いため、好ましくは最初から水分の含まれない膜を形成しておくことが好ましい。

30

【0415】

また、酸化物半導体膜成膜後に650の加熱処理を行った試料のトランジスタにおいて、基板温度と電気的特性の関係について評価した。

【0416】

測定に用いたトランジスタは、チャネル長Lが3μm、チャネル幅Wが10μm、LoVが0μm、dWが0μmである。なお、Vdは10Vとした。なお、基板温度は-40、-25、25、75、125及び150で行った。ここで、トランジスタにおいて、ゲート電極と一対の電極との重畳する幅をLoVと呼び、酸化物半導体膜に対する一対の電極のはみ出しをdWと呼ぶ。

40

【0417】

図26に、Id(実線)及び電界効果移動度(点線)のVg依存性を示す。また、図27(A)に基板温度としきい値電圧の関係を、図27(B)に基板温度と電界効果移動度の関係を示す。

【0418】

図27(A)より、基板温度が高いほどしきい値電圧は低くなることがわかる。なお、その範囲は-40~150で1.09V~-0.23Vであった。

【0419】

また、図27(B)より、基板温度が高いほど電界効果移動度が低くなることがわかる。

50

なお、その範囲は - 40 ~ 150 で $36 \text{ cm}^2 / \text{Vs} \sim 32 \text{ cm}^2 / \text{Vs}$ であった。従って、上述の温度範囲において電気的特性の変動が小さいことがわかる。

【0420】

上記のような In、Sn、Zn を主成分とする酸化物半導体をチャネル形成領域とするトランジスタによれば、オフ電流を $1 \text{ aA} / \mu\text{m}$ 以下に保ちつつ、電界効果移動度を $30 \text{ cm}^2 / \text{Vsec}$ 以上、好ましくは $40 \text{ cm}^2 / \text{Vsec}$ 以上、より好ましくは $60 \text{ cm}^2 / \text{Vsec}$ 以上とし、LSIで要求されるオン電流の値を満たすことができる。例えば、 $L/W = 33 \text{ nm} / 40 \text{ nm}$ のFETで、ゲート電圧 2.7 V 、ドレイン電圧 1.0 V のとき $12 \mu\text{A}$ 以上のオン電流を流すことができる。またトランジスタの動作に求められる温度範囲においても、十分な電気的特性を確保することができる。このような特性であれば、Si半導体で作られる集積回路の中に酸化物半導体で形成されるトランジスタを混載しても、動作速度を犠牲にすることなく新たな機能を有する集積回路を実現することができる。10

【実施例2】

【0421】

本実施例では、In-Sn-Zn-O膜を酸化物半導体膜に用いたトランジスタの一例について、図28などを用いて説明する。

【0422】

図28は、コプラナー型であるトップゲート・トップコンタクト構造のトランジスタの上面図及び断面図である。図28(A)にトランジスタの上面図を示す。また、図28(B)に図28(A)の一点鎖線A1-A2に対応する断面A1-A2を示す。20

【0423】

図28(B)に示すトランジスタは、基板2000と、基板2000上に設けられた下地絶縁膜2002と、下地絶縁膜2002の周辺に設けられた保護絶縁膜2004と、下地絶縁膜2002及び保護絶縁膜2004上に設けられた高抵抗領域2006a及び低抵抗領域2006bを有する酸化物半導体膜2006と、酸化物半導体膜2006上に設けられたゲート絶縁層2008と、ゲート絶縁層2008を介して酸化物半導体膜2006と重畠して設けられたゲート電極2010と、ゲート電極2010の側面と接して設けられた側壁絶縁膜2012と、少なくとも低抵抗領域2006bと接して設けられた一対の電極2014と、少なくとも酸化物半導体膜2006、ゲート電極2010及び一対の電極2014を覆って設けられた層間絶縁膜2016と、層間絶縁膜2016に設けられた開口部を介して少なくとも一対の電極2014の一方と接続して設けられた配線2018と、を有する。30

【0424】

なお、図示しないが、層間絶縁膜2016及び配線2018を覆って設けられた保護膜を有していても構わない。該保護膜を設けることで、層間絶縁膜2016の表面伝導に起因して生じる微小リーキ電流を低減することができ、トランジスタのオフ電流を低減することができる。

【実施例3】

【0425】

本実施例では、上記とは異なるIn-Sn-Zn-O膜を酸化物半導体膜に用いたトランジスタの他の一例について示す。40

【0426】

図29は、本実施例で作製したトランジスタの構造を示す上面図及び断面図である。図29(A)はトランジスタの上面図である。また、図29(B)は図29(A)の一点鎖線B1-B2に対応する断面図である。

【0427】

図29(B)に示すトランジスタは、基板2100と、基板2100上に設けられた下地絶縁膜2102と、下地絶縁膜2102上に設けられた酸化物半導体膜2106と、酸化物半導体膜2106と接する一対の電極2114と、酸化物半導体膜2106及び一対の50

電極 2114 上に設けられたゲート絶縁層 2108 と、ゲート絶縁層 2108 を介して酸化物半導体膜 2106 と重疊して設けられたゲート電極 2110 と、ゲート絶縁層 2108 及びゲート電極 2110 を覆って設けられた層間絶縁膜 2116 と、層間絶縁膜 2116 に設けられた開口部を介して一対の電極 2114 と接続する配線 2118 と、層間絶縁膜 2116 及び配線 2118 を覆って設けられた保護膜 2120 と、を有する。

【0428】

基板 2100 としてはガラス基板を、下地絶縁膜 2102 としては酸化シリコン膜を、酸化物半導体膜 2106 としては In - Sn - Zn - O 膜を、一対の電極 2114 としてはタンゲステン膜を、ゲート絶縁層 2108 としては酸化シリコン膜を、ゲート電極 2110 としては窒化タンタル膜とタンゲステン膜との積層構造を、層間絶縁膜 2116 としては酸化窒化シリコン膜とポリイミド膜との積層構造を、配線 2118 としてはチタン膜、アルミニウム膜、チタン膜がこの順で形成された積層構造を、保護膜 2120 としてはポリイミド膜を、それぞれ用いた。

10

【0429】

なお、図 29 (A) に示す構造のトランジスタにおいて、ゲート電極 2110 と一対の電極 2114 との重疊する幅を L_{ov} と呼ぶ。同様に、酸化物半導体膜 2106 に対する一対の電極 2114 のみ出しを d_W と呼ぶ。

【符号の説明】

【0430】

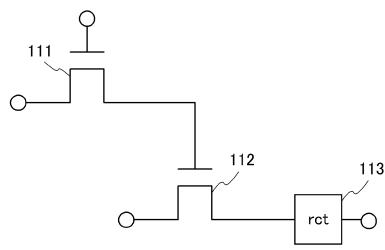
111	トランジスタ	20
112	トランジスタ	
113	整流素子	
200	メモリセル	
201	配線	
202	配線	
203	配線	
204	配線	
205	配線	
211	トランジスタ	
212	トランジスタ	30
213	整流素子	
600	被素子形成層	
603	半導体層	
604 a	領域	
604 b	領域	
605 a	導電層	
605 b	導電層	
606	絶縁層	
607	導電層	
608 a	領域	40
608 b	領域	
609 a	絶縁層	
609 b	絶縁層	
700	半導体層	
702	領域	
703 a	領域	
703 b	領域	
704 a	領域	
704 b	領域	
705	絶縁層	50

7 0 6 a	導電層	
7 0 6 b	導電層	
7 0 6 c	導電層	
7 0 7 a	絶縁層	
7 0 7 b	絶縁層	
7 0 7 c	絶縁層	
7 0 7 d	絶縁層	
7 0 7 e	絶縁層	
7 0 7 f	絶縁層	
7 0 8 a	絶縁層	10
7 0 8 b	絶縁層	
7 0 8 c	絶縁層	
7 0 8 d	絶縁層	
7 0 8 e	絶縁層	
7 0 8 f	絶縁層	
7 0 9	絶縁層	
7 1 0	半導体層	
7 1 1 a	領域	
7 1 1 b	領域	
7 1 2 a	導電層	20
7 1 2 b	導電層	
7 1 2 c	導電層	
7 1 3	絶縁層	
7 1 4	導電層	
8 1 1	メモリセル	
8 1 2	メモリセルアレイ	
8 1 3 _ 1	第1の駆動回路	
8 1 3 _ 2	第2の駆動回路	
8 1 3 _ 3	駆動制御回路	
9 0 1	下地絶縁膜	30
9 0 2	埋め込み絶縁物	
9 0 3 a	半導体領域	
9 0 3 b	半導体領域	
9 0 3 c	半導体領域	
9 0 4	ゲート絶縁層	
9 0 5	ゲート電極	
9 0 6 a	側壁絶縁物	
9 0 6 b	側壁絶縁物	
9 0 7	絶縁物	
9 0 8 a	ソース電極	40
9 0 8 b	ドレイン電極	
1 0 0 1 a	筐体	
1 0 0 1 b	筐体	
1 0 0 1 c	筐体	
1 0 0 1 d	筐体	
1 0 0 2 a	表示部	
1 0 0 2 b	表示部	
1 0 0 2 c	表示部	
1 0 0 2 d	表示部	
1 0 0 3 a	側面	50

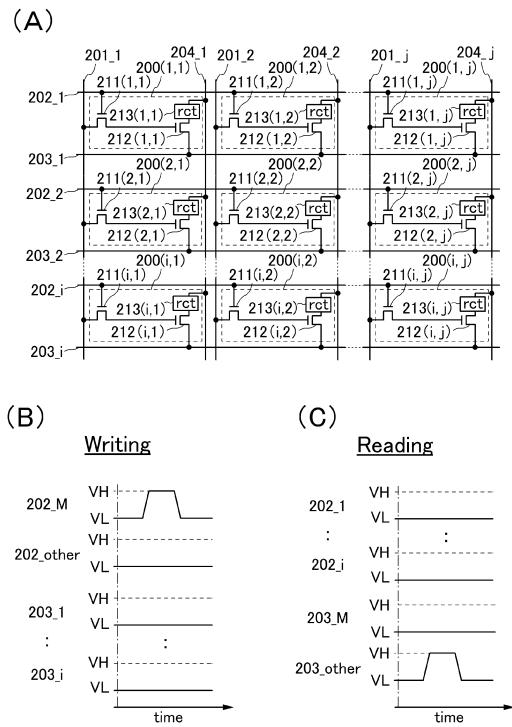
1 0 0 3 b	側面	
1 0 0 3 c	側面	
1 0 0 3 d	側面	
1 0 0 4 b	筐体	
1 0 0 5 b	表示部	
1 0 0 6 b	軸部	
1 0 0 7 b	側面	
1 0 0 8 c	甲板部	
1 0 0 1	トランジスタ	10
1 0 0 3	トランジスタ	
1 0 0 4	トランジスタ	
1 0 0 5	トランジスタ	
1 0 0 6	トランジスタ	
1 0 0 7	Xデコーダ	
1 0 0 8	Yデコーダ	
1 1 1 1	トランジスタ	
1 1 1 2	保持容量	
1 1 1 3	Xデコーダ	
1 1 1 4	Yデコーダ	
1 2 0 1	R F回路	20
1 2 0 2	アナログベースバンド回路	
1 2 0 3	デジタルベースバンド回路	
1 2 0 4	バッテリー	
1 2 0 5	電源回路	
1 2 0 6	アプリケーションプロセッサ	
1 2 0 7	C P U	
1 2 0 8	デジタルシグナルプロセッサ	
1 2 0 9	インターフェース	
1 2 1 0	メモリ	
1 2 1 1	ディスプレイコントローラ	30
1 2 1 2	メモリ	
1 2 1 3	ディスプレイ	
1 2 1 4	表示部	
1 2 1 5	ソースドライバ	
1 2 1 6	ゲートドライバ	
1 2 1 7	音声回路	
1 2 1 8	キーボード	
1 2 1 9	タッチセンサ	
1 3 0 1	メモリコントローラ	
1 3 0 2	記憶装置	40
1 3 0 3	記憶装置	
1 3 0 4	スイッチ	
1 3 0 5	スイッチ	
1 4 0 1	バッテリー	
1 4 0 2	電源回路	
1 4 0 3	マイクロプロセッサ	
1 4 0 3 a	C P U	
1 4 0 3 b	D S P	
1 4 0 3 c	I F	
1 4 0 4	メモリ	50

1 4 0 5	音声回路	
1 4 0 6	キー ボード	
1 4 0 7	メモリ	
1 4 0 8	タッチパネル	
1 4 0 9	ディスプレイ	
1 4 1 0	ディスプレイコントローラ	
2 0 0 0	基板	
2 0 0 2	下地絶縁膜	
2 0 0 4	保護絶縁膜	
2 0 0 6	酸化物半導体膜	10
2 0 0 6 a	高抵抗領域	
2 0 0 6 b	低抵抗領域	
2 0 0 8	ゲート絶縁層	
2 0 1 0	ゲート電極	
2 0 1 2	側壁絶縁膜	
2 0 1 4	電極	
2 0 1 6	層間絶縁膜	
2 0 1 8	配線	
2 1 0 0	基板	
2 1 0 2	下地絶縁膜	20
2 1 0 6	酸化物半導体膜	
2 1 0 8	ゲート絶縁層	
2 1 1 0	ゲート電極	
2 1 1 4	電極	
2 1 1 6	層間絶縁膜	
2 1 1 8	配線	
2 1 2 0	保護膜	

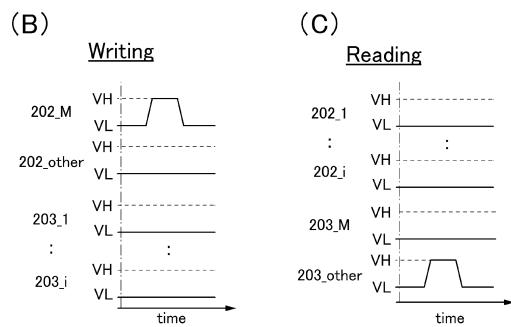
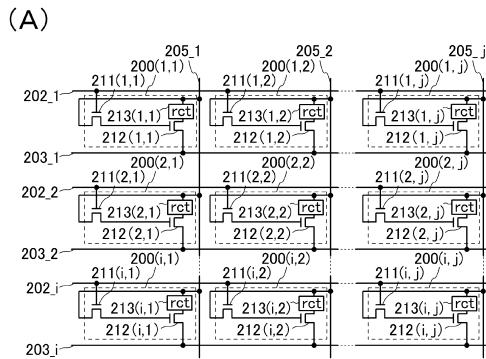
【図1】



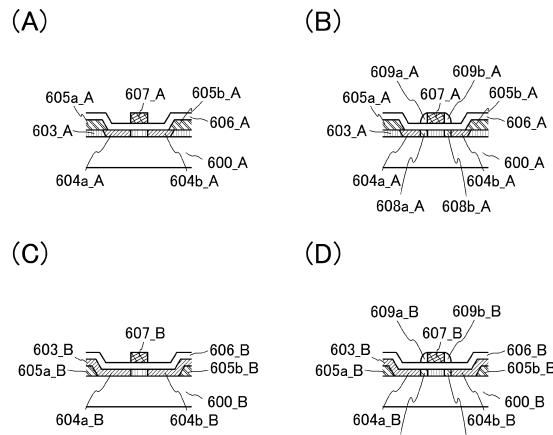
【図2】



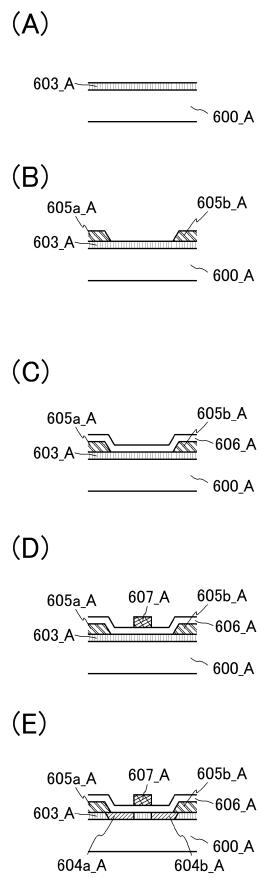
【図3】



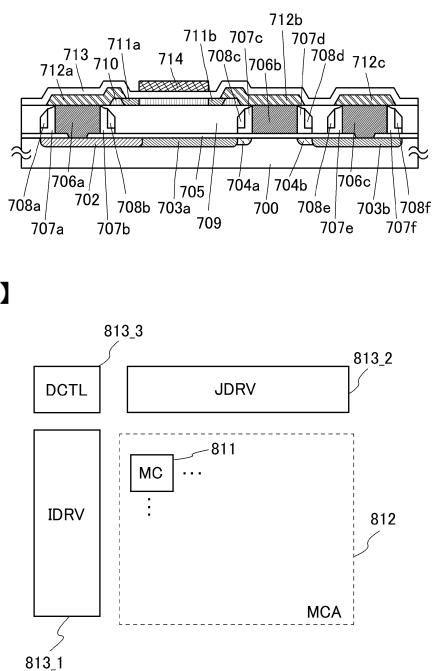
【図4】



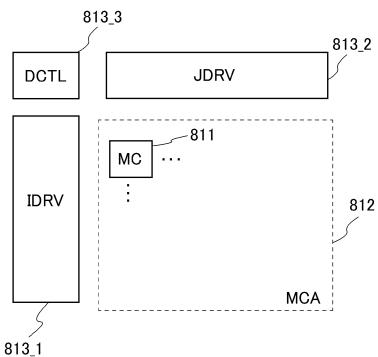
【図5】



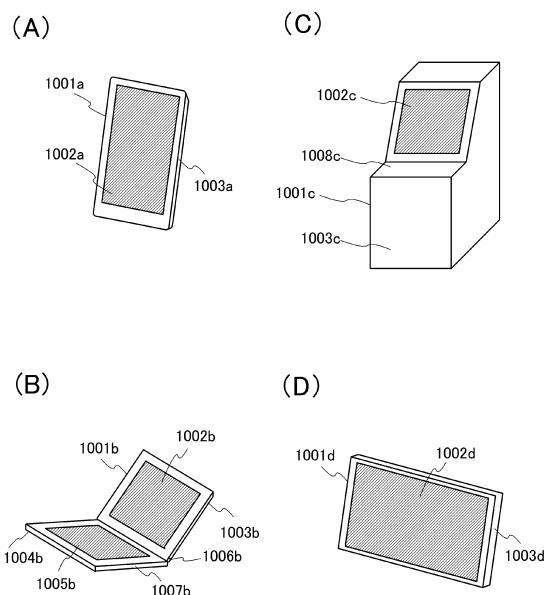
【図6】



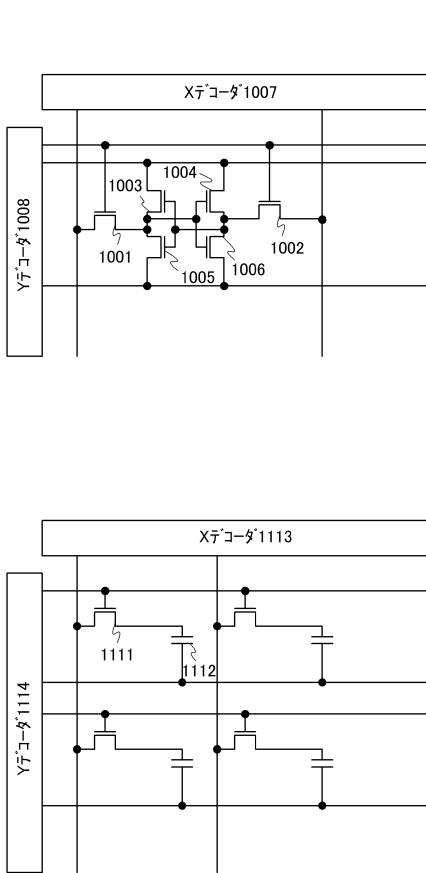
【図7】



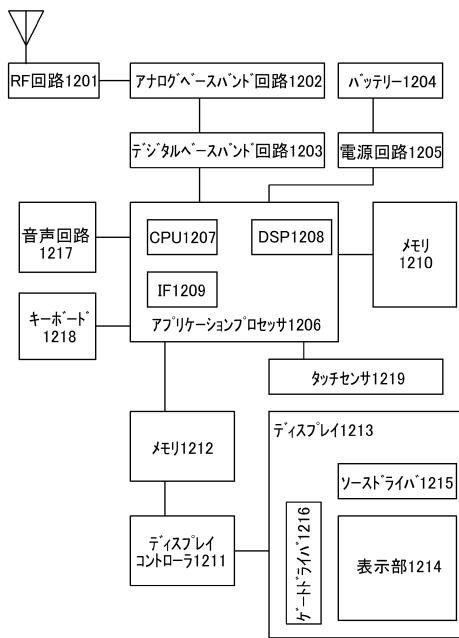
【図8】



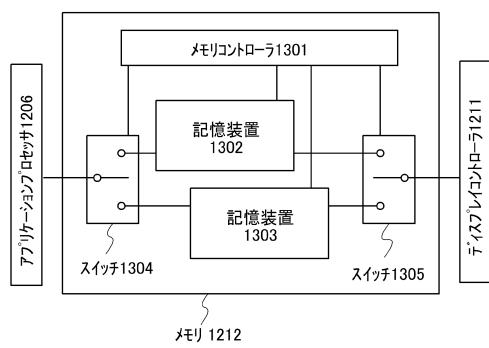
【図9】



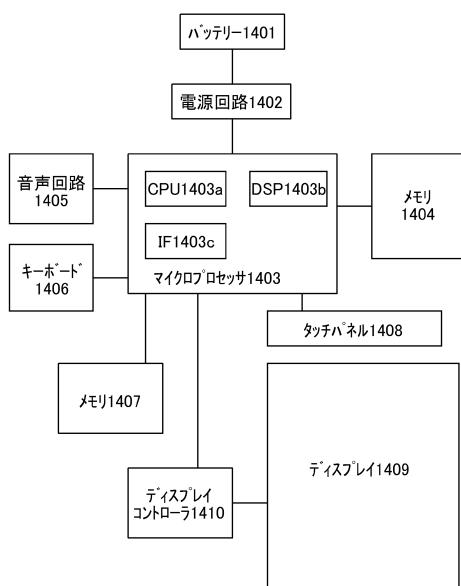
【図10】



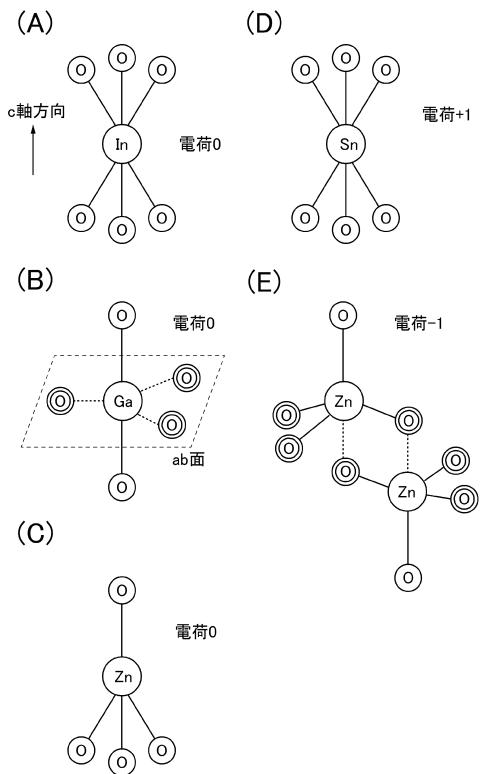
【図11】



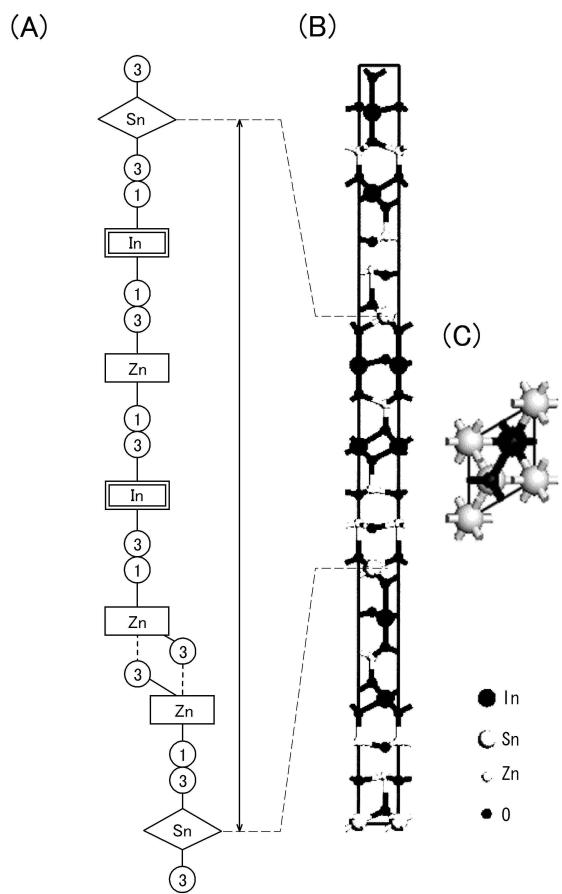
【図12】



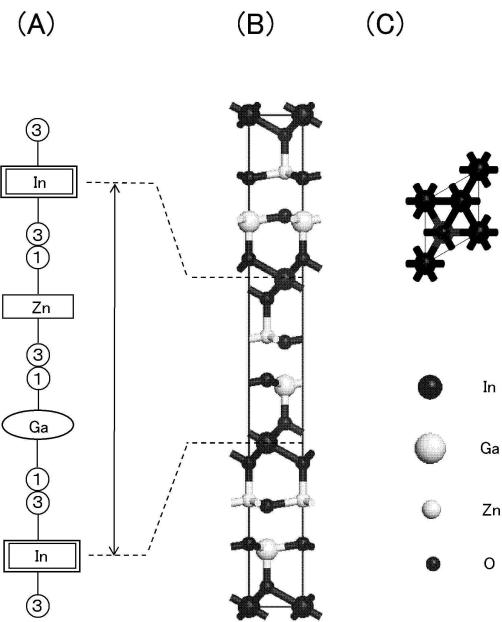
【図13】



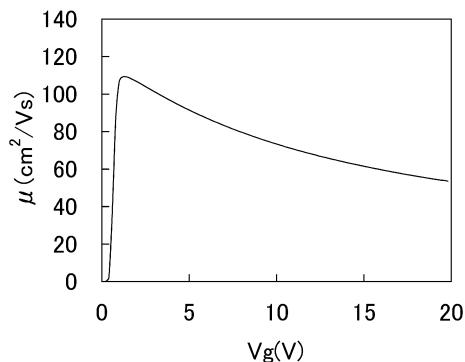
【図14】



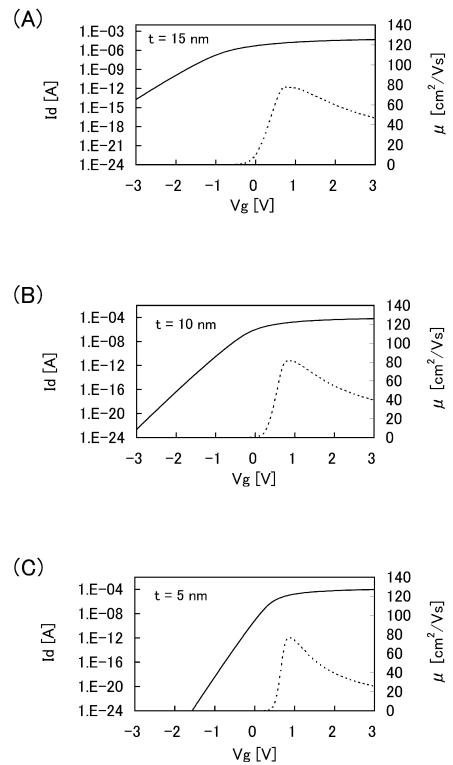
【図15】



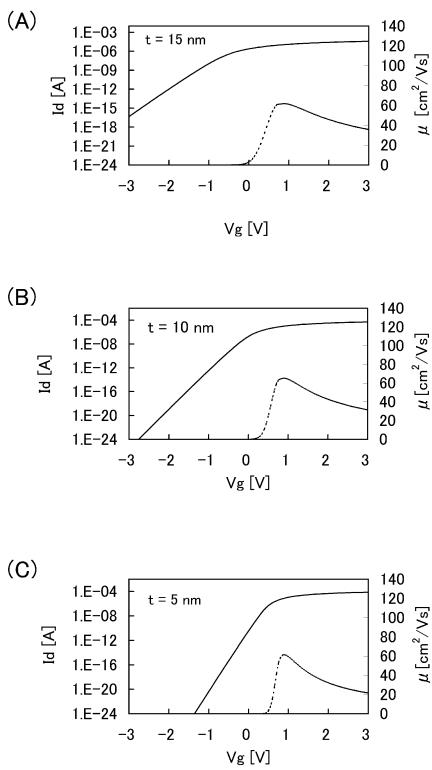
【図16】



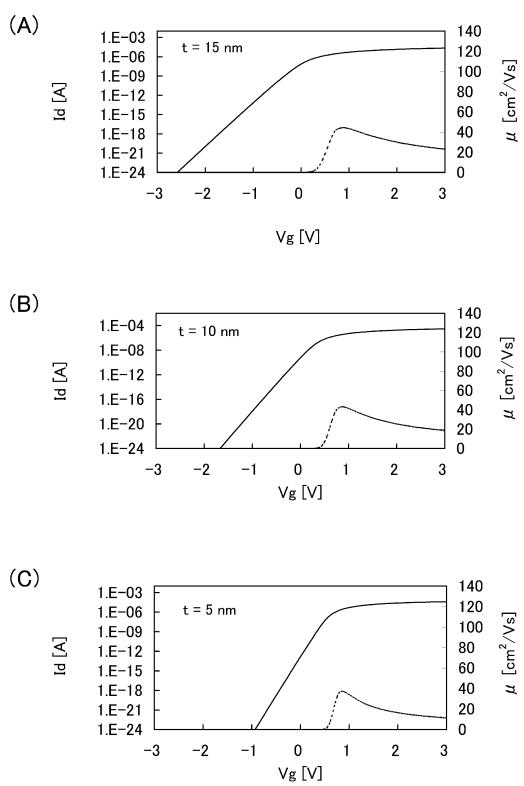
【図17】



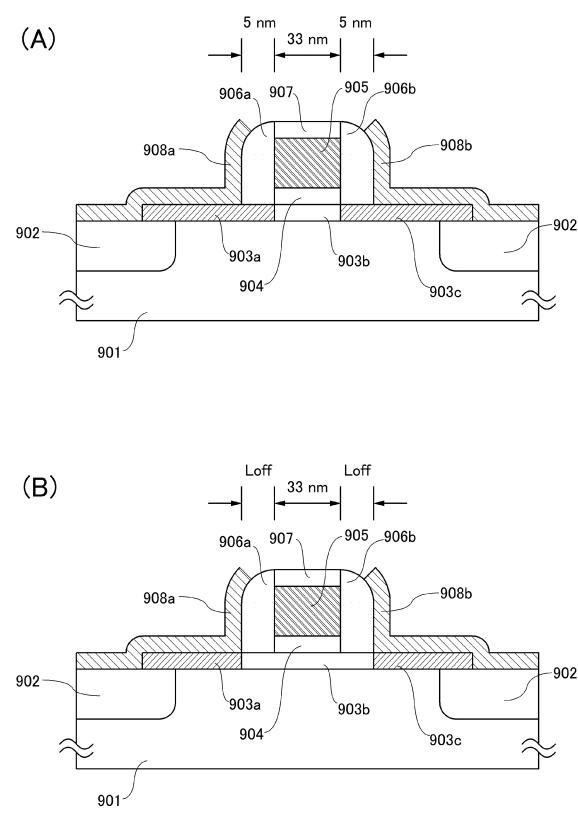
【図18】



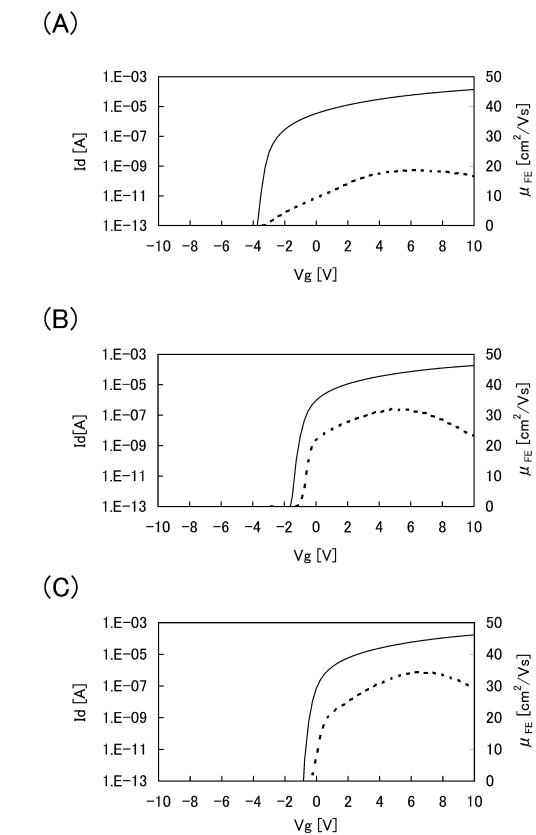
【図19】



【図20】

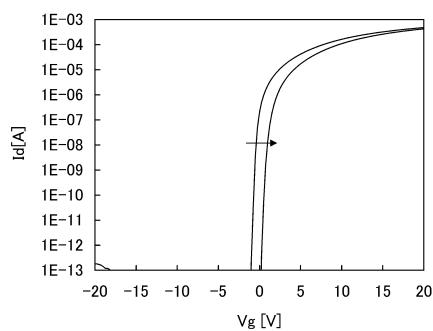


【図21】

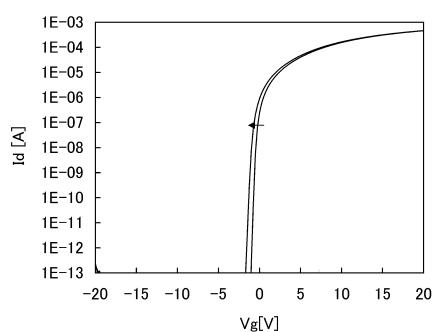


【図2-2】

(A)

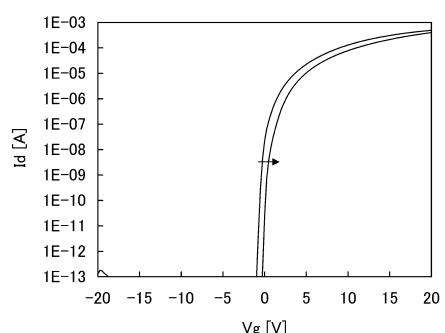


(B)

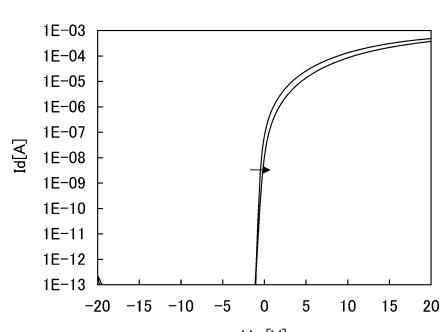


【図2-3】

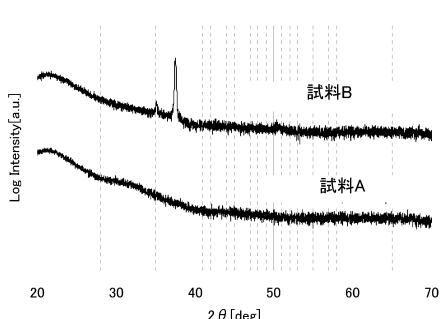
(A)



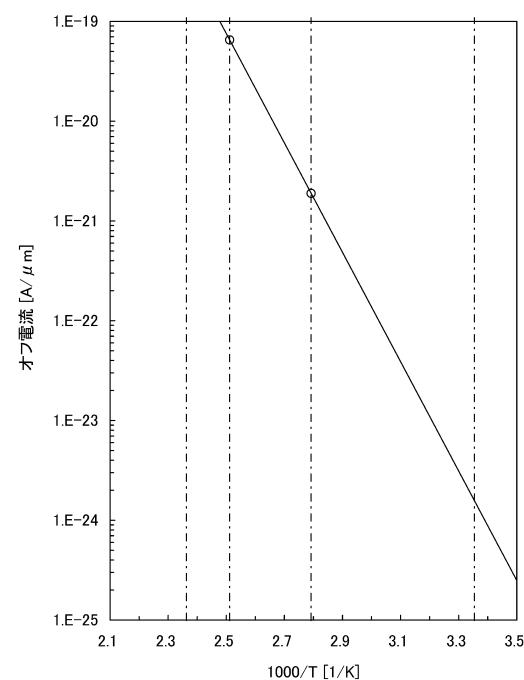
(B)



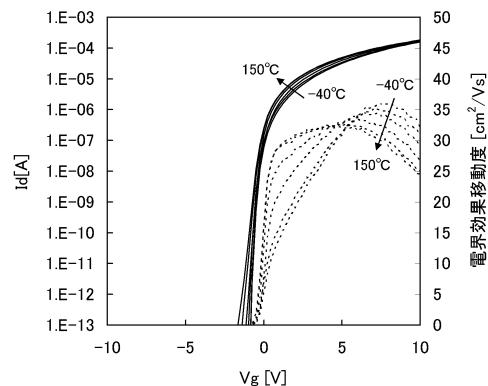
【図2-4】



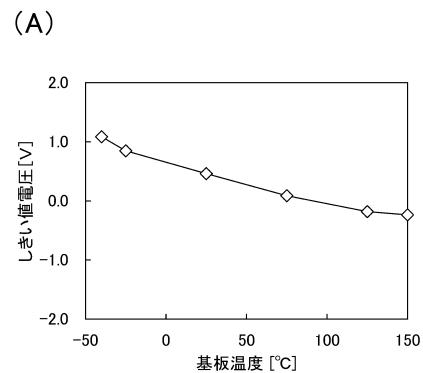
【図2-5】



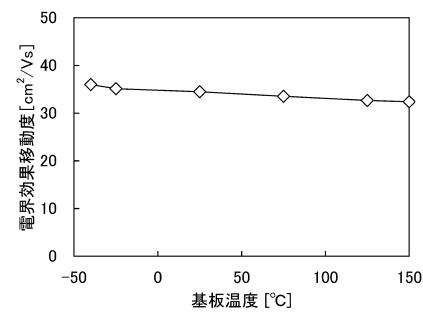
【図26】



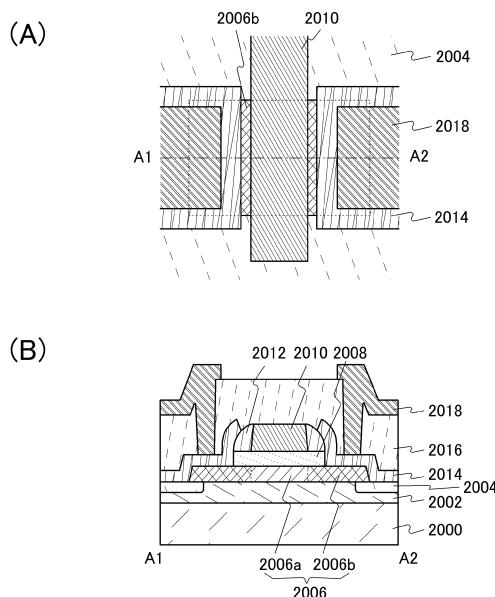
【図27】



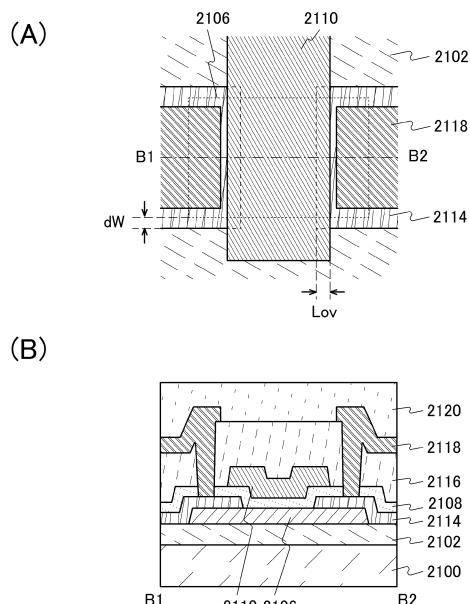
(B)



【図28】



【図29】



フロントページの続き

(51)Int.Cl.

F I

H 0 1 L	29/78	6 1 7 M
H 0 1 L	29/78	6 1 3 B

(56)参考文献 特開2002-082656 (JP, A)

特開2002-368226 (JP, A)

特開2009-277702 (JP, A)

特開2007-103918 (JP, A)

特開2009-135350 (JP, A)

特開2006-294116 (JP, A)

国際公開第2010/023889 (WO, A1)

国際公開第2007/139009 (WO, A1)

(58)調査した分野(Int.Cl., DB名)

H 0 1 L 2 1 / 8 2 4 2

H 0 1 L 2 7 / 1 0

H 0 1 L 2 7 / 1 0 8

H 0 1 L 2 9 / 7 8 6