



(19)中華民國智慧財產局

(12)發明說明書公告本

(11)證書號數：TW I744457 B

(45)公告日：中華民國 110 (2021) 年 11 月 01 日

(21)申請案號：107100584

(22)申請日：中華民國 107 (2018) 年 01 月 08 日

(51)Int. Cl. : G06F12/0811(2016.01)

G06F12/0802(2016.01)

G06F12/0871(2016.01)

(30)優先權：2017/02/15 美國

62/459,414

2017/05/04 美國

15/587,286

(71)申請人：南韓商三星電子股份有限公司(南韓) SAMSUNG ELECTRONICS CO., LTD. (KR)
南韓

(72)發明人：張牧天 CHANG, MU-TIEN (TW)；牛迪民 NIU, DIMIN (CN)；鄭宏忠 ZHENG, HONGZHONG (CN)

(74)代理人：林孟閱；盧珮君；陳怡如

(56)參考文獻：

US 6920477B2

US 9396112B2

US 2008/0155229A1

US 2013/0290607A1

US 2014/0289467A1

US 2016/0246726A1

WO 2013/081937A1

審查人員：劉耀允

申請專利範圍項數：20 項 圖式數：5 共 46 頁

(54)名稱

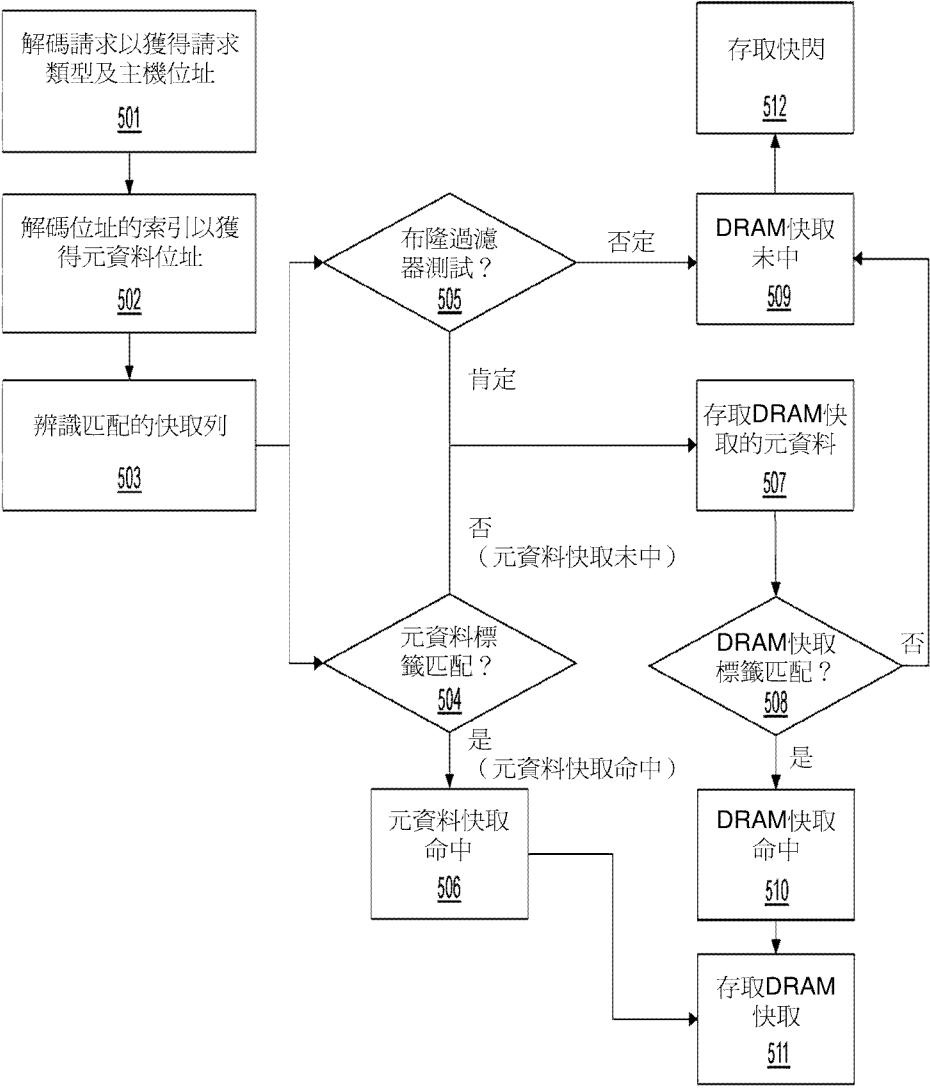
對混合記憶體模組進行存取元資料的方法及混合記憶體模組

(57)摘要

根據一個實施例，一種方法包括：提供包括動態隨機存取記憶體快取、快閃記憶體、及用於儲存元資料快取的靜態隨機存取記憶體的混合記憶體模組；藉由解碼自主機電腦接收的資料存取請求獲得主機位址，其中主機位址包括動態隨機存取記憶體快取標籤及動態隨機存取記憶體快取索引；自動態隨機存取記憶體快取索引獲得元資料位址，其中元資料位址包括元資料快取標籤及元資料快取索引；基於在靜態隨機存取記憶體的元資料快取中存在匹配的元資料快取條目來確定元資料快取命中；在元資料快取命中的情形中，自動態隨機存取記憶體快取獲得資料且跳過對動態隨機存取記憶體快取的元資料的存取；以及使自動態隨機存取記憶體快取獲得的資料返回至主機電腦。

According to one embodiment, the method includes: providing a hybrid memory module including a DRAM cache, a flash memory, and an SRAM for storing a metadata cache; obtaining a host address by decoding a data access request received from a host computer, wherein the host address includes a DRAM cache tag and a DRAM cache index; obtaining a metadata address from the DRAM cache index, wherein the metadata address includes a metadata cache tag and a metadata cache index; determining a metadata cache hit based on a presence of a matching metadata cache entry in the metadata cache of the SRAM; in a case of the metadata cache hit, obtaining the data from the DRAM cache and skipping an access to the metadata of the DRAM cache; and returning the data obtained from the DRAM cache to the host computer.

指定代表圖：



符號簡單說明：

501、502、503、
504、505、506、
507、508、509、
510、511、512:操作

【圖5】



I744457

【發明摘要】

【中文發明名稱】對混合記憶體模組進行存取元資料的方法及混合記憶體模組

【英文發明名稱】METHOD FOR ACCESSING METADATA IN HYBRID MEMORY MODULE AND HYBRID MEMORY MODULE

【中文】根據一個實施例，一種方法包括：提供包括動態隨機存取記憶體快取、快閃記憶體、及用於儲存元資料快取的靜態隨機存取記憶體的混合記憶體模組；藉由解碼自主機電腦接收的資料存取請求獲得主機位址，其中主機位址包括動態隨機存取記憶體快取標籤及動態隨機存取記憶體快取索引；自動態隨機存取記憶體快取索引獲得元資料位址，其中元資料位址包括元資料快取標籤及元資料快取索引；基於在靜態隨機存取記憶體的元資料快取中存在匹配的元資料快取條目來確定元資料快取命中；在元資料快取命中的情形中，自動態隨機存取記憶體快取獲得資料且跳過對動態隨機存取記憶體快取的元資料的存取；以及使自動態隨機存取記憶體快取獲得的資料返回至主機電腦。

【英文】According to one embodiment, the method includes: providing a hybrid memory module including a DRAM cache, a flash memory, and an SRAM for storing a metadata cache; obtaining a host address by decoding a data access request received from a host computer, wherein the host address includes a DRAM cache tag and a

DRAM cache index; obtaining a metadata address from the DRAM cache index, wherein the metadata address includes a metadata cache tag and a metadata cache index; determining a metadata cache hit based on a presence of a matching metadata cache entry in the metadata cache of the SRAM; in a case of the metadata cache hit, obtaining the data from the DRAM cache and skipping an access to the metadata of the DRAM cache; and returning the data obtained from the DRAM cache to the host computer.

【指定代表圖】圖5。

【代表圖之符號簡單說明】

501、502、503、504、505、506、507、508、509、510、511、
512：操作

【特徵化學式】

無

【發明說明書】

【中文發明名稱】對混合記憶體模組進行存取元資料的方法及混合記憶體模組

【英文發明名稱】METHOD FOR ACCESSING METADATA IN HYBRID MEMORY MODULE AND HYBRID MEMORY MODULE

[相關申請案的交叉參考]

【0001】 本申請案主張於 2017 年 2 月 15 日提出申請的序列號為 62/459,414 的美國臨時專利申請案的權利及優先權，所述美國臨時專利申請案的揭露內容全文併入本案供參考。

【技術領域】

【0002】 本揭露大體而言是有關於一種混合記憶體模組，更具體而言是有關於一種使用 SRAM 元資料快取及布隆過濾器緩解對混合記憶體模組中的 DRAM 快取的元資料進行存取的負荷的系統及方法。

【先前技術】

【0003】 混合記憶體模組是指包含揮發性記憶體（例如，動態隨機存取記憶體（dynamic random-access memory，DRAM））及非揮發性記憶體（例如，快閃記憶體）兩者作為主要資料儲存裝置的記憶體模組。混合記憶體模組的實例為整合有 DRAM 及快閃記憶體的混合雙行記憶體模組（dual in-line memory module，DIMM）。在典型構型中，DRAM 可用作用於儲存於快閃記憶體中的資料的

快取記憶體。為了達成對 DRAM 快取的快速存取，DRAM 快取的元資料可儲存於混合記憶體模組的靜態隨機存取記憶體（static random-access memory，SRAM）中。

【0004】 然而，DRAM 快取的元資料的所需儲存大小可能大於 SRAM 的可用大小。整合於混合 DIMM 中的 SRAM 的儲存容量可因其成本而保持相對小。由於 SRAM 的有限的儲存大小，DRAM 快取的全部元資料可能無法容納於 SRAM 中，且因此元資料的無法容納於 SRAM 中的剩餘部分必須儲存於 DRAM 中。在此種情形中，對儲存於 DRAM 中的元資料的存取速度緩慢可導致在存取資料時效能下降。

【0005】 為補救此問題，已提出若干種方法。第一種方法是減小儲存於 SRAM 中的元資料的大小。舉例而言，可藉由減少儲存於 SRAM 中的快取列的數目來減小元資料的大小。在此種情形中，每一快取列的大小皆會減小。快取列的大小減小可對命中率（hit rate）產生負面影響，且在快取未中（cache miss）的情形中需要自快閃記憶體讀取多個頁面。在另一實例中，可藉由減少標籤位元及替換位元來減小快取關聯性，但此種方法亦可對命中率產生負面影響。在再一實例中，可對替換策略進行替換而無需替換位元。

【0006】 然而，測試結果顯示出，減小元資料大小的該些效果的組合可達成所需元資料大小的僅一小部分減小。因此，隨著快閃記憶體的資料儲存容量及 DRAM 快取的大小增大，用於儲存元資

料的 **SRAM** 的有限大小問題可能仍存在。

【發明內容】

【0007】 根據一個實施例，一種方法包括：提供包括動態隨機存取記憶體（**DRAM**）快取、快閃記憶體、及用於儲存元資料快取的靜態隨機存取記憶體（**SRAM**）的混合記憶體模組，其中所述動態隨機存取記憶體快取包括儲存於所述快閃記憶體中的資料的快取副本及與資料的所述快取副本對應的元資料，且其中所述元資料快取包括所述動態隨機存取記憶體快取的所述元資料的一部分的快取副本；自主機電腦接收對儲存於所述混合記憶體模組中的資料的資料存取請求；藉由解碼所述資料存取請求獲得主機位址，其中所述主機位址包括動態隨機存取記憶體快取標籤及動態隨機存取記憶體快取索引；自所述動態隨機存取記憶體快取索引獲得元資料位址，其中所述元資料位址包括元資料快取標籤及元資料快取索引；基於在所述靜態隨機存取記憶體的所述元資料快取中存在匹配的元資料快取條目來確定元資料快取命中，其中所述匹配的元資料快取條目具有一對元資料快取標籤與動態隨機存取記憶體快取標籤；在所述元資料快取命中的情形中，自所述動態隨機存取記憶體快取獲得所述資料且跳過對所述動態隨機存取記憶體快取的所述元資料的存取；以及使自所述動態隨機存取記憶體快取獲得的所述資料返回至所述主機電腦。

【0008】 根據另一實施例，一種混合記憶體模組包括：快閃記憶體；動態隨機存取記憶體（**DRAM**）快取，其中所述動態隨機存

取記憶體快取包括儲存於所述快閃記憶體中的資料的快取副本及與資料的所述快取副本對應的元資料；靜態隨機存取記憶體（SRAM），用於儲存元資料快取，所述元資料快取包括所述動態隨機存取記憶體快取的所述元資料的一部分的快取副本；記憶體介面，用於為主機電腦提供介面；記憶體存取控制器，用於存取儲存於所述動態隨機存取記憶體快取及所述快閃記憶體中的資料；動態隨機存取記憶體控制器，用於控制對所述動態隨機存取記憶體快取的存取；快閃控制器，用於控制對所述快閃記憶體的存取；以及快取控制器，用於確定來自所述主機電腦的所請求資料的快取副本是否存在。

【0009】 所述快取控制器被配置成：藉由解碼所述資料存取請求獲得主機位址，其中所述主機位址包括動態隨機存取記憶體快取標籤及動態隨機存取記憶體快取索引；自所述動態隨機存取記憶體快取索引獲得元資料位址，其中所述元資料位址包括元資料快取標籤及元資料快取索引；基於在所述靜態隨機存取記憶體的所述元資料快取中存在匹配的元資料快取條目來確定元資料快取命中，其中所述匹配的元資料快取條目具有一對元資料快取標籤與動態隨機存取記憶體快取標籤；以及在所述元資料快取命中的情形中，指令所述動態隨機存取記憶體控制器跳過對所述動態隨機存取記憶體快取的元資料的存取而自所述動態隨機存取記憶體快取獲得所述資料。所述記憶體存取控制器被配置成使自所述動態隨機存取記憶體快取獲得的所述資料返回至所述主機電腦。

【0010】 現在將參照附圖更具體地闡述並在申請專利範圍中指出以上及其他較佳特徵（包括事件的實作方式及組合的各種新穎細節）。應理解，本文所述特定系統及方法僅以舉例說明方式示出而非用於限制。如熟習此項技術者應理解，在不背離本揭露的範圍的條件下，可在各種諸多實施例中採用本文所述的原理及特徵。

【圖式簡單說明】

【0011】 作為本說明書的一部分而包括在內的附圖是當前較佳的實施例，且與以上所給出的大體說明及以下所給出的對較佳實施例的詳細說明一起用於闡釋及教示本文所述的原理。

【0012】 圖 1 是傳統混合記憶體模組的架構。

【0013】 圖 2 是根據一個實施例的示例性混合記憶體模組的架構。

【0014】 圖 3 是根據一個實施例的示例性快取控制器操作的方塊圖。

【0015】 圖 4 是根據一個實施例的實作於混合記憶體模組中的示例性布隆過濾器（Bloom filter）。

【0016】 圖 5 是根據一個實施例的由快取控制器來執行資料請求的流程圖。

【0017】 各圖未必按比例繪製，且在所有圖中具有相似結構或功能的元件一般是由相同的參考編號表示以用於說明目的。各圖僅旨在便於對本文所述的各種實施例的說明。各圖並不闡述本文所揭露教示內容的每一態樣且並不限制申請專利範圍的範圍。

【實施方式】

【0018】 本文所揭露的特徵及教示內容中的每一者可單獨地利用或與其他特徵及教示內容結合利用，以提供一種使用 **SRAM** 元資料快取（**metadata cache**）及布隆過濾器（**Bloom filter**）緩解對混合記憶體模組中的 **DRAM** 快取的元資料進行存取的負荷的系統及方法。參照附圖進一步詳細地闡述代表性實例，所述代表性實例單獨地使用及組合地使用該些附加特徵及教示內容中的諸多特徵及教示內容。此詳細說明僅旨在教示熟習此項技術者關於實踐本教示內容的態樣的進一步細節而並非旨在限制申請專利範圍的範圍。因此，以上在詳細說明中所揭露特徵的組合可能並非在最廣泛意義上實踐本教示內容所必需的，而是相反僅是為了具體闡述本教示內容的代表性實例而教示。

【0019】 在以下說明中，僅出於闡釋目的來提出特定術語以提供對本揭露的透徹理解。然而，對於熟習此項技術者而言將顯而易見的是，無需該些特定細節便能實踐本揭露的教示內容。

【0020】 本文中的詳細說明的一些部分是以對電腦記憶體內的資料位元進行的操作的演算法及符號表示法來呈現。該些演算描述及表示法是由熟習資料處理技術者用於向其他熟習此項技術者有效地傳達其工作的實質。演算法在此處且一般而言被視為能得到所期望結果的步驟的自治序列（**self-consistent sequence**）。所述步驟是需要對物理量進行物理調處（**physical manipulation**）的步驟。通常（儘管並非必需），該些量會呈現能夠被儲存、傳遞、組

合、比較、及以其他方式被調處的電訊號或磁性訊號的形式。業已證明，主要出於通用的原因，將該些訊號稱為位元、值、元素、符號、字元、項、數字等有時是方便的。

【0021】 然而，應記住，所有該些用語及相似用語皆欲與適宜的物理量相關聯且僅作為應用於該些量的便利標記。除非藉由閱讀以下論述顯而易見地另外具體闡明，否則應理解在本說明通篇中，使用例如「處理（processing）」、「計算（computing）」、「運算（calculating）」、「確定（determining）」、「顯示（displaying）」等用語進行的論述是指電腦系統或相似電子計算裝置的動作及過程，所述電腦系統或相似電子計算裝置調處在電腦系統的暫存器及記憶體內被表示為物理（電子）量的資料並將所述資料轉換成在電腦系統記憶體或暫存器或者其他此類資訊儲存裝置、資訊傳輸裝置或資訊顯示裝置內被相似地表示為物理量的其他資料。

【0022】 本揭露闡述減少對 DRAM 元資料的存取的各種技術。舉例而言，可藉由使用隨機替換策略（random replacement policy）來減少 DRAM 元資料存取。在此種情形中，可能不需要替換位元，但可能對效能產生不利影響。在另一實例中，可藉由將部分 DRAM 快取元資料儲存於 SRAM 中來減少 DRAM 元資料存取。在此種情形中，僅 SRAM 匹配時會觸發 DRAM 搜索。然而，當元資料匹配可能頻繁地發生時，部分元資料方法可具有低的效能。一種替代方法是使用 SRAM 對元資料自身進行快取並使用布隆過濾器來高效地濾除 DRAM 快取未中，且僅當標籤匹配時執行 DRAM 搜索，

但布隆過濾器可觸發誤報（false positive）。然而，在 SRAM 中使用布隆過濾器可能一般為低效率的因為 DRAM 快取的低效能。

【0023】 此外，代表性實例及附屬請求項的各個特徵可以並未具體地及明確地枚舉的方式加以組合以提供本教示內容的附加適用實施例。亦應明確注意，出於原始揭露內容的目的以及出於限制所主張主題的目的，所有值範圍或對實體的群組的指示皆揭露每個可能的中間值或中間實體。亦應明確注意，圖中所示各組件的尺寸及形狀被設計成有助於理解如何實踐本教示內容，而並非旨在限制實例中所示的尺寸及形狀。

【0024】 本揭露提供一種使用 SRAM 元資料快取及布隆過濾器緩解對混合記憶體模組中的 DRAM 快取元資料進行存取的負荷的系統及方法。根據一個實施例，布隆過濾器與 SRAM 快取組合起來儲存 DRAM 快取的元資料。組合使用布隆過濾器與 SRAM 快取將彌補分別使用布隆過濾器及 SRAM 快取中的每一者的弱點，且對儲存於混合記憶體模組中的資料進行存取的效能提供改善。一般而言，布隆過濾器有利於快取未中，而元資料快取有利於快取命中。若對元資料快取及布隆過濾器二者並行地存取，則布隆過濾器錯誤（FALSE）意味著快取未中，因而無需進行 DRAM 存取。SRAM 元資料快取命中被視為快速快取命中，因此無需進行 DRAM 元資料存取。

【0025】 圖 1 是傳統混合記憶體模組的架構。混合記憶體模組 100 包括 DRAM 快取 101、快閃記憶體 151、記憶體存取控制器

111、DRAM 控制器 121、快取控制器 124、用於儲存快取 127 的元資料的 SRAM 126、及快閃控制器 131。元資料快取 127 包括 DRAM 快取 101 的元資料 102 的快取版本。DRAM 快取 101 儲存快閃記憶體 151 的快取資料，且包括元資料 102、讀取快取 103、及寫入緩衝器 104。元資料 102 可包括標籤、有效位元、壞位元(dirty bit) 等。應注意，除非另外明確闡明，否則項、元資料、及標籤可在本文中互換使用。讀取快取 103 儲存來自快閃記憶體 151 的快取資料。讀取快取 103 用於對資料進行快取。讀取快取 103 可減少對快閃記憶體 151 的記憶體存取的次數。待寫入至快閃記憶體 151 的資料可在寫入緩衝器 104 中緩衝。寫入緩衝器 104 可減少寫入至快閃記憶體 151 的通訊量。

【0026】 主機電腦（圖中未示出）根據在主機電腦與混合記憶體模組 100 之間建立的記憶體主機/從機介面協定（例如，非揮發性雙行記憶體模組協定（non-volatile dual in-line memory module-protocol，NVDIMM-P））經由記憶體介面 140 發送記憶體存取請求以存取儲存於混合記憶體模組 100 中的資料。記憶體存取請求被轉發至記憶體存取控制器 111。記憶體存取控制器 111 充當中間轉譯器並將來自主機的請求（經由 NVDIMM-P 協定）轉譯成可由混合記憶體模組 100 讀取的格式。在對來自主機的請求進行轉譯之後，記憶體存取控制器 111 將經轉譯的資訊轉發至快取控制器 124。

【0027】 快取控制器 124 對儲存於 SRAM 126 中的元資料快取

127 進行檢查，並確定元資料快取命中還是未中。若為元資料快取命中，則快取控制器 124 確認到所請求資料儲存於 DRAM 快取 101 中，並請求 DRAM 控制器 121 使用儲存於元資料快取 127 中的元資料來存取 DRAM 快取 101 中的所請求資料，而不存取 DRAM 快取 101 中的元資料 102。若為元資料快取未中，則快取控制器 124 請求 DRAM 控制器 121 存取儲存於 DRAM 快取 101 中的元資料 102 並確定 DRAM 快取命中還是未中。在對 DRAM 快取命中還是未中進行檢查之後，快取控制器 124 可確定所請求資料的確切目的地。若為 DRAM 快取命中，則快取控制器 124 請求 DRAM 控制器 121 存取儲存於 DRAM 快取 101 中的所請求資料。若為 DRAM 快取未中，則快取控制器 124 請求快閃控制器 131 存取儲存於快閃記憶體 151 中的所請求資料。

【0028】 當快取控制器 124 確定所請求資料儲存於 DRAM 快取 101 中時，快取控制器 124 指令 DRAM 控制器 121 在元資料快取命中的情形中藉由參考儲存於 SRAM 126 中的元資料快取 127，或者在 DRAM 快取命中的情形中藉由參考元資料 102 來存取 DRAM 快取 101。當快取控制器 124 確定所請求資料儲存於快閃記憶體 151 中時，快閃控制器 131 經由快閃流（flash stream）150 來存取及檢索儲存於快閃記憶體 151 中的資料。

【0029】 圖 2 是根據一個實施例的示例性混合記憶體模組的架構。混合記憶體模組 200 包括 DRAM 快取 201、快閃記憶體 251、記憶體存取控制器 211、DRAM 控制器 221、快取控制器 224、SRAM

226、及快閃控制器 231。

【0030】 SRAM 226 將 DRAM 快取 201 的元資料 202 的快取副本儲存於元資料快取 227 中。根據元資料快取 227 的可用大小，儲存於元資料快取 227 中的元資料 202 的快取副本可為元資料 202 的子集。SRAM 226 更以布隆過濾器陣列 229 的形式儲存另一「組」快取元資料（元資料 202 的全集或元資料 202 的子集）。

【0031】 元資料快取 227 包括 DRAM 快取 201 的元資料 202 的快取版本。DRAM 快取 201 儲存快閃記憶體 251 的快取資料，且包括元資料 202、讀取快取 203、及寫入緩衝器 204。元資料 202 可包括標籤、有效位元、壞位元等。應注意，除非另外明確闡明，否則項、元資料、及標籤可在本文中互換使用。讀取快取 203 儲存來自快閃記憶體 251 的快取資料。讀取快取 203 用於對資料進行快取。讀取快取 203 可減少對快閃記憶體 251 的記憶體存取的次數。待寫入至快閃記憶體 251 的資料可在寫入緩衝器 204 中緩衝。寫入緩衝器 204 可減少寫入至快閃記憶體 251 的通訊量。

【0032】 主機電腦（圖中未示出）根據在主機電腦與混合記憶體模組 200 之間建立的記憶體主機/從機介面協定（例如，NVDIMM-P）經由記憶體介面 240 發送記憶體存取請求以存取儲存於混合記憶體模組 200 中的資料。記憶體存取請求被轉發至記憶體存取控制器 211。記憶體存取控制器 211 充當中間轉譯器並將來自主機的請求（經由 NVDIMM-P 協定）轉譯成可由混合記憶體模組 200 讀取的格式。在對來自主機的請求進行轉譯之後，記憶

體存取控制器 211 將經轉譯的資訊轉發至快取控制器 224。

【0033】 快取控制器 224 對儲存於 SRAM 226 中的有關快取 227 的元資料進行檢查，並確定元資料快取命中還是未中。若為元資料快取命中，則快取控制器 224 確認到所請求資料儲存於 DRAM 快取 201 中，並請求 DRAM 控制器 221 使用儲存於元資料快取 227 中的元資料來存取 DRAM 快取 201 中的所請求資料，而不存取 DRAM 快取 201 中的元資料 202。

【0034】 根據一個實施例，快取控制器 224 提供各種函數來對儲存於 SRAM 226 中的元資料進行運算。此類函數的實例包括但不限於，對儲存於 SRAM 226 中的元資料進行管理的插入函數(insert function)及測試函數(test function)。布隆過濾器可使用該些函數對儲存於 SRAM 226 中的布隆過濾器陣列 229 進行運算，以判斷 DRAM 快取命中還是未中。舉例而言，快取控制器 224 對布隆過濾器陣列 229 執行布隆過濾器測試函數(Bloom filter test function)。若布隆過濾器測試結果為否定，則意味著 DRAM 快取未中，表明資料未儲存於 DRAM 快取 201 中，且快取控制器 224 向快閃控制器 231 發送請求以獲得資料，而不存取 DRAM 快取 201 的元資料 202。根據一個實施例，對元資料快取 227 進行的元資料快取檢查及對布隆過濾器進行的布隆過濾器測試可獨立地、同時地、或以特定的順序執行。

【0035】 若為元資料快取未中且布隆過濾器的測試結果為肯定(即，表明 DRAM 快取命中，但其可能為誤報)，則快取控制器

224 請求 DRAM 控制器 221 存取 DRAM 快取 201 的元資料 202，以判斷 DRAM 快取的是命中還是未中。基於在 DRAM 快取 201 的元資料 202 中存在匹配的元資料，快取控制器 224 可確定所請求資料的確切目的地。若為 DRAM 快取命中，則快取控制器 224 請求 DRAM 控制器 221 存取儲存於 DRAM 快取 201 中的所請求資料。若為 DRAM 快取未中，則快取控制器 224 請求快閃控制器 231 存取儲存於快閃記憶體 251 中的所請求資料。

【0036】 參照圖 2，元資料快取 227 與布隆過濾器陣列 229 可具有獨立的資料結構且可儲存相同或不同的元資料。元資料快取 227 與布隆過濾器陣列 229 彼此獨立地在 SRAM 226 中具有其自己的專用區，以儲存其自己的元資料及對元資料進行運算的邏輯。根據一個實施例，SRAM 226 僅包括元資料快取 227 及布隆過濾器陣列 229 中的一者，或者快取控制器 224 僅對元資料快取 227 及布隆過濾器陣列 229 中的一者進行操作。無論布隆過濾器陣列 229 存在還是運作，元資料快取 227 皆可以相同的方式運作。相似地，無論元資料快取 227 存在還是運作，布隆過濾器陣列 229 皆以相同的方式運作。根據元資料快取 227 的運作模式以及存在（或不存在），元資料快取 227 及布隆過濾器陣列 229 在 SRAM 26 中的分配區可動態地改變。本混合記憶體模組 200 對元資料快取 227 及布隆過濾器陣列 229 提供一或多個「封套資料(wrapper)」函數，以有利於確定快取命中還是未中，而不必相互依賴。

【0037】 在元資料快取命中的情形中，即若 SRAM 226 中的元資

料快取 227 儲存有元資料的快取副本，則快取控制器 224 確定所請求資料儲存於 DRAM 快取 201 中，快取控制器 224 指令 DRAM 控制器 221 藉由參考儲存於 SRAM 226 中的元資料快取 227 來存取 DRAM 快取 201。在 DRAM 快取命中的情形中，快取控制器 224 指令 DRAM 控制器 221 藉由參考元資料 202 來存取 DRAM 快取 201。當快取控制器 224 確定所請求資料儲存於快閃記憶體 251 中時，快閃控制器 231 經由快閃流 250 來存取及檢索儲存於快閃記憶體 251 中的資料。

【0038】 根據一個實施例，元資料快取 227 可得以高效地維持，乃因 DRAM 元資料 202 為包含性（inclusive）且為乾淨（clean）的。舉例而言，元資料快取 227 中的列亦儲存於 DRAM 快取 201 的元資料 202 中。對元資料快取 227 的任何存取類型始終被視為讀取存取。表 1 是由混合記憶體模組 200 的快取控制器 224 根據所請求資料的存取類型及位置執行的動作列表。

存取類型	在元資料存取中？	在 DRAM 存取中？	動作
讀取	否	否	[元資料快取未中，DRAM 快取未中] 將標籤及資料插入至 DRAM 快取 將標籤插入至元資料快取
讀取	是	否	因包括在內而不適用
讀取	否	是	[元資料快取未中，DRAM 快取命中] 將標籤插入至元資料快取
讀取	是	是	[元資料快取命中，DRAM 快取命中] 無為
寫入	否	否	[元資料快取未中，DRAM 快取未中] 將標籤及資料插入至 DRAM 快取 將標籤插入至元資料快取
寫入	是	否	因包括在內而不適用
寫入	否	是	[元資料快取未中，DRAM 快取命中] 將標籤插入至元資料快取
寫入	是	是	[元資料快取命中，DRAM 快取命中]

			無為
--	--	--	----

表 1：資料存取及動作

【0039】 在讀取存取請求的情形中，快取控制器 224 可判斷所請求資料的快取副本是否可以以下方式在 DRAM 快取 201 中找到。首先，快取控制器 224 檢查在元資料快取 227 中是否存在匹配的元資料。若找到匹配，則由於元資料標籤及 DRAM 快取標籤被包括在內，快取控制器 224 可斷定讀取存取請求在 DRAM 快取 201 中命中。快取控制器 224 可接著使用在元資料快取 227 中命中的元資料自 DRAM 快取 201 請求目標資料，但不存取 DRAM 元資料 202。除元資料快取檢查以外，快取控制器 224 可使用布隆過濾器陣列 229 來執行 DRAM 快取命中還是未中檢查。在藉由布隆過濾器測試確定的 DRAM 快取未中的情形中，快取控制器 224 可斷定目標資料不位於 DRAM 快取 201 中，並向快閃控制器 231 發送請求以獲得資料而不存取 DRAM 快取 201 的元資料 202。若布隆過濾器測試結果表明 DRAM 快取命中，則快取控制器 224 在此階段無法確定 DRAM 快取真正命中還是未中，乃因藉由布隆過濾器確定的 DRAM 快取命中可能為誤報。在此種情形中，快取控制器 224 因此進一步請求 DRAM 控制器 221 存取 DRAM 元資料 202，以確定 DRAM 快取真正命中還是未中。藉由將包含於資料存取請求中的 DRAM 快取標籤與 DRAM 元資料 202 進行比較，快取控制器 224 可精確地判斷資料請求是否在 DRAM 快取 201 中命中。若 DRAM 快取命中，則快取控制器 224 可自 DRAM 快取 201 請求目

標資料。若 DRAM 快取未中，則快取控制器 224 可自快閃記憶體 251 請求目標資料，將自快閃記憶體 251 獲得的資料插入至 DRAM 快取 201，並更新 DRAM 元資料 202。無論 DRAM 快取命中還是未中，由於元資料快取未中，因此快取控制器 224 可使用自 DRAM 元資料 202 獲得的元資料來更新元資料快取 227。

【0040】 在寫入存取請求的情形中，如同在讀取存取請求的情形中一樣，快取控制器 224 可基於元資料快取 227 與 DRAM 快取 201 的匹配結果來執行等效動作。以下將進一步詳細地重點說明讀取存取操作與寫入存取操作之間的差異。

【0041】 圖 3 是根據一個實施例的示例性快取控制器操作的方塊圖。參照圖 3 闡釋的快取控制器可為如圖 2 所示整合於混合記憶體模組 200 中的快取控制器 224。在此種情形中，將省略對混合記憶體模組 200 以及整合於混合記憶體模組中的內部組件、模組、及裝置的重複闡釋。

【0042】 因應於自主機電腦接收到資料存取請求，快取控制器解碼資料存取請求以獲得所請求資料的主機位址 301，並辨識存取類型（例如，讀取、寫入）。主機位址 301 包括標籤 302（在本文中亦被稱為 DRAM 快取標籤）、索引 303（在本文中亦被稱為 DRAM 快取索引）、及偏移 304。

【0043】 根據一個實施例，DRAM 快取中的快取列可大於主機所請求資料的大小。在此種情形中，偏移 304 用於確定快取列的與所請求資料對應的一部分。舉例而言，若快取列是 2 千位元組且

所請求資料大小是 1 位元組，則在需要總計 2048 個偏移數的快取列中存在 2048 (2 千位元組/1 位元組) 件資料，以唯一地辨識主機位址所指代的資料件。舉例而言，偏移 304 為 0 是指快取列中的第一資料件，且偏移 304 為 2047 是指快取列中的最後資料件。

【0044】 根據一個實施例，索引 303 可包括與 DRAM 快取相關聯的元資料資訊。快取控制器可更解碼索引 303 以獲得元資料位址 311，並將元資料位址 311 與儲存於 SRAM 中的元資料快取 327 進行比較以確定元資料快取命中還是未中。根據一個實施例，元資料位址 311 包括元資料 (MDC) 標籤 312 及元資料 (MDC) 索引 313。

【0045】 首先，快取控制器使用元資料位址 311 的 MDC 索引 313 來選擇儲存於 SRAM 元資料快取 327 中的多個 DRAM 快取元資料中的匹配的元資料條目。儲存於 SRAM 元資料快取 327 中的每一匹配的元資料條目可具有包括 MDC 標籤 333 (例如 MDC 標籤 333a-333d)、DRAM 快取標籤 332 (例如 DRAM 快取標籤 333a-333d) 的一對標籤、以及有效位元 V。有效位元 V 指示相關聯的快取列是否有效。舉例而言，若 $V=0$ ，則具有匹配的元資料條目的快取列指示快取未中。若 SRAM 元資料快取 327 如在實例中所示被組織成多種方式 (例如，方式 0、方式 1、方式 2、及方式 3)，則 MDC 索引 313 可對應於方式 ID。

【0046】 為了確定元資料快取命中還是未中，快取控制器在元資料快取 327 中搜索匹配條目，並將元資料位址 311 的 MDC 標籤

312 與所辨識的匹配條目的 **MDC** 標籤 333 進行比較。若元資料標籤 312 與 **MDC** 標籤 333 匹配，則自匹配條目讀取包含原始主機標籤的資料。將儲存於元資料快取 327 中的原始主機標籤與主機位址 301 的主機標籤 302 進行比較。若原始主機標籤與主機標籤 302 匹配，則快取控制器確定元資料快取命中並使用儲存於元資料快取 327 中的匹配的主機標籤來存取 **DRAM** 快取中的所請求資料，而不存取 **DRAM** 快取的元資料。

【0047】 除元資料快取檢查以外，快取控制器可使用布隆過濾器執行布隆過濾器測試以確定在 **DRAM** 快取中存在（還是不存在）快取資料（即，**DRAM** 快取命中還是未中）。布隆過濾器可以各種形式來實作，例如經由比較器來實作。快取控制器將主機位址 301 的標籤 302 與藉由元資料快取檢查而辨識出的匹配的元資料對的 **DRAM** 快取標籤 332 進行比較。若布隆過濾器測試表明 **DRAM** 快取未中（即，在元資料快取 327 中不存在與主機位址 301 的標籤 302 匹配的標籤 332），則快取控制器可斷定在 **DRAM** 快取中不存在目標資料，並請求快閃控制器存取儲存於快閃記憶體中的資料。

【0048】 在一些情形中，快取控制器在元資料快取 327 中未找到匹配的元資料條目（即，元資料快取未中），且布隆過濾器可能指示 **DRAM** 快取命中。然而，由布隆過濾器指示 **DRAM** 快取命中可為誤報，因此快取控制器繼續存取 **DRAM** 快取的元資料，以判斷目標資料是否的確儲存於 **DRAM** 快取中（**DRAM** 快取真正命中還是未中）。基於主機位址 301 的標籤 302 與 **DRAM** 快取的元資料

之間的比較結果，快取控制器可精確地確定目標資料的位置。若在 **DRAM** 快取中不存在匹配的元資料（即，**DRAM** 快取真正未命中），則快取控制器可保證在 **DRAM** 中不存在所請求資料的快取副本。在此種情形中，快取控制器可跳過存取 **DRAM** 快取而直接存取快閃控制器以存取儲存於快閃記憶體中的資料。若在 **DRAM** 快取中存在匹配的元資料（即，**DRAM** 快取真正命中），則快取控制器可存取 **DRAM** 控制器以存取儲存於 **DRAM** 快取中的資料。

【0049】 圖 4 是根據一個實施例的實作於混合記憶體模組中的示例性布隆過濾器。快取控制器為布隆過濾器提供插入函數及測試函數。根據一個實施例，插入函數是散列函數（**hash function**）。快取控制器可根據布隆過濾器的設定而採用多於一個散列函數。舉例而言，插入函數及測試函數的輸入被標示為 **x**、**y**、**z**、及 **w**，可為元資料快取標籤。

【0050】 儲存於本混合記憶體模組的 **SRAM** 的專用區中的布隆過濾器的元資料可被實作為包括多個條目的陣列，在本文中亦被稱為布隆過濾器陣列。在本實例中，布隆過濾器陣列的每一條目為 16 位元，且存在三個散列函數。測試函數為全部的所述三個散列函數提供匹配的結果。應注意，該些僅為實例，且在不偏離本揭露的範圍的條件下，可使用不同長度的布隆過濾器陣列及不同數目個散列函數。

【0051】 對於給定的快取標籤（例如，圖 3 中的標籤 302），插入函數（**insert(x)**與 **insert(y)**）根據散列演算法將位元插入（或更新）

至布隆過濾器陣列 401 的所指出條目中。在本實例中，對於快取標籤 x，散列函數插入布隆過濾器陣列 401 的由快取標籤 x 所指出的條目（位元 7、位元 12、及位元 14）集。隨後，當接收到資料存取請求時，調用測試函數 $\text{test}(x)$ 以自布隆過濾器陣列 401 讀取由快取標籤 x 所指出的條目，且測試布隆過濾器陣列 401 是否包含快取標籤 x。第二快取標籤 y 可利用散列函數插入而被輸入至布隆過濾器陣列 401 的由快取標籤 y 所指出的條目（位元 2、位元 4、及位元 11），且可使用函數 $\text{test}(y)$ 來測試快取標籤 y 是否存在。

【0052】 在本實例中，快取標籤 x 及 y 被示出為對布隆過濾器陣列 401 的輸入。布隆過濾器陣列 401 的每一條目可為 0 或 1。插入函數可基於一或多個散列函數，所述一或多個散列函數中的每一者可將快取標籤視為輸入。插入函數的輸出是與布隆過濾器陣列 401 中的所指出條目對應的位元編號。應注意，本揭露並非僅限於特定散列函數及所使用的散列函數的數目。舉例而言，插入函數可在接收到快取標籤作為輸入時，更新布隆過濾器陣列的四個條目。

【0053】 應注意，標籤 z 及 w 未明確地輸入至布隆過濾器陣列 401。當接收到具有快取標籤 z 的資料請求時，調用用於標籤 z 的測試函數 $\text{test}(z)$ ，且以否定返回，恰當地表明 z 不包含於布隆過濾器中（且因此不包含於 DRAM 快取中）。然而，當接收到具有快取標籤 w 的資料存取請求時，調用測試函數 $\text{test}(w)$ 以讀取布隆過濾器陣列 401 的由快取標籤 w 所指出的條目，且測試在布隆過

器陣列 401 中存在還是不存在快取標籤 w 。在本實例中，測試函數 $\text{test}(w)$ 表明在布隆過濾器陣列 401 中存在快取標籤 w 。因此，在本實例中，測試函數 $\text{test}(w)$ 為誤報的實例。因此，布隆過濾器可用於確定無疑地辨識不位於快取中的快取標籤，但無法用於準確地預測何種快取標籤位於快取中。

【0054】 根據一個實施例，本布隆過濾器可刪除布隆過濾器陣列的所選擇部分或整個部分。舉例而言，快取控制器可自行判定應用刪除函數（**delete function**）來擦除布隆過濾器陣列的一部分或整個布隆過濾陣列。刪除函數可適用於當 **DRAM** 快取中的快取列因快取列替換而不再存在或避開時。在此種情形中，刪除函數可擦除本布隆過濾器陣列中的對應的條目。在布隆過濾器陣列並非足夠大的情形中，快取控制器可刪除布隆過濾器陣列的一部分以為新的條目騰出空間。在替代實施例中，本布隆過濾器可使用能夠覆蓋整個標籤範圍的大的布隆過濾器陣列，或者快取控制器可在布隆過濾器充滿時重設布隆過濾器，以使得當布隆過濾器效率變低時不再添加陣列。

【0055】 圖 5 是根據一個實施例的一種由快取控制器來執行資料請求的流程圖。因應於來自主機電腦的對資料存取的請求，混合記憶體模組的快取控制器解碼請求以獲得所請求資料的請求類型（例如，讀取、寫入）及主機位址（501）。主機位址可包括標籤（**DRAM** 標籤）、索引、及偏移。快取控制器接著解碼主機位址的索引以獲得包括 **MDC** 標籤及 **MDC** 索引的元資料位址（502）。快

取控制器使用元資料位址的 **MDC** 索引自儲存於混合記憶體模組的 **SRAM** 中的元資料快取辨識匹配的快取列（503）。匹配的快取列儲存有一對 **MDC** 標籤與 **DRAM** 快取標籤。若在元資料快取中不存在匹配的快取列，則快取控制器請求 **DRAM** 控制器存取 **DRAM** 快取的元資料，並判斷在 **DRAM** 快取中是否存在所請求資料的快取副本（即，**DRAM** 快取真正命中還是未中）。

【0056】 另一方面，若在 **SRAM** 元資料快取中辨識出匹配的快取列，則快取控制器判斷匹配的快取列的 **MDC** 標籤是否與元資料位址的 **MDC** 標籤匹配，且進一步判斷由匹配的 **MDC** 標籤所參照的主機標籤是否與原始主機標籤匹配（504）。若主機標籤匹配（即，元資料快取命中），則快取控制器確定所請求資料是在 **DRAM** 快取中被快取（506），且請求 **DRAM** 控制器跳過對 **DRAM** 快取的元資料的存取，使用匹配的主機標籤來存取 **DRAM** 快取並自 **DRAM** 快取獲得所請求資料（511）。

【0057】 另外，快取控制器使用匹配的快取列的 **DRAM** 標籤（或主機位址的 **DRAM** 標籤）來執行布隆過濾器測試，以確定 **DRAM** 快取命中還是未中（505）。若布隆過濾器的測試結果為否定，則快取控制器斷定所請求資料並非在 **DRAM** 快取中被快取（即，**DRAM** 快取未中）（509），且請求快閃控制器存取快閃記憶體並獲得所請求資料（512）。在此種情形中，可跳過對 **DRAM** 快取的元資料的存取，且對快閃記憶體的資料存取的延遲得到改善。

【0058】 若對於元資料快取不存在匹配（即，元資料快取未中）

且布隆過濾器測試結果為肯定（可能為 DRAM 快取命中的誤報），則快取控制器請求 DRAM 控制器存取 DRAM 快取的元資料（507）以判斷主機位址的標籤（DRAM 標籤）是否與 DRAM 快取的元資料中的條目匹配（508）。若 DRAM 快取標籤匹配，則快取控制器確定所請求資料是在 DRAM 快取中被快取（即，DRAM 快取命中）（510），且請求 DRAM 控制器存取 DRAM 快取中的所請求資料（511）。若 DRAM 快取標籤不匹配，則快取控制器確定所請求資料並非在 DRAM 快取中被快取（即，DRAM 快取未中）（509），且請求快閃控制器存取快閃記憶體中的所請求資料（512）。

【0059】 本快取控制器可被程式化成支援元資料快取及布隆過濾器中的任一者、兩者或皆不支援元資料快取及布隆過濾器。舉例而言，快取控制器監控快取命中率以確定對元資料快取及/或布隆過濾器進行停用/啟用。若元資料快取命中率高於第一預定臨限值，則快取控制器可停用布隆過濾器，乃因布隆過濾器在緩解對 DRAM 快取元資料進行存取的負荷方面所提供的有益效果甚微。在另一實例中，元資料快取命中率低於第二預定臨限值，快取控制器可停用元資料快取，僅留下布隆過濾器。若 DRAM 不用作快閃記憶體的快取，則快取控制器可停用元資料快取及布隆過濾器兩者。

【0060】 根據一個實施例，快取控制器可並行地存取布隆過濾器及元資料快取以獲得快速比較結果。根據另一實施例，快取控制器可在低功率條件下串列地存取布隆過濾器及元資料快取。快取

控制器可首先對布隆過濾器進行檢查，且若布隆過濾器的結果是元資料快取未中，則快取控制器不啟動元資料快取。若布隆過濾器的結果是元資料快取命中，則快取控制器可啟動元資料快取以檢查 **DRAM** 快取命中還是未中。若布隆過濾器的結果是元資料快取命中但元資料快取返回一個錯誤，則快取控制器存取 **DRAM** 快取標籤。串列存取的次序可顛倒，即按照元資料快取、布隆過濾器、及 **DRAM** 快取標籤的次序進行存取。

【0061】 根據一個實施例，一種方法包括：提供包括動態隨機存取記憶體（**DRAM**）快取、快閃記憶體、及用於儲存元資料快取的靜態隨機存取記憶體（**SRAM**）的混合記憶體模組，其中所述動態隨機存取記憶體快取包括儲存於所述快閃記憶體中的資料的快取副本及與資料的所述快取副本對應的元資料，且其中所述元資料快取包括所述動態隨機存取記憶體快取的元資料的一部分的快取副本；自主機電腦接收對儲存於所述混合記憶體模組中的資料的資料存取請求；藉由解碼所述資料存取請求獲得主機位址，其中所述主機位址包括動態隨機存取記憶體快取標籤及動態隨機存取記憶體快取索引；自所述動態隨機存取記憶體快取索引獲得元資料位址，其中所述元資料位址包括元資料快取標籤及元資料快取索引；基於在所述靜態隨機存取記憶體的元資料快取中存在匹配的元資料快取條目來確定元資料快取命中，其中所述匹配的元資料快取條目具有一對元資料快取標籤與動態隨機存取記憶體快取標籤；在所述元資料快取命中的情形中，自所述動態隨機存取

記憶體快取獲得所述資料且跳過對所述動態隨機存取記憶體快取的元資料的存取；以及使自所述動態隨機存取記憶體快取獲得的所述資料返回至所述主機電腦。

【0062】 所述確定所述元資料快取命中可更包括：將所述元資料位址的元資料快取標籤與一或多個元資料快取條目的元資料快取標籤進行比較，以確定所述在所述元資料快取中存在所述匹配的元資料快取條目。

【0063】 所述靜態隨機存取記憶體可更儲存布隆過濾器，且所述方法可更包括：基於在所述靜態隨機存取記憶體的元資料快取中不存在匹配的元資料快取條目來確定元資料快取未中；利用布隆過濾器來執行布隆過濾器測試；基於布隆過濾器測試的結果確定動態隨機存取記憶體快取可能未中還是動態隨機存取記憶體快取命中；在所述動態隨機存取記憶體快取未中的情形中，自所述快閃記憶體獲得資料；以及使自所述快閃記憶體獲得的資料返回至所述主機電腦。

【0064】 所述元資料快取標籤的所述比較與所述布隆過濾器測試可同時執行。

【0065】 所述方法可更包括：在所述元資料快取未中且所述動態隨機存取記憶體快取可能命中的情形中，存取所述動態隨機存取記憶體快取的元資料；基於所述主機位址的動態隨機存取記憶體標籤與所述動態隨機存取記憶體快取的元資料的比較來判斷所述資料是否儲存於所述動態隨機存取記憶體快取中；在所述動態隨

機存取記憶體快取的元資料中存在所述主機位址的動態隨機存取記憶體標籤的匹配條目的情形中，自所述動態隨機存取記憶體快取獲得資料且使自所述動態隨機存取記憶體快取獲得的資料返回至所述主機電腦；而在所述動態隨機存取記憶體快取的元資料中不存在所述主機位址的動態隨機存取記憶體標籤的匹配條目的情形中，自所述快閃記憶體獲得資料且使自所述快閃記憶體獲得的資料返回至所述主機電腦。

【0066】 所述布隆過濾器可包括具有多個條目的布隆過濾器陣列，且所述布隆過濾器測試可藉由對所述布隆過濾器陣列應用散列函數來提供肯定結果或否定結果。

【0067】 所述方法可更包括刪除所述布隆過濾器陣列或重設所述布隆過濾器陣列。

【0068】 所述方法可更包括將快取控制器程式化成當元資料快取命中率高於臨限值時，停用所述布隆過濾器。

【0069】 所述方法可更包括將快取控制器程式化成當元資料快取命中率低於臨限值時，停用所述元資料快取。

【0070】 所述方法可更包括在低功率條件下串列地存取所述布隆過濾器及所述元資料快取。

【0071】 根據另一實施例，一種混合記憶體模組包括：快閃記憶體；動態隨機存取記憶體（DRAM）快取，其中所述動態隨機存取記憶體快取包括儲存於所述快閃記憶體中的資料的快取副本及與資料的所述快取副本對應的元資料；靜態隨機存取記憶體

(SRAM)，用於儲存元資料快取，所述元資料快取包括所述動態隨機存取記憶體快取的元資料的一部分的快取副本；記憶體介面，用於為主機電腦提供介面；記憶體存取控制器，用於存取儲存於所述動態隨機存取記憶體快取及所述快閃記憶體中的資料；動態隨機存取記憶體控制器，用於控制對所述動態隨機存取記憶體快取的存取；快閃控制器，用於控制對所述快閃記憶體的存取；以及快取控制器，用於確定來自所述主機電腦的所請求資料的快取副本是否存在。

【0072】 所述快取控制器被配置成：藉由解碼所述資料存取請求獲得主機位址，其中所述主機位址包括動態隨機存取記憶體快取標籤及動態隨機存取記憶體快取索引；自所述動態隨機存取記憶體快取索引獲得元資料位址，其中所述元資料位址包括元資料快取標籤及元資料快取索引；基於在所述靜態隨機存取記憶體的元資料快取中存在匹配的元資料快取條目來確定元資料快取命中，其中所述匹配的元資料快取條目具有一對元資料快取標籤與動態隨機存取記憶體快取標籤；以及在所述元資料快取命中的情形中，指令所述動態隨機存取記憶體控制器跳過對所述動態隨機存取記憶體快取的元資料的存取而自所述動態隨機存取記憶體快取獲得所述資料。所述記憶體存取控制器被配置成使自所述動態隨機存取記憶體快取獲得的所述資料返回至所述主機電腦。

【0073】 所述快取控制器可更被配置成將所述元資料位址的元資料快取標籤與一或多個元資料快取條目的所述元資料快取標籤

進行比較，以確定所述在所述元資料快取中存在所述匹配的元資料快取條目。

【0074】 所述靜態隨機存取記憶體可更儲存布隆過濾器，且所述快取控制器可更被配置成：基於在所述靜態隨機存取記憶體的元資料快取中不存在匹配的元資料快取條目來確定元資料快取未中；利用所述布隆過濾器來執行布隆過濾器測試；基於布隆過濾器測試的結果確定動態隨機存取記憶體快取未中還是動態隨機存取記憶體快取可能命中；在所述動態隨機存取記憶體快取未中的情形中，指令所述快閃控制器跳過對所述動態隨機存取記憶體快取的元資料的存取而自所述快閃記憶體獲得資料；以及自所述快閃記憶體獲得資料，且所述記憶體存取控制器可被配置成使自所述快閃記憶體獲得的資料返回至所述主機電腦。

【0075】 所述快取控制器可同時執行所述元資料快取標籤的所述比較與所述布隆過濾器測試。

【0076】 在所述元資料快取未中且所述動態隨機存取記憶體快取可能命中的情形中，所述動態隨機存取記憶體控制器可被配置成：存取所述動態隨機存取記憶體快取的元資料；以及基於所述主機位址的動態隨機存取記憶體標籤與所述動態隨機存取記憶體快取的元資料的比較來判斷資料是否儲存於所述動態隨機存取記憶體快取中。在所述動態隨機存取記憶體快取的元資料中存在所述主機位址的動態隨機存取記憶體標籤的匹配條目的情形中，所述動態隨機存取記憶體控制器被配置成自所述動態隨機存取記憶

體快取獲得資料，且所述記憶體存取控制器被配置成使自所述動態隨機存取記憶體快取獲得的資料返回至所述主機電腦。在所述動態隨機存取記憶體快取的所述元資料中不存在所述主機位址的動態隨機存取記憶體標籤的匹配條目的情形中，所述快閃控制器被配置成自所述快閃記憶體獲得資料，且所述記憶體存取控制器被配置成使自所述快閃記憶體獲得的資料返回至所述主機電腦。

【0077】 所述布隆過濾器可包括具有多個條目的布隆過濾器陣列，且所述布隆過濾器測試可藉由對所述布隆過濾器陣列應用散列函數來提供肯定結果或否定結果。

【0078】 所述快取控制器可更被配置成刪除所述布隆過濾器陣列或重設所述布隆過濾器陣列。

【0079】 所述快取控制器可程式化成當元資料快取命中率高於臨限值時，停用所述布隆過濾器。

【0080】 所述快取控制器可程式化成當元資料快取命中率低於臨限值時，停用所述元資料快取。

【0081】 所述快取控制器可被配置成在低功率條件下串列地存取所述布隆過濾器及所述元資料快取。

【0082】 上文已闡釋了以上示例性實施例來說明實作一種系統及方法的各種實施例，所述系統及方法用於提供使用 **SRAM** 元資料快取及布隆過濾器緩解對混合記憶體模組中的 **DRAM** 快取的元資料進行存取的負荷的系統及方法。此項技術中具有通常知識者將會想到對所揭露示例性實施例的各種潤飾及相對於所揭露示例

性實施例的各種不同之處。在以下申請專利範圍中陳述旨在處於本發明的範圍內的主題。

【符號說明】

【0083】

100、200：混合記憶體模組

101、201：DRAM 快取

102：元資料

103、203：讀取快取

104、204：寫入緩衝器

111、211：記憶體存取控制器

121、221：DRAM 控制器

124、224：快取控制器

126、226：SRAM

127：快取/元資料快取

131、231：快閃控制器

140、240：記憶體介面

150、250：快閃流

151、251：快閃記憶體

202：元資料/DRAM 元資料

227：元資料快取

229：布隆過濾器陣列

301：主機位址

302：標籤/主機標籤

303：索引

304：偏移

311：元資料位址

312：元資料（MDC）標籤

313：元資料（MDC）索引

327：SRAM 元資料快取/元資料快取

332a、332b、332c、332d：DRAM 快取標籤/標籤

333a、333b、333c、333d：MDC 標籤

401：布隆過濾器陣列

501、502、503、504、505、506、507、508、509、510、511、

512：操作

host：主機

test(w)、test(x)、test(z)：測試函數

test(y)：函數

insert(x)、insert(y)：插入函數

V：有效位元

w：標籤/快取標籤

x：快取標籤

y：第二快取標籤/快取標籤

z：標籤

【發明申請專利範圍】

【第1項】一種對混合記憶體模組進行存取元資料的方法，包括：

提供包括動態隨機存取記憶體快取、快閃記憶體、及用於儲存布隆過濾器及元資料快取的靜態隨機存取記憶體的所述混合記憶體模組，其中所述動態隨機存取記憶體快取包括儲存於所述快閃記憶體中的多個資料的快取副本及與所述多個資料的所述快取副本對應的元資料，且其中所述元資料快取包括所述動態隨機存取記憶體快取的所述元資料的一部分的快取副本；

自主機電腦接收對儲存於所述混合記憶體模組中的資料的資料存取請求；

藉由解碼所述資料存取請求獲得主機位址，其中所述主機位址包括動態隨機存取記憶體快取標籤及動態隨機存取記憶體快取索引；

自所述動態隨機存取記憶體快取索引獲得元資料位址，其中所述元資料位址包括元資料快取標籤及元資料快取索引；

基於在所述靜態隨機存取記憶體的所述元資料快取中存在匹配的元資料快取條目來確定元資料快取命中，其中所述匹配的元資料快取條目具有一對元資料快取標籤與動態隨機存取記憶體快取標籤；

基於元資料快取命中使用所述匹配的元資料快取條目的所述動態隨機存取記憶體快取標籤自包括於所述動態隨機存取記憶體快取中的資料的所述快取副本獲得資料且跳過對所述動態隨機存

取記憶體快取的所述元資料的存取；

使自所述動態隨機存取記憶體快取獲得的資料的所述快取副本返回至所述主機電腦；

基於在所述靜態隨機存取記憶體的所述元資料快取中不存在匹配的元資料快取條目來確定元資料快取未中；以及

基於元資料快取未中利用所述布隆過濾器執行布隆過濾器測試，並且基於所述布隆過濾器測試的結果來確定動態隨機存取記憶體快取未中還是動態隨機存取記憶體快取可能命中。

【第2項】 如申請專利範圍第 1 項所述的對混合記憶體模組進行存取元資料的方法，其中確定所述元資料快取命中更包括：

將所述元資料位址的所述元資料快取標籤與一或多個元資料快取條目的所述元資料快取標籤進行比較，以確定在所述元資料快取中存在所述匹配的元資料快取條目。

【第3項】 如申請專利範圍第 2 項所述的對混合記憶體模組進行存取元資料的方法，更包括：

基於動態隨機存取記憶體快取未中自儲存於所述快閃記憶體中的所述多個資料獲得資料，並且跳過對所述動態隨機存取記憶體快取的所述元資料的存取；以及

使自所述快閃記憶體獲得的所述資料返回至所述主機電腦。

【第4項】 如申請專利範圍第 1 項所述的對混合記憶體模組進行存取元資料的方法，其中所述元資料快取標籤的比較與所述布隆過濾器測試是同時執行。

【第5項】 如申請專利範圍第 1 項所述的對混合記憶體模組進行存取元資料的方法，更包括：

基於所述元資料快取未中及所述動態隨機存取記憶體快取可能命中存取所述動態隨機存取記憶體快取的所述元資料；

基於所述主機位址的所述動態隨機存取記憶體快取標籤與包括於所述動態隨機存取記憶體快取中的所述元資料的比較來判斷資料是否儲存於所述動態隨機存取記憶體快取中；

在所述動態隨機存取記憶體快取的所述元資料中存在所述主機位址的所述動態隨機存取記憶體快取標籤的匹配條目的情形中，自所述動態隨機存取記憶體快取獲得所快取的所述資料且使自所述動態隨機存取記憶體快取獲得的資料的所述快取副本返回至所述主機電腦；以及

在所述動態隨機存取記憶體快取的所述元資料中不存在所述主機位址的所述動態隨機存取記憶體快取標籤的匹配條目的情形中，自所述快閃記憶體獲得資料且使自所述快閃記憶體獲得的所述資料返回至所述主機電腦。

【第6項】 如申請專利範圍第 1 項所述的對混合記憶體模組進行存取元資料的方法，其中所述布隆過濾器包括具有多個條目的布隆過濾器陣列，且所述布隆過濾器測試藉由對所述布隆過濾器陣列應用散列函數來提供肯定結果或否定結果。

【第7項】 如申請專利範圍第 6 項所述的對混合記憶體模組進行存取元資料的方法，更包括刪除所述布隆過濾器陣列或重設所述

布隆過濾器陣列。

【第8項】 如申請專利範圍第 1 項所述的對混合記憶體模組進行存取元資料的方法，更包括將所述混合記憶體模組的快取控制器程式化成，當元資料快取命中率高於臨限值時，停用所述布隆過濾器。

【第9項】 如申請專利範圍第 1 項所述的對混合記憶體模組進行存取元資料的方法，其中所述混合記憶體模組包括快取控制器，並且所述方法更包括將所述快取控制器程式化成當元資料快取命中率低於臨限值時，停用所述元資料快取。

【第10項】 如申請專利範圍第 1 項所述的對混合記憶體模組進行存取元資料的方法，更包括在低功率條件下串列地存取所述布隆過濾器及所述元資料快取。

【第11項】 一種混合記憶體模組，包括：

快閃記憶體；

動態隨機存取記憶體快取，其中所述動態隨機存取記憶體快取包括儲存於所述快閃記憶體中的多個資料的快取副本及與所述多個資料的所述快取副本對應的元資料；

靜態隨機存取記憶體，用於儲存布隆過濾器及元資料快取，所述元資料快取包括所述動態隨機存取記憶體快取的所述元資料的一部分的快取副本；

記憶體介面，用於為主機電腦提供介面；

記憶體存取控制器，用於存取儲存於所述動態隨機存取記憶

體快取中的所述快取副本及儲存於所述快閃記憶體中的所述多個資料；

動態隨機存取記憶體控制器，用於控制對所述動態隨機存取記憶體快取的存取；

快閃控制器，用於控制對所述快閃記憶體的存取；以及

快取控制器，用於確定與來自所述主機電腦的資料存取請求中所請求資料對應的所述動態隨機存取記憶體快取中的快取資料的存在，

其中所述快取控制器被配置成：

藉由解碼經由所述記憶體介面自所述主機電腦所接收的所述資料存取請求獲得主機位址，其中所述主機位址包括動態隨機存取記憶體快取標籤及動態隨機存取記憶體快取索引；

自所述動態隨機存取記憶體快取索引獲得元資料位址，其中所述元資料位址包括元資料快取標籤及元資料快取索引；

基於在所述靜態隨機存取記憶體的所述元資料快取中存在匹配的元資料快取條目來確定元資料快取命中，其中所述匹配的元資料快取條目具有一對元資料快取標籤與動態隨機存取記憶體快取標籤；以及

基於元資料快取命中使用所述匹配的元資料快取條目的所述動態隨機存取記憶體快取標籤指令所述動態隨機存取記憶體控制器跳過對所述動態隨機存取記憶體快取的所述元資料的存取而自包括於所述動態隨機存取記憶體快取中的所述

快取副本獲得資料，以及

其中所述記憶體存取控制器被配置成使自所述動態隨機存取記憶體快取獲得的資料的所述快取副本返回至所述主機電腦，

其中所述快取控制器更被配置成：

基於在所述靜態隨機存取記憶體的所述元資料快取中不存在匹配的元資料快取條目來確定元資料快取未中；

利用所述布隆過濾器來執行布隆過濾器測試；

基於所述布隆過濾器測試的結果來確定動態隨機存取記憶體快取未中還是動態隨機存取記憶體快取可能命中。

【第12項】 如申請專利範圍第 11 項所述的混合記憶體模組，其中所述快取控制器更被配置成將所述元資料位址的所述元資料快取標籤與一或多個元資料快取條目的所述元資料快取標籤進行比較，以確定在所述元資料快取中存在所述匹配的元資料快取條目。

【第13項】 如申請專利範圍第 12 項所述的混合記憶體模組，

其中所述快取控制器更被配置成：

基於動態隨機存取記憶體快取未中指令所述快閃控制器跳過對所述動態隨機存取記憶體快取的所述元資料的存取而自儲存於所述快閃記憶體中的所述多個資料獲得資料，以及

其中所述記憶體存取控制器被配置成使自所述快閃記憶體獲得的所述資料返回至所述主機電腦。

【第14項】 如申請專利範圍第 11 項所述的混合記憶體模組，其中

所述快取控制器同時執行所述元資料快取標籤的比較與所述布隆過濾器測試。

【第15項】 如申請專利範圍第 11 項所述的混合記憶體模組，

其中，基於所述元資料快取未命中且所述動態隨機存取記憶體快取可能命中，所述動態隨機存取記憶體控制器被配置成：

存取包括於所述動態隨機存取記憶體快取中的所述元資料；以及

基於所述主機位址的所述動態隨機存取記憶體快取標籤與所述動態隨機存取記憶體快取的所述元資料的比較來判斷資料是否儲存於所述動態隨機存取記憶體快取中；

其中，在包括於所述動態隨機存取記憶體快取中的所述元資料中存在所述主機位址的所述動態隨機存取記憶體快取標籤的匹配條目的情形中，所述動態隨機存取記憶體控制器被配置成自所述動態隨機存取記憶體快取獲得所述快取資料，且所述記憶體存取控制器被配置成使自所述動態隨機存取記憶體快取獲得的資料的所述快取副本返回至所述主機電腦；並且

其中，在包括於所述動態隨機存取記憶體快取中的所述元資料中不存在所述主機位址的所述動態隨機存取記憶體快取標籤的匹配條目的情形中，所述快閃控制器被配置成自所述快閃記憶體獲得資料，且所述記憶體存取控制器被配置成使自所述快閃記憶體獲得的所述資料返回至所述主機電腦。

【第16項】 如申請專利範圍第 11 項所述的混合記憶體模組，其中

所述布隆過濾器包括具有多個條目的布隆過濾器陣列，且所述布隆過濾器測試藉由對所述布隆過濾器陣列應用散列函數來提供肯定結果或否定結果。

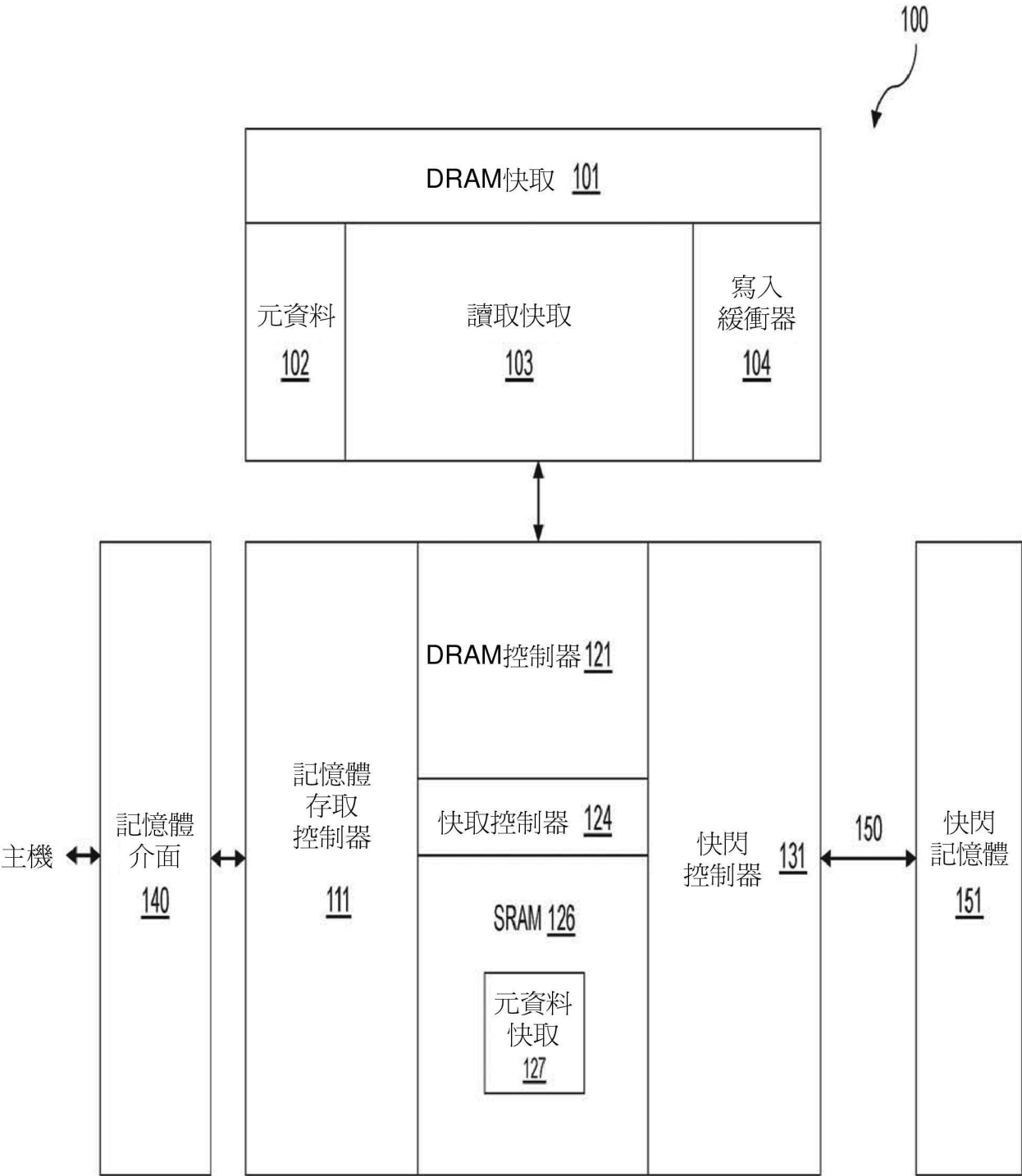
【第17項】 如申請專利範圍第 16 項所述的混合記憶體模組，其中所述快取控制器更被配置成刪除所述布隆過濾器陣列或重設所述布隆過濾器陣列。

【第18項】 如申請專利範圍第 11 項所述的混合記憶體模組，其中所述快取控制器能夠程式化成當元資料快取命中率高於臨限值時，停用所述布隆過濾器。

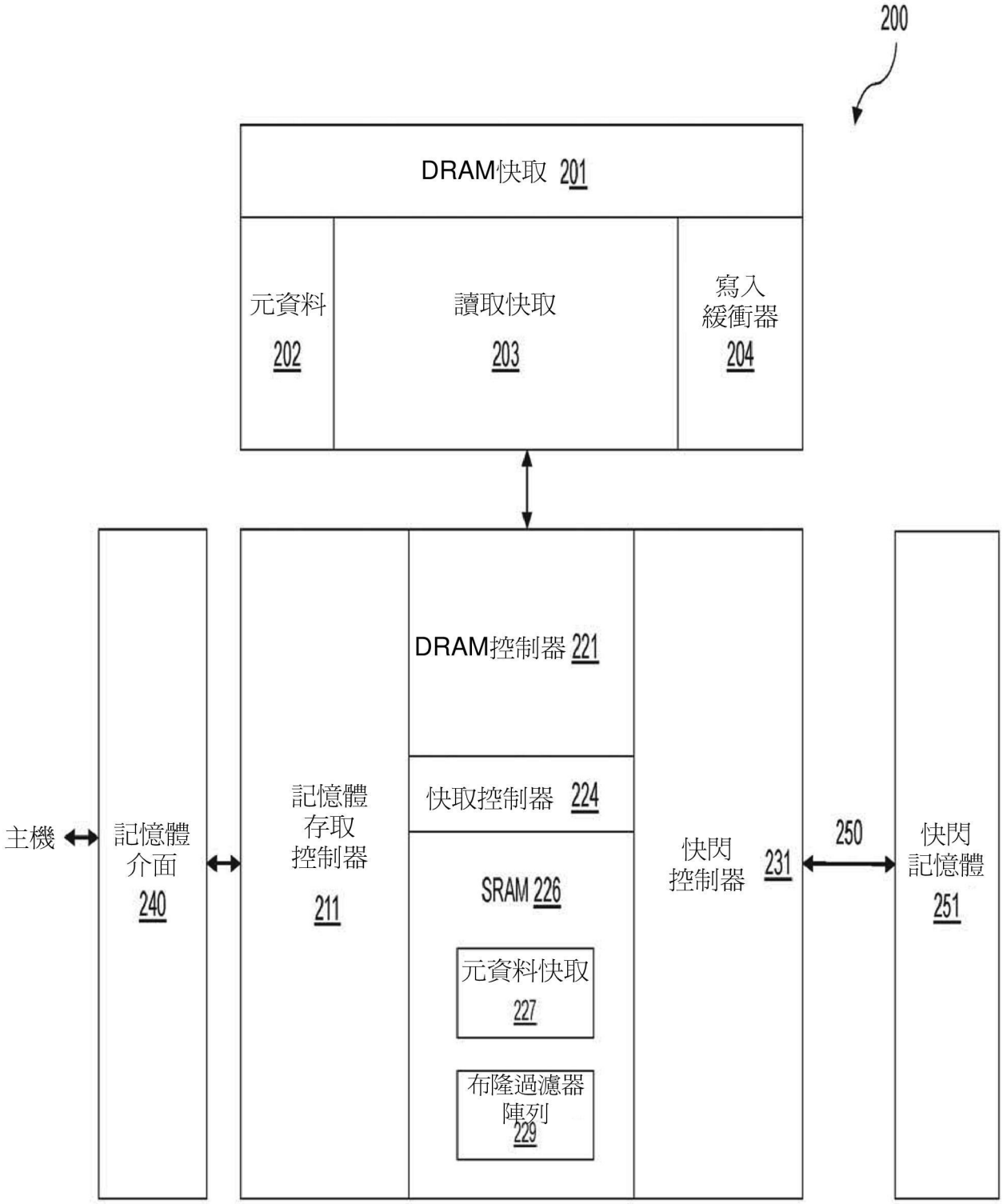
【第19項】 如申請專利範圍第 11 項所述的混合記憶體模組，其中所述快取控制器能夠程式化成當元資料快取命中率低於臨限值時，停用所述元資料快取。

【第20項】 如申請專利範圍第 11 項所述的混合記憶體模組，其中所述快取控制器被配置成在低功率條件下串列地存取所述布隆過濾器及所述元資料快取。

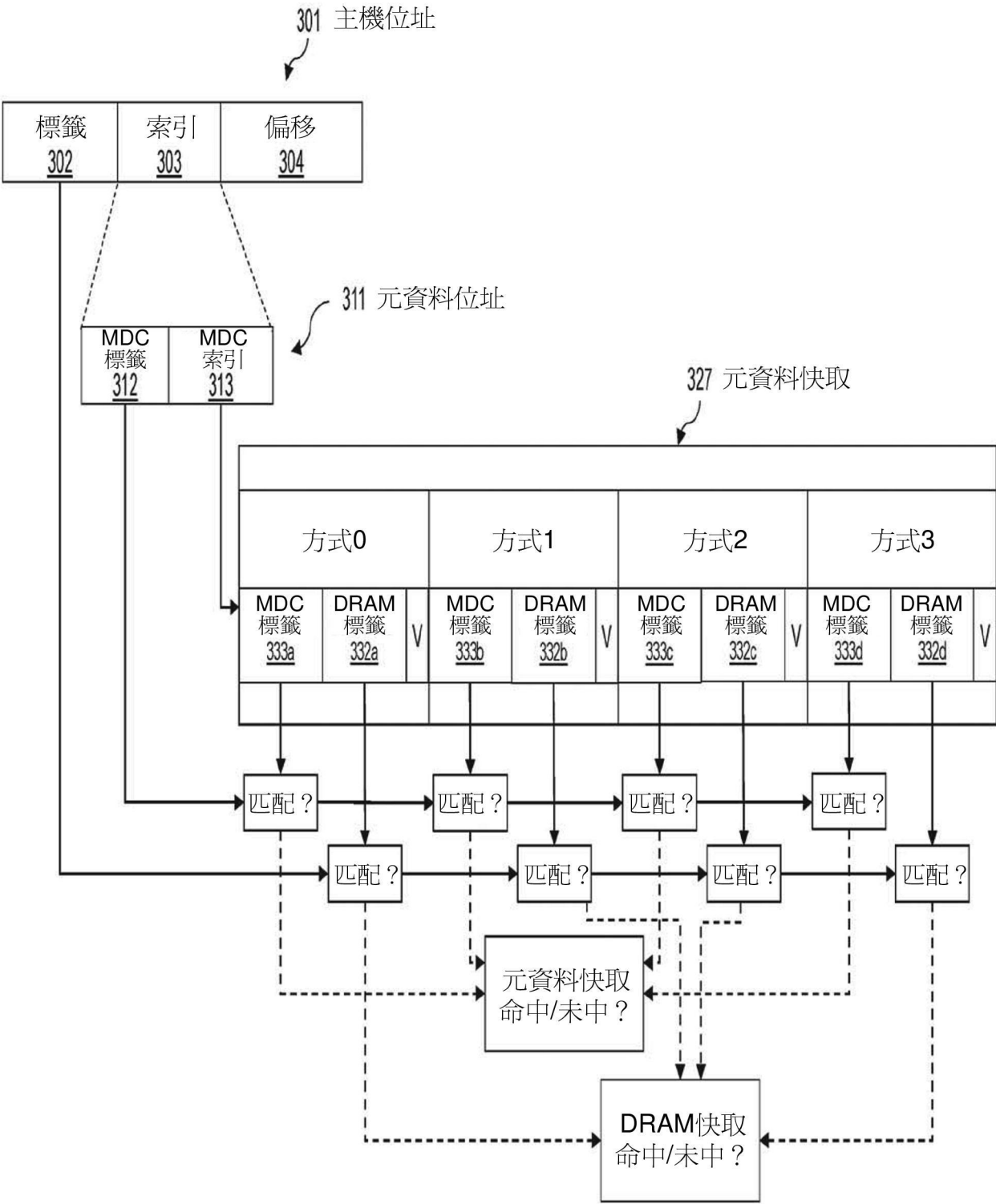
【發明圖式】



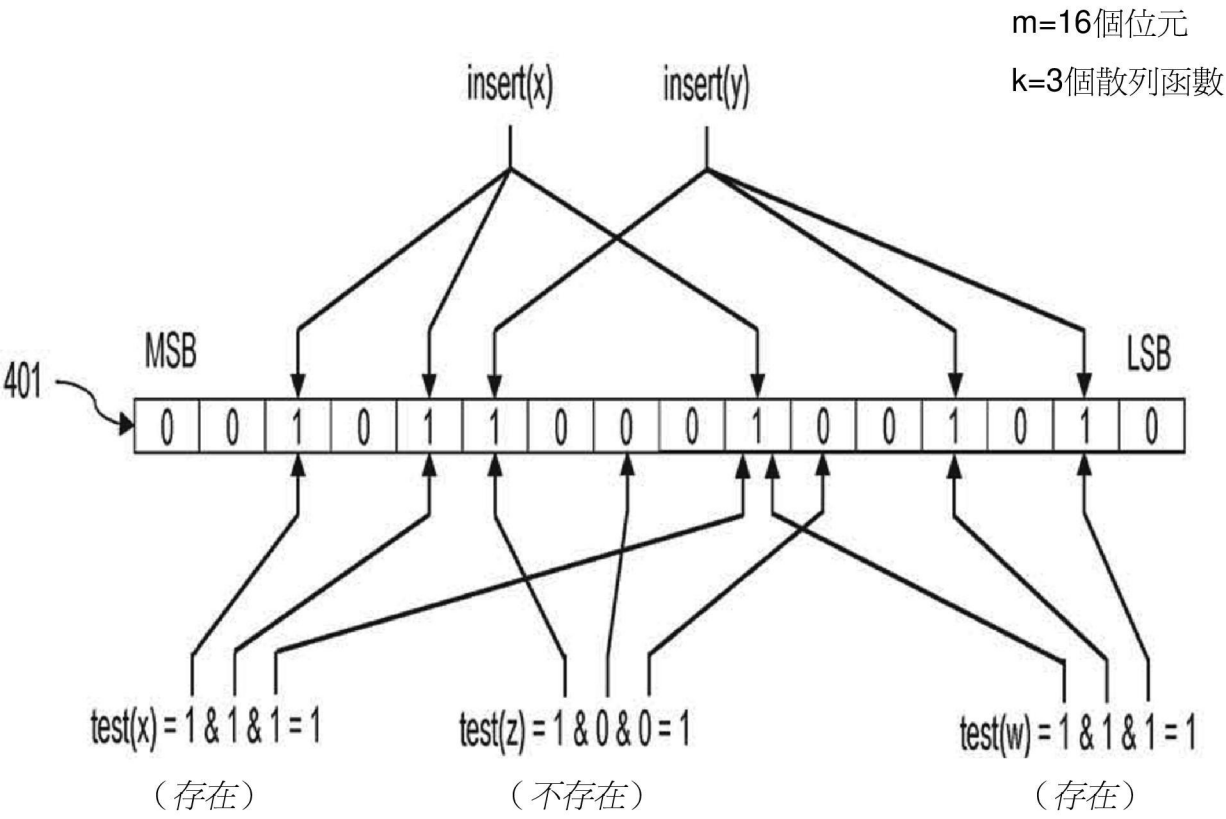
【圖1】



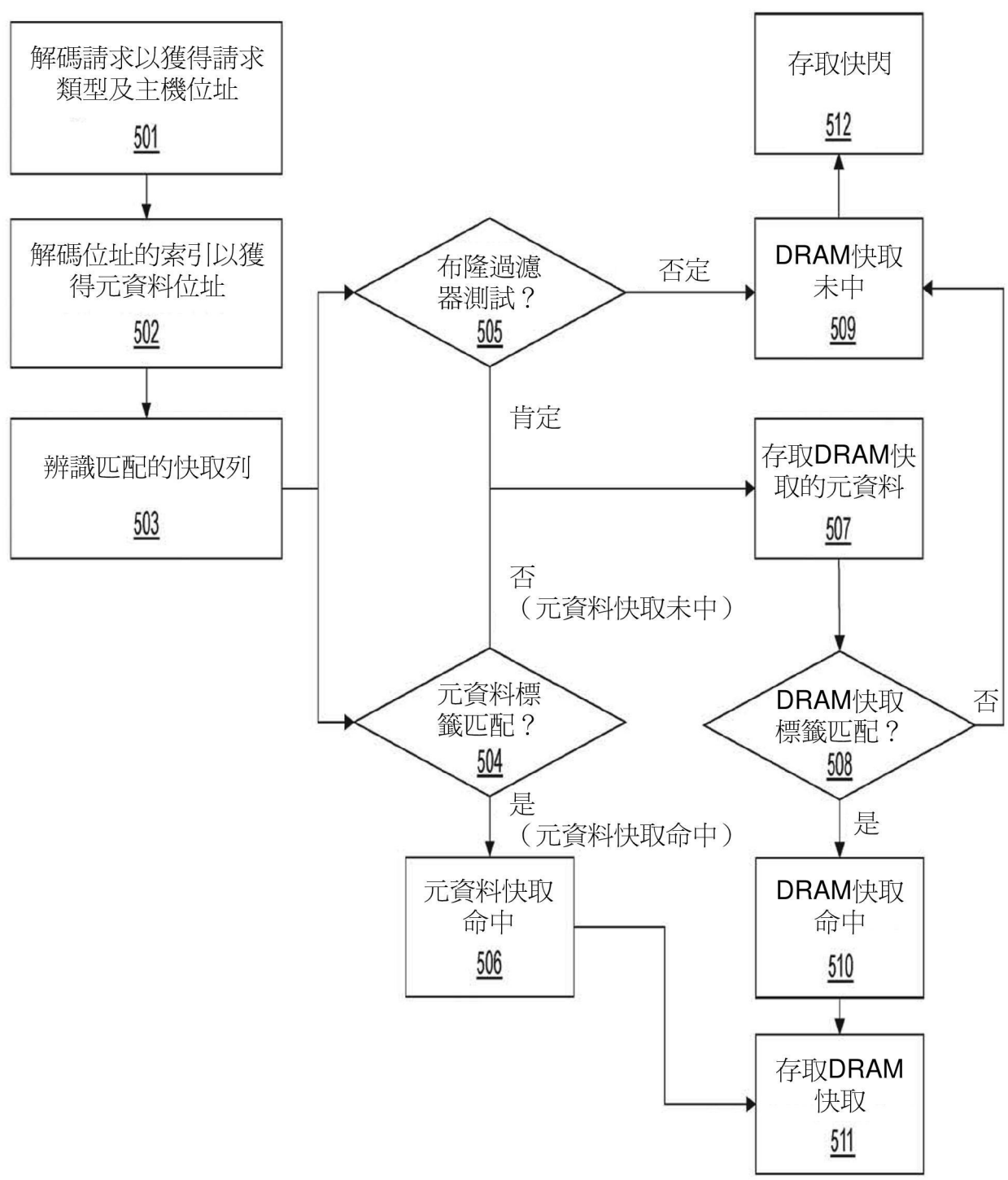
【圖2】



【圖3】



【圖4】



【圖5】