

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第6248352号  
(P6248352)

(45) 発行日 平成29年12月20日 (2017.12.20)

(24) 登録日 平成29年12月1日 (2017.12.1)

(51) Int.Cl.	F I
G09G 3/3233 (2016.01)	G09G 3/3233
G09G 3/3291 (2016.01)	G09G 3/3291
G09G 3/20 (2006.01)	G09G 3/20 624B
HO1L 51/50 (2006.01)	G09G 3/20 670J
	G09G 3/20 670L
	請求項の数 8 (全 33 頁) 最終頁に続く

(21) 出願番号 特願2015-558617 (P2015-558617)  
 (86) (22) 出願日 平成26年12月22日 (2014.12.22)  
 (86) 国際出願番号 PCT/JP2014/006372  
 (87) 国際公開番号 W02015/111118  
 (87) 国際公開日 平成27年7月30日 (2015.7.30)  
 審査請求日 平成28年6月14日 (2016.6.14)  
 (31) 優先権主張番号 特願2014-12480 (P2014-12480)  
 (32) 優先日 平成26年1月27日 (2014.1.27)  
 (33) 優先権主張国 日本国(JP)

(73) 特許権者 514188173  
 株式会社 J O L E D  
 東京都千代田区神田錦町三丁目23番地  
 (74) 代理人 100189430  
 弁理士 吉川 修一  
 (74) 代理人 100190805  
 弁理士 傍島 正朗  
 (72) 発明者 上山口 潤  
 日本国東京都千代田区神田錦町三丁目23番地 株式会社 J O L E D 内  
 (72) 発明者 高原 博司  
 日本国大阪府門真市大字門真1006番地 パナソニック株式会社内  
 審査官 中村 直行

最終頁に続く

(54) 【発明の名称】 有機EL表示装置および駆動方法

(57) 【特許請求の範囲】

【請求項1】

マトリクス状に配置された複数の表示画素と、  
 前記複数の表示画素に接続される電源線に印加される所定電圧を調整する調整部と、  
 前記複数の表示画素の各々を制御する制御部とを備え、  
 前記複数の表示画素の各々は、  
 発光素子と、  
 前記発光素子を発光させるために用いられる第1電圧を保持するための第1容量素子と、  
 前記第1容量素子に保持された第1電圧に応じた電流を前記発光素子に供給することにより前記発光素子を発光させる駆動トランジスタと、  
 前記第1容量素子が保持する第1電圧と異なる第2電圧であって前記第1容量素子が次に保持すべき電圧を保持するための第2容量素子と、を有し、  
 前記電源線は、前記駆動トランジスタのドレイン電極または前記発光素子のカソードに接続され、  
 前記第2電圧は、信号線が前記複数の表示画素の各々に供給する映像信号のデータ信号電圧であり、  
 前記制御部は、前記複数の表示画素それぞれにおいて、  
 前記発光素子が発光される発光期間中の第1期間に、前記第2容量素子に前記第2電圧を保持させ、

前記発光期間後の非発光期間において、前記第1容量素子が初期化される初期化期間後の第2期間に、前記第2容量素子が保持する前記第2電圧を前記第1容量素子にコピーすることで前記第1容量素子に第1電圧として保持させ、

前記調整部は、

前記信号線が供給する前記データ信号電圧に基づき、前記複数の表示画素それぞれにおける発光素子に前記第2電圧に応じた電流が供給され前記発光素子が発光される発光期間より前の前記第1期間から前記第2期間の間において、当該電流が前記発光素子に供給されたとした場合の前記電流の総和値を演算し、当該総和値が閾値以上のとき、前記第2期間において前記電源線に印加される電圧を前記所定電圧より低くなるように調整する、

有機EL表示装置。

10

【請求項2】

前記有機EL表示装置は、映像信号の1フレーム期間を複数のサブフレーム期間に分割して映像を表示し、

前記発光素子が発光される発光期間と、前記発光素子が次に発光される発光期間との間は、前記サブフレーム期間に対応する、

請求項1に記載の有機EL表示装置。

【請求項3】

前記調整部は、演算した前記総和値が閾値以上のとき、前記電源線に印加される電圧を前記所定電圧より低くなるよう、所定時間かけて線形変化させることにより調整する、

請求項1または2に記載の有機EL表示装置。

20

【請求項4】

前記駆動トランジスタがP型である場合、

前記駆動トランジスタは、ドレイン電極が前記第1容量素子の第1電極と接続し、ゲート電極が前記第1容量素子の第2電極と接続し、ソース電極が前記発光素子のアノードと接続し、

前記電源線は、前記発光素子のカソードに接続される、

請求項1～3のいずれか1項に記載の有機EL表示装置。

【請求項5】

前記複数の表示画素の各々は、さらに、

データ信号電圧を供給するための信号線と前記第2容量素子の第1電極との導通および非導通を切り換える第1スイッチと、

前記第2容量素子の前記第1電極と前記第1容量素子の前記第2電極との導通および非導通を切り換える第2スイッチと、

参照電圧を供給するための参照電源線と前記第1容量素子の前記第2電極との導通および非導通を切り換える第3スイッチと、

前記駆動トランジスタのソース電極と前記発光素子のアノードとの導通および非導通を切り換える第4スイッチとを備え、

前記参照電源線は、前記第2容量素子の第2電極とも接続され、

前記第1スイッチ、前記第2スイッチ、前記第3スイッチ、および前記第4スイッチは、P型のトランジスタである、

請求項4に記載の有機EL表示装置。

40

【請求項6】

前記駆動トランジスタがN型である場合、

前記電源線は、前記駆動トランジスタのドレイン電極に接続され、

前記駆動トランジスタは、ソース電極が前記第1容量素子の第1電極および前記発光素子のアノードと接続し、かつ、ゲート電極が前記第1容量素子の第2電極と接続する、

請求項1～3のいずれか1項に記載の有機EL表示装置。

【請求項7】

前記複数の表示画素の各々は、さらに、

データ信号電圧を供給するための信号線と前記第2容量素子の第1電極との導通および

50

非導通を切り換える第 1 スイッチと、

前記第 2 容量素子の前記第 1 電極と前記第 1 容量素子の前記第 2 電極との導通および非導通を切り換える第 2 スイッチと、

参照電圧を供給するための参照電源線と前記第 1 容量素子の前記第 2 電極との導通および非導通を切り換える第 3 スイッチと、

前記駆動トランジスタのドレイン電極と前記電源線との導通および非導通を切り換える第 4 スイッチとを備え、

前記参照電源線は、前記第 2 容量素子の第 2 電極とも接続され、前記第 1 スイッチ、前記第 2 スイッチ、前記第 3 スイッチ、および前記第 4 スイッチは、N 型のトランジスタである、

10

請求項 6 に記載の有機 E L 表示装置。

【請求項 8】

マトリクス状に配置された複数の表示画素を備える有機 E L 表示装置の駆動方法であって、

前記有機 E L 表示装置は、マトリクス状に配置された複数の表示画素と、前記複数の表示画素に接続され所定電圧が印加される電源線と、を備え、

前記複数の表示画素の各々は、

発光素子と、

前記発光素子を発光させるために用いられる第 1 電圧を保持するための第 1 容量素子と

20

、前記第 1 容量素子に保持された第 1 電圧に応じた電流を前記発光素子に供給することにより前記発光素子を発光させる駆動トランジスタと、

前記第 1 容量素子が保持する第 1 電圧と異なる第 2 電圧であって前記第 1 容量素子が次に保持すべき電圧を保持するための第 2 容量素子と、を有し、

前記電源線は、前記駆動トランジスタのドレイン電極または前記発光素子のカソードに接続され、

前記第 2 電圧は、信号線が前記複数の表示画素の各々に供給する映像信号のデータ信号電圧であり、

前記駆動方法は、

前記複数の表示画素それぞれにおいて、

30

前記発光素子が発光される発光期間中の第 1 期間に、前記第 2 容量素子に前記第 2 電圧を保持させ、

前記発光期間後の非発光期間において、前記第 1 容量素子が初期化される初期化期間後の第 2 期間に、前記第 2 容量素子が保持する前記第 2 電圧を前記第 1 容量素子にコピーすることで前記第 1 容量素子に第 1 電圧として保持させる制御ステップと、

前記信号線が供給する前記データ信号電圧に基づき、前記複数の表示画素それぞれにおける発光素子に前記第 2 電圧に応じた電流が供給され前記発光素子が発光される発光期間より前の前記第 1 期間から前記第 2 期間の間において、当該電流が前記発光素子に供給されたとした場合の前記電流の総和値を演算し、当該総和値が閾値以上のとき、前記第 2 期間において前記電源線に印加される電圧を前記所定電圧より低くなるように調整する調整ステップと、

40

前記駆動トランジスタに、前記第 1 容量素子に保持させた前記第 2 電圧に応じた電流を前記発光素子に供給させる供給ステップとを含む、

有機 E L 表示装置の駆動方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、有機 E L 表示装置および駆動方法に関し、特に電流駆動型の有機 E L 発光素子とそれを用いた有機 E L 表示装置の駆動方法に関する。

【背景技術】

50

## 【 0 0 0 2 】

有機 E L 表示装置に利用される有機 E L パネルでは、画面輝度が高くなるほど、有機 E L パネルに流れ込む電流が大きくなる。有機 E L パネルに流れ込む電流が大きくなれば有機 E L パネルが発熱し、有機 E L 素子（発光素子）の寿命が低下するため、オーバード制限が必要である。また、パネル冷却のために放熱機構が必要なため、パネルの薄型を実現できない。

## 【 0 0 0 3 】

そこで、例えば特許文献 1 には、実際に画像が表示される前に、画素データから消費電力を直接検出する方法が開示されている。

## 【 先行技術文献 】

## 【 特許文献 】

## 【 0 0 0 4 】

【 特許文献 1 】 特開 2 0 0 7 - 1 5 6 0 4 5 号公報

## 【 発明の概要 】

## 【 発明が解決しようとする課題 】

## 【 0 0 0 5 】

しかしながら、特許文献 1 に開示される方法では、実際に画像を表示する前に入力される画像データの階調を増減したり、表示中の画像において駆動電流を制御したりする必要がある。つまり、実際に画像を表示する前に入力される画像データの階調を増減する場合には、演算が煩雑になるため、画像表示するまでに時間を要するという問題がある。また、表示中の画像において駆動電流を制御する場合には、表示中の画像の輝度が変化するため、視聴者に違和感を生じさせてしまうなどの問題もある。

## 【 0 0 0 6 】

本発明は、上述の問題に鑑みてなされたものであり、発光素子の寿命の低下を抑制することができる有機 E L 表示装置およびその駆動方法を提供することを目的とする。

## 【 課題を解決するための手段 】

## 【 0 0 0 7 】

上記目的を達成するために、本発明の一態様に係る有機 E L 表示装置は、マトリクス状に配置された複数の表示画素と、前記複数の表示画素に接続される電源線に印加される所定電圧を調整する調整部とを備え、前記複数の表示画素の各々は、発光素子と、前記発光素子を発光させるために用いられる第 1 電圧を保持するための第 1 容量素子と、前記第 1 容量素子に保持された第 1 電圧に応じた電流を前記発光素子に供給することにより前記発光素子を発光させる駆動トランジスタと、前記第 1 容量素子が保持する第 1 電圧と異なる第 2 電圧であって前記第 1 容量素子が次に保持すべき電圧を保持するための第 2 容量素子と、を有し、前記電源線は、前記駆動トランジスタのドレイン電極または前記発光素子のカソードに接続され、前記調整部は、前記複数の表示画素それぞれにおける発光素子に前記第 2 電圧に応じた電流が供給された場合の前記電流の総和値が閾値以上のとき、前記電源線に印加される電圧を前記所定電圧より低くなるように調整する。

## 【 発明の効果 】

## 【 0 0 0 8 】

本発明の有機 E L 表示装置等によれば、発光素子の寿命の低下を抑制することができる。

## 【 図面の簡単な説明 】

## 【 0 0 0 9 】

【 図 1 】 図 1 は、実施の形態 1 に係る有機 E L 表示装置の構成の一例を示すブロック図である。

【 図 2 】 図 2 は、実施の形態 1 に係る有機 E L パネルの構成の一例を示す図である。

【 図 3 】 図 3 は、実施の形態 1 に係る表示画素の回路構成の一例を示す図である。

【 図 4 】 図 4 は、実施の形態 1 に係る調整部の構成の一例を示す図である。

【 図 5 】 図 5 は、実施の形態 1 に係る調整部の電圧調整方法の一例を示す図である。

10

20

30

40

50

【図 6】図 6 は、実施の形態 1 に係る調整部の電圧変更時の応答時間について示す図である。

【図 7】図 7 は、実施の形態 1 に係る調整部と画素回路との関係を示す図である。

【図 8】図 8 は、実施の形態 1 に係る画素回路と電源線との関係を示す図である。

【図 9 A】図 9 A は、図 3 に示す画素回路の動作の一例を示す図である。

【図 9 B】図 9 B は、図 3 に示す画素回路の動作の一例を示す図である。

【図 9 C】図 9 C は、図 3 に示す画素回路の動作の一例を示す図である。

【図 9 D】図 9 D は、図 3 に示す画素回路の動作の一例を示す図である。

【図 9 E】図 9 E は、図 3 に示す画素回路の動作の一例を示す図である。

【図 10】図 10 は、実施の形態 2 に係る表示画素の回路構成の一例を示す図である。

10

【図 11】図 11 は、実施の形態 2 に係る調整部と画素回路との関係を示す図である。

【図 12 A】図 12 A は、図 10 に示す画素回路の動作の一例を示す図である。

【図 12 B】図 12 B は、図 10 に示す画素回路の動作の一例を示す図である。

【図 12 C】図 12 C は、図 10 に示す画素回路の動作の一例を示す図である。

【図 12 D】図 12 D は、図 10 に示す画素回路の動作の一例を示す図である。

【図 12 E】図 12 E は、図 10 に示す画素回路の動作の一例を示す図である。

【図 12 F】図 12 F は、図 10 に示す画素回路の動作の一例を示す図である。

【図 12 G】図 12 G は、図 10 に示す画素回路の動作の一例を示す図である。

【図 12 H】図 12 H は、図 10 に示す画素回路の動作の一例を示す図である。

【図 13】図 13 は、変形例 1 に係る 1 フレームが複数のサブフィールドで構成される場合を概念的に示す図である。

20

【図 14】図 14 は、変形例 1 に係る複数のサブフィールドで構成されるフレームの一例を示す図である。

【図 15】図 15 は、変形例 2 に係る複数のサブフィールドで構成されるフレームの一例を示す図である。

【図 16】図 16 は、本開示の有機 EL 表示装置を内蔵した薄型フラット TV の外観図である。

【発明を実施するための形態】

【0010】

本発明に係る有機 EL 表示装置の一態様は、マトリクス状に配置された複数の表示画素と、前記複数の表示画素に接続される電源線に印加される所定電圧を調整する調整部とを備え、前記複数の表示画素の各々は、発光素子と、前記発光素子を発光させるために用いられる第 1 電圧を保持するための第 1 容量素子と、前記第 1 容量素子に保持された第 1 電圧に応じた電流を前記発光素子に供給することにより前記発光素子を発光させる駆動トランジスタと、前記第 1 容量素子が保持する第 1 電圧と異なる第 2 電圧であって前記第 1 容量素子が次に保持すべき電圧を保持するための第 2 容量素子と、を有し、前記電源線は、前記駆動トランジスタのドレイン電極または前記発光素子のカソードに接続され、前記調整部は、前記複数の表示画素それぞれにおける発光素子に前記第 2 電圧に応じた電流が供給された場合の前記電流の総和値が閾値以上のとき、前記電源線に印加される電圧を前記所定電圧より低くなるように調整する。

30

40

【0011】

この構成により、発光素子の寿命の低下を抑制することができる。具体的には、有機 EL 表示装置は調整部を備え、かつ、データ信号電圧の書き込みと映像の表示とを独立して行える。これにより、映像品質を低下させることなく、有機 EL パネルに流れ込む電流によるパネル電力が一定以上にならないようにオーバーロード制限を行うことができるので、有機 EL 素子 68 の寿命の低下を抑制することができる。

【0012】

ここで、例えば、さらに、前記複数の表示画素の各々を制御する制御部を備え、前記制御部は、前記複数の表示画素それぞれにおいて、前記発光素子が発光される発光期間中の第 1 期間に、前記第 2 容量素子に前記第 2 電圧を保持させ、前記発光期間後の非発光期間

50

において、前記第1容量素子が初期化される初期化期間後の第2期間に、前記第2容量素子が保持する前記第2電圧を前記第1容量素子にコピーすることで前記第1容量素子に第1電圧として保持させ、前記調整部は、前記第2電圧に応じた電流の総和値が閾値以上のとき、前記非発光期間中に、前記電源線に印加される電圧を前記所定電圧より低くなるように調整するとしてもよい。

【0013】

また、例えば、前記有機EL表示装置は、映像信号の1フレーム期間を複数のサブフレーム期間に分割して映像を表示し、前記発光素子が発光される発光期間と、前記発光素子が次に発光される発光期間との間は、前記サブフレーム期間に対応するとしてもよい。

【0014】

また、例えば、前記調整部は、前記複数の表示画素それぞれにおける発光素子に前記第2電圧に応じた電流が供給された場合の前記第2電圧に応じた電流の総和値が閾値以上のとき、前記電源線に印加される電圧を前記所定電圧より低くなるよう、所定時間かけて線形変化させることにより調整するとしてもよい。

【0015】

また、例えば、前記駆動トランジスタがP型である場合、前記駆動トランジスタは、ドレイン電極が前記第1容量素子の第1電極と接続し、ゲート電極が前記第1容量素子の第2電極と接続し、ソース電極が前記発光素子のアノードと接続し、前記電源線は、前記発光素子のカソードに接続されるとしてもよい。

【0016】

また、例えば、前記複数の表示画素の各々は、さらに、データ信号電圧を供給するための信号線と前記第2容量素子の第1電極との導通および非導通を切り換える第1スイッチと、前記第2容量素子の前記第1電極と前記第1容量素子の前記第2電極との導通および非導通を切り換える第2スイッチと、参照電圧を供給するための参照電源線と前記第1容量素子の前記第2電極との導通および非導通を切り換える第3スイッチと、前記駆動トランジスタのソース電極と前記発光素子のアノードとの導通および非導通を切り換える第4スイッチとを備え、前記参照電源線は、前記第2容量素子の第2電極とも接続され、前記第1スイッチ、前記第2スイッチ、前記第3スイッチ、および前記第4スイッチは、P型のトランジスタであるとしてもよい。

【0017】

また、例えば、前記駆動トランジスタがN型である場合、前記電源線は、前記駆動トランジスタのドレイン電極に接続され、前記駆動トランジスタは、ソース電極が前記第1容量素子の第1電極および前記発光素子のアノードと接続し、かつ、ゲート電極が前記第1容量素子の第2電極と接続するとしてもよい。

【0018】

また、例えば、前記複数の表示画素の各々は、さらに、データ信号電圧を供給するための信号線と前記第2容量素子の第1電極との導通および非導通を切り換える第1スイッチと、前記第2容量素子の前記第1電極と前記第1容量素子の前記第2電極との導通および非導通を切り換える第2スイッチと、参照電圧を供給するための参照電源線と前記第1容量素子の前記第2電極との導通および非導通を切り換える第3スイッチと、前記駆動トランジスタのドレイン電極と前記電源線との導通および非導通を切り換える第4スイッチとを備え、前記参照電源線は、前記第2容量素子の第2電極とも接続され、前記第1スイッチ、前記第2スイッチ、前記第3スイッチ、および前記第4スイッチは、N型のトランジスタであるとしてもよい。

【0019】

また、本発明に係る駆動方法の一態様は、マトリクス状に配置された複数の表示画素を備える有機EL表示装置の駆動方法であって、前記有機EL表示装置は、マトリクス状に配置された複数の表示画素と、前記複数の表示画素に接続され所定電圧が印加される電源線と、を備え、前記複数の表示画素の各々は、発光素子と、前記発光素子を発光させるために用いられる第1電圧を保持するための第1容量素子と、前記第1容量素子に保持され

10

20

30

40

50

た第1電圧に応じた電流を前記発光素子に供給することにより前記発光素子を発光させる駆動トランジスタと、前記第1容量素子が保持する第1電圧と異なる第2電圧であって前記第1容量素子が次に保持すべき電圧を保持するための第2容量素子と、を有し、前記電源線は、前記駆動トランジスタのドレイン電極または前記発光素子のカソードに接続され、前記駆動方法は、前記複数の表示画素それぞれにおける発光素子に前記第2電圧に応じた電流が供給された場合の前記電流の総和値が閾値以上のとき、前記電源線に印加される電圧を前記所定電圧より低くなるように調整し、前記駆動トランジスタに、前記第1容量素子に保持させた前記第2電圧に応じた電流を前記発光素子に供給させる。

【0020】

以下、本発明の一態様に係る有機EL表示装置およびその駆動方法について、図面を参照しながら具体的に説明する。

10

【0021】

なお、以下で説明する実施の形態は、いずれも本発明の一具体例を示すものである。以下の実施の形態で示される数値、形状、材料、構成要素、構成要素の配置位置および接続形態、ステップ、ステップの順序などは、一例であり、本発明を限定する主旨ではない。また、以下の実施の形態における構成要素のうち、最上位概念を示す独立請求項に記載されていない構成要素については、任意の構成要素として説明される。また、以下の各図は、模式図であり、必ずしも厳密に図示したものではない。

【0022】

(実施の形態1)

20

本実施の形態において、本開示の一態様に係る有機EL表示装置の発光素子として有機EL素子を用いる場合について説明する。

【0023】

1-1. 有機EL表示装置の構成

図1は、実施の形態1に係る有機EL表示装置の構成の一例を示すブロック図である。

【0024】

図1に示す有機EL表示装置1は、表示パネル制御回路2と、ゲートドライバIC(回路)3と、ソースドライバIC(回路)5と、有機EL表示パネル6と、調整部7とを備える。

【0025】

30

有機EL表示パネル6は、少なくとも、互いに平行に配置されたN(例えばN=1080)本のゲート信号線と、N本の点灯制御線、直交して配置されたM本のソース信号線を有する(図示せず)。さらに、有機EL表示パネル6は、ソース信号線とゲート信号線との各交点に、薄膜トランジスタおよび有機EL素子から構成される画素回路(図示せず)を有する。

【0026】

本実施の形態に係る有機EL表示パネル6では、赤(R)、緑(G)、青(B)の3原色からなるEL素子がマトリクス状に形成されている。

【0027】

画素位置に対応して、赤(R)、緑(G)、青(B)からなるカラーフィルターを形成することができる。なお、カラーフィルターは、RGBに限定されるものではない、シアン(C)、マゼンダ(M)、イエロー(Y)色の画素を形成してもよい。また、白(W)の画素を形成してもよい。つまり、表示画面にR、G、B、W画素をマトリクス状に配置する。

40

【0028】

なお、R、G、Bの画素開口率は、異ならせてもよい。開口率を異ならせることにより、各RGBの発光素子(有機EL素子68)に流れる電流密度を異ならせることができる。電流密度を異ならせることにより、RGBの発光素子の劣化速度を同一にすることができる。劣化速度を同一にすれば、有機EL表示パネル6のホワイトバランスずれが発生しない。

50

## 【0029】

また、必要に応じて、白(W)の画素を形成する。つまり、画素は、R、G、B、Wから構成される。R、G、B、Wに構成することにより、高輝度化が可能となる。また、R、G、B、Gとする構成も例示される。

## 【0030】

有機EL表示パネル6のカラー化は、マスク蒸着により行うが、本実施の態様はこれに限定するものではない。たとえば、青色発光のEL層を形成し、発光する青色光を、R、G、Bの色変換層(CCM:カラーチェンジミディアムズ)でR、G、B光に変換してもよい。

## 【0031】

なお、有機EL表示パネル6の光射出面には、円偏光板(円偏光フィルム)(図示せず)を配置することができる。偏光板と位相フィルムを一体したものは円偏光板(円偏光フィルム)と呼ばれる。

## 【0032】

表示パネル制御回路2は、表示データ信号S1に基づいてソースドライバIC(回路)5を制御するための制御信号S2を生成し、生成した制御信号S2をソースドライバIC(回路)5へ出力する。また、表示パネル制御回路2は、表示データ信号S1に含まれる同期信号に基づいてゲートドライバIC(回路)3を制御するための制御信号S3を生成する。そして、表示パネル制御回路2は、生成した制御信号S3をゲートドライバIC(回路)3へ出力する。

## 【0033】

ここで、表示データ信号S1は、映像信号、垂直同期信号、および水平同期信号を含む表示データを示す信号である。映像信号は、フレームごとに階調情報である各画素値を指定する信号である。垂直同期信号は、画面に対する垂直方向の処理のタイミングについて同期を取るための信号であり、ここでは、フレームごとの処理タイミングの基準となる信号である。水平同期信号は、画面に対する水平方向の処理のタイミングについて同期を取るための信号である。

## 【0034】

また、制御信号S2は、映像信号および水平同期信号を含む。制御信号S3は、垂直同期信号および水平同期信号をそれぞれ含む。

## 【0035】

ゲートドライバIC(回路)3は、表示パネル制御回路2で生成された制御信号S3に基づいて、有機EL表示パネル6のゲート信号線を駆動する。

## 【0036】

ソースドライバIC(回路)5は、表示パネル制御回路2で生成された制御信号S2に基づいて、有機EL表示パネル6のソース信号線を駆動する。より具体的には、ソースドライバIC(回路)5は、映像信号および水平同期信号に基づいて、各画素回路にソース信号(データ信号電圧)を出力する。

## 【0037】

調整部7は、表示パネル制御回路2を介して伝達された表示データ信号S1に基づいて、複数の表示画素に接続される電源線(ELカソード電源線)に印加される所定電圧を調整する。詳細は後述するため、ここでの説明を省略する。

## 【0038】

なお、有機EL表示装置1は、例えば、図示しないが、CPU(Central Processing Unit)、制御プログラムを格納したROM(Read Only Memory)などの記憶媒体、RAM(Random Access Memory)などの作業用メモリ、および通信回路を有するとしてもよい。この場合、表示データ信号S1は、例えば、CPUが制御プログラムを実行することにより生成される。

## 【0039】

図2は、実施の形態1に係る有機EL表示パネルの構成の一例を示す図である。図2に

10

20

30

40

50



は、有機EL表示パネル6とゲートドライバIC(回路)3とソースドライバIC(回路)5との位置および接続関係が示されている。

【0040】

本実施の形態では、有機EL表示パネル6は、ゲートドライバIC(回路)30およびゲートドライバIC(回路)31が制御するゲート信号線84、ゲート信号線85ゲート信号線85、ゲート信号線86およびゲート信号線87が接続されている。

【0041】

また、有機EL表示パネル6は、ソースドライバIC(回路)5が制御するソース信号線88が接続されている。ゲート信号線84、ゲート信号線85、ゲート信号線86、ゲート信号線87、および、ソース信号線88については後述する。

10

【0042】

なお、図2では、ゲートドライバIC(回路)3はゲートドライバIC(回路)30とゲートドライバIC(回路)31とで構成されており、有機EL表示パネル6の左右それぞれにゲートドライバIC(回路)30およびゲートドライバIC(回路)31が構成されているが、この構成は一例である。左右のうちどちらか一方のみゲートドライバIC(回路)3を備えるとしてもよい。

【0043】

なお、本実施の形態において、5は、ソースドライバICとして説明するが、半導体チップからなるソースドライバICに限定するものではない。たとえば、シリコンウエハでトランジスタを構成し、剥がしてガラス基板に転写したものが例示される。また、シリコンウエハでトランジスタチップを形成し、ガラス基板のボンディング実装した表示パネルが例示される。また、低温ポリシリコン、高温ポリシリコン、TAOS技術などを用い、画素が形成されたガラス基板に直接にソースドライバ回路を形成したものであってもよい。

20

【0044】

また、30、31はゲートドライバICとして説明するが、半導体チップからなるソースドライバICに限定するものではない。たとえば、シリコンウエハでトランジスタを構成し、剥がしてガラス基板に転写したものが例示される。また、シリコンウエハでトランジスタチップを形成し、ガラス基板のボンディング実装した表示パネルが例示される。また、低温ポリシリコン、高温ポリシリコン、TAOS技術などを用い、画素が形成されたガラス基板に直接にソースドライバ回路を形成したものであってもよい。

30

【0045】

1-2. 表示画素の回路構成

図3は、実施の形態1に係る表示画素の回路構成の一例を示す図である。

【0046】

本実施の形態1に係る表示画素は、トランジスタ、コンデンサ、EL素子などで構成されている。駆動用トランジスタおよびスイッチ用トランジスタを含むトランジスタは、薄膜トランジスタ(TFT)として説明するが、これに限定するものではない。FET、MOS-FET、MOSトランジスタ、バイポーラトランジスタでもよい。これらも基本的に薄膜トランジスタである。その他、バリスタ、サイリスタ、リングダイオード、ホトダイオード、ホトトランジスタ、PLZT素子などでもよいことは言うまでもない。

40

【0047】

また、薄膜素子に限定するものではなく、シリコンウエハに形成したトランジスタでもよい。たとえば、シリコンウエハでトランジスタを構成し、剥がしてガラス基板に転写したものが例示される。また、シリコンウエハでトランジスタチップを形成し、ガラス基板のボンディング実装した表示パネルが例示される。

【0048】

なお、トランジスタは、n型、p型のトランジスタとも、LDD(Lightly Doped Drain)構造を採用することが好ましい。

【0049】

50

また、トランジスタは、高温ポリシリコン(HTPS : High-temperature polycrystalline silicon)、低温ポリシリコン(LTPS : Low-temperature poly silicon)、連続粒界シリコン(CGS : Continuous grain silicon)、透明アモルファス酸化物半導体(TAOS : Transparent Amorphous Oxide Semiconductors、IZO)、アモルファスシリコン (AS : amorphous silicon)、赤外線RTA (RTA : rapid thermal annealing) で形成したもののうち、いずれでもよい。

【 0 0 5 0 】

図 3 では、表示画素を構成するすべてのトランジスタは p 型で構成している。しかし、本開示は、画素のトランジスタを p 型で構成することのみに限定するものではない。n 型のみで構成してもよい。また、n 型と p 型の両方を用いて構成してもよい。

10

【 0 0 5 1 】

スイッチ用トランジスタは、トランジスタに限定するものではなく、たとえば、p 型のトランジスタと n 型のトランジスタの両方を用いて構成したアナログスイッチであってもよい。

【 0 0 5 2 】

トランジスタはトップゲート構造にすることが好ましい。トップゲート構造にすることにより寄生容量が低減し、トップゲートのゲート電極パターンが、遮光層となり、EL 素子から出射された光を遮光層で遮断し、トランジスタの誤動作、オフリーク電流を低減できるからである。

【 0 0 5 3 】

ゲート信号線またはソース信号線、もしくはゲート信号線とソース信号線の両方の配線材料として、銅配線または銅合金配線を採用できるプロセスを実施することが好ましい。信号線の配線抵抗を低減でき、より大型の EL 表示パネルを実現できるからである。

20

【 0 0 5 4 】

ゲートドライバ IC (回路) が駆動 (制御) するゲート信号線は、低インピーダンス化すること好ましい。したがって、前記ゲート信号線の構成あるいは構造に関しても同様である。

【 0 0 5 5 】

特に、低温ポリシリコン(LTPS : Low-temperature poly silicon)を採用することが好ましい。低温ポリシリコンは、トランジスタはトップゲート構造であり寄生容量が小さく、n 型および p 型のトランジスタを作製でき、また、プロセスに銅配線または銅合金配線プロセスを用いることができる。なお、銅配線は、Ti-Cu-Ti の 3 層構造を採用することが好ましい。

30

【 0 0 5 6 】

ゲート信号線またはソース信号線などの配線は、トランジスタが透明アモルファス酸化物半導体(TAOS : Transparent Amorphous Oxide Semiconductors)の場合には、モリブデン (Mo) -Cu-Mo の 3 層構造を採用することが好ましい。

【 0 0 5 7 】

なお、コンデンサは、ソース信号線またはゲート信号線の少なくとも一方にオーバーラップするように (重なるように) 形成または配置する。この場合、レイアウトの自由度が向上し、素子間のスペースをより広く確保することが可能になり、歩留まりが向上する。

40

【 0 0 5 8 】

ソース信号線、ゲート信号線に絶縁膜あるいはアクリル材料からなる絶縁膜 (平坦化膜) を形成して絶縁し、絶縁膜上に画素電極を形成する。

【 0 0 5 9 】

図 3 に示す画素回路 60 は、有機 EL 表示パネル 6 が有する一画素であり、ソース信号線 88 を介して供給されたソース信号 (映像信号電圧) により発光する機能を有する。

【 0 0 6 0 】

画素回路 60 は、表示画素 (発光画素) の一例であり、マトリクス状 (行列状) に配置されている。画素回路 60 は、例えば図 3 に示すように、スイッチ 61 と、容量素子 62

50

と、スイッチ 63 と、スイッチ 64 と、容量素子 65 と、駆動トランジスタ 66 と、スイッチ 67 と、有機 EL 素子 68 とを備えている。また、画素回路 60 は、EL アノード電源線 81 ( $V_{TF T}$ )、EL カソード電源線 82 ( $V_{E L}$ )、参照電源線 83 ( $V_{R E F}$ )、ゲート信号線 84、ゲート信号線 85、ゲート信号線 86、ゲート信号線 87、および、ソース信号線 88 を備える。

【0061】

ここで、ソース信号線 88 は、データ信号電圧 (ソース信号) を供給するための信号線 (ソース信号線) の一例である。

【0062】

EL アノード電源線 81 ( $V_{TF T}$ ) は、駆動トランジスタのドレイン電極に接続され、駆動トランジスタ 66 のドレイン電極の電位を決定するための高電圧側電源線であり、例えば 6 (V) である。

【0063】

EL カソード電源線 82 ( $V_{E L}$ ) は、有機 EL 素子 68 のカソード (第 2 電極) に接続された低電圧側電源線である。

【0064】

参照電源線 83 ( $V_{R E F}$ ) は、参照電圧を供給するための電源線の一例であり、参照電圧  $V_{R E F}$  を供給する。ここで、参照電源線 83 ( $V_{R E F}$ ) が供給する参照電圧  $V_{R E F}$  と EL アノード電源線 81 ( $V_{TF T}$ ) が供給するアノード電圧  $V_{TF T}$  との電位差は駆動トランジスタ 66 の閾値電圧 ( $V_{t h}$ ) よりも大きな電圧、すなわち、閾値電圧  $V_{t h} < (アノード電圧  $V_{TF T}$  - 参照電圧  $V_{R E F}$ ) に設定される。なお、本実施の形態では、参照電圧  $V_{R E F}$  は例えば 0 V である。$

【0065】

有機 EL 素子 68 は、駆動トランジスタ 66 により供給された電流に応じて発光する発光素子の一例であり、行列状に配置される。有機 EL 素子 68 は、カソード (第 2 電極) が、EL カソード電源線 82 に接続され、アノード (第 1 電極) が、スイッチ 67 を介して駆動トランジスタ 66 のソース (ソース電極) に接続されている。ここで、EL カソード電源線 82 に供給されている電圧は  $V_{E L}$  であり、例えば -6 (V) である。

【0066】

駆動トランジスタ 66 は、有機 EL 素子 68 への電流の供給を制御する電圧駆動の駆動素子であり、容量素子 65 に保持された電圧に応じた電流を有機 EL 素子 68 に供給することにより有機 EL 素子 68 を発光させる。より具体的には、駆動トランジスタ 66 は、図 3 に示すように、ドレイン電極が容量素子 65 の第 1 電極と導通し、ゲート電極が容量素子 65 の第 2 電極と導通し、ソース電極が有機 EL 素子 68 のアノードとスイッチ 67 を介して接続する。例えば、駆動トランジスタ 66 は、発光期間において、表示用の容量素子 65 に保持された電圧 (データ信号電圧) に応じた電流を有機 EL 素子 68 に流すことにより、有機 EL 素子 68 を発光させる。より具体的には、駆動トランジスタ 66 は、ゲート電極に供給されたデータ信号電圧を、そのデータ信号電圧に対応した電流に変換し、変換された電流を有機 EL 素子 68 に供給することにより、有機 EL 素子 68 を発光させる。この発光タイミングは、スイッチ 67 により制御され、本実施の形態では、すべての画素回路 60 (有機 EL 表示パネル 6 が有するすべての画素) では一括にスイッチ 67 がオン状態 (導通状態) に制御され、全画素の有機 EL 素子 68 が一括点灯される。すなわち、発光期間は全画面で同時に始まることになる。

【0067】

また、例えば、発光期間に続く非発光期間では、スイッチ 67 がオフ状態 (非導通状態) に制御されることで駆動トランジスタ 66 は電流を有機 EL 素子 68 に流さない。つまり、駆動トランジスタ 66 は、非発光期間では、有機 EL 素子 68 を発光させない。

【0068】

本実施の形態では、駆動トランジスタ 66 を構成する薄膜トランジスタ (TF T) は P 型であるとして説明する。

10

20

30

40

50

## 【0069】

なお、駆動トランジスタ66を構成する薄膜トランジスタ(TFT)はN型であってもP型であっても、両方の組み合わせであってもよい。また、薄膜トランジスタのチャネル層は、アモルファスシリコン、微結晶シリコン、ポリシリコン、酸化物半導体および有機半導体などのうちのいずれかで形成されていてもよい。例えば、酸化物半導体は、インジウム(In)、ガリウム(Ga)および亜鉛(Zn)のうち、少なくとも1種を含む酸化物半導体材料を用いることができる。酸化物半導体は、オフ電流が少なく、アモルファス状態でも高い電子移動度を持ち、低温プロセスで形成可能であり、例えば、アモルファス酸化インジウムガリウム亜鉛(InGaZnO)を用いて形成できる。

## 【0070】

容量素子65は、有機EL素子68を発光させるために用いられる第1電圧を保持するための第1容量素子(表示用コンデンサ)の一例である。容量素子65は、駆動トランジスタ66の流す電流量を決める電圧を保持する。具体的には、容量素子65の第1電極(節点C側とは反対の電極)は、駆動トランジスタ66のドレイン電極(ELアノード電源線81側の電極)とELアノード電源線81との間に接続されている。容量素子65の第2電極(節点C側の電極)は、駆動トランジスタ66のゲート電極に接続されている。また、容量素子65の第2電極は、スイッチ63を介して容量素子62の第1電極(節点A側の電極)と接続されている。容量素子65の第2電極は、参照電圧 $V_{REF}$ を供給する参照電源線83( $V_{REF}$ )とスイッチ64を介して接続されている。

## 【0071】

本実施の形態では、容量素子65は、表示パネル制御回路2の制御により、有機EL素子68が発光する発光期間後の非発光期間において、容量素子65が初期化される初期化期間後の第2期間に、容量素子62が保持する第2電圧がコピーされ、第1電圧として保持する。

## 【0072】

容量素子62は、容量素子65が保持する第1電圧と異なる第2電圧であって容量素子65が次に保持すべき電圧を保持するための第2容量素子(書き込み用コンデンサ)の一例である。容量素子62は、容量素子65が次に保持すべき電圧を一時的に保持するメモリの役割を果たす。具体的には、容量素子62の第1電極(節点A側の電極)は、スイッチ61を介してソース信号線88と接続されている。容量素子62の第2電極(節点B側の電極)は、参照電圧 $V_{REF}$ を供給する参照電源線83( $V_{REF}$ )とも接続されている。

## 【0073】

本実施の形態では、容量素子62は、表示パネル制御回路2の制御により、有機EL素子68が発光する発光期間中の第1期間に、第2電圧が書き込まれて、第2電圧を保持する。

## 【0074】

スイッチ61は、データ信号電圧を供給するためのソース信号線88(信号線)と容量素子62の第1電極との導通および非導通を切り換える第1スイッチの一例である。具体的には、スイッチ61は、ドレインおよびソースの一方の端子がソース信号線88に接続され、ドレインおよびソースの他方の端子が容量素子62の第1電極に接続され、ゲートがゲート信号線84に接続されているスイッチングトランジスタである。換言すると、スイッチ61は、ソース信号線88を介して供給された映像信号電圧(映像信号)に応じたデータ信号電圧(データ信号)を一時的に保持する容量素子62(書き込み用コンデンサ)に書き込むための機能を有する。

## 【0075】

スイッチ63は、容量素子62の第1電極と容量素子65の第2電極との導通および非導通を切り換える第2スイッチの一例である。具体的には、スイッチ63は、ドレインおよびソースの一方の端子が容量素子62の第1電極と接続され、スイッチ63のドレインおよびソースの他方の端子が容量素子65の第2電極に接続され、ゲートがゲート信号線

10

20

30

40

50

85に接続されているスイッチングトランジスタである。換言すると、スイッチ63は、容量素子65に、容量素子62で保持されている第2電圧を与える(コピーする)機能を有する。

【0076】

スイッチ64は、参照電圧 $V_{REF}$ を供給する参照電源線83( $V_{REF}$ )と容量素子65の第2電極との導通および非導通を切り換える第3スイッチの一例である。具体的には、スイッチ64は、ドレインおよびソースの一方の端子が参照電源線83( $V_{REF}$ )に接続され、ドレインおよびソースの他方の端子が駆動トランジスタ66のゲート電極および容量素子65の第2電極に接続され、ゲートがゲート信号線86に接続されているスイッチングトランジスタである。換言すると、スイッチ64は、容量素子65の第2電極および駆動トランジスタ66のゲート電極に対して参照電圧( $V_{REF}$ )を与える機能を有する。

10

【0077】

スイッチ67は、駆動トランジスタ66のソース電極と有機EL素子68のアノードとの導通および非導通を切り換える第4スイッチの一例である。具体的には、スイッチ67は、ドレインおよびソースの一方の端子が駆動トランジスタ66のソース電極に接続され、ドレインおよびソースの他方の端子が有機EL素子68のアノードに接続され、ゲートがゲート信号線86に接続されているスイッチングトランジスタである。

【0078】

図3に示しているように、本実施の形態における画素構成では、有機EL素子68に電流を供給している状態でも、映像信号電圧を画素に書き込むことができる。前フレーム期間に画素に書き込まれた映像信号に対応する電圧が、コンデンサ(容量素子65)で保持されており、駆動トランジスタ66は、容量素子65に保持された電圧に基づいて、有機EL素子68に電流を供給する。

20

【0079】

現フレーム期間では、画素行が、ゲートドライバIC(回路)により、順次選択され、ソースドライバICは、選択された画素(表示画素)に映像信号を印加する。画素では前記映像信号に対応する電圧が容量素子62に保持される。1フレームの各ブランキング期間では、容量素子62に保持された電圧が、容量素子65にコピーされる。この期間は、表示画面は、非表示状態に維持される。

30

【0080】

次のフレームでは、容量素子65に保持されて電圧に基づいて、駆動トランジスタ66が有機EL素子68に電流を供給する。

【0081】

以上のように、本実施の形態における画素に、映像信号に基づく電圧を保持する容量素子65、容量素子62を具備することを特徴とする。

【0082】

なお、以上の実施例では、映像信号に基づく電圧を保持する容量素子65、容量素子62を具備するとしたが、これに限定するものではない。たとえば、トランジスタなどで2つのメモリ回路を構成し、このメモリ回路に映像信号に基づく電圧を保持させてもよい。また、MOSトランジスタのゲート容量に、映像信号に基づく電圧を保持させてもよい。

40

【0083】

以上の事項は、本明細書の他の実施例にも適用できることは言うまでもない。また、他の実施例と組み合わせることができることも言うまでもない。なお、本実施の形態では、画素回路60を構成するスイッチ61、スイッチ63、スイッチ64、およびスイッチ67はP型TFTとして説明を行うが、それに限らずN型TFTであってもよい。

【0084】

1-3. 調整部の構成

次に、図1に示す調整部7について説明する。

【0085】

50

図4は、実施の形態1に係る調整部の構成の一例を示す図である。

【0086】

調整部7は、電流演算部71と、電圧算出部72と、電圧変更部73とを備え、複数の表示画素に接続されるELカソード電源線82に印加される所定電圧(カソード電圧 $V_{EL}$ )を調整する。

【0087】

電流演算部71は、表示データ信号S1に含まれる表示データ(映像データ)に基づくデータ信号電圧が有機EL表示パネル6に供給された場合に、有機EL表示パネル6に流れる電流値を演算する。

【0088】

より具体的には、電流演算部71は、第1電流値算出部711と、第2電流値算出部712と、第3電流値算出部713と、重み付け部714、重み付け部715、重み付け部716、加算部717とを備える。

【0089】

第1電流値算出部711は、表示データ(映像データ)に含まれる赤のデータ(Rdata)の信号電圧である赤データ信号電圧が有機EL表示パネル6に供給された場合に、有機EL表示パネル6に流れる電流値(第1電流値)を算出する。同様に、第2電流値算出部712および第3電流値算出部713は、表示データ(映像データ)に含まれる緑のデータ(Gdata)および青のデータ(Bdata)の青データ信号電圧および緑データ信号電圧が有機EL表示パネル6に供給された場合に、有機EL表示パネル6に流れる電流値(第2電流値および第3電流値)を算出する。

【0090】

重み付け部714は、第1電流値算出部711で算出された第1電流値を重み付けして加算部717に出力する。これは、有機EL素子68の色発光効率が材質などにより異なるからである。本実施の形態では、重み付け部714は、例えば2を重み付けすなわち第1電流値を2倍して、加算部717に出力する。同様にして、重み付け部715は第2電流値算出部712で算出された第2電流値を重み付けして加算部717に出力し、重み付け部716は第3電流値算出部713で算出された第3電流値を重み付けして加算部717に出力する。本実施の形態では、重み付け部715は例えば1を重み付け、重み付け部716は例えば5を重み付ける。

【0091】

加算部717は、重み付け部714、重み付け部715および重み付け部716を加算した(総和をとった)総電流値を電圧算出部72に出力する。ここで、総電流値は、表示データ信号S1に含まれる表示データに基づくデータ信号電圧が有機EL表示パネル6に供給された場合に、有機EL表示パネル6に流れる電流値である。

【0092】

なお、本実施の形態において、電圧演算部72は、理解を容易にするため、総電流値を求めるとして説明するがこれに限定するものではない。有機EL表示パネル6の表示画面に流れる電流あるいは電力に、比例あるいは所定の相関を有するものであれば、いずれの値、大きさ、変化量などであってもよい。

【0093】

カソード電圧 $V_{EL}$ 、アノード電圧 $V_{TF T}$ が固定の場合は、表示データ(映像データ)を演算等することにより、電流値に相関する値が求められ、電流値に相関する値とカソード電圧 $V_{EL}$ 、アノード電圧 $V_{TF T}$ などと乗算することにより電力値に相関する値を求めることができる。カソード電圧 $V_{EL}$ 、アノード電圧 $V_{TF T}$ などが電圧変更部73などにより変化する場合は、変化したカソード電圧 $V_{EL}$ 、アノード電圧 $V_{TF T}$ と乗算することにより、電力に相当する値を求めることができる。

【0094】

なお、表示画面を構成するすべての表示データ(映像データ)を演算して電流を求めることに限定するものではない。たとえば、表示画面において選定した任意の画素に対応す

10

20

30

40

50

る表示データ（映像データ）を演算して電流を求めてもよい。選定した任意の画素から比例倍することにより、表示画面に流れる総電流を推測することができる。この場合は、電流値を求める演算時間、演算数が削減できる。

#### 【0095】

また、所定以上の高い階調の表示データ（映像データ）を演算して電流を求めてもよい。また、所定以上の高い階調の表示データ（映像データ）の画素数から電流に相当する値を求めてもよい。電圧算出部72は、加算部717により出力された総電流値に基づき、ELカソード電源線82が印加する所定電圧から変更すべきかを判断し、変更すべき場合、ELカソード電源線82が印加すべき電圧を算出する。より具体的には、電圧算出部72は、加算部717により出力された総電流値が予め定めた閾値以上のとき、ELカソード電源線82に印加される所定電圧を変更すべきと判断し、所定電圧より高い電圧をELカソード電源線82が印加すべき電圧として算出する。

10

#### 【0096】

電圧変更部73は、電圧算出部72で算出された電圧値になるように、電圧（カソード電圧）を変更する。たとえば、有機EL表示パネル6に流れる電流が所定値範囲の場合（定常範囲の場合）に、ELカソード電源線82の電圧が、-6（V）であったとし、EL表示パネルに流れる電流が所定値以上となった場合、ELカソード電源線82の電圧を、-4（V）にする。ELカソード電源線82の電圧を-6（V）から-4（V）に変化させることにより、ELアノード電源線81とELカソード電源線82との電位差が小さくなり、EL表示パネルの使用電力を低減できる。ここで、図5は、実施の形態1に係る調整部の電圧調整方法の一例を示す図である。

20

#### 【0097】

図5において、横軸は、点灯率（％）である。点灯率は、一例として、映像信号等の階調データを加算処理して求める。

#### 【0098】

たとえば、階調データの最大値を255とする。10個の画素（表示画素）に印加する階調データが、すべて16であれば、総和は、 $16 \times 10 = 160$ であり、点灯率は、 $160 / (255 \times 10) = 0.0627$ （6.27％）である。10個の画素に印加する階調データが、すべて255であれば、総和は、 $255 \times 10 = 2550$ であり、点灯率は、 $2550 / (255 \times 10) = 1.0$ （100％）である。点灯率は、100％が最大値であり、0％が最低値である。ただし、点灯率は、赤（R）、緑（G）、青（B）などの各色の発光素子の発光効率で重みづけして求める必要がある。

30

#### 【0099】

有機EL表示パネル6の場合は、赤（R）、緑（G）、青（B）の各EL素子で発光効率が異なるため、R、G、Bに応じて階調データに重みづけ係数をかけて、表示画面の加算データを求める。R、G、B、W（白）の場合は、4色をそれぞれ発光効率に基づいて重みづけ処理を行う。

#### 【0100】

有機EL素子に流れる電流に対する発光効率を換算する必要がある。階調データがガンマ変換される場合は、階調データをガンマ変換係数と演算等を行い、有機EL素子に流れる電流を求める。求めた電流にそれぞれ発光色の発光効率に基づいて重みづけ処理を行う。たとえば、緑（G）の重みづけ係数が1で、赤（R）の発光効率が、緑（G）の1/2であれば、赤（R）の重みづけ係数は2である。また、青（B）の発光効率が、緑（G）の1/5であれば、青（B）の重みづけ係数は5である。

40

#### 【0101】

点灯率0％とは、表示画面が黒表示であり、前画素が非点灯の状態である。したがって、理想的には表示画面の有機EL素子には電流は流れない。点灯率100％とは、表示画面が最高輝度（最高明るさ）の白表示である。つまり、表示画面の全画素が最大階調で表示している状態であり、表示画面に流れる電流が最大値である。

#### 【0102】

50

基本的には、有機EL素子は、有機EL素子に流れる電流 $I$ と、有機EL素子の発光輝度 $B$ とは比例の関係がある。したがって、階調データと階調データに基づく有機EL素子に流れる電流が比例の関係であれば、各発光色のEL素子に流れる電流に重みづけ係数を乗算することにより点灯率を算出することができる。点灯率は、表示画面に流れる電流をマトリクス状に配置された発光色の発光効率に基づいて重みづけ処理を行い取得する。

【0103】

ある画像表示状態の時の表示画面に流れる電流を $I_x$ とし、全表示画面が最高輝度（最高明るさ）の白表示状態の時に表示画面に流れる電流を $I_m$ とした時、点灯率（%） $= I_x / I_m \times 100$ として表現できる。なお、カソード電圧、アノード電圧は一定値（固定値）としている。

10

【0104】

なお、以上の実施例では、階調データから表示画面に流れる電流（あるいは電流に相關する値）を取得するとしたが、本実施例は、これに限定するものではない。たとえば、カソード配線あるいはアノード配線に流れる各RGB電流を電流計などで測定し、各RGB電流で重みづけ処理を行ってもよいことは言うまでもない。表示画面に流れる電流を測定し、測定した電流から点灯率を求めてもよい。また、ELカソード電源線82、ELアノード電源線81の途中にピックアップ抵抗を直列に配置し、前記ピックアップ抵抗の両端電圧を電圧計で測定することにより、表示画面に流れる電流値を得てもよい。

【0105】

階調データ求められて電流データ、あるいは直接に電流を測定することにより求められた電流は、アノード電圧、カソード電圧を固定値とすれば、表示画面に流れる消費電流（消費電力）を求めることができる。消費電流とRGB等の映像信号をEL素子の効率に基づいて重みづけ演算した値とは、相關する。

20

【0106】

表示領域に流れる消費電流（消費電力）を求める。なお、R、G、B、W（白）の場合は、4色をそれぞれ発光効率に基づいて重みづけ処理を行う。

【0107】

また、点灯率は、全表示画面の階調データあるいは流れる電流から点灯率を求めるとしたが、これに限定するものではない。表示画面の一部分（たとえば、表示画面の1/4）での階調データの加算値あるいは電流から、全表示画面の階調データの加算値あるいは電流を推測あるいは求めて、点灯率を取得してもよい。また、点灯率は、1フレーム期間の階調データの加算値あるいは電流から求めることには限定されない。たとえば、複数のフレームでの階調データの加算値あるいは電流を平均あるいは移動積分し、点灯率を求めてもよいことは言うまでもない。

30

【0108】

図5の実施例では、点灯率が、0%以上25%以下では、すべての実施例の線では、カソード電圧は-7（V）と一定値である。点灯率が25%以下と小さい場合は、カソード電圧を低く（アノード-カソード電圧の絶対値は大きい）しても、表示画面に流れる電流が小さく、パネル発熱が小さいため、電流制限を実施する必要がない。点灯率が高い場合は、表示画面に流れる電流がおおきくなるため、カソード電圧を高くする。

40

【0109】

つまり、調整部7は、複数の表示画素それぞれにおける有機EL素子68に第2電圧に応じた電流が供給された場合の第2電圧に応じた電流の総和値（または点灯率）が閾値以上のとき、ELカソード電源線82に印加される電圧を所定電圧（電圧 $V_{EL}$ ）より高くなるよう（アノード電圧とカソード電圧との電位差が小さくなるよう）、に変化させることにより調整する。より具体的には、電圧変更部73は、カソード電圧の変更を急峻にするのではなく、例えば図5に示すように一定の勾配を有する直線L1に沿うように変更させる。なお、電圧調整方法は、カソード電圧を直線L1に沿うように変更することに限らず、直線L1よりも緩い勾配を有する直線L2に沿うように変更するとしてもよい。また、線L3に示すように、一定の点灯率25%から電圧調整を行い、点灯率65%以上は一

50



定電圧を維持するように変更してよい。

【0110】

また、図6は、実施の形態1に係る調整部の電圧変更時の応答時間について示す図である。図6の縦軸は応答時間（ms）を示しており、横軸は、総電流値（あるいは点灯率）の変化量を示している。つまり、電圧変更部73は、カソード電圧の変更を直線L5に沿うように変曲点で急峻な変化をさせる場合に限らず、曲線L6に沿うような、滑らかな変化をさせるとしてもよい。

【0111】

このように、調整部7は、複数の表示画素それぞれにおける有機EL素子68に第2電圧に応じた電流が供給された場合の第2電圧に応じた電流あるいは階調値の総和値（点灯率）が閾値以上のとき、ELカソード電源線82に印加される電圧を所定電圧より低くなるように調整する。

10

【0112】

本実施の形態では、調整部7は、第2電圧に応じた電流あるいは階調値の総和値（点灯率）が閾値以上のとき、画素回路60の非発光期間中に、ELカソード電源線82に印加される電圧を所定電圧より低くなるように調整する。調整タイミングの詳細は後述するため、ここでの説明は省略する。

【0113】

これにより、調整部7は、有機EL表示パネル6に流れ込む電流によるパネル電力が一定以上にならないようにオーバーロード制限を行うことができるので、有機EL素子68の寿命の低下を抑制することができる。なぜなら、有機EL素子68は、駆動トランジスタ66により印加電圧（階調信号電圧）に応じた電流が流される。そして、有機EL表示パネル6を構成する表示画素（有機EL素子68）に流れる電流が大きいと、有機EL表示パネル6が発熱し、有機EL素子68の寿命が短くなる（劣化する）からである。

20

【0114】

図7は、実施の形態1に係る調整部と画素回路との関係を示す図である。なお、図3および図4と同様の要素には同一の符号を付しており、詳細な説明は省略する。

【0115】

調整部7（電圧変更部73）は、電圧算出部72で算出された電圧値になるように、画素回路60aのELカソード電源線82の電圧 $V_{EL}$ （電圧源73aの電圧 $V_{EL}$ ）を変更する。

30

【0116】

図8は、実施の形態1に係る画素回路と電源線との関係を示す図である。

【0117】

画素回路60aは、図8に示すように、有機EL表示パネル6内でマトリクス状（行列状）に配置されている。そして、ELアノード電源線81とELカソード電源線82とは、図6に示すように、画素回路60aそれぞれではなく複数の画素回路60aの共通の電源線として設けられている。

【0118】

1-4. 表示画素の動作

40

次に、図3に示す画素回路の駆動方法について図9A～図9Eを用いながら説明を行う。

【0119】

表示画素は、図3に示す画素回路60の構成を備えることより、輝度信号の書き込み処理と、有機EL素子の発光処理とを独立して行うことができる。具体的には、本実施の形態の表示画素すなわち図3に示す画素回路60は、書き込み処理、リセット処理、コピー処理、電圧調整処理、および、発光処理を実行することで駆動される。本実施の形態における駆動方法は、図3に示す画素回路60の構成により図9A～図9Eに示す5つの処理を実施することで実現できる。

【0120】

50

図9A～図9Eは、実施の形態1に係る画素回路の動作の一例を示す図である。図9A～図9Eにはそれぞれ、書き込み処理、リセット処理、コピー処理、電圧調整処理、および、発光処理に対応する場面の動作が示されている。なお、図3と同様の要素には同一の符号を付しており、詳細な説明は省略する。

【0121】

(書き込み処理)

図9Aは、書き込み処理の動作場面を示しており、有機EL素子68が発光している発光期間中の第1期間に実行される。つまり、図9Aに示すように、書き込み処理は、容量素子65の現在の映像信号電圧に応じて有機EL素子68が発光されている発光期間中の第1期間に、容量素子62に対し次の発光期間用の映像信号電圧(Vsig)の書き込みが行われる処理である。

10

【0122】

本実施の形態では、まず、スイッチ63およびスイッチ64を非導通状態(オフ状態)、かつ、スイッチ67を導通状態(オン状態)に維持されており、駆動トランジスタ66、容量素子65に保持された電圧に応じた電流が有機EL素子68に供給され有機EL素子68が発光している(発光期間)。

【0123】

そして、この発光期間中の第1期間(書き込み期間)に、スイッチ61を導通状態(オン状態)にすることで、容量素子62に容量素子65が次に保持すべき電圧(映像信号電圧Vsig)を保持させる。つまり、本実施の形態では、表示パネル制御回路2により複数の画素回路60のそれぞれにおいて、有機EL素子68が発光される発光期間中(第1期間中)に、容量素子62に第2電圧(次の映像信号電圧)を書き込んで保持させる。以上の動作は、画面の上端の画素行から下端の画素行に順次実施される。つまりゲートドライバ回路3はシフト動作し、映像信号を印加する画素行位置を順次選択する動作を実施する。

20

【0124】

このように、本実施の形態に係る画素回路60では、容量素子65に保持された電圧(映像信号電圧)を有機EL素子68に発光させている発光期間中の第1期間に、次の発光期間で容量素子65に保持されているべき電圧(映像信号電圧)を先だって容量素子62に書き込んで保持させることができる。つまり、本実施の形態に係る画素回路60によれば、有機EL素子68が発光中であっても、次の映像信号電圧(映像データ)を画素回路60に書き込むことができる。したがって、表示画面の画像表示状態を保持したまま、次の画像表示を各画素に書き込むことができる。

30

【0125】

(リセット処理)

図9Bは、リセット処理の動作場面を示しており、有機EL素子68の発光後の非発光期間中に実行される。非発光期間とは、ブランキング期間が例示される。つまり、図9Bに示すように、リセット処理は、有機EL素子68の発光を停止した状態で、容量素子65のリセットが行われる処理である。

【0126】

本実施の形態では、スイッチ67が非導通状態(オフ状態)されている非発光期間中に、スイッチ61およびスイッチ63を非導通状態(オフ状態)に維持しつつ、スイッチ64を導通状態(オン状態)とすることで、容量素子65の一端に電圧V<sub>REF</sub>が入力される。これにより、容量素子65が初期化されるリセット処理が実行される。

40

【0127】

(コピー処理)

図9Cは、コピー処理の動作場面を示しており、有機EL素子68の発光が停止されている非発光期間中でリセット処理後の第2期間に実行される。つまり、図9Cに示すように、コピー処理は、非発光期間中でリセット処理後の第2期間に、容量素子62が保持されている次の映像信号電圧(Vsig)を容量素子65にコピーする処理である。

50

## 【0128】

本実施の形態では、スイッチ67が非導通状態（オフ状態）されている非発光期間中で、リセット処理が実行された後の第2期間に、スイッチ63を非導通状態（オフ状態）に維持しつつ、スイッチ64を非導通状態（オフ状態）とした後に、スイッチ63を導通状態（オン状態）とする。これにより、容量素子62の第1電極と容量素子65の第2電極とが接続され、容量素子62に保持されている次の映像信号電圧（ $V_{sig}$ ）を容量素子65にコピーする（書き込む）ことができる。各画素の容量素子62に保持された映像信号電圧が容量素子65に一齐にコピーされる。次にフレームでは、容量素子65にコピーされた映像信号電圧で画像表示される。

## 【0129】

（電圧調整処理）

図9Dは、調整部7により所定の電圧（カソード電圧）が調整される電圧調整処理の動作場面を示しており、有機EL素子68の発光が停止されている非発光期間に実行される。つまり、図9Dに示すように、電圧調整処理は、非発光期間中に、ELカソード電源線82のカソード電圧（電圧源73aの電圧 $V_{EL}$ ）を調整する処理である。

## 【0130】

図9Dでは、電圧調整処理が、図9Cに示すコピー処理と並行して実行されている場面を示しているが、それに限らない。スイッチ67が非導通状態（オフ状態）である非発光期間中であればよい。

## 【0131】

リセット処理、コピー処理、電圧調整処理動作は、一例としてブランキング期間に実施される。これらの動作期間は、ゲートドライバ回路のシフト動作は停止している。また、これらの動作は、表示画面の全画素に同時に実施される。

## 【0132】

ここで、調整部7は、サブフィールドまたは1フレームの表示データ信号S1から、有機EL表示パネル6に流れる電流を演算で求め、その結果から、アノード電圧を所定の電圧から低くなるように変更（調整）する。これにより、有機EL表示パネル6に流れ込む電流によるパネル電力が一定以上にならないようにオーバーロード制限を行うことができる。また、調整部7は、本実施の形態の画素回路60と組み合わせられることにより映像の表示前である非発光期間中に、映像品質を低下させないで、オーバーロード制限であるアノード電圧の変更を行うことができる。

## 【0133】

（発光処理）

図9Eは、発光処理の動作場面を示しており、有機EL素子68の発光が行われる。

## 【0134】

本実施の形態では、スイッチ61、スイッチ63およびスイッチ64を非導通状態（オフ状態）に維持しつつ、スイッチ67を導通状態（オン状態）にする。これにより、有機EL素子68を、容量素子65に保持された次の映像信号電圧（ $V_{sig}$ ）に応じて発光させることができる。

## 【0135】

以上のようにして、書き込み処理、リセット処理、コピー処理、電圧調整処理および発光処理を繰り返し実行することで、本実施の形態の複数の表示画素に、映像（例えば、動画）を表示させることができる。

## 【0136】

なお、発光処理において、有機EL表示パネル6に構成されるすべての表示画素について、同時にスイッチ67を非導通状態（オフ状態）から導通状態（オン状態）にすることで、フレーム表示の切り替えを全ての表示画素で同時に実行することができる。つまり、現在の映像信号電圧による表示と、次の映像信号電圧による表示とを混在させないで表示させることができる。

## 【0137】

10

20

30

40

50

### 1 - 5 . 効果

以上、本実施の形態の有機 E L 表示装置 1 によれば、有機 E L 素子 6 8 の寿命の低下を抑制することができる。

#### 【 0 1 3 8 】

具体的には、従来における有機 E L 表示装置では、有機 E L パネルに流れ込む電流によるパネル電力が一定以上にならないようにオーバーロード制限を行うときには、映像の表示中に電源線の電圧を低下させる必要があり、表示ムラが発生したり、フリッカが発生したりするなど映像品質を低下させてしまうという問題があった。

#### 【 0 1 3 9 】

それに対して、本実施の形態における有機 E L 表示装置 1 は調整部 7 を備え、かつ、データ信号電圧の書き込みと映像の表示とを独立して行える。また、調整部 7 はカソード電圧などをブランキング期間に変更する。また、映像信号は容量素子 6 2 に順次コピーするが、容量素子 6 5 にはブランキング期間に容量素子 6 2 に保持された映像信号が一斉にコピーされる。これにより、映像品質を低下させることなく、また、カソード電圧などの変更時にフリッカの発生もなく、有機 E L パネルに流れ込む電流によるパネル電力が一定以上にならないようにオーバーロード制限を行うことができるので、有機 E L 素子 6 8 の寿命の低下を抑制することができる。

#### 【 0 1 4 0 】

ここで、調整部 7 は、サブフィールドまたは 1 フレームの表示データ信号 S 1 から、有機 E L 表示パネル 6 に流れる電流を演算で求め、その結果から、アノード電圧を所定の電圧から低くなるように変更する。これにより、有機 E L 表示パネル 6 に流れ込む電流によるパネル電力が一定以上にならないようにオーバーロード制限を行うことができる。また、調整部 7 は、映像の表示前である非発光期間中に、オーバーロード制限であるアノード電圧の変更を行えるので、映像品質を低下させないという効果を奏する。

#### 【 0 1 4 1 】

さらに、本実施の形態の有機 E L 表示装置 1 によれば、オーバーロード制限を行うことができるので、有機 E L 表示パネル 6 の冷却のために放熱機構を必要とせず、有機 E L 表示パネル 6 の薄型化を実現できるという効果も奏する。

#### 【 0 1 4 2 】

##### ( 実施の形態 2 )

実施の形態 1 では、スイッチ 6 1、スイッチ 6 3、スイッチ 6 4、駆動トランジスタ 6 6、およびスイッチ 6 7 を構成する薄膜トランジスタは P 型であるとして説明したが、それに限らず N 型であってもよい。実施の形態 2 では、スイッチ 6 1、スイッチ 6 3、スイッチ 6 4、駆動トランジスタ 6 6、およびスイッチ 6 7 を構成する薄膜トランジスタが N 型の場合について説明する。以下、実施の形態 1 と異なるところを中心に説明する。

#### 【 0 1 4 3 】

##### 2 - 1 . 表示画素の回路構成

図 1 0 は、実施の形態 2 に係る表示画素の回路構成の一例を示す図である。図 3 と同様の要素には同一の符号を付しており、詳細な説明は省略する。

#### 【 0 1 4 4 】

図 1 0 に示す画素回路 6 0 A は、有機 E L 表示パネル 6 が有する一画素であり、ソース信号線 8 8 を介して供給されたソース信号 ( データ信号電圧 ) により発光する機能を有する。

#### 【 0 1 4 5 】

画素回路 6 0 A は、表示画素 ( 発光画素 ) の一例であり、マトリクス状 ( 行列状 ) に配置されている。画素回路 6 0 A は、例えば図 1 0 に示すように、スイッチ 6 1 a と、容量素子 6 2 と、スイッチ 6 3 a と、スイッチ 6 4 a と、容量素子 6 5 a と、駆動トランジスタ 6 6 a と、スイッチ 6 7 a と、有機 E L 素子 6 8 と、スイッチ 6 1 1 と、スイッチ 6 1 2 とを備えている。また、画素回路 6 0 は、E L アノード電源線 8 1 (  $V_{TF T}$  )、E L カソード電源線 8 2 (  $V_{E L}$  )、参照電源線 8 3 (  $V_{R E F}$  )、ゲート信号線 8 4 a、ゲ

10

20

30

40

50

ート信号線 85 a、ゲート信号線 86 a、ゲート信号線 87 a、および、ソース信号線 88 に加えて、さらに、初期化電源線 613 ( $V_{INI}$ ) と、参照電源線 614 ( $V_{REF2}$ ) と、制御線 616 と、Init 線 617 とを備える。

【0146】

初期化電源線 613 ( $V_{INI}$ ) は、駆動トランジスタ 66 a のソースゲート間の電圧すなわち容量素子 65 の電圧を初期化するための電圧  $V_{INI}$  (初期化電圧  $V_{INI}$  とも称す) を供給する電源線の一例である。参照電源線 614 ( $V_{REF2}$ ) は、参照電圧  $V_{REF2}$  を供給するための電源線の一例である。

【0147】

有機 EL 素子 68 は、駆動トランジスタ 66 a により供給された電流に応じて発光する発光素子の一例であり、行列状に配置される。

10

【0148】

駆動トランジスタ 66 a は、有機 EL 素子 68 への電流の供給を制御する電圧駆動の駆動素子であり、容量素子 65 a に保持された電圧に応じた電流を有機 EL 素子 68 に供給することにより有機 EL 素子 68 を発光させる。本実施の形態では、駆動トランジスタ 66 a を構成する薄膜トランジスタ (TFT) は N 型である。

【0149】

容量素子 65 a は、有機 EL 素子 68 を発光させるために用いられる第 1 電圧を保持するための第 1 容量素子 (表示用コンデンサ) の一例である。容量素子 65 a は、駆動トランジスタ 66 a の流す電流量を決める電圧を保持する。具体的には、容量素子 65 a の第 1 電極 (節点 D 側とは反対の電極) は、駆動トランジスタ 66 a のソース電極 (EL カソード電源線 82 側) と有機 EL 素子 68 のアノードとの間に接続されている。容量素子 65 a の第 2 電極 (節点 D 側の電極) は、駆動トランジスタ 66 a のゲート電極に接続されている。また、容量素子 65 a の第 2 電極は、スイッチ 611 を介して初期化電源線 613 ( $V_{INI}$ ) とも接続される。

20

【0150】

本実施の形態では、容量素子 65 a は、表示パネル制御回路 2 の制御により、有機 EL 素子 68 が発光する発光期間後の非発光期間において、容量素子 65 a が初期化される初期化期間後の第 2 期間に、容量素子 62 が保持する第 2 電圧がコピーされ、第 1 電圧として保持する。

30

【0151】

容量素子 62 は、容量素子 65 a が保持する第 1 電圧と異なる第 2 電圧であって容量素子 65 a が次に保持すべき電圧を保持するための第 2 容量素子 (書き込み用コンデンサ) の一例である。容量素子 62 は、容量素子 65 a が次に保持すべき電圧を一時的に保持するメモリの役割を果たす。具体的には、容量素子 62 の第 1 電極 (節点 A 側の電極) は、スイッチ 61 a を介してソース信号線 88 と接続されている。容量素子 62 の第 2 電極 (節点 B 側の電極) は、参照電圧  $V_{REF}$  を供給する参照電源線 83 ( $V_{REF}$ ) とも接続されている。

【0152】

本実施の形態では、容量素子 62 は、表示パネル制御回路 2 の制御により、有機 EL 素子 68 が発光する発光期間中の第 1 期間に、第 2 電圧が書き込まれて、第 2 電圧を保持する。

40

【0153】

スイッチ 61 a は、データ信号電圧を供給するためのソース信号線 88 (信号線) と容量素子 62 の第 1 電極との導通および非導通を切り換える第 1 スイッチの一例である。

【0154】

スイッチ 63 a は、容量素子 62 の第 1 電極と容量素子 65 a の第 2 電極との導通および非導通を切り換える第 2 スイッチの一例である。

【0155】

スイッチ 64 a は、参照電圧  $V_{REF}$  を供給する参照電源線 83 ( $V_{REF}$ ) と容量素

50

子 6 5 a の第 2 電極との導通および非導通を切り換える第 3 スイッチの一例である。

【 0 1 5 6 】

スイッチ 6 7 a は、駆動トランジスタ 6 6 a のドレイン電極と E L アノード電源線 8 1 (  $V_{TFT}$  ) との導通および非導通を切り換える第 4 スイッチの一例である。

【 0 1 5 7 】

スイッチ 6 1 1 は、容量素子 6 5 a の第 1 電極および駆動トランジスタ 6 6 a のソース電極と初期化電源線 6 1 3 (  $V_{INI}$  ) との導通および非導通を切り換える。具体的には、スイッチ 6 1 1 は、ドレインおよびソースの一方の端子が初期化電源線 6 1 3 (  $V_{INI}$  ) に接続され、ドレインおよびソースの他方の端子が容量素子 6 5 a の第 1 電極および駆動トランジスタ 6 6 a のソース電極に接続され、ゲートが Init 線 6 1 7 に接続されている。換言すると、スイッチ 6 1 1 は、容量素子 6 5 a の第 2 電極および駆動トランジスタ 6 6 a のソース電極に対して初期化電圧  $V_{INI}$  を与える機能を有する。

10

【 0 1 5 8 】

スイッチ 6 1 2 は、参照電圧  $V_{REF2}$  を供給する参照電源線 6 1 4 (  $V_{REF2}$  ) と駆動トランジスタ 6 6 a のゲート電極並びに容量素子 6 5 a の第 2 電極との導通および非導通を切り換える。具体的には、スイッチ 6 1 2 は、ドレインおよびソースの一方の端子が参照電源線 6 1 4 (  $V_{REF2}$  ) に接続され、ドレインおよびソースの他方の端子が駆動トランジスタ 6 6 a のゲート電極と容量素子 6 5 a の第 2 電極とに接続され、ゲートがゲート信号線 8 7 a に接続されている。換言すると、スイッチ 6 1 2 は、駆動トランジスタ 6 6 a のゲート電極および容量素子 6 5 a に参照電圧 (  $V_{REF2}$  ) を与えることでリ

20

【 0 1 5 9 】

## 2 - 2 . 調整部の構成

調整部 7 の構成は、実施の形態 1 の図 4 で示した構成と同様であるため、説明を省略し、実施の形態 2 に係る調整部 7 と画素回路 6 0 A との関係について説明する。

【 0 1 6 0 】

図 1 1 は、実施の形態 2 に係る調整部と画素回路との関係を示す図である。なお、図 4 および図 1 0 と同様の要素には同一の符号を付しており、詳細な説明は省略する。

【 0 1 6 1 】

すなわち、本実施の形態では、調整部 7 ( 電圧変更部 7 3 ) は、電圧算出部 7 2 で算出された電圧値になるように、画素回路 6 0 b の E L アノード電源線 8 1 の電圧  $V_{TFT}$  ( 電圧源 7 3 b の電圧  $V_{TFT}$  ) を変更する。

30

【 0 1 6 2 】

これにより、調整部 7 は、有機 E L 表示パネル 6 に流れ込む電流によるパネル電力が一定以上にならないようにオーバーロード制限 ( 図 5 などを参照 ) を行うことができるので、有機 E L 素子 6 8 の寿命の低下を抑制することができる。

【 0 1 6 3 】

## 2 - 3 . 表示画素の動作

本実施の形態では、表示画素は、図 1 0 に示す画素回路 6 0 A の構成を備えることより、輝度信号の書き込み処理と、有機 E L 素子の発光処理とを独立して行うことができる。具体的には、本実施の形態の表示画素すなわち図 1 0 に示す画素回路 6 0 A は、書き込み処理、リセット処理、コピー処理、電圧調整処理、および、発光処理を実行することで駆動される。

40

【 0 1 6 4 】

図 1 2 A ~ 図 1 2 H は、実施の形態 1 に係る画素回路の動作の一例を示す図である。図 9 A ~ 図 9 E にはそれぞれ、第 1 書き込み処理、リセット処理、コピー処理 ( 第 2 書き込み処理 ) 、電圧調整処理、および、発光処理に対応する場面の動作が示されている。なお、図 1 0 と同様の要素には同一の符号を付しており、詳細な説明は省略する。

【 0 1 6 5 】

( 書き込み処理 )

50

図12Aは、書き込み処理の動作場面を示しており、容量素子65aの現在の映像信号電圧に応じて有機EL素子68が発光されている発光期間中の第1期間に、容量素子62に対し次の発光期間用の映像信号電圧(Vsig)の書き込みが行われる書き込み処理の動作場面が示されている。

【0166】

図12Aに示すように、書き込み処理では、スイッチ61aおよびスイッチ67aが導通状態(オン状態)、スイッチ63a、スイッチ64a、スイッチ611およびスイッチ612が非導通状態(オフ状態)となっている。このように各スイッチを設定することで、有機EL素子68を現在の映像信号電圧に応じた発光をさせながら、容量素子62に次の映像信号電圧(Vsig)を書き込むことができる。以上の動作は、画面の上端の画素行から下端の画素行に順次実施される。つまりゲートドライバ回路3はシフト動作し、映像信号を印加する画素行位置を順次選択する動作を実施する。

10

【0167】

このように、本実施の形態に係る画素回路60Aによれば、有機EL素子68が発光中であっても、次の映像信号電圧(映像データ)を画素回路60Aの容量素子62に書き込むことができる。

【0168】

(リセット処理)

図12B~図12Eは、リセット処理の動作場面を示しており、有機EL素子68が発光後の非発光期間中に実行される。非発光期間とは、ブランキング期間が例示される。つまり、図12B~図12Eに示すようにスイッチを切り替えることで、容量素子65aと駆動トランジスタ66aとのリセット処理が行われる。

20

【0169】

具体的には、まず図12Bに示すように、スイッチ61a、スイッチ63a、スイッチ64a、スイッチ67aを非導通状態(オフ状態)とし、スイッチ611およびスイッチ612を導通状態(オン状態)とする。これにより、節点Dの電位が参照電源線614の電圧 $V_{REF2}$ に設定される。ここで、スイッチ611が導通状態であるから、節点Dの電位は初期化電源線613の電圧 $V_{INI}$ に設定されている。すなわち、駆動トランジスタ66aは、参照電源線614の電圧 $V_{REF2}$ 及び初期化電源線613の電圧 $V_{INI}$ が印加される。

30

【0170】

次に、図12Cに示すように、図12Bに示す状態から、スイッチ611を非導通状態(オフ状態)にする。すなわち、スイッチ61a、スイッチ63a、スイッチ64a、スイッチ67aを非導通状態(オフ状態)とし、スイッチ612を導通状態(オン状態)とした上程で、スイッチ611を非導通状態(オフ状態)にする。

【0171】

このように、スイッチ611を非導通とする期間を設けることにより、ELアノード電源線81と初期化電源線613との間に貫通電流が流れてしまうのを防止することができる。換言すると、図12Cの状態に設定する期間がなければスイッチ611とスイッチ67aとが同時に導通状態となり、スイッチ67a、駆動トランジスタ66a、および、スイッチ611を介して、ELアノード電源線81と初期化電源線613との間に貫通電流が流れてしまう可能性がある。そのため、図12Cに示す期間を設けることにより貫通電流が流れてしまうのを防止する。

40

【0172】

次に、図12Dに示すように、図12Cに示す状態から、スイッチ67aを導通状態(オン状態)にした後、スイッチ612を非導通状態(オフ状態)にする。これにより、駆動トランジスタ66aのゲート電極に参照電源線614の参照電圧( $V_{REF2}$ )を入力した状態で、スイッチ67aを導通状態(オン状態)にすることで、駆動トランジスタ66aの閾値補償動作を行うことができ、スイッチ612を非導通状態(オフ状態)とすることで閾値補償動作を終了させることができる。

50

## 【0173】

次に、図12Eに示すように、図12Dに示す状態から、スイッチ67aを非導通状態（オフ状態）にし、その後、スイッチ64aを導通状態（オン状態）にする。容量素子62は、次の映像信号電圧（ $V_{sig}$ ）が保持されている状態で、スイッチ64aが導通状態（オン状態）にされるので、容量素子65aの第2電極に参照電源線83の電圧 $V_{REF}$ が入力される。これにより、容量素子65aがリセット（初期化）される。

## 【0174】

（コピー処理）

図12Fは、コピー処理の動作場面を示しており、非発光期間中でリセット処理後の第2期間に実行される。つまり、図12Fに示すように、コピー処理は、非発光期間中でリセット処理後の第2期間に、容量素子62が保持されている次の映像信号電圧（ $V_{sig}$ ）を容量素子65aにコピーする処理である。

10

## 【0175】

本実施の形態では、スイッチ67aが非導通状態（オフ状態）されている非発光期間中で、リセット処理が実行された後の第2期間で、スイッチ61a、スイッチ63a、スイッチ67a、スイッチ611およびスイッチ612を非導通状態（オフ状態）に維持しつつ、スイッチ63aを導通状態（オン状態）とする。これにより、容量素子62の第1電極と容量素子65aの第2電極とが接続され、容量素子62に保持されている次の映像信号電圧（ $V_{sig}$ ）を容量素子65aにコピーする（書き込む）ことができる。

## 【0176】

（電圧調整処理）

図12Gは、調整部7により所定の電圧（アノード電圧）が調整される電圧調整処理の動作場面を示している。つまり、図12Gに示すように、電圧調整処理は、非発光期間中に、ELアノード電源線81のアノード電圧（電圧源73bの電圧 $V_{TF}$ ）を調整する処理である。

20

## 【0177】

図12Gでは、電圧調整処理が、図12Fに示すコピー処理と並行して実行されている場面を示しているが、それに限らない。スイッチ67aが非導通状態（オフ状態）である非発光期間中であればよい。

## 【0178】

ここで、調整部7は、サブフィールドまたは1フレームの表示データ信号S1から、有機EL表示パネル6に流れる電流を演算で求め、その結果から、アノード電圧を所定の電圧から低くなるように変更（調整）する。これにより、有機EL表示パネル6に流れ込む電流によるパネル電力が一定以上にならないようにオーバーロード制限を行うことができる。また、調整部7は、本実施の形態の画素回路60Aと組み合わせられることにより映像の表示前である非発光期間中に、映像品質を低下させないで、オーバーロード制限であるカソード電圧の変更を行うことができる。

30

## 【0179】

リセット処理、コピー処理、電圧調整処理動作は、一例としてブランキング期間に実施される。これらの動作期間は、ゲートドライバ回路のシフト動作は停止している。また、これらの動作は、表示画面の全画素に同時に実施される。

40

## 【0180】

（発光処理）

図12Hは、発光処理の動作場面を示しており、有機EL素子68の発光が行われる。

## 【0181】

本実施の形態では、スイッチ67aのみを導通状態（オン状態）にする。これにより、有機EL素子68を、容量素子65aに保持された次の映像信号電圧（ $V_{sig}$ ）に応じて発光させることができる。

## 【0182】

以上のようにして、書き込み処理、リセット処理、コピー処理、電圧調整処理および発

50



光処理を繰り返し実行することで、本実施の形態の複数の表示画素に、映像（例えば、動画）を表示させることができる。

【0183】

なお、発光処理において、有機EL表示パネル6に構成されるすべての表示画素について、同時にスイッチ67を非導通状態（オフ状態）から導通状態（オン状態）にすることで、フレーム表示の切り替えを全ての表示画素で同時に実行することができる。つまり、現在の映像信号電圧による表示と、次の映像信号電圧による表示とを混在させないで表示させることができる。

【0184】

2-4. 効果

以上、本実施の形態の有機EL表示装置1によれば、有機EL素子68の寿命の低下を抑制することができる。

【0185】

具体的には、本実施の形態における有機EL表示装置1は調整部7を備え、かつ、データ信号電圧の書き込みと映像の表示とを独立して行える。これにより、映像品質を低下させることなく、有機ELパネルに流れ込む電流によるパネル電力が一定以上にならないようにオーバーロード制限を行うことができるので、有機EL素子68の寿命の低下を抑制することができる。

【0186】

ここで、調整部7は、サブフィールドまたは1フレームの表示データ信号S1から、有機EL表示パネル6に流れる電流を演算で求め、その結果から、カソード電圧を所定の電圧から低くなるように変更する。これにより、有機EL表示パネル6に流れ込む電流によるパネル電力が一定以上にならないようにオーバーロード制限を行うことができる。また、調整部7は、映像の表示前である非発光期間中に、オーバーロード制限であるアノード電圧の変更を行えるので、映像品質を低下させないという効果を奏する。

【0187】

さらに、本実施の形態の有機EL表示装置1によれば、オーバーロード制限を行うことができるので、有機EL表示パネル6の冷却のために放熱機構を必要とせず、有機EL表示パネル6の薄型化を実現できるという効果も奏する。

【0188】

（変形例）

実施の形態1および2では、有機EL表示装置1は、映像信号を、1フレーム期間で一枚のフレームで表現するとして説明したが、それに限らない。有機EL表示装置1は、1フレーム期間を複数のサブフィールド期間（サブフレーム期間）に分割した複数のサブフィールドを用いて映像信号を表現するとしてもよい。換言すると、有機EL素子68が発光される発光期間（第1発光期間）と、有機EL素子68が次に発光される発光期間（第2発光期間）との間の期間は、1フレーム期間であってもよいし、サブフィールド期間（フレーム期間）であってもよい。

【0189】

図13は、変形例1に係る1フレームが複数のサブフィールドで構成される場合を概念的に示す図である。すなわち、本変形例では、1フレームが複数のサブフィールド（サブフレーム）を重畳して表現されるとしてもよい。1フレーム期間中に、各サブフレーム期間で表示画素全体を例えば輝度値に応じて点灯させることで、各サブフィールド期間の輝度が重畳されるので、1フレーム期間中の所望の輝度を得ることができる。なお、表示画素全体は、サブフィールド期間で輝度値に応じて点灯される場合に限られない。1フレーム期間の総輝度値を各サブフィールド期間に均等に配分するとしてもよいし、PDP（Plasma Display Panel）のフィールド駆動のように、1フレーム期間の総輝度値のうちの上位ビット～下位ビットのそれぞれを配分するとしてもよい。つまり、各サブフィールド期間の輝度値が重畳されて1フレーム期間の総輝度値となれば配分方法は問わない。

【0190】

10

20

30

40

50

たとえば、1フレームの映像信号を、複数のサブフィールドに分解し、各サブフィールドは、輝度（明るさ）で区分することが例示される。映像データの上位ビット～下位ビット等でサブフィールドに区分してもよいことは言うまでもない。たとえば、映像信号が8ビットの場合、8つのサブフィールドから1フレームを構成する。ソースドライバICは、各サブフィールドにおいて、ビットに重みづけを行った電圧値をソース信号線に出力する。この場合、各画素行の指標値は、ビット“1”の個数を求めることにより取得することができる。

【0191】

図14は、変形例1に係る複数のサブフィールドで構成されるフレームの一例を示す図である。図14では、サブフィールド毎の表示画面が示されており、5枚のサブフィールドを構成する場合の例が示されている。

10

【0192】

具体的には、本開示の有機EL表示装置では、図3または図14に示す画素回路60または画素回路60Aを備えることで、輝度信号の書き込みと映像の表示とを独立して行えるので、サブフィールド毎に映像を表示する場合でも、1画面上に2つのサブフィールドの映像が混在して表示されることなく映像を表示することができる。つまり、1画面上にサブフィールドを表示中に、次の映像信号電圧を書き込み、保持させることができるので、次の映像を表示する場合には、一括に画面を切り替えて表示することができる。

【0193】

それにより、従来のように2つのサブフィールドがばらばらに混在して表示され映像品質が低下してしまうことがなくなり、映像品質を向上させることができるだけでなく、有機EL表示装置1の有機EL表示パネル6の発熱量を低減することができる。

20

【0194】

（変形例2）

なお、変形例1では、1フレームを複数のサブフレームで構成する場合について説明したが、それに限らない。図15に示すように各画素の階調（輝度）を複数のサブフィールド（サブフレーム）に分割して表現するとしてもよい。

【0195】

（他の実施の形態）

以上、有機EL表示装置について、実施の形態に基づいて説明したが、本開示は、この実施の形態に限定されるものではない。本開示の趣旨を逸脱しない限り、当業者が思いつく各種変形を本実施の形態に施したもののや、異なる実施の形態における構成要素を組み合わせ構築される形態も、一つまたは複数の態様の範囲内に含まれても良い。

30

【産業上の利用可能性】

【0196】

本発明は、有機EL表示装置およびその駆動方法に利用でき、特に、例えば図16に示されるようなテレビなどのFPD表示装置に利用することができる。

【符号の説明】

【0197】

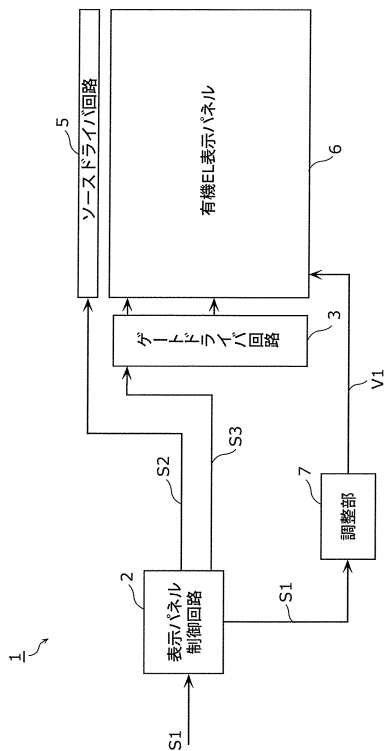
- 1 有機EL表示装置
- 2 表示パネル制御回路
- 3、30、31 ゲートドライバIC（回路）
- 5 ソースドライバIC（回路）
- 6 有機EL表示パネル
- 7 調整部
- 60、60A、60a、60b 画素回路
- 61、61a、63、63a、64、64a、67、67a、611、612 スイッチ
- 62、65、65a 容量素子
- 66、66a 駆動トランジスタ

40

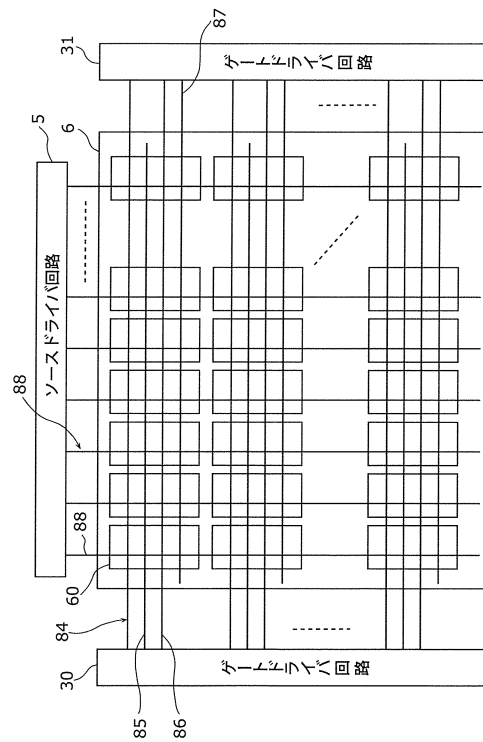
50

- 6 8 有機EL素子
- 7 1 電流演算部
- 7 2 電圧算出部
- 7 3 電圧変更部
- 7 3 a、7 3 b 電圧源
- 8 1 ELアノード電源線
- 8 2 ELカソード電源線
- 8 3、6 1 4 参照電源線
- 8 4、8 4 a、8 5、8 5 a、8 6、8 6 a、8 7、8 7 a ゲート信号線
- 8 8 ソース信号線
- 6 1 3 初期化電源線
- 6 1 6 制御線
- 6 1 7 I n i t 線
- 7 1 1 第1電流値算出部
- 7 1 2 第2電流値算出部
- 7 1 3 第3電流値算出部
- 7 1 4、7 1 5、7 1 6 重み付け部
- 7 1 7 加算部

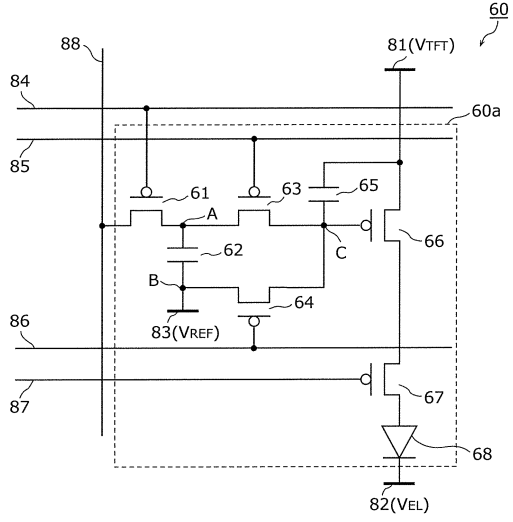
【図1】



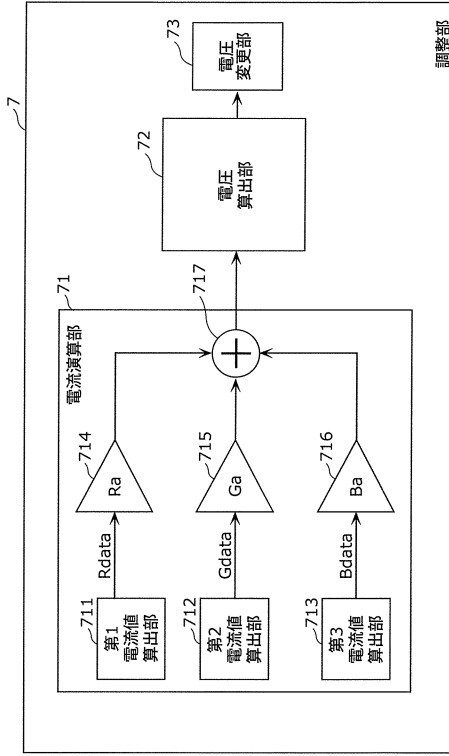
【図2】



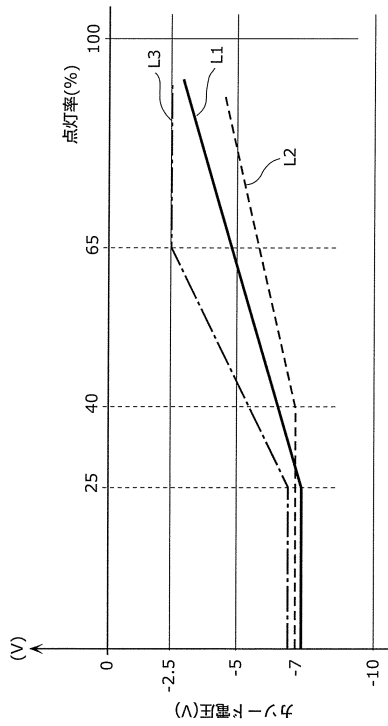
【図3】



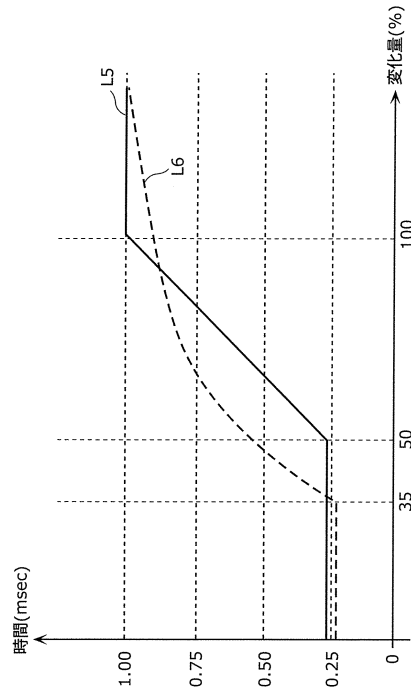
【図4】



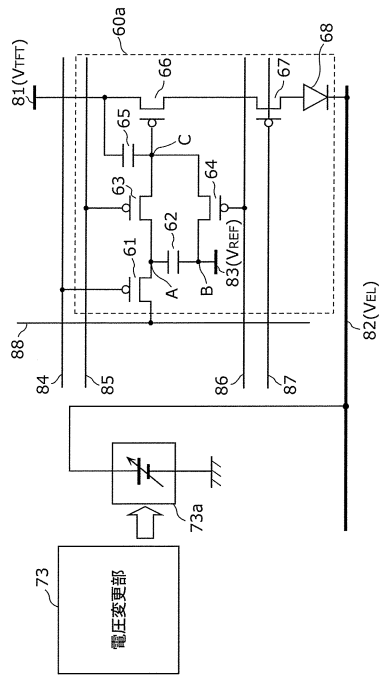
【図5】



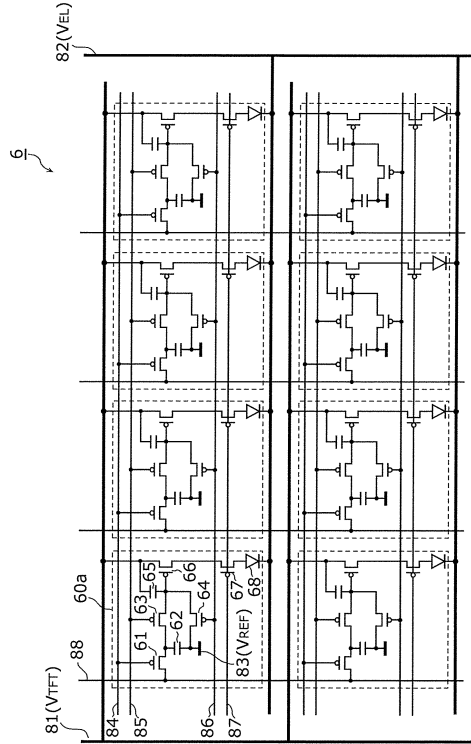
【図6】



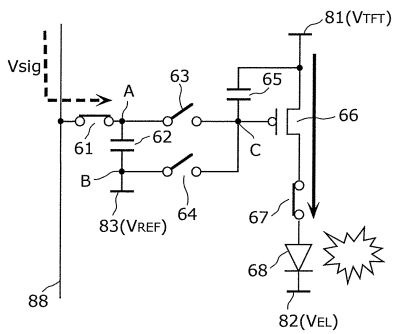
【図7】



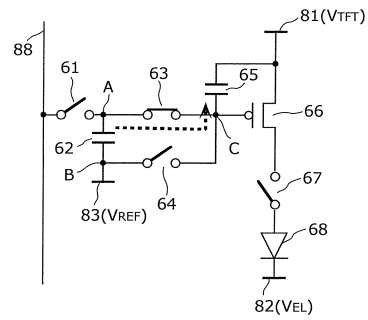
【図8】



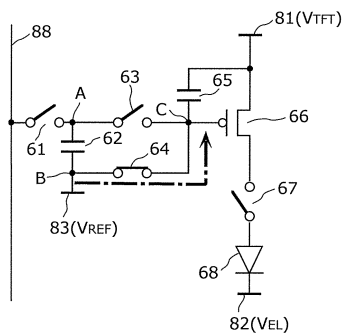
【図9A】



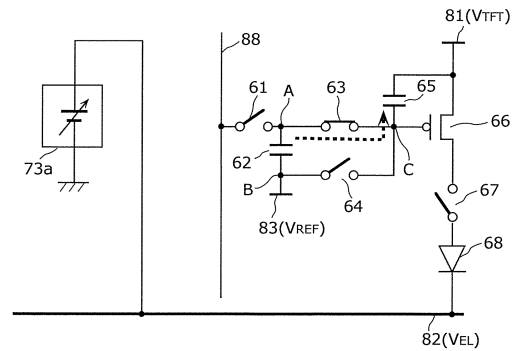
【図9C】



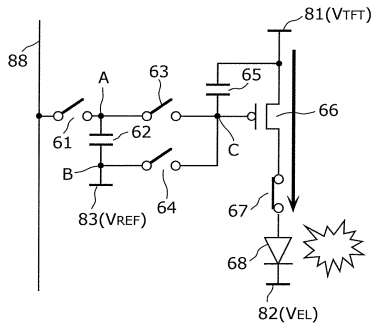
【図9B】



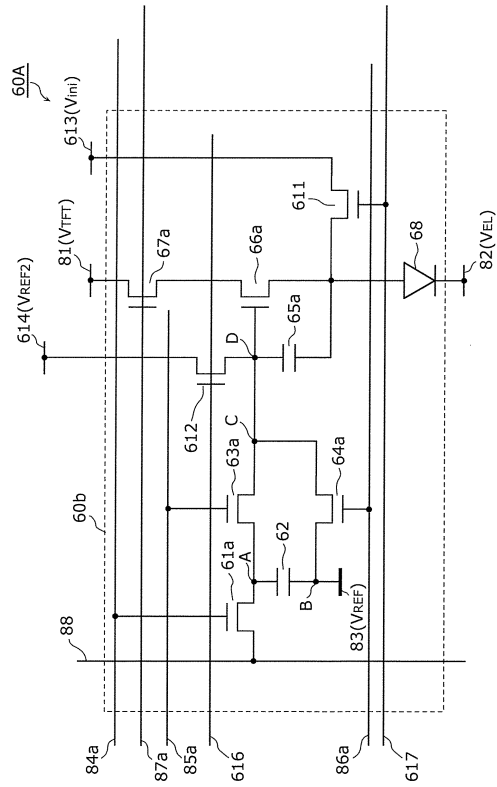
【図9D】



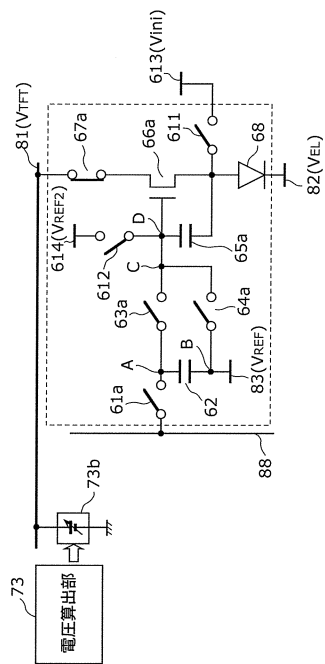
【図9E】



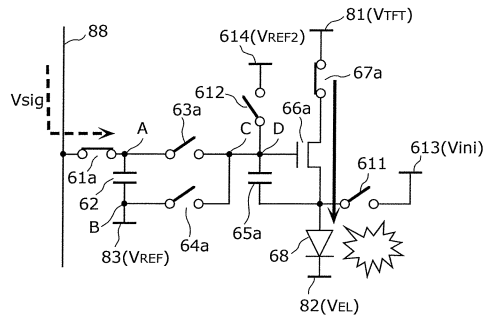
【図10】



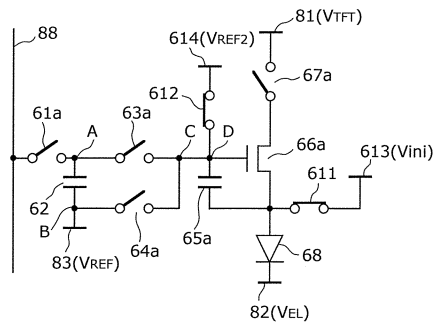
【図11】



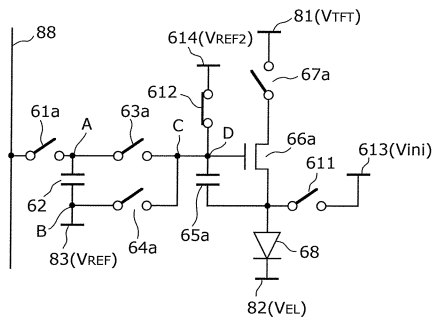
【図12A】



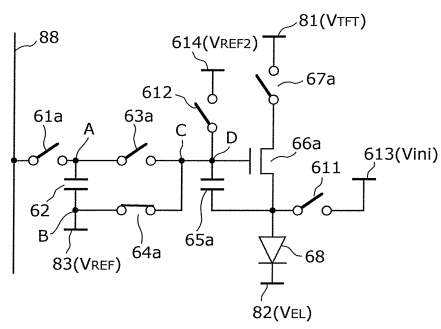
【図12B】



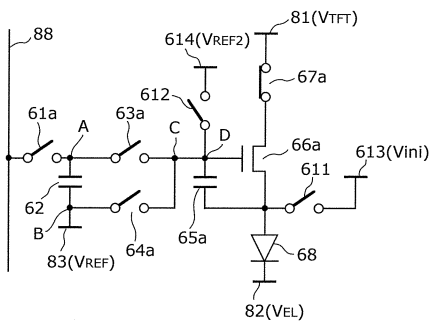
【図12C】



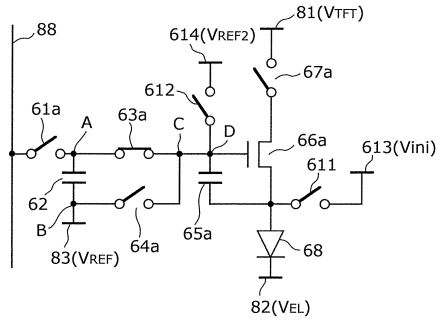
【図12E】



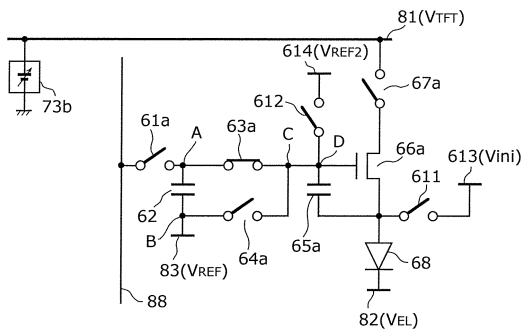
【図12D】



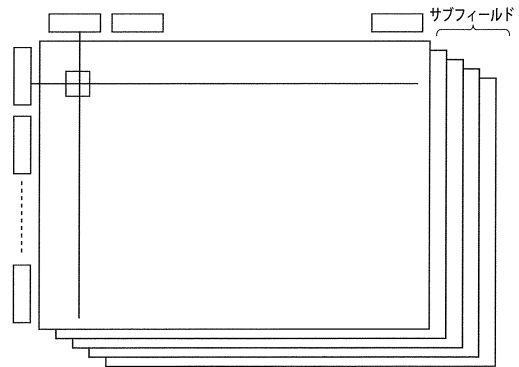
【図12F】



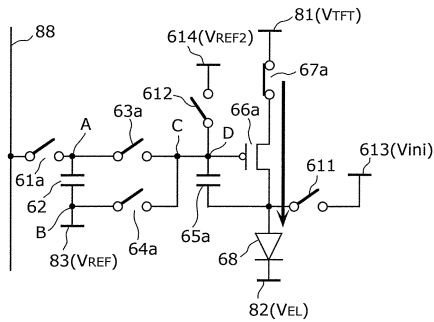
【図12G】



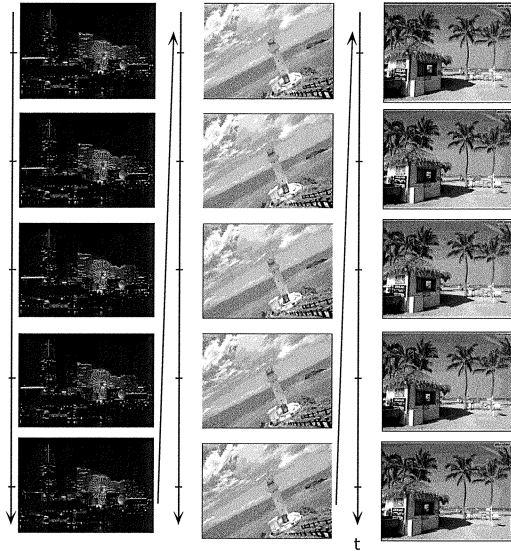
【図13】



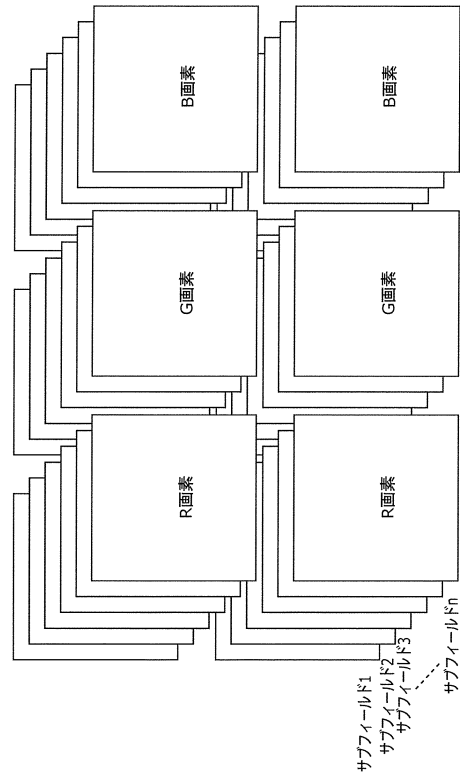
【図12H】



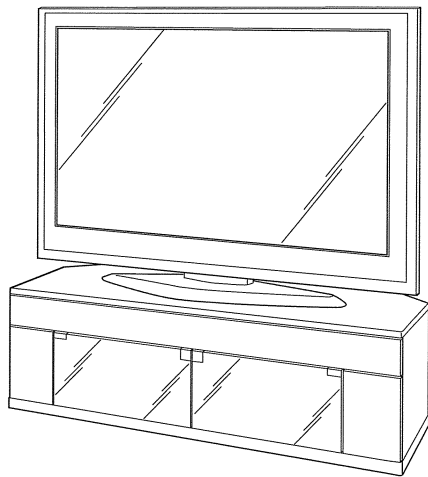
【図14】



【図15】



【図16】





---

 フロントページの続き

(51)Int.Cl.	F I		
	G 0 9 G	3/20	6 1 2 A
	G 0 9 G	3/20	6 1 2 T
	G 0 9 G	3/20	6 4 1 E
	G 0 9 G	3/20	6 2 1 A
	H 0 5 B	33/14	A

(56)参考文献 特開2012-083728(JP,A)  
 国際公開第2011/104965(WO,A1)  
 国際公開第2011/077718(WO,A1)  
 特開2003-150107(JP,A)  
 国際公開第2009/017156(WO,A1)  
 特開2004-252216(JP,A)  
 特開2003-330421(JP,A)  
 米国特許出願公開第2008/0048951(US,A1)

(58)調査した分野(Int.Cl.,DB名)  
 G 0 9 G 3 / 0 0 - 5 / 4 2  
 H 0 1 L 5 1 / 5 0