

【公報種別】特許法第 17 条の 2 の規定による補正の掲載
【部門区分】第 7 部門第 2 区分
【発行日】平成 17 年 7 月 7 日 (2005.7.7)

【公開番号】特開 2004-111572 (P2004-111572A)
【公開日】平成 16 年 4 月 8 日 (2004.4.8)
【年通号数】公開・登録公報 2004-014
【出願番号】特願 2002-270604 (P2002-270604)
【国際特許分類第 7 版】

H 0 1 L 27/146

【F I】

H 0 1 L 27/14 A

【手続補正書】

【提出日】平成 16 年 10 月 29 日 (2004.10.29)

【手続補正 1】

【補正対象書類名】明細書

【補正対象項目名】特許請求の範囲

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項 1】

半導体基板上に、入射光を光電変換し得られた電気信号を増幅する増幅型単位画素を一次元状または二次元状に配列した感光領域と前記単位画素を駆動する走査回路および出力アンプ回路を有する撮像チップと、前記撮像チップから出力される信号を信号処理し、所望の信号に変換するデジタル信号処理チップいわゆる DSP チップからなるチップセットであって、前記 DSP チップにタイミング発生回路を備え、又前記 DSP チップのトランジスタは CMOS で構成されたものであり、かつ前記撮像チップのトランジスタは同一導電型のトランジスタで構成されていることを特徴とする撮像装置チップセット。

【請求項 2】

前記撮像チップのトランジスタは n MOS で構成されていることを特徴とする請求項 1 記載の撮像装置チップセット。

【請求項 3】

前記撮像チップのトランジスタは前記 CMOS の最小寸法より大きい最小寸法設計基準で形成されていることを特徴とする請求項 1 または請求項 2 記載の撮像装置チップセット。

【請求項 4】

前記チップセットにおける前記撮像チップの走査回路およびタイミング発生回路と出力アンプ回路について、一部または全部がダイナミック回路により設計されていることを特徴とする請求項 1 記載の撮像装置チップセット。

【請求項 5】

前記チップセットにおける前記撮像チップの走査回路およびタイミング発生回路と出力アンプ回路について、一部または全部がダイナミック回路により設計され、ダイナミック回路の MOS トランジスタ部分の酸化膜を厚くして高耐圧化されていることを特徴とする請求項 1 または請求項 4 項記載の撮像装置チップセット。

【請求項 6】

前記チップセットにおける前記撮像チップの前記トランジスタが半導体基板を侵食しないように形成された絶縁膜とイオン注入層からなる素子分離領域を持つことを特徴とする請求項 1 または請求項 2 または請求項 3 記載の撮像装置チップセット。

【請求項 7】

前記チップセットにおける前記撮像チップの増幅型単位画素が埋め込み型フォトダイオードを有することを特徴とする請求項 1 または請求項 2 または請求項 3 または請求項 6 記載の撮像装置チップセット。

【請求項 8】

前記走査回路に供給するタイミングパルスを発生するタイミング発生回路が DSP チップ側に搭載されていることを特徴とする請求項 1 または請求項 4 または請求項 5 記載の撮像装置チップセット。

【請求項 9】

請求項 1 ないし請求項 8 のいずれかに記載の撮像装置チップセットを組み込んでいることを特徴とする画像ピックアップシステム。

【手続補正 2】

【補正対象書類名】明細書

【補正対象項目名】0013

【補正方法】変更

【補正の内容】

【0013】

【課題を解決するための手段】

上記の課題を解決するため、本発明の請求項 1 記載の撮像装置チップセットは、半導体基板上に、入射光を光電変換し得られた電気信号を増幅する増幅型単位画素を一次元状または二次元状に配列した感光領域と前記単位画素を駆動する走査回路および出力アンプ回路を有する撮像チップと、前記撮像チップから出力される信号を信号処理し、所望の信号に変換するデジタル信号処理チップいわゆる DSP チップからなるチップセットであって、前記 DSP チップにタイミング発生回路を備え、又前記 DSP チップのトランジスタは CMOS で構成されたものであり、かつ前記撮像チップのトランジスタは同一導電型のトランジスタで構成されていることを特徴とするものである。