

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2024年10月10日(10.10.2024)



(10) 国際公開番号

WO 2024/209330 A1

- (51) 国際特許分類:
H01L 29/786 (2006.01) *H10B 12/00* (2023.01)
H01L 21/336 (2006.01) *H10B 41/70* (2023.01)
H10B 10/00 (2023.01)
- (21) 国際出願番号: PCT/IB2024/053141
- (22) 国際出願日: 2024年4月1日(01.04.2024)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願 2023-062697 2023年4月7日(07.04.2023) JP
- (71) 出願人: 株式会社半導体エネルギー研究所
(SEMICONDUCTOR ENERGY LABORATORY

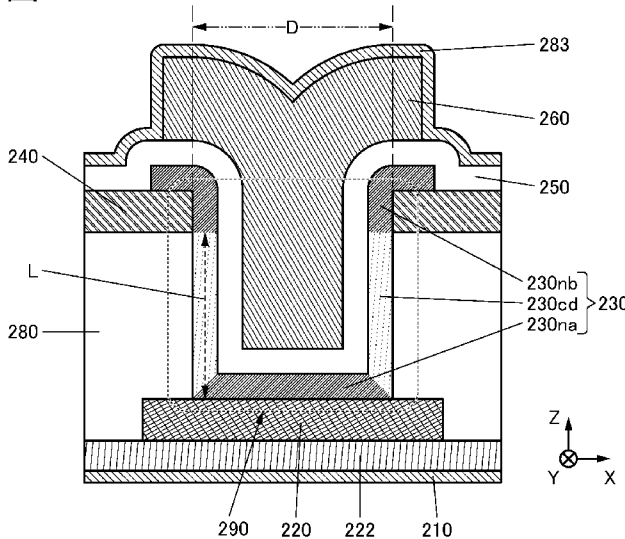
CO., LTD.) [JP/JP]; 〒2430036 神奈川県厚木市長谷398 Kanagawa (JP).

- (72) 発明者: 山崎 舜平 (YAMAZAKI, Shunpei); 〒2430036 神奈川県厚木市長谷398株式会社半導体エネルギー研究所内 Kanagawa (JP). 和久田真弘 (WAKUDA, Masahiro); 〒2430036 神奈川県厚木市長谷398株式会社半導体エネルギー研究所内 Kanagawa (JP). 山出直人 (YAMADE, Naoto); 〒2430036 神奈川県厚木市長谷398株式会社半導体エネルギー研究所内 Kanagawa (JP). 村川努 (MURAKAWA, Tsutomu); 〒2430036 神奈川県厚木市長谷398株式会社半導体エネルギー研究所内 Kanagawa (JP). 國武寛司 (KUNITAKE, Hitoshi); 〒2430036 神奈川

(54) Title: SEMICONDUCTOR DEVICE, AND METHOD FOR MANUFACTURING SEMICONDUCTOR DEVICE

(54) 発明の名称: 半導体装置、及び、半導体装置の作製方法

図2A



(57) Abstract: Provided is a semiconductor device which allows for miniaturization and high integration. This semiconductor device comprises a transistor and an insulator. The insulator is provided on one among the source and the drain of the transistor. The other among the source and the drain of the transistor is provided on the insulator. An opening reaching the one among the source and the drain is provided in the insulator and in the other among the source and the drain. An oxide semiconductor of the transistor is in contact with the upper surface of the one among the source and the drain, the side

県厚木市長谷398株式会社半導体エネルギー研究所内 Kanagawa (JP). 中山智則 (NAKAYAMA, Tomonori); 〒2430036 神奈川県厚木市長谷398株式会社半導体エネルギー研究所内 Kanagawa (JP).

- (81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CV, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IQ, IR, IS, IT, JM, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, MG, MK, MN, MU, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, WS, ZA, ZM, ZW.
- (84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO(BW, CV, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SC, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, ME, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類:

一 国際調査報告 (条約第21条(3))

surface of the insulator, and the side surface of the other among the source and the drain in the opening. A gate insulator of the transistor is provided on the oxide semiconductor. The gate of the transistor is provided on the gate insulator. The oxide semiconductor has a first region in contact with the one among the source and the drain, a second region in contact with the insulator, and a third region in contact with the other among the source and the drain. The first and third regions have lower resistance than the second region, and the second region has lower electric potential than the first and third regions.

(57) 要約: 微細化又は高集積化が可能な半導体装置を提供する。トランジスタと絶縁体を有し、絶縁体は、トランジスタのソース又はドレインの一方の上に設けられ、トランジスタのソース又はドレインの他方は、絶縁体上に設けられ、絶縁体とソース又はドレインの他方には、ソース又はドレインの一方に達する開口部が設けられ、トランジスタが有する酸化物半導体は、それぞれ開口部における、ソース又はドレインの一方の上面、絶縁体の側面、ソース又はドレインの他方の側面に接し、トランジスタのゲート絶縁体は、酸化物半導体上に設けられ、トランジスタのゲートは、ゲート絶縁体上に設けられ、酸化物半導体は、ソース又はドレインの一方と接する第1の領域、絶縁体と接する第2の領域、ソース又はドレインの他方と接する第3の領域を有し、第1及び第3の領域は、第2の領域よりも低抵抗であり、第2の領域は、第1及び第3の領域よりも低電位である。

明細書

発明の名称

半導体装置、及び、半導体装置の作製方法

技術分野

[0001]

本発明の一態様は、半導体装置、記憶装置、及び電子機器に関する。また、本発明の一態様は、上記半導体装置の作製方法に関する。

[0002]

なお、本発明の一態様は、上記の技術分野に限定されない。本発明の一態様の技術分野としては、半導体装置、表示装置、発光装置、蓄電装置、記憶装置、照明装置、入力装置（例えば、タッチセンサ）、入出力装置（例えば、タッチパネル）、それらを有する電子機器、それらの駆動方法、又はそれらの製造方法を一例として挙げることができる。

[0003]

なお、本明細書等において半導体装置とは、半導体特性を利用することで機能し得る装置全般を指す。トランジスタなどの半導体素子をはじめ、半導体回路、演算装置、記憶装置は、半導体装置の一態様である。表示装置（液晶表示装置、発光表示装置など）、投影装置、照明装置、電気光学装置、蓄電装置、記憶装置、半導体回路、撮像装置、電子機器などは、半導体装置を有するといえる場合がある。

背景技術

[0004]

近年、半導体装置の開発が進められ、LSI、CPU、メモリなどが主に半導体装置に用いられている。CPUは、半導体ウエハを加工し、チップ化された半導体集積回路（少なくとも、トランジスタ及びメモリ）を有し、接続端子である電極が形成された半導体素子の集合体である。

[0005]

LSI、CPU、メモリなどの半導体回路（ICチップ）は、回路基板、例えば、プリント配線基板に実装され、様々な電子機器の部品の一つとして用いられる。

[0006]

また、絶縁表面を有する基板上に形成された半導体薄膜を用いてトランジスタを構成する技術が注目されている。当該トランジスタは集積回路（IC）、画像表示装置（単に表示装置とも表記する。）のような電子デバイスに広く応用されている。トランジスタに適用可能な半導体薄膜としてシリコン系半導体材料が広く知られているが、その他の材料として酸化物半導体が注目されている。

[0007]

また、酸化物半導体を用いたトランジスタは、非導通状態において極めてリーク電流が小さいことが知られている。例えば、特許文献1には、酸化物半導体を用いたトランジスタのリーク電流が小さいという特性を応用した低消費電力のCPUなどが開示されている。また、例えば、特許文献2には、酸化物半導体を用いたトランジスタのリーク電流が小さいという特性を応用して、長期にわたり記憶内容を保持することができる記憶装置などが、開示されている。

[0008]

また、近年では電子機器の小型化、軽量化に伴い、集積回路のさらなる高密度化への要求が高まっている。また、集積回路を含む半導体装置の生産性の向上が求められている。例えば、特許文献3及

び非特許文献1では、酸化物半導体膜を用いる第1のトランジスタと、酸化物半導体膜を用いる第2のトランジスタとを積層させることで、メモリセルを複数重畳して設けることにより、集積回路の高密度化を図る技術が開示されている。また、例えば、特許文献4のように、酸化物半導体膜を用いるトランジスタのチャネルを縦方向に配置し、集積回路の高密度化を図る技術も開示されている。

[先行技術文献]

[特許文献]

[0009]

[特許文献1] 特開2012-257187号公報

[特許文献2] 特開2011-151383号公報

[特許文献3] 国際公開第2021/053473号

[特許文献4] 特開2013-211537号公報

[非特許文献]

[0010]

[非特許文献1] M. Oota et al., "3D-Stacked CAAC-In-Ga-Zn Oxide FETs with Gate Length of 72nm", IEDM Tech. Dig., 2019, pp. 50-53

発明の概要

発明が解決しようとする課題

[0011]

本発明の一態様は、微細化又は高集積化が可能な半導体装置、及び、半導体装置の作製方法を提供することを課題の一とする。本発明の一態様は、オン電流が大きい半導体装置、及び、半導体装置の作製方法を提供することを課題の一とする。本発明の一態様は、動作速度が速い半導体装置、及び、半導体装置の作製方法を提供することを課題の一とする。本発明の一態様は、信頼性が高い半導体装置、及び、半導体装置の作製方法を提供することを課題の一とする。本発明の一態様は、良好な電気特性を有する半導体装置、及び、半導体装置の作製方法を提供することを課題の一とする。本発明の一態様は、トランジスタの電気特性のばらつきが少ない半導体装置、及び、半導体装置の作製方法を提供することを課題の一とする。本発明の一態様は、消費電力が少ない半導体装置、及び、半導体装置の作製方法を提供することを課題の一とする。本発明の一態様は、新規の半導体装置、及び、半導体装置の作製方法を提供することを課題の一とする。本発明の一態様は、生産性の高い半導体装置の作製方法を提供することを課題の一とする。

[0012]

なお、これらの課題の記載は、他の課題の存在を妨げるものではない。本発明の一態様は、必ずしも、これらの課題の全てを解決する必要はないものとする。明細書、図面、請求項の記載から、これら以外の課題を抽出することが可能である。

課題を解決するための手段

[0013]

本発明の一態様は、トランジスタと、絶縁体と、を有し、トランジスタは、第1の電極、第2の電極、酸化物半導体、ゲート絶縁体、及びゲート電極を有し、第1の電極は、ソース電極又はドレイン電極の一方としての機能を有し、第2の電極は、ソース電極又はドレイン電極の他方としての機能を有し、第1の電極と、第2の電極と、はそれぞれ異なる高さに設けられ、絶縁体は、第1の電極上に

設けられ、第2の電極は、絶縁体上に設けられ、絶縁体、及び、第2の電極には、第1の電極に達する開口部が設けられ、酸化物半導体は、開口部における第1の電極の上面、開口部における絶縁体の側面、並びに、開口部における第2の電極の側面に接して設けられ、ゲート絶縁体は、酸化物半導体上に設けられ、ゲート電極は、開口部を埋め込むように、ゲート絶縁体上に設けられ、酸化物半導体は、第1の電極と接する第1の領域と、絶縁体と接する第2の領域と、第2の電極と接する第3の領域と、を有し、第1の領域、及び、第3の領域は、第2の領域よりも低抵抗であり、第2の領域は、ハロゲン元素を有し、トランジスタは、しきい値電圧が0Vより大きい半導体装置である。

[0014]

また上記において、ハロゲン元素は、塩素、フッ素、臭素、ヨウ素の中から選ばれるいずれか一又は複数であることが好ましい。

[0015]

また上記において、ハロゲン元素は、塩素又はフッ素であることが好ましい。

[0016]

また上記において、第1の領域、及び、第3の領域は、第2の領域よりも、水素、ホウ素、炭素、窒素、リン、硫黄、ヒ素、アルミニウム、マグネシウム、シリコン、及び貴ガスの一又は複数の濃度が高いことが好ましい。

[0017]

また上記において、絶縁体は、シリコンと、酸素と、を有していることが好ましい。

[0018]

また、本発明の一態様は、第1の導電体を形成し、第1の導電体上に、第1の絶縁体を形成し、第1の絶縁体上に、第1の導電膜を形成し、第1の導電膜、及び、第1の絶縁体を加工して、第2の導電体、及び、第1の導電体に達する開口部を形成し、開口部における第1の導電体の上面、開口部における第1の絶縁体の側面、及び、開口部における第2の導電体の側面に接して、酸化物半導体膜を形成し、酸化物半導体膜のうち、開口部における第1の絶縁体の側面に接する第1の領域に対して、塩素又はフッ素を供給する処理を行う半導体装置の作製方法である。

[0019]

また上記において、塩素又はフッ素を供給する処理は、作製中の半導体装置を、基板面内の一点を支点として15度以上80度以下の角度で傾けた状態で、イオン注入法を用いて行うことが好ましい。

[0020]

また上記において、塩素又はフッ素を供給する処理の後に、250℃以上650℃以下の加熱処理を行うことが好ましい。

[0021]

また上記において、塩素又はフッ素を供給する処理の後に、酸化物半導体膜を加工して、酸化物半導体を形成し、第2の導電体を加工して、第3の導電体を形成し、酸化物半導体上に、第2の絶縁体を形成し、第2の絶縁体を介して、酸化物半導体のうち、開口部における第1の導電体に接する第2の領域、及び、開口部の外側において第3の導電体に接する第3の領域に対して、水素、ホウ素、炭素、窒素、フッ素、リン、硫黄、ヒ素、アルミニウム、マグネシウム、シリコン、及び貴ガスの一又は複数を供給する処理を行うことが好ましい。

発明の効果

[0022]

本発明の一態様により、微細化又は高集積化が可能な半導体装置、及び、半導体装置の作製方法を提供することができる。本発明の一態様により、オン電流が大きい半導体装置、及び、半導体装置の作製方法を提供することができる。本発明の一態様により、動作速度が速い半導体装置、及び、半導体装置の作製方法を提供することができる。本発明の一態様により、信頼性が高い半導体装置、及び、半導体装置の作製方法を提供することができる。本発明の一態様により、良好な電気特性を有する半導体装置、及び、半導体装置の作製方法を提供することができる。本発明の一態様により、トランジスタの電気特性のばらつきが少ない半導体装置、及び、半導体装置の作製方法を提供することができる。本発明の一態様により、消費電力が少ない半導体装置、及び、半導体装置の作製方法を提供することができる。本発明の一態様により、新規の半導体装置、及び、半導体装置の作製方法を提供することができる。本発明の一態様により、生産性の高い半導体装置の作製方法を提供することができる。

[0023]

なお、これらの効果の記載は、他の効果の存在を妨げるものではない。本発明の一態様は、必ずしも、これらの効果の全てを有する必要はない。明細書、図面、請求項の記載から、これら以外の効果を抽出することが可能である。

図面の簡単な説明

[0024]

図1Aは、半導体装置の一例を示す平面図である。図1B及び図1Cは、半導体装置の一例を示す断面図である。

図2A及び図2Bは、半導体装置の一例を示す断面図である。

図3Aは、トランジスタの各領域にかかる電位を示す図である。図3B及び図3Cは、トランジスタの電気特性を示す図である。

図4A及び図4Bは、半導体装置の一例を示す断面図である。

図5A乃至図5Cは、積層構造の酸化物半導体のバンド図を示す図である。

図6A及び図6Bは、半導体装置の一例を示す断面図である。

図7Aは、半導体装置の一例を示す平面図である。図7B乃至図7Dは、半導体装置の一例を示す断面図である。

図8Aは、半導体装置の一例を示す平面図である。図8Bは、半導体装置の一例を示す断面図である。

図9A乃至図9Cは、半導体装置の作製方法の一例を示す断面図である。

図10A及び図10Bは、半導体装置の作製方法の一例を示す断面図である。

図11A及び図11Cは、半導体装置の作製方法の一例を示す斜視概略図である。図11B及び図11Dは、半導体装置の作製方法の一例を示す平面概略図である。

図12A乃至図12Cは、半導体装置の作製方法の一例を示す断面図である。

図13A及び図13Bは、半導体装置の作製方法の一例を示す断面図である。

図14は、半導体装置の構成例を説明するブロック図である。

図15A乃至図15Hは、メモリセルの回路構成例を説明する図である。

図16A及び図16Bは、半導体装置の構成例を説明する斜視図である。

図17は、CPUを説明するブロック図である。

図18A及び図18Bは、半導体装置の斜視図である。

図19A及び図19Bは、半導体装置の斜視図である。

図20A及び図20Bは、各種の記憶装置を階層ごとに示す図である。

図 2 1 A 及び図 2 1 B は、電子機器の一例を示す図である。図 2 1 C 乃至図 2 1 E は、大型計算機の一例を示す図である。

図 2 2 は、宇宙用機器の一例を示す図である。

図 2 3 は、データセンターに適用可能なストレージシステムの一例を示す図である。

発明を実施するための形態

[0025]

実施の形態について、図面を用いて詳細に説明する。ただし、本発明は以下の説明に限定されず、本発明の趣旨及びその範囲から逸脱することなくその形態及び詳細を様々に変更し得ることは、当業者であれば容易に理解される。したがって、本発明は以下に示す実施の形態の記載内容に限定して解釈されるものではない。

[0026]

なお、以下に説明する発明の構成において、同一部分又は同様な機能を有する部分には同一の符号を異なる図面間で共通して用い、その繰り返しの説明は省略する。また、同様の機能を指す場合には、ハッチングパターンを同じくし、特に符号を付さない場合がある。

[0027]

また、図面において示す各構成の、位置、大きさ、及び、範囲などは、理解の簡単のため、実際の位置、大きさ、及び、範囲などを表していない場合がある。このため、開示する発明は、必ずしも、図面に開示された位置、大きさ、及び、範囲などに限定されない。

[0028]

また、特に平面図又は斜視図などにおいて、発明の理解を容易とするため、一部の構成要素の記載を省略する場合がある。また、一部の隠れ線の記載を省略する場合がある。

[0029]

なお、本明細書等において、「第 1」、「第 2」という序数詞は、便宜上用いるものであり、構成要素の数、又は、構成要素の順序（例えば、工程順、又は積層順）を限定するものではない。また、本明細書のある箇所において構成要素に付す序数詞と、本明細書の他の箇所、又は特許請求の範囲において、当該構成要素に付す序数詞と、が一致しない場合がある。

[0030]

なお、「膜」という言葉と、「層」という言葉とは、場合によっては、又は、状況に応じて、互いに入れ替えることが可能である。例えば、「導電層」という用語を、「導電膜」という用語に変更することが可能である。又は、例えば、「絶縁膜」という用語を、「絶縁層」という用語に変更することが可能である。また、「導電体」という用語は、場合によっては、又は、状況に応じて、「導電層」という用語、又は「導電膜」という用語に、互いに入れ替えることが可能である。また、「絶縁体」という用語は、場合によっては、又は、状況に応じて、「絶縁層」という用語、又は「絶縁膜」という用語に、互いに入れ替えることが可能である。また、「酸化半導体」という用語は、場合によっては、又は、状況に応じて、「酸化半導体層」という用語、又は「酸化半導体膜」という用語に、互いに入れ替えることが可能である。

[0031]

また、本明細書等において、「平行」とは、二つの直線が -10 度以上 10 度以下の角度で配置されている状態をいう。したがって、 -5 度以上 5 度以下の場合も含まれる。また、「概略平行」とは、二つの直線が -30 度以上 30 度以下の角度で配置されている状態をいう。また、「垂直」とは、二

つの直線が80度以上100度以下の角度で配置されている状態をいう。したがって、85度以上95度以下の場合も含まれる。また、「概略垂直」とは、二つの直線が60度以上120度以下の角度で配置されている状態をいう。

[0032]

開口とは、例えば、溝、スリット、凹部なども含まれる。また、開口が形成された領域を開口部と記す場合がある。

[0033]

また、本実施の形態で用いる図面において、絶縁体の開口部における、絶縁体の側壁が、基板面又は被形成面に対して垂直、又は概略垂直である場合を示すが、テーパ形状であってもよい。

[0034]

なお、本明細書等において、テーパ形状とは、構造の側面の少なくとも一部が、基板面又は被形成面に対して傾斜して設けられている形状のことを指す。例えば、傾斜した側面と基板面又は被形成面とがなす角（以下、テーパ角と呼ぶ場合がある。）が90度未満である領域を有する形状のことを指す。なお、構造の側面及び基板面は、必ずしも完全に平坦である必要はなく、微細な曲率を有する略平面状、又は微細な凹凸を有する略平面状であってもよい。また、本明細書等において、逆テーパ形状とは、底部よりも基板に平行な方向にせり出した側部、又は上部を有した形状である。

[0035]

なお、本明細書等において、「高さが一致」とは、断面視において、基準となる面（例えば、基板表面などの平坦な面）からの高さが等しい構成を示す。例えば、記憶装置の製造プロセスにおいて、平坦化处理（代表的には化学機械研磨（CMP：Chemical Mechanical Polishing）処理）を行うことで、単層又は複数の層の表面が露出する場合がある。この場合、CMP処理の被処理面は、基準となる面からの高さが等しい構成となる。ただし、CMP処理の際の処理装置、処理方法、又は被処理面の材料によって、複数の層の高さが異なる場合がある。本明細書等においては、この場合も「高さが一致」として扱う。例えば、基準面に対して、2つの高さを有する層（ここでは第1の層と、第2の層とする。）を有する場合であって、第1の層の上面の高さと、第2の層の上面の高さととの差が、20nm以下である場合も、「高さが一致」という。

[0036]

なお、本明細書等において、「側端部が一致」とは、平面視において、積層した層と層との間で少なくとも輪郭の一部が重なることをいう。例えば、上層と下層とが、同一のマスクパターン、又は一部が同一のマスクパターンにより加工された場合を含む。ただし、厳密には輪郭が重ならず、上層の輪郭が下層の輪郭より内側に位置すること、又は、上層の輪郭が下層の輪郭より外側に位置することもあり、この場合も「側端部が一致」という。

[0037]

なお、一般に、「完全一致」と「概略一致」の差を明確に区分けするのは困難である。このため、本明細書等において「一致」とは、完全に一致している場合と、概略一致している場合のいずれも含むものとする。

[0038]

なお本明細書等において、第1の膜厚と第2の膜厚が一致するとは、第1の膜厚と第2の膜厚との差の絶対値を、第1の膜厚で除した値が0.1以下であることをいう。又は、第1の膜厚と第2の膜厚との差の絶対値を、第2の膜厚で除した値が0.1以下であることをいう。

[0039]

なお本明細書等において、距離Aと距離Bが一致するとは、距離Aと距離Bとの差の絶対値を、距離Aで除した値が0.1以下であることをいう。又は、距離Aと距離Bとの差の絶対値を、距離Bで除した値が0.1以下であることをいう。

[0040]

また、本明細書等において、「電圧」と「電位」は、適宜言い換えることができる。「電圧」は、基準となる電位からの電位差のことであり、例えば基準となる電位をグラウンド電位（接地電位）とすると、「電圧」を「電位」に言い換えることができる。なお、グラウンド電位は必ずしも0Vを意味するとは限らない。また、電位は相対的なものであり、基準となる電位が変わることによって、配線に与えられる電位、回路などに印加される電位、回路などから出力される電位なども変化する。

[0041]

また、本明細書等において、「接続」は「電氣的接続」を含む。

[0042]

「AとBとが電氣的に接続されている」とは、AとBとが絶縁体を介さずに接続されているもの（AとBとが導電体又は半導体を介して接続されているもの。AとBとが接触しているもの。）のうち、回路の動作中に、AとBの間に電気信号の授受又は電位の相互作用が発生するタイミングがあるものを意味する。すなわち、回路の動作中に、AとBの間に電気信号の授受又は電位の相互作用が発生しないタイミングがあるとしても、AとBの間に電気信号の授受又は電位の相互作用が発生するタイミングがあれば、「AとBとが電氣的に接続されている」と言える。

[0043]

「電氣的接続」には、回路素子（例えば、トランジスタ。ただし、配線は除く。）を介さない接続（直接接続）と、一つ以上の回路素子を介する接続（間接接続）と、がある。

[0044]

「AとBとが電氣的に接続されている」例としては、AとBとが回路素子を介さずに接続されている場合、AとBとが一つ以上のトランジスタのソース及びドレインを介して接続されている場合などがある。ただし、AとBの間に電気信号の授受又は電位の相互作用が発生するタイミングがあることを前提にする。

[0045]

AとBとが絶縁体を介して接続されているため、「AとBとが電氣的に接続されている」とは言えない例としては、AとBの間に容量素子の誘電体、トランジスタのゲート絶縁膜などが介在している場合がある。

[0046]

AとBとが絶縁体を介さずに接続されているが、AとBの間に電気信号の授受又は電位の相互作用が発生するタイミングのいずれもないため、「AとBとが電氣的に接続されている」とは言えない例としては、AからBまでの経路に、電源、信号源などからの電位Vが供給されている場合（ただし、回路素子を介して電位Vが供給されている場合は含まない。）、AとCとがトランジスタTrPのソース及びドレインを介して接続され、BとCとがトランジスタTrQのソース及びドレインを介して接続されているもののうち、トランジスタTrP及びトランジスタTrQの双方が同時にオン状態になるタイミングがない場合などがある。

[0047]

(実施の形態1)

本実施の形態では、本発明の一態様の半導体装置について、図面を用いて説明する。

[0048]

本発明の一態様の半導体装置は、トランジスタを有する。当該トランジスタは、基板面に対してソース電極と、ドレイン電極と、がそれぞれ異なる高さに重畳して設けられ、ドレイン電流が高さ方向（縦方向）に流れる構造を有する。このため、ソース電極と、ドレイン電極と、がそれぞれ同一平面上に設けられる構造のトランジスタよりも微細化を図ることができる。当該トランジスタが上述の構造を有することで、半導体装置の微細化及び高集積化を図ることができる。

[0049]

また、本発明の一態様の半導体装置は、上記トランジスタのソース電極と、ドレイン電極と、の間に絶縁体を有する。当該絶縁体と、上記トランジスタのソース電極又はドレイン電極の一方と、は上記トランジスタのソース電極又はドレイン電極の他方と重なる領域に、上記トランジスタのソース電極又はドレイン電極の他方に達する開口部を有する。当該開口部の側壁及び底部に接して、半導体層として、酸化物半導体が設けられる。詳細については後述するが、当該酸化物半導体において、上記トランジスタのソース電極とドレイン電極とに挟まれた領域は、チャンネル形成領域として機能し得る。

[0050]

したがって、上記トランジスタは、前述の絶縁体の膜厚を調整するだけで、ソース電極とドレイン電極との間隔を制御することができる。別言すると、上記トランジスタのチャンネル長の大きさを制御することができる。そのため、チャンネル長が、トランジスタの作製に用いる露光装置の性能に影響されなくなるため、チャンネル長を露光装置の限界解像度よりも小さくすることができ、極めてチャンネル長の短いトランジスタを実現することができる。

[0051]

一方、トランジスタのチャンネル長が短くなると、いわゆる短チャンネル効果（ショートチャンネル効果：Short Channel Effect：SCEともいう。）の影響で、トランジスタがノーマリオン特性になりやすくなる。ノーマリオン特性のトランジスタは、ノーマリオフ特性のトランジスタに比べてオフ電流が大きい。そのため、例えば、ノーマリオン特性のトランジスタを記憶装置に用いると、データの保持時間が短くなり、リフレッシュの頻度を増やす必要があるため、消費電力の増加につながる。

[0052]

したがって、記憶装置等への適用を前提としてチャンネル長の極めて短いトランジスタを作製する場合においては、当該トランジスタが、ノーマリオフ特性になるように作製する必要がある。

[0053]

トランジスタをノーマリオフ特性にするために、基板バイアス効果（基板効果：Body Effectともいう。）を利用する方法が知られている。具体的には、半導体層を挟んでゲート電極（第1のゲート電極）と対向する位置にバックゲート電極（第2のゲート電極）を設け、当該バックゲート電極から半導体層に対して逆バイアスを印加することで、トランジスタをノーマリオフ特性にすることができる。例えば、nチャンネル型トランジスタの場合、バックゲート電極に一定の負バイアスを印加した状態で、ゲート電極（第1のゲート電極）の電圧をスイープし、ドレイン電流（ I_d ）ーゲート電圧（ V_g ）特性を取得することで、バックゲート電極に負バイアス印加しない場合よりも、しきい値電圧をプラスシフトさせることができる。すなわち、ノーマリオフ特性のトランジスタを実現

することができる。

[0054]

しかしながら、バックゲートを形成する場合、その分だけ、トランジスタの作製工程数が増加することになる。また、バックゲートに負バイアスを印加するための電源も必要になり、半導体装置に付随する部品数が増加する。さらに、バックゲートに負バイアスを印加することで、消費電力の増大にもつながる。

[0055]

そこで、本発明の一態様の半導体装置では、トランジスタの作製工程時に、半導体層として機能する酸化物半導体（特に、チャネル形成領域）中に負電荷（負の固定電荷）が形成され得る処理を行う。例えば、塩素、フッ素等のハロゲン元素を、イオン注入法を用いて酸化物半導体（特に、チャネル形成領域）中に添加し、当該ハロゲン元素と置換させることによって酸素（余剰酸素ともいう。）を生成する処理と、その後、加熱処理等によって、酸化物半導体と接する絶縁体から絶縁体中に含まれる酸素を酸化物半導体（特に、チャネル形成領域）中に供給する処理と、を行う。これにより、当該酸素が電子をトラップすることによって、酸化物半導体中のハロゲン元素が添加された領域に負電荷が形成され得る。したがって、トランジスタは、基板バイアス効果と同様の効果を発現することができ、バックゲート電極を設けなくても、ノーマリオフ特性のトランジスタを実現することができる。

[0056]

以下では、本発明の一態様の半導体装置の具体的な構成例について説明する。

[0057]

<半導体装置の構成例>

図1A乃至図1Cを用いて、本発明の一態様である半導体装置の構成の一例を説明する。図1A乃至図1Cは、トランジスタ200を有する半導体装置の平面図及び断面図である。図1Aは、当該半導体装置の平面図である。図1B及び図1Cは、当該半導体装置の断面図である。ここで、図1Bは、図1AにA1-A2の一点鎖線で示す部位の断面図である。また、図1Cは、図1AにA3-A4の一点鎖線で示す部位の断面図である。なお、図1Aの平面図では、図の明瞭化のために一部の要素を省いている。また、図4A及び図4B、並びに、図6A及び図6Bに、図1Bに対応する拡大図を示す。

[0058]

なお、本明細書に係る図面等において、X方向、Y方向、及びZ方向を示す矢印を付す場合がある。なお、本明細書等において、「X方向」とはX軸に沿う方向であり、明示する場合を除き順方向と逆方向を区別しない場合がある。「Y方向」及び「Z方向」についても同様である。また、X方向、Y方向、及びZ方向は、それぞれが互いに交差する方向である。例えば、X方向、Y方向、及びZ方向は、それぞれが互いに直交する方向である。

[0059]

図1A乃至図1Cに示す半導体装置は、基板（図示しない。）上の絶縁体210と、絶縁体210上の絶縁体222と、絶縁体222上のトランジスタ200と、絶縁体222上の絶縁体280と、トランジスタ200上の絶縁体283と、を有する。絶縁体210は、層間膜として機能する。

[0060]

トランジスタ200は、絶縁体222上の導電体220と、絶縁体280上の導電体240と、導電体220の上面の少なくとも一部に接する酸化物半導体230と、酸化物半導体230上の絶縁体

250と、絶縁体250上の導電体260と、を有する。

[0061]

図1B及び図1Cに示すように、絶縁体280及び導電体240には、導電体220に達する開口部290が設けられている。ここで、開口部290の底部は、導電体220の上面であり、開口部290の側壁は、絶縁体280の側面、及び導電体240の側面である。開口部290は、絶縁体280が有する開口部と、導電体240が有する開口部と、を含む。別言すると、絶縁体280が導電体220と重なる領域に有する開口部は、開口部290の一部であり、導電体240が導電体220と重なる領域に有する開口部は、開口部290の別の一部である。

[0062]

トランジスタ200の構成要素の少なくとも一部は、開口部290内に配置される。具体的には、酸化半導体230、絶縁体250、及び導電体260のそれぞれは、少なくとも一部が開口部290内に位置するように配置される。

[0063]

また、酸化半導体230、絶縁体250、及び導電体260の、開口部290内に配置される部分は、開口部290の形状を反映して設けられる。よって、開口部290の底部及び側壁を覆うように酸化半導体230が設けられ、酸化半導体230を覆うように絶縁体250が設けられ、開口部290の形状を反映した絶縁体250の凹部を埋め込むように導電体260が設けられる。

[0064]

トランジスタ200において、酸化半導体230は半導体層として機能し、導電体260はゲート電極として機能し、絶縁体250はゲート絶縁体として機能し、導電体220はソース電極又はドレイン電極の一方として機能し、導電体240はソース電極又はドレイン電極の他方として機能する。

[0065]

上述したように、酸化半導体230は、絶縁体280が有する開口部の内側に設けられる。また、トランジスタ200は、ソース電極又はドレイン電極の一方（ここでは、導電体220）が下方に位置し、ソース電極又はドレイン電極の他方（ここでは、導電体240）が上方に位置することから、電流が上下方向に流れる構成を有する。つまり、絶縁体280が有する開口部の側面に沿って、チャンネルが形成される。

[0066]

トランジスタ200は、チャンネル形成領域を含む酸化半導体230に、半導体として機能する金属酸化物（酸化半導体（OS: Oxide Semiconductor）ともいう。）を用いることが好ましい。なお、以下では、半導体層に酸化半導体を用いたトランジスタをOSトランジスタと記し、半導体層にシリコンを用いたトランジスタをSiトランジスタと記す場合がある。よって、トランジスタ200が、半導体層に酸化半導体を用いる場合、トランジスタ200は、OSトランジスタとなる。

[0067]

OSトランジスタは、酸化半導体中のチャンネル形成領域に酸素欠損（ V_o ）及び不純物が存在すると、電気特性が変動しやすく、信頼性が悪くなる場合がある。また、酸素欠損近傍の水素が、酸素欠損に水素が入った欠陥（以下、 V_oH と呼ぶ場合がある。）を形成し、キャリアとなる電子を生成する場合がある。このため、酸化半導体中のチャンネル形成領域に酸素欠損が含まれていると、OSトランジスタはノーマリオン特性となりやすい。したがって、酸化半導体中のチャンネル形成領域で

は、酸素欠損及び不純物はできる限り低減されていることが好ましい。言い換えると、酸化物半導体中のチャネル形成領域は、キャリア濃度が低減され、i型化（真性化）又は実質的にi型化されていることが好ましい。

[0068]

なお、本明細書等において、ノーマリオン特性とは、ゲートに電圧を印加しなくてもチャネルが存在し、トランジスタのソースドレイン間に電流が流れてしまう状態のことをいう。また、ノーマリオフ特性とは、ゲートに電圧を印加しない、又はゲートに接地電位を与えたときに、トランジスタのソースドレイン間に電流が流れない状態のことをいう。

[0069]

一方、OSトランジスタのソース領域及びドレイン領域は、チャネル形成領域よりも、酸素欠損が多い、 V_{OH} が多い、又は水素、窒素、金属元素などの不純物濃度が高い、ことでキャリア濃度が増加し、低抵抗化した領域であることが好ましい。すなわち、OSトランジスタのソース領域及びドレイン領域は、チャネル形成領域と比較して、キャリア濃度が高く、低抵抗なn型の領域であることが好ましい。

[0070]

OSトランジスタの電気特性及び信頼性を良好にするには、酸化物半導体中のチャネル形成領域の水素濃度を十分に低減した上で、酸化物半導体に供給する酸素量を最適化することが重要となる。例えば、二次イオン質量分析法（SIMS: Secondary Ion Mass Spectrometry）により得られる酸化物半導体のチャネル形成領域における水素濃度は、 1×10^{20} atoms/cm³未満が好ましく、 5×10^{19} atoms/cm³未満がより好ましく、 1×10^{19} atoms/cm³未満がより好ましく、 5×10^{18} atoms/cm³未満がより好ましく、 1×10^{18} atoms/cm³未満がより好ましく、 1×10^{17} atoms/cm³未満がさらに好ましい。

[0071]

そこで、本発明の一態様では、絶縁体210及び絶縁体283は、水素に対するバリア絶縁体を用いることが好ましい。絶縁体210及び絶縁体283は、酸化物半導体230を含むトランジスタ200を挟むように設けられている。酸化物半導体230の外側に設けられる絶縁体210及び絶縁体283が水素に対するバリア性を有することで、酸化物半導体230中への水素の拡散を抑制することができる。

[0072]

なお、本明細書等において、バリア絶縁体とは、バリア性を有する絶縁体のことを指す。また、バリア性とは、対応する物質が拡散し難い性質（対応する物質が透過し難い性質、対応する物質の透過性が低い性質、又は、対応する物質の拡散を抑制する性質ともいう。）とする。なお、対応する物質として記載される場合の水素は、例えば、水素原子、水素分子、並びに、水分子及びOH⁻などの水素と結合した物質などの少なくとも一を指す。また、対応する物質として記載される場合の不純物は、特段の明示が無い限り、チャネル形成領域又は半導体層における不純物を指し、例えば、水素原子、水素分子、水分子、窒素原子、窒素分子、酸化窒素分子（N₂O、NO、NO₂など）、銅原子などの少なくとも一を指す。また、対応する物質として記載される場合の酸素は、例えば、酸素原子、酸素分子などの少なくとも一を指す。

[0073]

水素に対するバリア絶縁体としては、酸化アルミニウム、酸化マグネシウム、酸化ハフニウム、酸化ガリウム、インジウムガリウム亜鉛酸化物、窒化シリコン、窒化酸化シリコン、又はハフニウム及びシリコンを含む酸化物（以下、ハフニウムシリケートと呼ぶ場合がある。）等が挙げられる。

[0074]

なお、本明細書等において、酸化窒化物とは、その組成として、窒素よりも酸素の含有量が多い材料を指し、窒化酸化物とは、その組成として、酸素よりも窒素の含有量が多い材料を指す。例えば、酸化窒化シリコンと記載した場合は、その組成として窒素よりも酸素の含有量が多い材料を指し、窒化酸化シリコンと記載した場合は、その組成として、酸素よりも窒素の含有量が多い材料を指す。

[0075]

絶縁体210及び絶縁体283として、例えば、窒化シリコンを用いることが好ましい。このとき、絶縁体210及び絶縁体283は、シリコンと、窒素と、を有する。

[0076]

絶縁体210及び絶縁体283として適用可能な窒化シリコンは、膜厚が、例えば2nm以上であれば、水素に対するバリア性を有する。なお、水素に対するバリア性を高くする場合においては、窒化シリコンの膜厚は、3nm以上が好ましく、5nm以上がより好ましい。なお、窒化シリコンは、膜厚が、例えば1nm以上であれば、酸素に対するバリア性を有する。なお、酸素に対するバリア性を高くする場合においては、窒化シリコンの膜厚は、2nm以上が好ましい。つまり、水素に対するバリア性を有する膜厚で形成される窒化シリコンは、酸素に対するバリア性も有する。

[0077]

絶縁体222は、水素を捕獲する、又は、固着する機能を有する絶縁体を用いることが好ましい。絶縁体222が、水素を捕獲する、又は、固着する機能を有することで、絶縁体210及び絶縁体283の内側に位置する酸化物半導体230中の水素濃度を低減することができる。このとき、酸化物半導体230中の水素が、絶縁体222で捕獲される又は固着されるため、絶縁体222の水素濃度は高くなる。一例として、SIMSにより得られる絶縁体222の水素濃度は、酸化物半導体230と、導電体260と、の間の領域の少なくとも一部において、 $1 \times 10^{19} \text{ atoms/cm}^3$ 以上になる場合、又は $1 \times 10^{20} \text{ atoms/cm}^3$ 以上になる場合がある。この場合、絶縁体222の少なくとも一部の水素濃度は、酸化物半導体230の水素濃度よりも高くなる。別言すると、酸化物半導体230は、水素濃度が絶縁体222の水素濃度よりも低い領域を有する。

[0078]

なお、対応する物質を捕獲する、又は、固着する機能は、対応する物質が拡散し難い性質を有するともいえる。よって、対応する物質を捕獲する、又は、固着する機能を、バリア性と言い換えることができる。

[0079]

水素を捕獲する、又は、固着する機能を有する絶縁体としては、ハフニウムなどを含む金属酸化物（例えば、酸化ハフニウムなど）が好ましい。また、上記の金属酸化物は、ダングリングボンドを有する酸素原子を有することが好ましい。このような金属酸化物では、ダングリングボンドで水素を捕獲する、又は、固着する性質を有する場合がある。例えば、上記の金属酸化物は、アモルファス構造を有することが好ましい。アモルファス構造を有する金属酸化物では、一部の酸素原子がダングリングボンドを有しているためである。なお、上記の金属酸化物は、アモルファス構造であることが好ましいが、一部に結晶領域が形成される場合がある。また、上記の金属酸化物は、一部に結晶粒界を有

する場合がある。

[0080]

ここで、酸化ハフニウムにシリコンを添加することで、酸化ハフニウムの結晶化を抑制することができる。つまり、ハフニウム及びシリコンを含む酸化物（ハフニウムシリケート）は、アモルファス構造を有しやすい。よって、ハフニウムシリケートは、水素を捕獲する、又は、固着する性質を有するため、絶縁体222として好適である。このとき、絶縁体222は、ハフニウムと、シリコンと、酸素と、を有する。

[0081]

絶縁体222をアモルファス構造にすることで、結晶化、及び、多結晶化に伴う結晶粒界の形成を抑制することができる。結晶粒界の形成が抑制されることで、絶縁体222の膜の平坦性を高めることができる。これにより絶縁体222の膜厚分布が均一化されて、膜厚が極端に薄い部分を低減することができるため、絶縁体222の耐圧を向上させることができる。また、絶縁体222上に設ける膜の膜厚分布を均一化することができる。

[0082]

また、絶縁体222の結晶粒界の形成を抑制することで、結晶粒界の欠陥準位に起因するリーク電流を低減することができる。よって、絶縁体222をリーク電流の少ない絶縁膜として機能させることができる。

[0083]

なお、上記において、水素を捕獲する、又は、固着する機能を有する絶縁体として、ハフニウムを含む酸化物を挙げたが、本発明はこれに限られるものではない。例えば、マグネシウムを含む酸化物、アルミニウムを含む酸化物、アルミニウム及びハフニウムを含む酸化物（ハフニウムアルミネート）等が挙げられる。また、上記の金属酸化物に、さらにジルコニウムを含む酸化物にしてもよい。例えば、ハフニウム及びジルコニウムを含む酸化物等が挙げられる。また、これらの金属酸化物は、シリコンが添加され、アモルファス構造を有することが好ましい。

[0084]

また、絶縁体222は、加熱処理を行うことで、酸化物半導体230から放出された水素を、捕獲又は固着することができる。ここで、絶縁体222及び酸化物半導体230は、水素に対するバリア性を有する絶縁体210及び絶縁体283からなる閉鎖系の中に設けられていることが好ましい。これにより、当該閉鎖系の内部と外部の間で水素の移動頻度は極めて低くなるため、加熱処理中に閉鎖系の外部から内部、又は内部から外部に水素が拡散することを防ぐことができる。よって、当該閉鎖系内部の水素を、絶縁体222に捕獲又は固着することで、酸化物半導体230の水素濃度を低減することができる。ここで、上記閉鎖系とは、水素に対するバリア絶縁体で、酸化物半導体の少なくとも一部を覆い、閉鎖系の外部から内部、又は内部から外部に拡散する水素を低減したものである。ここで、上記閉鎖系において、酸化物半導体のチャンネル形成領域として機能する部分は、水素に対するバリア絶縁体の内部に位置することが好ましい。例えば、上記閉鎖系において、水素に対するバリア絶縁体は、酸化物半導体のチャンネル長方向に延伸されて設けられており、酸化物半導体は、水素に対するバリア絶縁体に囲まれる、又は、挟まれるように設けられることが好ましい。なお、上記閉鎖系は、水素の移動を完全に遮断するものではなく、水素の移動頻度を低減できればよい。よって、上記閉鎖系は、完全に閉鎖されたものではなく、一部又は複数個所が開放されている場合がある。

[0085]

以上のような構成にすることで、酸素欠損及び不純物が少ない酸化物半導体を提供することができる。したがって、トランジスタの電気特性を良好にし、トランジスタの信頼性を向上させることができる。また、トランジスタの電気特性のばらつきが少ない半導体装置を提供することができる。

[0086]

また、上記構成にすることで、チャネル形成領域での酸素欠損の形成、及び、チャネル形成領域への水素の拡散を抑制することができる。これにより、チャネル形成領域中の酸素欠損量及び水素濃度の、トランジスタ毎のばらつきを抑制することができる。したがって、トランジスタの電気特性のばらつきを少なくすることができる。

[0087]

絶縁体280は、加熱により脱離する酸素（以下、過剰酸素という場合がある。）を含むことが好ましい。過剰酸素を含む絶縁体280に熱処理を行うことで、絶縁体280から酸化物半導体230のチャネル形成領域に酸素を供給し、酸化物半導体230の酸素欠損及び V_{OH} の低減を図ることができる。これにより、トランジスタの電気特性を安定にし、信頼性の向上を図ることができる。また、後述するように、塩素、フッ素等のハロゲン元素が添加されたチャネル形成領域には、当該ハロゲン元素と置換することによって、余剰酸素が生成される。さらに、加熱処理等によって絶縁体280から酸素を供給することによって、当該酸素が電子をトラップし、チャネル形成領域に負電荷（負の固定電荷）を形成し得る。これにより、ノーマリオフ特性のトランジスタを実現することができる。

[0088]

また、絶縁体280として、上記の水素に対するバリア絶縁体を用いてもよい。例えば、絶縁体280として、窒化シリコンを用いてもよい。このような構成にすることで、酸化物半導体230への水素の拡散を抑制することができる。また、絶縁体280中の水、水素などの不純物濃度は、低減されていることが好ましい。これにより、酸化物半導体230のチャネル形成領域への、水、水素などの不純物の混入を抑制することができる。

[0089]

なお、絶縁体280には、後述する[絶縁体]の項目に記載の絶縁体を、単層又は積層で用いてもよい。

[0090]

開口部290の側壁は、絶縁体210の上面に対して垂直であることが好ましい。このような構成にすることで、半導体装置の微細化又は高集積化を図ることができる。

[0091]

なお、図1B及び図1Cでは、開口部290の側壁が、導電体220の上面に対して垂直となるように、開口部290を設けているが、本発明はこれに限られるものではない。例えば、開口部290の側壁が、導電体220の上面に対して厳密に垂直にならず、テーパ形状を有していてもよい。開口部290の側壁がテーパ形状を有する場合、開口部290の側壁を覆って形成される膜（例えば、酸化物半導体230）の被覆性が向上するため、好ましい。

[0092]

酸化物半導体230は、開口部290内における導電体240の側面に接する領域と、導電体240の上面の少なくとも一部に接する領域と、を有する。このように、酸化物半導体230が導電体240の側面だけでなく上面にも接することで、酸化物半導体230と、導電体240と、が接する面積を大きくすることができる。また、酸化物半導体230は、開口部290内において露出している

導電体 220 の上面に接する領域と、開口部 290 内における絶縁体 280 の側面に接する領域と、を有する。

[0093]

図 1 B 及び図 1 C に示すように、酸化物半導体 230 の一部は、開口部 290 の外、つまり、導電体 240 の上に位置する。なお、図 1 B では、酸化物半導体 230 が、X 方向において分断される構成を示しているが、本発明はこれに限られるものではない。例えば、酸化物半導体 230 は、X 方向に延在して設けられてもよい。なお、この場合においても、酸化物半導体 230 は、Y 方向において分断される。

[0094]

また、図 1 C では、酸化物半導体 230 の側端部が、導電体 240 の側端部より内側に位置する構成を示している。なお、本発明はこれに限られるものではない。例えば、Y 方向において、酸化物半導体 230 の側端部と、導電体 240 の側端部と、が一致する構造にしてもよい。又は、酸化物半導体 230 の側端部が、導電体 240 の側端部より外側に位置する構造にしてもよい。

[0095]

絶縁体 250 は、酸化物半導体 230 の上面に接して設けられる。また、絶縁体 250 は、導電体 240 の上面と接する領域と、導電体 240 の側面と接する領域と、絶縁体 280 の上面と接する領域と、を有する。

[0096]

図 1 B 及び図 1 C に示すように、絶縁体 250 の一部は、開口部 290 の外、つまり、導電体 240 及び絶縁体 280 の上に位置する。このとき、絶縁体 250 は、酸化物半導体 230 の側端部を覆うことが好ましい。これにより、導電体 260 と、酸化物半導体 230 と、がショートするのを防ぐことができる。また、絶縁体 250 は、導電体 240 の側端部を覆うことが好ましい。これにより、導電体 260 と、導電体 240 と、がショートするのを防ぐことができる。

[0097]

導電体 260 は、絶縁体 250 の上面に接して設けられる。

[0098]

図 1 B に示すように、導電体 260 の側端部は、酸化物半導体 230 の側端部より内側に位置することが好ましい。これにより、導電体 260 と、導電体 240 と、の間に形成される寄生容量の大きさを抑制することができる。なお、導電体 260 の側端部は、酸化物半導体 230 の側端部と一致してもよいし、酸化物半導体 230 の側端部より外側に位置してもよい。

[0099]

図 1 B 及び図 1 C では、導電体 260 が開口部 290 を埋め込むように設けられているが、本発明はこれに限られるものではない。例えば、導電体 260 に、開口部 290 の形状を反映した凹部が形成され、当該凹部の一部が開口部 290 内に位置する場合がある。このとき、当該凹部を無機絶縁材料などで充填する構成にしてもよい。

[0100]

導電体 240 は、導電体 220 と重なる領域に開口部を有する。また、導電体 240 は、絶縁体 280 が有する開口部の内部に設けないことが好ましい。つまり、導電体 240 は、開口部 290 内における絶縁体 280 の側面と接する領域を有さないことが好ましい。このような構成にすることで、導電体 240 が有する開口部、及び、絶縁体 280 が有する開口部を、一括で形成することができる。

また、開口部 290 内における導電体 240 の側面と、開口部 290 内における絶縁体 280 の側面と、が概略一致する構成とすることで、開口部 290 の内部に設ける酸化物半導体 230 の膜厚分布を均一にすることができる。また、酸化物半導体 230 が、開口部 290 内における導電体 240 の側面と、開口部 290 内における絶縁体 280 の側面と、の間に生じた段差により、分断されてしまうのを抑制することができる。

[0101]

なお、図 1 B 及び図 1 C では、開口部 290 内における導電体 240 の側面と、開口部 290 内における絶縁体 280 の側面と、が概略一致する構成を示しているが、本発明はこれに限られるものではない。例えば、開口部 290 内における導電体 240 の側面と、開口部 290 内における絶縁体 280 の側面と、が不連続になってもよい。また、開口部 290 内における導電体 240 の側面の傾きと、開口部 290 内における絶縁体 280 の側面の傾きと、が互いに異なってもよい。

[0102]

導電体 240 としては、後述する [導電体] の項目に記載の導電体を、単層又は積層で用いることができる。導電体 240 として、酸化しにくい導電性材料、又は、酸素の拡散を抑制する機能を有する導電性材料などを用いることが好ましい。例えば、窒化チタン、窒化タンタル、又はシリコンを添加したインジウム錫酸化物 (ITSO ともいう。) などを用いることができる。

[0103]

導電体 220 としては、前述の導電体 240 と同様に、後述する [導電体] の項目に記載の導電体を、単層又は積層で用いることができる。導電体 220 として、酸化しにくい導電性材料、又は、酸素の拡散を抑制する機能を有する導電性材料などを用いることが好ましい。例えば、窒化チタン、窒化タンタル、ITSO、又は、窒化チタン、タングステン、及び ITSO をこの順で積層した構造などを用いることができる。

[0104]

また、図 1 B 及び図 1 C では、導電体 220 の上面が平坦である構成を示しているが、本発明はこれに限られるものではない。例えば、導電体 220 の上面に、開口部 290 と重なる凹部が形成される構成にしてもよい。当該凹部を埋め込むように、酸化物半導体 230、絶縁体 250、及び導電体 260 の少なくとも一部が形成される構成とすることで、酸化物半導体 230 の導電体 220 近傍まで、導電体 260 のゲート電界を印加しやすくすることができる。

[0105]

図 2 A に、図 1 B に示す XZ 平面における半導体装置の断面図を拡大した図を示す。また、図 2 B に、図 2 A に示す半導体装置を、酸化物半導体 230 のチャンネル形成領域を含むように、XY 平面で切断した断面図を示す。

[0106]

図 2 A に示すように、酸化物半導体 230 は、領域 230 c d と、領域 230 c d を挟むように設けられる領域 230 n a 及び領域 230 n b と、を有する。

[0107]

領域 230 n a は、酸化物半導体 230 の導電体 220 と接する領域である。領域 230 n a の少なくとも一部は、トランジスタのソース領域又はドレイン領域の一方として機能する。領域 230 n b は、酸化物半導体 230 の導電体 240 と接する領域である。領域 230 n b の少なくとも一部は、トランジスタのソース領域又はドレイン領域の他方として機能する。図 1 A に示すように、導電体 2

40は、酸化半導体230と重なる開口部290の外周全体に接する。よって、トランジスタのソース領域又はドレイン領域の他方は、酸化半導体230の、導電体240と同じ高さに形成される部分の外周全体に形成され得る。

[0108]

ソース領域及びドレイン領域として機能する領域230na及び領域230nbは、チャンネル形成領域として機能する領域230cdよりも低抵抗な領域である。すなわち、230na及び領域230nbは、領域230cdよりも酸素欠損密度が高い領域、又は不純物濃度が高い領域ともいうことができる。

[0109]

本発明の一態様に係るトランジスタでは、領域230na及び領域230nbにおける不純物元素の濃度、例えば、水素、ホウ素、炭素、窒素、リン、硫黄、ヒ素、アルミニウム、マグネシウム、シリコン、及び貴ガスの一又は複数の濃度が、領域230cdにおける当該不純物元素の濃度よりも高い。なお、貴ガスの代表例としては、ヘリウム、ネオン、アルゴン、クリプトン、及びキセノンが挙げられる。領域230na及び領域230nbにおいて、特に、ホウ素、リン、アルミニウム、マグネシウム、及びシリコンの一又は複数の濃度が、領域230cdにおける当該不純物元素の濃度よりも高いことが好ましい。これにより、領域230na及び領域230nbを低抵抗化することができるため、トランジスタのオン電流を大きくすることができる。

[0110]

領域230cdは、酸化半導体230の、領域230naと、領域230nbと、の間の領域である。領域230cdの少なくとも一部が、トランジスタのチャンネル形成領域として機能する。つまり、トランジスタのチャンネル形成領域は、酸化半導体230の、導電体220と、導電体240と、の間の領域に位置する。また、トランジスタのチャンネル形成領域は、酸化半導体230の、絶縁体280と接する領域又はその近傍の領域に位置する、ともいえる。

[0111]

トランジスタのチャンネル長は、ソース領域と、ドレイン領域と、の間の距離となる。つまり、トランジスタのチャンネル長は、導電体220上の絶縁体280の厚さによって決定される、といえることができる。図2Aは、トランジスタのチャンネル長Lを破線の両矢印で示している。チャンネル長Lは、断面視において、酸化半導体230と導電体220が接する領域の端部と、酸化半導体230と導電体240が接する領域の端部と、の距離となる。つまり、チャンネル長Lは、断面視における絶縁体280の開口部290側の側面の長さに相当する。

[0112]

プレーナ型のトランジスタでは、例えば、チャンネル長がフォトリソグラフィの露光限界で設定されていたが、本発明においては、絶縁体280の膜厚でチャンネル長を設定することができる。よって、トランジスタのチャンネル長を、フォトリソグラフィの露光限界以下の非常に微細な構造（例えば、1nm以上60nm以下、1nm以上50nm以下、1nm以上40nm以下、1nm以上30nm以下、1nm以上20nm以下、1nm以上10nm以下、又は、5nm以上10nm以下）にすることができる。これにより、トランジスタのオン電流が大きくなり、周波数特性の向上を図ることができる。よって、動作速度が速い半導体装置を提供することができる。

[0113]

さらに、上記のように、開口部290内に、チャンネル形成領域、ソース領域、及びドレイン領域を

形成することができる。これにより、チャンネル形成領域、ソース領域、及びドレイン領域が、XY平面上に別々に設けられていた、プレーナ型のトランジスタと比較して、トランジスタの占有面積を低減することができる。これにより、半導体装置の高集積化を図ることができる。

[0114]

また、図2Bに示すように、酸化物半導体230のチャンネル形成領域を含むXY平面において、酸化物半導体230、絶縁体250、及び導電体260は、同心円状に設けられる。よって、中心に設けられた導電体260の側面は、絶縁体250を介して、酸化物半導体230の側面と対向する。つまり、平面視において、酸化物半導体230の内周全体がチャンネル形成領域になる。このとき、例えば、酸化物半導体230の外周の長さによって、トランジスタのチャンネル幅が決まる。つまり、トランジスタのチャンネル幅は、開口部290の最大幅（平面視において、開口部290が円形である場合は、直径）の大きさによって決定される、ということができる。図2A及び図2Bは、開口部290の最大幅Dを二点鎖線の両矢印で示している。図2Bは、トランジスタのチャンネル幅Wを一点鎖線の両矢印で示している。開口部290の最大幅Dの大きさを大きくすることで、チャンネル幅を大きくし、オン電流を大きくすることができる。

[0115]

開口部290の最大幅Dは、例えば、5nm以上100nm以下、10nm以上100nm以下、20nm以上100nm以下、20nm以上60nm以下、20nm以上50nm以下、20nm以上40nm以下、又は、30nm以上40nm以下が好ましい。これにより、プレーナ型のトランジスタを用いる場合よりも、微細で集積度の高い半導体装置を実現することができる。なお、上述のように、平面視において開口部290が円形である場合、開口部290の最大幅Dは開口部290の直径に相当し、チャンネル幅Wは“ $D \times \pi$ ”と算出することができる。

[0116]

なお、本実施の形態では、平面視において開口部290が円形である例について示したが、本発明はこれに限られるものではない。例えば、平面視において開口部290が、楕円などの略円形状、四角形などの多角形状、四角形等の多角形の角部を丸めた形状になっていてもよい。このとき、開口部290の最大幅は、開口部290の最上部の形状に合わせて適宜算出するとよい。例えば、平面視において開口部が四角形である場合、開口部290の最大幅は、開口部290の最上部の対角線の長さとするといよい。

[0117]

また、本発明の一態様の半導体装置においては、トランジスタのチャンネル長Lは、少なくとも、トランジスタのチャンネル幅Wよりも小さいことが好ましい。本発明の一態様に係るトランジスタのチャンネル長Lは、トランジスタのチャンネル幅Wに対し、0.1倍以上0.99倍以下、好ましくは0.5倍以上0.8倍以下である。このような構成にすることで、良好な電気特性、及び、高い信頼性を有するトランジスタを実現することができる。

[0118]

なお、酸化物半導体230、絶縁体250、及び導電体260を同心円状に設けることにより、導電体260と、酸化物半導体230と、の距離が概略均一になる。よって、酸化物半導体230に対して、導電体260からゲート電界を概略均一に印加することができる。

[0119]

開口部290の側壁は、例えば、導電体220の上面に対して、垂直であることが好ましい。この

ような構成にすることで、半導体装置の微細化又は高集積化を図ることができる。なお、開口部290の側壁が、テーパ形状になっていてもよい。開口部290の側壁がテーパ形状を有する場合、開口部290の側壁を覆って形成される膜（例えば、酸化物半導体230）の被覆性を高めることができる。

[0120]

ここで、トランジスタのチャンネル長が短くなると、オン電流が大きくなる一方で、いわゆる短チャンネル効果が顕在化し、トランジスタがノーマリオン特性になりやすくなる。ノーマリオン特性のトランジスタは、ノーマリオフ特性のトランジスタに比べてオフ電流が大きい。そのため、例えば、ノーマリオン特性のトランジスタを記憶装置に用いると、データ保持時間が短縮する、リフレッシュの頻度が増加する、消費電力が増加する、等の種々の不具合を誘発し得る。

[0121]

そのため、記憶装置等への適用を前提としてチャンネル長の極めて短いトランジスタを作製する場合においては、当該トランジスタが、ノーマリオフ特性になるように作製する必要がある。

[0122]

本発明の一態様に係るトランジスタは、半導体層に金属酸化物を用いたOSトランジスタとすることができる。OSトランジスタは、短チャンネル効果に対する耐性が、Siトランジスタより高い。したがって、上述のように、チャンネル長の極めて短いトランジスタを作製する場合においても、短チャンネル効果の影響を抑制することができる。

[0123]

さらに、本発明の一態様に係るトランジスタは、酸化物半導体230において、チャンネル形成領域として機能する領域230cdに負電荷（負の固定電荷）を有し、当該領域における電位が、ソース領域及びドレイン領域として機能する領域230na及び領域230nbの電位よりも低い。当該負電荷は、トランジスタの作製時に、領域230cd中に塩素、フッ素等のハロゲン元素を、イオン注入法等を用いて酸化物半導体230（特に、領域230cd）中に添加して余剰酸素を生成させた後、さらに加熱処理等によって絶縁体280中に含まれる酸素を酸化物半導体230（特に、領域230cd）中に供給することで、当該酸素が電子をトラップすることによって生成され得る。その結果、基板バイアス効果により、ノーマリオフ特性のトランジスタを実現することができる。

[0124]

図3A乃至図3Cに、基板バイアス効果により、トランジスタの電気特性（ $I_d - V_g$ 特性）がノーマリオフ化することを説明する模式図を示す。

[0125]

図3Aは、トランジスタ（nチャンネル型トランジスタ）の各領域にかかる電位を説明する図である。図中において、 V_s はトランジスタのソースにかかる電位、 V_d はトランジスタのドレインにかかる電位、 V_g はトランジスタのゲートにかかる電位、 V_b はトランジスタの半導体層（チャンネル形成領域）にかかる電位であり、 I_d はドレイン電流である。

[0126]

図3Bは、 V_b と V_s が同電位（ $V_b = V_s$ ）である状態における、トランジスタの $I_d - V_g$ 特性の一例を示した模式図である。図3Bでは、 $V_g = 0V$ 付近から I_d が流れ始める例を示している。

[0127]

図3Cは、 V_b が V_s よりも低電位（ $V_b < V_s$ ）である状態における、トランジスタの $I_d - V$

g 特性の一例を示した模式図である。この場合、トランジスタのソース領域ーチャンネル形成領域間に逆バイアス（nチャンネル型トランジスタの場合、チャンネル形成領域側に負電位）を印加することにより、基板バイアス効果が作用し、トランジスタは、図3Bよりもノーマリオフの $I_d - V_g$ 特性を得ることができる。

[0128]

ここで、電位とは、1Cの電荷が持つ位置エネルギーに相当する。そのため、トランジスタの各領域にかかる電位（ V_s 、 V_d 、 V_g 、 V_b ）の大きさは、トランジスタの各領域が有する電荷の大きさ（電荷量）に対応する、と別言することができる。したがって、トランジスタのある領域、例えば、チャンネル形成領域がある大きさの負電荷を有している場合、チャンネル形成領域に当該負電荷に対応する大きさの負電位（ V_b ）が印加されているのと等価であるといえることができる。

[0129]

したがって、チャンネル形成領域に負電荷（負の固定電荷）を有するトランジスタは、チャンネル形成領域に当該負電荷に対応する負電位（ V_b ）が印加されたトランジスタと同じ挙動（電気特性）を示す、といってもよい。例えば、チャンネル形成領域にある大きさの負電荷（負の固定電荷）を有するトランジスタには、当該負電荷に対応する大きさの負電位（ V_b ）が印加されたときに作用する基板バイアス効果と同様の効果が働くといえる。

[0130]

上述したように、本発明の一態様に係るトランジスタは、チャンネル形成領域（領域230cd）に負電荷（負の固定電荷）を形成することにより、当該領域をソース領域及びドレイン領域（領域230na及び領域230nb）よりも低電位とする。これにより、基板バイアス効果を発現させることができるため、ノーマリオフ特性のトランジスタを実現することができる。

[0131]

本発明の一態様に係るトランジスタは、基板バイアス効果を作用させるためのバックゲートを設ける必要がない。そのため、トランジスタを作製する際の工程数を削減することができる。また、バックゲートに負バイアスを印加するための電源も不要となり、半導体装置に付随する部品数を増加させることなく、ノーマリオフ特性のトランジスタを実現することができる。さらに、バックゲートに負バイアスを印加する必要がないため、消費電力を増大させることなく、ノーマリオフ特性のトランジスタを実現することができる。

[0132]

酸化物半導体230としては、後述する[金属酸化物]の項目に記載の金属酸化物を、単層又は積層で用いることができる。

[0133]

酸化物半導体230として、具体的には、 $I_n : M : Z_n = 1 : 3 : 2$ [原子数比] 若しくはその近傍の組成、 $I_n : M : Z_n = 1 : 3 : 4$ [原子数比] 若しくはその近傍の組成、 $I_n : M : Z_n = 1 : 1 : 0.5$ [原子数比] 若しくはその近傍の組成、 $I_n : M : Z_n = 1 : 1 : 1$ [原子数比] 若しくはその近傍の組成、 $I_n : M : Z_n = 1 : 1 : 1.2$ [原子数比] 若しくはその近傍の組成、 $I_n : M : Z_n = 1 : 1 : 2$ [原子数比] 若しくはその近傍の組成、又は $I_n : M : Z_n = 4 : 2 : 3$ [原子数比] 若しくはその近傍の組成の金属酸化物を用いればよい。なお、近傍の組成とは、所望の原子数比の±30%の範囲を含む。また、元素Mとして、ガリウム、アルミニウム、及び錫の一又は複数をを用いることが好ましい。

[0134]

酸化物半導体230は、元素Mを含まない構成としてもよい。例えば、酸化物半導体230として用いる金属酸化物をIn-Zn酸化物としてもよい。酸化物半導体230として、具体的には、In:Zn=1:1 [原子数比] 若しくはその近傍の組成、又はIn:Zn=4:1 [原子数比] 若しくはその近傍の組成とすることができる。又は、酸化物半導体230として、インジウム酸化物を用いてもよい。また、上記の酸化物半導体230が元素Mを微量に含む構成にしてもよい。例えば、酸化物半導体230として、具体的には、In:Sn:Zn=4:0.1:1 [原子数比] 若しくはその近傍の組成とすることができる。

[0135]

酸化物半導体230に用いる金属酸化物の組成の分析には、例えば、エネルギー分散型X線分光法(EDX:Energy Dispersive X-ray Spectrometry)、X線光電子分光法(XPS:X-ray Photoelectron Spectrometry)、誘導結合プラズマ質量分析法(ICP-MS:Inductively Coupled Plasma-Mass Spectrometry)、又は誘導結合高周波プラズマ発光分光法(ICP-AES:Inductively Coupled Plasma-Atomic Emission Spectrometry)を用いることができる。又は、これらの手法を複数組み合わせることで分析を行ってもよい。なお、含有率が低い元素は、分析精度の影響により、実際の含有率と分析によって得られた含有率が異なる場合がある。例えば、元素Mの含有率が低い場合、分析によって得られた元素Mの含有率が、実際の含有率より低くなる場合がある。

[0136]

金属酸化物の形成には、スパッタリング法、又は原子層堆積(ALD:Atomic Layer Deposition)法を好適に用いることができる。なお、金属酸化物をスパッタリング法で形成する場合、形成後の金属酸化物の組成はスパッタリングターゲットの組成と異なる場合がある。特に、亜鉛は、形成後の金属酸化物における含有率が、スパッタリングターゲットと比較して50%程度にまで減少する場合がある。

[0137]

ALD法としては、プリカーサ及びリアクタントの反応を熱エネルギーのみで行う熱ALD(Thermal ALD)法、及び、プラズマ励起されたリアクタントを用いるプラズマALD(PEALD:Plasma Enhanced ALD)法などが挙げられる。

[0138]

ALD法は、一層ずつ原子を堆積することができるため、極薄の成膜が可能、アスペクト比の高い構造、又は段差の大きい表面への成膜が可能、ピンホールなどの欠陥の少ない成膜が可能、被覆性に優れた成膜が可能、及び、低温での成膜が可能、などの効果がある。また、PEALD法は、プラズマを利用することで、より低温での成膜が可能となり好ましい場合がある。なお、ALD法で用いるプリカーサには炭素又は塩素などの元素を含むものがある。このため、ALD法により設けられた膜は、他の成膜法により設けられた膜と比較して、炭素又は塩素などの元素を多く含む場合がある。なお、これらの元素の定量は、XPS又はSIMSを用いて行うことができる。なお、本発明の一態様の金属酸化物の成膜方法では、ALD法を用いるが、成膜時の基板温度が高い条件の採用、及び、不純物除去処理の実施の一方又は双方を適用するため、これらを適用せずにALD法を用いる場合に比べて、膜中に含まれる炭素及び塩素の量が少ないことがある。

[0139]

ALD法は、ターゲットなどから放出される粒子が堆積する成膜方法とは異なり、被処理物の表面における反応により膜が形成される成膜方法である。したがって、被処理物の形状の影響を受けにくく、良好な段差被覆性を有する成膜方法である。特に、ALD法は、優れた段差被覆性と、優れた厚さの均一性を有するため、アスペクト比の高い開口部の表面を被覆する場合などに好適である。ただし、ALD法は、比較的成膜速度が遅いため、成膜速度の速いスパッタリング法、又は化学気相成長 (CVD: Chemical Vapor Deposition) 法などの他の成膜方法と組み合わせて用いることが好ましい場合もある。例えば、金属酸化物を第1の金属酸化物と第2の金属酸化物の積層構造とする場合、スパッタリング法を用いて第1の金属酸化物を成膜し、当該第1の金属酸化物上にALD法を用いて第2の金属酸化物を成膜する方法などが挙げられる。例えば、上記第1の金属酸化物が結晶部を有する場合、上記第2の金属酸化物が当該結晶部を核として、結晶成長する場合がある。

[0140]

ALD法は、原料ガスの導入量によって、得られる膜の組成を制御することができる。例えば、ALD法では、原料ガスの導入量、導入回数 (パルス回数ともいう。)、1パルスに要する時間 (パルス時間ともいう。)などを調節することによって、任意の組成の膜を成膜することができる。また、例えば、ALD法では、成膜しながら原料ガスを変化させることによって、組成が連続的に変化した膜を成膜することができる。原料ガスを変化させながら成膜する場合、複数の成膜室を用いて成膜する場合と比べて、搬送及び圧力調整にかかる時間を要さない分、成膜にかかる時間を短くすることができる。したがって、半導体装置の生産性を高めることができる場合がある。

[0141]

なお、酸化物半導体230となる酸化物半導体膜の成膜方法は特に限定されない。例えば、酸化物半導体膜の成膜は、CVD法、MBE法、PLD法などを用いて行ってもよい。

[0142]

酸化物半導体230は、結晶性を有することが好ましい。結晶性を有する酸化物半導体として、CAAC-OS (C-Axis Aligned Crystalline Oxide Semiconductor)、nc-OS (nanocrystalline Oxide Semiconductor)、多結晶酸化物半導体、単結晶酸化物半導体等が挙げられる。酸化物半導体230として、CAAC-OS又はnc-OSを用いることが好ましく、CAAC-OSを用いることが特に好ましい。

[0143]

CAAC-OSは、複数の層状の結晶領域を有し、c軸が被形成面の法線方向に配向していることが好ましい。例えば、酸化物半導体230は、開口部290の側壁、特に絶縁体280の側面に対して、概略平行な層状の結晶を有することが好ましい。このような構成にすることで、トランジスタのチャンネル長方向に対して、酸化物半導体230の層状の結晶が概略平行に形成されるため、トランジスタのオン電流を大きくすることができる。

[0144]

CAAC-OSは、結晶性の高い、緻密な構造を有しており、不純物及び欠陥 (例えば、酸素欠損など) が少ない金属酸化物である。特に、金属酸化物の形成後に、金属酸化物が多結晶化しない程度の温度 (例えば、400°C以上600°C以下) で加熱処理することで、CAAC-OSをより結晶性

の高い、緻密な構造にすることができる。このようにして、CAAC-OSの密度をより高めることで、当該CAAC-OS中の不純物又は酸素の拡散をより低減することができる。

[0145]

また、CAAC-OSは、明確な結晶粒界を確認することが難しいため、結晶粒界に起因する電子移動度の低下が起こりにくいといえる。したがって、CAAC-OSを有する金属酸化物は、物理的性質が安定する。そのため、CAAC-OSを有する金属酸化物は熱に強く、信頼性が高い。

[0146]

また、酸化物半導体230として、CAAC-OSなどの結晶性を有する酸化物を用いることで、ソース電極又はドレイン電極による、酸化物半導体230からの酸素の引き抜きを抑制することができる。これにより、熱処理を行っても、酸化物半導体230から酸素が引き抜かれることを抑制することができるため、トランジスタは、製造工程における高い温度（いわゆるサーマルバジェット）に対して安定である。

[0147]

酸化物半導体230の結晶性は、例えば、X線回折（XRD：X-Ray Diffraction）、透過型電子顕微鏡（TEM：Transmission Electron Microscope）、又は電子線回折（ED：Electron Diffraction）により解析することができる。又は、これらの手法を複数組み合わせることで分析を行ってもよい。

[0148]

また、導電体240及び導電体220にアモルファス構造を有する導電性酸化物を用いることで、導電体240及び導電体220の上面に接する酸化物半導体230を、比較的容易にCAAC-OS化させることができる。例えば、導電体240及び導電体220に、シリコンを添加したインジウム錫酸化物を用いることが好ましい。

[0149]

ただし、本発明は上記に限られるものではない。例えば、導電体240に多結晶化したインジウム錫酸化物を用いて、酸化物半導体230を多結晶化させることもできる。

[0150]

<半導体装置の変形例>

図1B及び図1Cでは、酸化物半導体230を単層で示したが、本発明はこれに限られるものではない。酸化物半導体230は、化学組成が異なる複数の酸化物層の積層構造を有してもよい。例えば、後述する[金属酸化物]の項目に記載の金属酸化物から選ばれる複数種を適宜積層する構造にしてもよい。

[0151]

例えば、図4Aに示すように、酸化物半導体230は、酸化物半導体230aと、酸化物半導体230a上の酸化物半導体230bと、の積層構造を有してもよい。

[0152]

酸化物半導体230aに用いる材料の導電率は、酸化物半導体230bに用いる材料の導電率と異なることが好ましい。

[0153]

例えば、酸化物半導体230aには、酸化物半導体230bより導電率の高い材料を用いることができる。ソース電極又はドレイン電極として機能する導電体220及び導電体240と接する酸化物

半導体 230 a に導電率の高い材料を用いることにより、酸化半導体 230 と導電体 220 との接触抵抗、及び、酸化半導体 230 と導電体 240 との接触抵抗を低くすることができ、オン電流が大きいトランジスタとすることができる。

[0154]

ここで、ゲート電極として機能する導電体 260 側に設けられる酸化半導体 230 b に導電率の高い材料を用いる場合、トランジスタのしきい値電圧がシフトし、ゲート電圧が 0 V 時に流れるドレイン電流（以下、カットオフ電流とも記す。）が大きくなってしまう場合がある。具体的には、トランジスタ 200 が n チャネル型のトランジスタである場合、しきい値電圧が低くなってしまう場合がある。したがって、酸化半導体 230 b には、酸化半導体 230 a より導電率の低い材料を用いることが好ましい。これにより、トランジスタ 200 が n チャネル型のトランジスタである場合は、しきい値電圧を高くすることができ、カットオフ電流が小さいトランジスタとすることができる。なお、カットオフ電流が小さいことを、ノーマリオフと記す場合がある。

[0155]

前述したように酸化半導体 230 を積層構造とし、酸化半導体 230 a には、酸化半導体 230 b より導電率の高い材料を用いることにより、ノーマリオフ、かつオン電流が大きいトランジスタとすることができる。したがって、低い消費電力と高い性能を両立した半導体装置とすることができる。

[0156]

なお、酸化半導体 230 a のキャリア濃度は、酸化半導体 230 b のキャリア濃度より高いことが好ましい。酸化半導体 230 a のキャリア濃度を高くすることにより、導電率が高くなり、酸化半導体 230 と導電体 220 との接触抵抗、及び、酸化半導体 230 と導電体 240 との接触抵抗を低くすることができ、オン電流が大きいトランジスタとすることができる。酸化半導体 230 b のキャリア濃度を低くすることにより、導電率が低くなり、ノーマリオフのトランジスタとすることができる。

[0157]

ここでは、酸化半導体 230 a に、酸化半導体 230 b より導電率の高い材料を用いる例を示したが、本発明はこれに限られるものではない。酸化半導体 230 a に、酸化半導体 230 b より導電率の低い材料を用いてもよい。酸化半導体 230 a のキャリア濃度が、酸化半導体 230 b のキャリア濃度より低い構成とすることができる。

[0158]

酸化半導体 230 a に用いる第 1 の金属酸化物のバンドギャップは、酸化半導体 230 b に用いる第 2 の金属酸化物のバンドギャップと異なることが好ましい。例えば、第 1 の金属酸化物のバンドギャップと第 2 の金属酸化物のバンドギャップの差は、0.1 eV 以上が好ましく、0.2 eV 以上がより好ましく、0.3 eV 以上がさらに好ましい。

[0159]

酸化半導体 230 a に用いる第 1 の金属酸化物のバンドギャップは、酸化半導体 230 b に用いる第 2 の金属酸化物のバンドギャップより小さい構成とすることができる。これにより、酸化半導体 230 と導電体 220 との接触抵抗、及び、酸化半導体 230 と導電体 240 との接触抵抗を低くすることができ、オン電流が大きいトランジスタとすることができる。また、トランジスタ 200 が n チャネル型のトランジスタである場合は、しきい値電圧を高くすることができ、ノーマリオフ

のトランジスタとすることができる。

[0160]

ここでは、第1の金属酸化物のバンドギャップが、第2の金属酸化物のバンドギャップより小さい例を示したが、本発明はこれに限られるものではない。第1の金属酸化物のバンドギャップが、第2の金属酸化物のバンドギャップより大きい構成とすることができる。

[0161]

前述したように、酸化物半導体230aに用いる第1の金属酸化物のバンドギャップは、酸化物半導体230bに用いる第2の金属酸化物のバンドギャップより小さい構成とすることができる。第1の金属酸化物の組成は、第2の金属酸化物の組成と異なることが好ましい。第1の金属酸化物と第2の金属酸化物の組成を異ならせることで、バンドギャップを制御することができる。例えば、第1の金属酸化物の元素Mの含有率は、第2の金属酸化物の元素Mの含有率より低いことが好ましい。具体的には、第1の金属酸化物及び第2の金属酸化物を I_n-M-Z_n 酸化物とする場合、第1の金属酸化物は $I_n:M:Z_n=1:1:1$ [原子数比] 又はその近傍の組成、第2の金属酸化物は $I_n:M:Z_n=1:3:2$ [原子数比] 又はその近傍の組成とすることができる。元素Mとして、ガリウム、アルミニウム、及び錫の一又は複数を用いることが特に好ましい。

[0162]

第1の金属酸化物が元素Mを含まない構成としてもよい。例えば、酸化物半導体230aに用いる第1の金属酸化物を I_n-Z_n 酸化物とし、酸化物半導体230bに用いる第2の金属酸化物を I_n-M-Z_n 酸化物とすることができる。具体的には、第1の金属酸化物を I_n-Z_n 酸化物とし、第2の金属酸化物を I_n-Ga-Z_n 酸化物とすることができる。さらに具体的には、第1の金属酸化物は $I_n:Z_n=1:1$ [原子数比] 又はその近傍の組成、若しくは $I_n:Z_n=4:1$ [原子数比] 又はその近傍の組成とし、第2の金属酸化物は $I_n:Ga:Z_n=1:1:1$ [原子数比] 又はその近傍の組成とすることができる。また、第1の金属酸化物が元素Mを微量に含む構成にしてもよい。例えば、第1の金属酸化物は、 $I_n:Sn:Z_n=4:0.1:1$ [原子数比] 若しくはその近傍の組成とすることができる。

[0163]

ここでは、第1の金属酸化物の元素Mの含有率は、第2の金属酸化物の元素Mの含有率より低い例を示したが、本発明の一態様はこれに限られない。第1の金属酸化物の元素Mの含有率は、第2の金属酸化物の元素Mの含有率より高い構成としてもよい。なお、第1の金属酸化物と第2の金属酸化物で組成が異なればよく、元素M以外の元素の含有率が異なってもよい。

[0164]

図5A及び図5Bに、酸化物半導体230が、酸化物半導体230aと酸化物半導体230bの2層積層構造である場合の、バンド図（伝導帯下端の図）の一例を示す。図5Aは、酸化物半導体230aに、酸化物半導体230bより導電率の高い材料を用いた場合のバンド図の一例である。この場合、酸化物半導体230aの伝導帯下端のエネルギー準位の方が、酸化物半導体230bの伝導帯下端のエネルギー準位よりも低くなるため、キャリアとなる電子は、主に酸化物半導体230a中をキャリアパスとして流れる。

[0165]

図5Bは、酸化物半導体230aに、酸化物半導体230bより導電率の低い材料を用いた場合のバンド図の一例である。この場合、酸化物半導体230bの伝導帯下端のエネルギー準位の方が、酸

化物半導体230aの伝導帯下端のエネルギー準位よりも低くなるため、キャリアとなる電子は、主に酸化半導体230b中をキャリアパスとして流れる。

[0166]

このように、酸化半導体230を2層積層構造とする場合、酸化半導体230aと酸化半導体230bに導電率、バンドギャップ等の異なる材料をそれぞれ用いることにより、酸化半導体230のバンド形状が変化するため、酸化半導体230中におけるキャリアパスを変えることができる。

[0167]

酸化半導体230の膜厚は、例えば、1nm以上20nm以下、3nm以上15nm以下、5nm以上12nm以下、又は5nm以上10nm以下であることが好ましい。

[0168]

酸化半導体230を構成する各層(ここでは、酸化半導体230a及び酸化半導体230b)の膜厚は、酸化半導体230の膜厚が前述の範囲となるように決めればよい。酸化半導体230aと導電体220との接触抵抗、及び酸化半導体230aと導電体240との接触抵抗が求められる範囲になるように、酸化半導体230aの膜厚を決めることができる。また、トランジスタのしきい値電圧が求められる範囲になるように、酸化半導体230bの膜厚を決めることができる。なお、酸化半導体230aの膜厚は、酸化半導体230bの膜厚と同じであってもよく、異なってもよい。

[0169]

また、酸化半導体230aと酸化半導体230bとは、導電体240の上面が被形成面となる部分の膜厚と、導電体240の側面及び絶縁体280の側面が被形成面となる部分の膜厚と、の比が異なる場合がある。

[0170]

図4Aには、酸化半導体230が、酸化半導体230aと酸化半導体230bの2層の積層構造である構成を示しているが、本発明はこれに限られるものではない。酸化半導体230は、3層以上の積層構造としてもよい。

[0171]

一例として、図4Bに示すように、酸化半導体230は、酸化半導体230aと、酸化半導体230a上の酸化半導体230bと、酸化半導体230b上の酸化半導体230cと、の積層構造を有してもよい。別言すると、図4Aに示す構成において、導電体260と酸化半導体230bとの間に、酸化半導体230cを設けてもよい。

[0172]

酸化半導体230aに用いる金属酸化物において、Inに対する元素Mの原子数比が、酸化半導体230bに用いる金属酸化物における、Inに対する元素Mの原子数比より大きいことが好ましい。このような構成にすることで、酸化半導体230aの外側に形成された構造物から酸化半導体230bへの不純物及び酸素の拡散を抑制することができる。また、絶縁体280、導電体220、又は導電体240に含まれる元素が、酸化半導体230bに拡散するのを抑制することができる。

[0173]

なお、絶縁体280が、水素及び酸素の拡散を抑制する機能を有する場合、酸化半導体230aを設けない構成としてもよい。このとき、酸化半導体230は、酸化半導体230bと、酸化物

半導体 230b 上の酸化物半導体 230c と、の積層構造であってもよい。

[0174]

また、例えば、絶縁体 280 へのダメージが少ない形成方法を用いて、酸化物半導体膜を成膜する場合、酸化物半導体 230a を設けない構成としてもよい。例えば、酸化物半導体 230b となる酸化物半導体膜を、ALD法又はCVD法を用いて成膜する場合、酸化物半導体 230a を設けない構成としてもよい。ALD法又はCVD法を用いて酸化物半導体膜を成膜する場合、絶縁体 280 へのダメージが低減され、絶縁体 280 に含まれる元素の当該酸化物半導体膜への拡散を抑制することができる。

[0175]

ゲート電極として機能する導電体 260 側に設けられる酸化物半導体 230c に導電率の高い材料を用いる場合、トランジスタ 200 のしきい値電圧がシフトし、カットオフ電流が大きくなってしまふ場合がある。具体的には、トランジスタ 200 が n チャネル型のトランジスタである場合、しきい値電圧が低くなってしまふ場合がある。したがって、酸化物半導体 230c には、酸化物半導体 230b より導電率の低い材料を用いることが好ましい。これにより、トランジスタ 200 が n チャネル型のトランジスタである場合は、しきい値電圧を高くすることができ、カットオフ電流が小さいトランジスタとすることができる。

[0176]

以上より、酸化物半導体 230b として、酸化物半導体 230c より導電率の高い材料を用いることにより、ノーマリオフ、かつオン電流が大きいトランジスタとすることができる。したがって、低い消費電力と高い性能を両立した半導体装置とすることができる。

[0177]

また、酸化物半導体 230b のキャリア濃度は、酸化物半導体 230c のキャリア濃度より高いことが好ましい。酸化物半導体 230b のキャリア濃度を高くすることにより、導電率が高くなり、オン電流が大きいトランジスタとすることができる。また、酸化物半導体 230c のキャリア濃度を低くすることにより、導電率が低くなり、ノーマリオフのトランジスタとすることができる。

[0178]

ここでは、酸化物半導体 230b に酸化物半導体 230c より導電率の高い材料を用いる例を示したが、本発明の一態様はこれに限られない。酸化物半導体 230b に、酸化物半導体 230c より導電率の低い材料を用いてもよい。酸化物半導体 230b のキャリア濃度が、酸化物半導体 230c のキャリア濃度より低い構成としてもよい。

[0179]

酸化物半導体 230b に用いる第 2 の金属酸化物のバンドギャップは、酸化物半導体 230c に用いる第 3 の金属酸化物のバンドギャップと異なることが好ましい。例えば、第 2 の金属酸化物のバンドギャップと第 3 の金属酸化物のバンドギャップの差は、 0.1 eV 以上が好ましく、さらには 0.2 eV 以上が好ましく、さらには 0.3 eV 以上が好ましい。

[0180]

酸化物半導体 230b に用いる第 2 の金属酸化物のバンドギャップは、酸化物半導体 230c に用いる第 3 の金属酸化物のバンドギャップより小さい構成とすることができる。これにより、酸化物半導体 230 と導電体 220 との接触抵抗、及び、酸化物半導体 230 と導電体 240 との接触抵抗を低くすることができ、オン電流が大きいトランジスタとすることができる。また、トランジスタ 20

0がnチャンネル型のトランジスタである場合は、しきい値電圧を高くすることができ、ノーマリオフのトランジスタとすることができる。

[0181]

ここでは、第2の金属酸化物のバンドギャップが、第3の金属酸化物のバンドギャップより小さい例を示したが、本発明の一態様はこれに限られない。第2の金属酸化物のバンドギャップが、第3の金属酸化物のバンドギャップより大きい構成としてもよい。

[0182]

また、酸化物半導体230aに用いる第1の金属酸化物と、酸化物半導体230cに用いる第3の金属酸化物とは、組成が同じであってもよいし、異なってもよい。

[0183]

例えば、酸化物半導体230aとして、 $In:Ga:Zn=1:1:1$ [原子数比] 又はその近傍の組成である金属酸化物を用い、酸化物半導体230bとして、 $In:Zn=1:1$ [原子数比] 若しくはその近傍の組成である金属酸化物、 $In:Zn=4:1$ [原子数比] 若しくはその近傍の組成である金属酸化物、 $In:Sn:Zn=4:0.1:1$ [原子数比] 若しくはその近傍の組成である金属酸化物、又はインジウム酸化物を用い、酸化物半導体230cとして、 $In:Ga:Zn=1:1:1$ [原子数比] 又はその近傍の組成である金属酸化物、 $In:Ga:Zn=1:3:2$ [原子数比] 又はその近傍の組成である金属酸化物又は $In:Ga:Zn=1:3:4$ [原子数比] 又はその近傍の組成である金属酸化物を用いる構成としてもよい。当該構成にすることで、トランジスタ200のオン電流を大きくし、かつ、ばらつきが少なく信頼性の高いトランジスタ構造とすることができる。

[0184]

図5Cに、酸化物半導体230が、酸化物半導体230a、酸化物半導体230b、及び酸化物半導体230cの3層積層構造である場合の、バンド図(伝導帯下端の図)の一例を示す。図5Cでは、3層のうち、酸化物半導体230bに最も導電率の高い材料を用い、酸化物半導体230aと酸化物半導体230cに同程度の導電率を有する材料を用いた場合のバンド図の一例を示している。

[0185]

この場合、酸化物半導体230bの伝導帯下端のエネルギー準位が、酸化物半導体230a及び酸化物半導体230cの伝導帯下端のエネルギー準位よりも低くなり、いわゆる埋め込みチャンネルを形成することができる。したがって、キャリアとなる電子は、主に酸化物半導体230b中をキャリアパスとして流れる。このように、埋め込みチャンネル構造のトランジスタを適用することにより、酸化物半導体230と絶縁体250との界面、及び、酸化物半導体230と絶縁体280との界面における影響(例えば、界面準位への電子トラップ等)を抑制した状態で、トランジスタを動作させることができる。したがって、電気特性及び信頼性の良好なトランジスタを実現することができる。

[0186]

図4A及び図4Bに示す半導体装置では、上述した酸化物半導体230の構成以外に、導電体240、導電体220、絶縁体250、導電体260、及び絶縁体283の構成についても、図1A乃至図1Cに示す半導体装置と異なる。

[0187]

図4A及び図4Bに示すように、導電体240は、積層構造であることが好ましい。例えば、導電体240は、導電体240aと、導電体240aの上面に接する導電体240bと、の積層構造を有

することが好ましい。

[0188]

導電体240aは、下面（絶縁体210側の面）が絶縁体280に接し、Y方向において（図示しない）、側面の一方（開口部290に面する側の側面）が酸化物半導体230に接し、側面の他方（開口部290に面しない側の側面）が絶縁体250に接する。導電体240aは、導電体240bより導電性が高い金属を用いることが好ましい。また、導電体240aは、導電体240bよりシート抵抗が低い金属を用いることが好ましい。このような構成にすることで、導電体240aを含む導電体240をソース電極又はドレイン電極の一方に接続された配線として機能させることができる。

[0189]

導電体240aとして、ルテニウム、タンタル、ニッケル、チタン、モリブデン、タングステン、ハフニウム、バナジウム、ニオブ、アルミニウム、クロム、銅、銀、金、白金、亜鉛、マンガン、鉄、コバルト、マグネシウム、ジルコニウム、ベリリウム、インジウム、イリジウム、ストロンチウム、及びランタンの一又は複数、並びに前述した金属の一又は複数を成分とした合金等を用いることができる。

[0190]

また、導電体240aの一部が、上記金属の金属酸化物を含む場合もある。この場合、導電体240aの、導電体240bとの界面近傍及び酸化物半導体230との界面近傍に、当該金属酸化物の層が形成される場合がある。ここで、ルテニウム、及びルテニウムの合金は、酸化されても、比較的電気抵抗が低く保たれる材料であるため好ましい。

[0191]

導電体240bは、側面の一方（開口部290に面する側の側面）、及び、上面の一部が、酸化物半導体230に接する。また、Y方向において（図示しない）、導電体240bの側面の他方（開口部290に面しない側の側面）、及び、上面の他の一部が、絶縁体250に接する。導電体240bは、酸化物半導体230とオーミック接触を行うことが好ましく、酸化物半導体230との接触抵抗が低いことが好ましい。例えば、導電体240bと酸化物半導体230との接触抵抗は、導電体240aに用いられる金属層と酸化物半導体230との接触抵抗より低いことが好ましい。このため、導電体240bは、導電性を有する金属酸化物（導電性酸化物と呼ぶ場合がある。）を用いることが好ましい。導電体240bを上記のような構成にすることで、トランジスタ200の、オン電流、電界効果移動度、及び、周波数特性の向上を図ることができる。

[0192]

導電体240bに用いる導電性酸化物（OC: Oxide Conductor、酸素を含む導電性材料ともいう。）としては、インジウムを含む導電性酸化物が好ましい。インジウムを含む導電性酸化物としては、酸化インジウム、インジウム錫酸化物（ITOという場合がある。）、インジウム亜鉛酸化物、ITSO等を用いることが好ましい。また、酸化インジウムに、タングステン又はチタンなどを含有する構成にしてもよく、例えば、In-W酸化物、In-W-Zn酸化物、In-Ti酸化物、In-Ti-Sn酸化物等を用いてもよい。また、亜鉛を含む導電性酸化物を用いてもよく、例えば、酸化亜鉛、ガリウムを添加した酸化亜鉛、In-Ga-Zn酸化物等を用いることができる。また、導電性酸化物として、酸化ルテニウム、ストロンチウム及びルテニウムを含む酸化物、ランタン及びニッケルを含む酸化物等を用いることができる。特にインジウムを含む導電性酸化物は、導電性が高いため好ましい。

[0193]

例えば、導電体240bにシリコンを添加したインジウム錫酸化物を用いればよい。この場合、導電体240bは、インジウムと、錫と、シリコンと、酸素を有する。ここで、インジウム錫酸化物にシリコンを添加することで、インジウム錫酸化物の多結晶化を抑制することができる。つまり、シリコンを添加したインジウム錫酸化物は、nc構造（ナノクリスタル構造）、又はアモルファス構造を有しやすい。なお、本発明は上記に限られるものではない。導電体240bに多結晶化したインジウム錫酸化物を用いることもできる。この場合、導電体240bは、インジウムと、錫と、酸素を有する。

[0194]

上記のように、金属を有する導電体240aと、導電性酸化物を有する導電体240bを有する構成にして加熱処理を行うことで、導電体240b中の酸素が導電体240aとの界面近傍まで拡散し、導電体240b中に酸素欠損(V_o)が形成される。さらに、導電体240近傍の酸化物半導体230中の酸素が、酸素欠損(V_o)が形成された導電体240b及び導電体240aとの界面近傍まで拡散し、酸化物半導体230の導電体240近傍の領域に酸素欠損(V_o)が形成される。当該酸素欠損(V_o)に水素が入って、 V_oH が形成されることにより、酸化物半導体230の導電体240近傍の領域が自己整合的に低抵抗化される。当該低抵抗化された領域は、トランジスタ200のソース領域及びドレイン領域の一方として機能する。

[0195]

なお、上記において、導電体240が、導電体240aと導電体240bの2層の積層構造である例について説明したが、本発明はこれに限られるものではない。導電体240を3層以上の積層構造にしてもよい。

[0196]

また、図4A及び図4Bに示すように、導電体220を導電体220aと、導電体220a上の導電体220bと、の積層構造にしてもよい。ここで、導電体220aは、導電体240aと同様の導電性の高い金属を用いることが好ましい。よって、導電体220aは、導電体240aに用いることが可能な金属を用いればよい。例えば、導電体220aにタングステンを用いればよい。このような構成にすることで、導電体220aを含む導電体220をソース電極又はドレイン電極の他方に接続された配線として機能させることができる。

[0197]

導電体220bは、導電体240bと同様の導電性酸化物を用いることが好ましい。よって、導電体220bは、導電体240bに用いることが可能な導電性酸化物を用いればよい。例えば、導電体220bにシリコンを添加したインジウム錫酸化物を用いればよい。この場合、導電体220bは、インジウムと、錫と、シリコンと、酸素と、を有する。このような構成にすることで、トランジスタ200の、オン電流、電界効果移動度、及び周波数特性の向上を図ることができる。

[0198]

上記のように、金属を有する導電体220aと、導電性酸化物を有する導電体220bと、を有する構成にして加熱処理を行うことで、導電体220b中の酸素が導電体220aの界面近傍まで拡散し、導電体220b中に酸素欠損(V_o)が形成される。さらに、導電体220近傍の酸化物半導体230中の酸素が、酸素欠損(V_o)が形成された導電体220b及び導電体220aとの界面近傍まで拡散し、酸化物半導体230の導電体220近傍の領域に酸素欠損(V_o)が形成される。当該

酸素欠損 (V_o) に水素が入って、 V_oH が形成されることにより、酸化半導体 230 の導電体 220 近傍の領域が自己整合的に低抵抗化される。当該低抵抗化された領域は、トランジスタ 200 のソース領域及びドレイン領域の他方として機能する。また、上記のように、導電体 220 の下に配置された絶縁体 222 が、上記加熱処理によって、導電体 220 を介して、酸化半導体 230 中の水素を捕獲する。このとき、酸化半導体 230 のチャンネル形成領域の水素が、ソース領域及びドレイン領域の他方まで拡散するため、ソース領域及びドレイン領域の他方において、より効率的に V_oH を形成することができる。

[0199]

上記の通り、導電体 240b 及び導電体 220b には、導電性を有する金属酸化物を用いることが好ましい。これにより、導電体 240b と酸化半導体 230a、及び、導電体 220b と酸化半導体 230a を、それぞれオーミック接触させることができる。例えば、導電体 240b 及び導電体 220b にシリコンを添加したインジウム錫酸化物を用い、酸化半導体 230a に比較的導電性の高い $In:Ga:Zn=1:1:1$ [原子数比] 又はその近傍の組成である金属酸化物を用いることが好ましい。これにより、トランジスタ 200 の、オン電流、電界効果移動度、及び周波数特性の向上を図ることができる。

[0200]

絶縁体 250 は、図 4A 及び図 4B に示すように、絶縁体 250a と絶縁体 250a 上の絶縁体 250b と、の積層構造にしてもよい。絶縁体 250a は、酸化半導体 230 の上面に接して設けられる。また、絶縁体 250a は、導電体 240 の上面と接する領域と、導電体 240 の側面と接する領域と、絶縁体 280 と接する領域と、を有する。絶縁体 250b は、絶縁体 250a の上面に接して設けられる。

[0201]

絶縁体 250a は、水素を捕獲する、又は、固着する機能を有する絶縁体を用いることが好ましい。絶縁体 250a を設けることで、酸化半導体 230 に含まれる水素を、より効果的に捕獲させる、又は、固着させることができる。よって、酸化半導体 230 中の水素濃度を低減することができる。絶縁体 250a として、絶縁体 222 に適用可能な絶縁体を用いることができる。絶縁体 250a として、例えば、ハフニウムシリケートなどを用いるとよい。この場合、絶縁体 250a は、少なくともハフニウムと、シリコンと、酸素と、を有する。また、絶縁体 250a は、アモルファス構造を有することが好ましい。なお、絶縁体 250a としては、後述する [絶縁体] の項目に記載の絶縁体を、単層又は積層で用いてもよい。

[0202]

絶縁体 250a をアモルファス構造にすることで、結晶粒界の形成を抑制することができる。結晶粒界の形成が抑制されることで、絶縁体 250a の膜の平坦性を高めることができる。これにより絶縁体 250a の膜厚分布が均一化されて、膜厚が極端に薄い部分を低減することができるため、絶縁体 250a の耐圧を向上させることができる。また、絶縁体 250a 上に設ける膜の膜厚分布を均一化することができる。

[0203]

また、絶縁体 250a の結晶粒界の形成を抑制することで、結晶粒界の欠陥準位に起因するリーク電流を低減することができる。よって、絶縁体 250a をリーク電流の少ない絶縁膜として機能させることができる。

[0204]

また、酸化ハフニウムは高誘電率 (high-k) 材料であるため、ハフニウムシリケートは、シリコンの含有量によっては、高誘電率 (high-k) 材料となる。したがって、絶縁体250aをゲート絶縁体に用いる場合、ゲート絶縁体の物理膜厚を保持したまま、トランジスタ動作時に印加するゲート電位の低減化が可能となる。また、ゲート絶縁体として機能する絶縁体の等価酸化膜厚 (EOT: Equivalent Oxide Thickness) の薄膜化が可能となる。

[0205]

絶縁体250aの膜厚は、0.5nm以上15nm以下とすることが好ましく、0.5nm以上12nm以下とすることがより好ましく、0.5nm以上10nm以下とすることがさらに好ましい。絶縁体250aは、少なくとも一部において、上記のような膜厚の領域を有していればよい。ここで、絶縁体250aはアモルファス構造を有しているため、結晶粒界の形成が低減されており、平坦性が高い。このため、絶縁体250aは、耐圧が高く、リーク電流が低減された薄膜とすることができる。よって、絶縁体250aは、ゲート絶縁体として好適である。

[0206]

絶縁体250bは、水素に対するバリア絶縁体を用いることが好ましい。これにより、導電体260に含まれる不純物の、酸化物半導体230への拡散を抑制することができる。絶縁体250bとして、絶縁体210及び絶縁体283に適用可能な絶縁体を用いることができる。例えば、窒化シリコンは水素に対するバリア性が高いため、絶縁体250bとして好適である。この場合、絶縁体250bは、少なくとも窒素と、シリコンと、を有する。なお、絶縁体250bとしては、後述する [絶縁体] の項目に記載の絶縁体を、単層又は積層で用いてもよい。

[0207]

絶縁体250bとして窒化シリコンを用いる場合、絶縁体250bの膜厚は、2nm以上が好ましく、3nm以上がより好ましい。なお、絶縁体250bの膜厚の上限は特に限定されないが、半導体装置の微細化又は高集積化、半導体装置の生産性向上などの観点から、20nm以下、10nm以下、又は5nm以下であることが好ましい。よって、絶縁体250bの膜厚は、2nm以上10nm以下の領域を有することが好ましく、2nm以上5nm以下の領域を有することがより好ましい。また、絶縁体250bの膜厚が3nm以上10nm以下の領域を有することが好ましく、3nm以上5nm以下の領域を有することがより好ましい。

[0208]

絶縁体250bが、水素に対するバリア性を有する場合、絶縁体250bは、酸素に対するバリア性も有する。また、絶縁体250bは、導電体260と接する領域を有する。したがって、絶縁体250bが、酸素に対するバリア性を有することで、酸化物半導体230又は絶縁体250aに含まれる酸素が導電体260へ拡散し、導電体260が酸化することを抑制することができる。また、酸化物半導体230に含まれる酸素が、導電体260へ拡散し、酸化物半導体230に酸素欠損が形成されることを抑制することができる。

[0209]

導電体260としては、後述する [導電体] の項目に記載の導電体を、単層又は積層で用いることができる。例えば、導電体260として、タングステンなどの導電性が高い導電性材料を用いることができる。

[0210]

また、導電体260として、酸化しにくい導電性材料、又は、酸素の拡散を抑制する機能を有する導電性材料などを用いることが好ましい。当該導電性材料として、窒素を含む導電性材料（例えば、窒化チタン又は窒化タンタルなど）、及び酸素を含む導電性材料（例えば、酸化ルテニウムなど）などが挙げられる。これにより、導電体260の導電率が低下するのを抑制することができる。

[0211]

図4A及び図4Bに示すように、導電体260は、導電体260aと、導電体260a上の導電体260bと、の積層構造を有してもよい。このとき、例えば、導電体260aとして窒化チタンを用い、導電体260bとしてタングステンを用いてもよい。このようにタングステンを含む層を設けることで、導電体260の導電性を向上させ、配線として十分に機能させることができる。

[0212]

図4A及び図4Bには、導電体260が、導電体260aと導電体260bの2層の積層構造である構成を示しているが、本発明はこれに限られるものではない。導電体260は、3層以上の積層構造としてもよい。

[0213]

絶縁体283には、水素に対するバリア絶縁体を用いることが好ましい。これにより、絶縁体283の上方から酸化物半導体230に水素が拡散することを抑制することができる。窒化シリコン膜、及び窒化酸化シリコン膜は、それぞれ、自身からの不純物（例えば、水及び水素）の放出が少なく、酸素及び水素が透過しにくい特徴を有するため、絶縁体283に好適に用いることができる。

[0214]

絶縁体283としてスパッタリング法で成膜された窒化シリコンを用いることが特に好ましい。このとき、絶縁体283は、シリコンと、窒素と、を有する。スパッタリング法は、成膜ガスに水素を含む分子を用いなくてよいため、絶縁体283の水素濃度を低減することができる。また、絶縁体283をスパッタリング法で成膜することで、密度が高い窒化シリコンを形成することができる。

[0215]

また、絶縁体283は、図4A及び図4Bに示すように、絶縁体283aと、絶縁体283a上の絶縁体283bと、の積層構造にしてもよい。ここで、絶縁体283aとして、水素を捕獲する又は水素を固着する機能を有する絶縁体を用いることが好ましく、絶縁体222に用いることができる絶縁体を適宜用いればよい。例えば、絶縁体283aとして、ハフニウムシリケートを用いればよい。また、絶縁体283bとしては、上述の水素に対するバリア絶縁体を用いることが好ましい。つまり、絶縁体283は、水素を捕獲する又は水素を固着する機能を有する絶縁体283aと、水素に対するバリア絶縁体である絶縁体283bと、の積層構造になる。

[0216]

このような構成にすることで、絶縁体283の上方から酸化物半導体230に水素が拡散することを抑制することができる。ここで、水素に対するバリア性を有する絶縁体283bと絶縁体210からなる閉鎖系の内部に、水素を捕獲する又は水素を固着する機能を有する絶縁体283aと絶縁体222が設けられるため、酸化物半導体230の水素濃度を低減することができる。

[0217]

また、図1B及び図1C、並びに、図4A及び図4Bでは、絶縁体280を単層で示したが、本発明はこれに限られるものではない。絶縁体280は、積層構造であってもよい。

[0218]

例えば、図6Aに示すように、絶縁体280は、絶縁体280aと、絶縁体280a上の絶縁体280bと、絶縁体280b上の絶縁体280cと、の積層構造を有してもよい。

[0219]

絶縁体280aは、絶縁体210の上面に接する領域と、導電体220の側面に接する領域と、導電体220の上面に接する領域と、を有する。絶縁体280cは、導電体240の下面に接する領域を有する。

[0220]

図6Bは、図6Aに示す構成に加えて、酸化物半導体230と絶縁体280との間に、水素を捕獲する、又は、固着する機能を有する絶縁体223と、水素に対してバリア性を有する絶縁体221と、が設けられている例である。

[0221]

絶縁体223として、絶縁体222に適用可能な絶縁体を用いることができる。例えば、ハフニウムシリケートを用いればよい。これにより、酸化物半導体230への水素の拡散を抑制し、酸化物半導体230中の水素濃度をさらに低減することができる。

[0222]

絶縁体223の膜厚（例えば、絶縁体223のA1-A2方向の幅）は、0.5nm以上15nm以下とすることが好ましく、0.5nm以上12nm以下とすることがより好ましく、0.5nm以上10nm以下とすることがさらに好ましい。絶縁体223は、少なくとも一部において、上記のような幅の領域を有していればよい。

[0223]

絶縁体221は、図6Bに示すように、絶縁体280と絶縁体223との間に設けられる。また、絶縁体221、絶縁体223、酸化物半導体230、絶縁体250、及び導電体260の開口部290内に配置される部分は、開口部290の形状を反映して設けられる。よって、開口部290の側壁を覆うように絶縁体221が設けられ、絶縁体221の側面を覆うように絶縁体223が設けられ、絶縁体223の側面、及び、開口部290の底部を覆うように酸化物半導体230が設けられ、酸化物半導体230を覆うように絶縁体250が設けられ、開口部290の形状を反映した絶縁体250の凹部を埋め込むように導電体260が設けられる。

[0224]

絶縁体221として、絶縁体210に適用可能な絶縁体を用いることができる。例えば、窒化シリコンを用いればよい。これにより、酸化物半導体230への水素の拡散を抑制し、酸化物半導体230中の水素濃度をさらに低減することができる。

[0225]

絶縁体221として窒化シリコンを用いる場合、絶縁体221の膜厚（例えば、絶縁体221のA1-A2方向の幅）は、2nm以上が好ましく、3nm以上がより好ましい。なお、絶縁体221の膜厚の上限は特に限定されないが、半導体装置の微細化又は高集積化、半導体装置の生産性向上などの観点から、20nm以下、10nm以下、又は5nm以下であることが好ましい。よって、絶縁体221の膜厚は2nm以上10nm以下の領域を有することが好ましく、2nm以上5nm以下の領域を有することがより好ましい。また、絶縁体221の膜厚は3nm以上10nm以下の領域を有することが好ましく、3nm以上5nm以下の領域を有することがより好ましい。

[0226]

図6Bに示す構成の場合、絶縁体280bは、例えば、比誘電率が低い材料を用いて形成してもよい。絶縁体280bは比誘電率が低い材料を用いて形成することで、絶縁体280bを挟む配線間に生じる寄生容量を低減することができる。絶縁体280bとしては、後述する[絶縁体]の項目に記載の、比誘電率が低い材料を含む絶縁体を、単層又は積層で用いることができる。具体的には、絶縁体280bとして、酸化シリコン、又は酸化窒化シリコンを用いることができる。また、絶縁体280b中の水、水素などの不純物濃度は低減されていることが好ましい。これにより、酸化物半導体230のチャンネル形成領域への、水、水素などの不純物の混入を抑制することができる。

[0227]

絶縁体280bとして酸素を含む絶縁体を用いる場合、絶縁体280a及び絶縁体280cには、それぞれ、後述する[絶縁体]の項目に記載の、酸素に対するバリア絶縁体を用いることが好ましい。絶縁体280bと導電体220との間に絶縁体280aを設けることにより、導電体220が酸化され、導電体220の抵抗が高くなることを抑制することができる。また、絶縁体280bと導電体240との間に絶縁体280cを設けることにより、導電体240が酸化され、導電体240の抵抗が高くなることを抑制することができる。

[0228]

絶縁体280a及び絶縁体280cには、それぞれ、水素に対するバリア絶縁体を用いてもよい。これにより、絶縁体280bを、水素に対するバリア絶縁体（ここでは、絶縁体280a、絶縁体280c、及び絶縁体221）で囲むことができる。よって、絶縁体280bに含まれる水素の、酸化物半導体230への拡散を抑制することができる。窒化シリコン膜及び窒化酸化シリコン膜は、それぞれ、自身からの不純物（例えば、水及び水素）の放出が少なく、酸素及び水素が透過しにくい特徴を有するため、絶縁体280a及び絶縁体280cに好適に用いることができる。なお、絶縁体280a及び絶縁体280cは、互いに同じ材料を用いてもよく、異なる材料を用いてもよい。

[0229]

また、絶縁体280aとして、水素を捕獲する、又は、固着する機能を有する絶縁体を用いてもよい。このような構成にすることで、絶縁体280aの下方から酸化物半導体230に水素が拡散することを抑制し、さらに酸化物半導体230に含まれる水素を捕獲させる、又は、固着させることができる。よって、酸化物半導体230の水素濃度を低減することができる。絶縁体280aとしては、酸化マグネシウム、酸化アルミニウム、酸化ハフニウム、又はハフニウム及びシリコンを含む酸化物などを用いることができる。また、例えば、絶縁体280aとして、酸化アルミニウムと、当該酸化アルミニウム上の窒化シリコンの積層膜を用いてもよい。なお、絶縁体280cとして、水素を捕獲する、又は、固着する機能を有する絶縁体を用いてもよい。

[0230]

一例として、絶縁体280a及び絶縁体280cに窒化シリコンを用い、絶縁体280bに酸化シリコンを用いることができる。このとき、絶縁体280a及び絶縁体280cのそれぞれは、少なくともシリコンと、窒素と、を有する。また、絶縁体280bは、少なくともシリコンと、酸素と、を有する。

[0231]

図6A及び図6Bでは、平坦化された絶縁体280b上に、絶縁体280cを設ける構成を示しているが、本発明はこれに限られるものではない。例えば、絶縁体280bの平坦化処理を行うことなく、絶縁体280cを成膜してもよい。平坦化処理を行わないことにより、製造コストを低くするこ

とができるとともに、生産歩留まりを高めることができる。また、絶縁体280a、絶縁体280b、及び絶縁体280cを、大気環境に曝さずに連続して成膜することができる。大気開放せずに成膜することで、絶縁体280a乃至絶縁体280c上に大気環境からの不純物又は水分が付着することを防ぐことができ、絶縁体280aと絶縁体280bとの界面近傍、及び、絶縁体280bと絶縁体280cとの界面近傍を清浄に保つことができる。

[0232]

なお、図6A及び図6Bでは、絶縁体280が3層の積層構造である構成を示しているが、本発明はこれに限られるものではない。絶縁体280は、2層、又は4層以上の積層構造であってもよい。

[0233]

図6Aでは、絶縁体280bは、酸化半導体230の少なくとも一部に接する。絶縁体280bには、酸素を含む絶縁体を用いることが好ましい。絶縁体280bは、絶縁体280a及び絶縁体280cの少なくとも一つと比べて、酸素の含有量が多い領域を有することが好ましい。特に、絶縁体280bは、絶縁体280a及び絶縁体280cのそれぞれと比べて、酸素の含有量が多い領域を有することが好ましい。絶縁体280bの酸素の含有量を多くすることにより、絶縁体280b近傍の酸化半導体230に、i型の領域を形成することが容易となる。また、絶縁体280bから酸化半導体230のチャンネル形成領域に供給された酸素が、電子をトラップし、チャンネル形成領域に負電荷(負の固定電荷)を形成し得る。これにより、基板バイアス効果を発現させ、ノーマリオフ特性のトランジスタを実現することができる。

[0234]

絶縁体280bには、加熱により酸素を放出する膜を用いるとより好ましい。トランジスタ200の作製工程中にかかる熱により、絶縁体280bが酸素を放出することで、酸化半導体230に酸素を供給することができる。絶縁体280bから酸化半導体230、特に酸化半導体230のチャンネル形成領域に酸素を供給することで、酸化半導体230中の酸素欠損及び V_{OH} の低減を図ることができ、良好な電気特性を示し、かつ信頼性の高いトランジスタとすることができる。また、上述したように、絶縁体280bから酸化半導体230に供給された酸素が、チャンネル形成領域に負電荷(負の固定電荷)を形成し得るため、ノーマリオフ特性のトランジスタを実現することができる。

[0235]

また、OSトランジスタの電気特性及び信頼性を良好にするには、酸化半導体中の水素濃度を十分に低減した上で、酸化半導体に供給する酸素量を最適化することが重要となる。

[0236]

一例として、絶縁体280bの酸素分子の放出量は、 $1.0 \times 10^{14} \text{ molecules/cm}^2$ 以上、 $1.0 \times 10^{15} \text{ molecules/cm}^2$ 未満であることが好ましい。なお、酸素分子の放出量は、昇温脱離ガス分析法によって測定することができる。

[0237]

特に、トランジスタ200のチャンネル長が小さい場合、チャンネル形成領域の酸素欠損及び V_{OH} の電気特性及び信頼性への影響が特に大きくなる。したがって、酸化半導体230中の水素濃度を十分に低減した上で、酸化半導体230に供給する酸素量を最適化することで、良好な電気特性及び高い信頼性を有するチャンネル長の小さいトランジスタを実現することができる。

[0238]

絶縁体280bは、スパッタリング法、又はPECVD法などの成膜方法で形成することが好まし

い。特に、スパッタリング法を用いると、成膜ガスに水素ガスを用いなくてよいため、水素の含有量の極めて少ない膜とすることができる。そのため、酸化物半導体 230 に水素が供給されることを抑制し、トランジスタ 200 の電気特性の安定化を図ることができる。

[0239]

酸化物半導体 230 に供給する酸素量を多くする場合には、例えば、絶縁体 280b を形成した後に、酸素を含む雰囲気下における加熱処理、又は、酸素を含む雰囲気下におけるプラズマ処理を行うとよい。また、絶縁体 280b の上面に、スパッタリング法により、酸素雰囲気下で酸化物膜を成膜することで酸素を供給してもよい。その後、当該酸化物膜を除去してもよい。このような処理を行うことで、絶縁体 280b に酸素を供給し、酸化物半導体 230 に供給される酸素量を増やすことができる。

[0240]

また、酸化物半導体 230 の、絶縁体 280a に接する領域、及び、絶縁体 280c に接する領域は、絶縁体 280b に接する領域と比較して、供給される酸素の量が少ない。よって、酸化物半導体 230 の、絶縁体 280a に接する領域、及び、絶縁体 280c に接する領域は、絶縁体 280b に接する領域に比べて低抵抗化する場合がある。つまり、絶縁体 280a の膜厚を調整することで、ソース領域及びドレイン領域の一方として機能する領域の範囲を制御することができる。同様に、絶縁体 280c の膜厚を調整することで、ソース領域及びドレイン領域の他方として機能する領域の範囲を制御することができる。よって、絶縁体 280a 及び絶縁体 280c の膜厚は、トランジスタ 200 に求める特性に合わせて、適宜設定すればよい。

[0241]

図 7A 乃至図 7D に、本発明の一態様である半導体装置の別の一例を示す。図 7A 乃至図 7D は、トランジスタ 300 を有する半導体装置の平面図及び断面図である。図 7A は、当該半導体装置の平面図である。図 7B 乃至図 7D は、当該半導体装置の断面図である。ここで、図 7B は、図 7A に A1-A2 の一点鎖線で示す部位の断面図である。また、図 7C は、図 7A に A3-A4 の一点鎖線で示す部位の断面図である。また、図 7D は、絶縁体 280 を含む XY 平面における断面図である。なお、図 7A の平面図では、図の明瞭化のために一部の要素を省いている。

[0242]

図 7A 乃至図 7D に示す半導体装置は、基板（図示しない。）上の絶縁体 210 と、絶縁体 210 上の絶縁体 222 と、絶縁体 222 上のトランジスタ 300 と、絶縁体 210 上の絶縁体 280 と、トランジスタ 300 上の絶縁体 283 と、を有する。

[0243]

トランジスタ 300 は、絶縁体 280 上の導電体 242 及び導電体 243 と、酸化物半導体 230 と、酸化物半導体 230 上の絶縁体 250 と、絶縁体 250 上の導電体 260 と、を有する。

[0244]

図 7A 乃至図 7D に示す半導体装置は、酸化物半導体 230 の形状が、図 1A 乃至図 1C に示す半導体装置と異なる。また、図 7A 乃至図 7D に示す半導体装置は、導電体 220 を有さない点、導電体 240 に代えて導電体 242 及び導電体 243 を有する点で、図 1A 乃至図 1C に示す半導体装置と異なる。以降では、図 1A 乃至図 1C を用いて説明した内容と異なる部分について主に説明し、重複する部分についてはこれを参照することとし、説明を省略する場合がある。

[0245]

絶縁体280が有する開口部290の内側に、酸化物半導体230、絶縁体250、及び導電体260が設けられる。開口部290内において、絶縁体280の側面は、酸化物半導体230と接する領域と、絶縁体250と接する領域と、を有する。ここで、絶縁体250を図4A等と同様に、絶縁体250aと絶縁体250bの積層構造にする場合、絶縁体280の側面の一部は、水素を捕獲する又は固着する機能を有する絶縁体250aに接する。

[0246]

図7B及び図7Cに示すように、酸化物半導体230は、開口部290の底部に接する領域を有する。別言すると、開口部290内における酸化物半導体230の底面は、絶縁体222と接する。

[0247]

なお、図7B及び図7Cでは、導電体242及び導電体243をそれぞれ単層で示しているが、この限りではない。導電体242及び導電体243は、それぞれ、2層以上の積層構造とすることができる。例えば、導電体242及び導電体243を、それぞれ、2層積層構造とする場合、1層目の導電体は、上述の導電体240aと同様の構成とすることができる。また、2層目の導電体は、上述の導電体240bと同様の構成とすることができる。

[0248]

トランジスタ300において、酸化物半導体230は半導体層として機能し、導電体260はゲート電極として機能し、絶縁体250はゲート絶縁体として機能し、導電体242はソース電極又はドレイン電極の一方として機能し、導電体243はソース電極又はドレイン電極の他方として機能する。

[0249]

図7A乃至図7Dに示す半導体装置は、絶縁体280が有する開口部の内側に、酸化物半導体230、絶縁体250、及び導電体260が、この順に設けられる構成を有する。

[0250]

酸化物半導体230は、少なくとも一部が開口部290の内側に位置するように設けられている。また、トランジスタ300は、ソース電極又はドレイン電極の一方（例えば、導電体242）から、ソース電極又はドレイン電極の他方（例えば、導電体243）に電流が流れる構成を有する。つまり、トランジスタ300のチャネル長（図7Bに破線の両矢印で示す長さL）は、開口部290内における絶縁体280の側面の長さの2倍と、開口部290の底部の長さとの和となる。なお、開口部290内における絶縁体280の側面の長さは、絶縁体280の膜厚でもある。また、開口部290の底部の長さは、例えば、導電体242から導電体243までの最短距離でもある。このように、トランジスタ300のチャネル長（長さL）は、開口部290内における絶縁体280の側面の長さ、開口部290の底部の長さ、で調整することができる。例えば、半導体装置の微細化又は高集積化を図りつつ、チャネル長を長くする場合、絶縁体280の膜厚を厚くするとよい。

[0251]

また、トランジスタ300のチャネル幅（図7Cに二点鎖線の両矢印で示す長さW）は、平面視における、酸化物半導体230のY方向の幅に対応する。よって、トランジスタ300のチャネル幅は、開口部290の底部の幅よりも小さくするとよい。

[0252]

なお、図7A及び図7Dでは、平面視において絶縁体280が有する開口部が、四角形の角部を丸めた形状である例について示している。このとき、当該開口部の最大幅は、当該開口部の最上部の形状に合わせて適宜算出するとよい。例えば、平面視において当該開口部が四角形の角部を丸めた形状

である場合、当該開口部の最大幅は、当該開口部の最上部を矩形に見立てたときの、対角線の長さ又は向かい合う辺の距離とするとよい。なお、本発明はこれに限られるものではない。例えば、平面視において開口部290が、円形、楕円などの略円形状、多角形状、多角形の角部を丸めた形状になっていてもよい。

[0253]

なお、図8A及び図8Bに示すように、図7A乃至図7Dに示すトランジスタ300は、図1A乃至図1Cに示すトランジスタ200と同一層(ここでは、絶縁体222)上に作製することができる。つまり、トランジスタ200の作製工程と並行して、トランジスタ300も作製することができる。よって、同一層上に、チャンネル長及びチャンネル幅の異なる2つのトランジスタを設けることができる。このように、本発明の一態様の半導体装置においては、同一層上で、チャンネル長の異なるトランジスタを、絶縁層の厚さ、及びパターン形成により、自由に設計することができるといった優れた効果を奏する。また、トランジスタ200と、トランジスタ300と、を並行して作製することで、トランジスタ200のチャンネル形成領域だけでなく、トランジスタ300のチャンネル形成領域の一部(チャンネル長方向における、酸化半導体230と、絶縁体280と、が接する領域)にも、同時に負電荷を形成することができる。なお、図8Aは、半導体装置の平面図である。また、図8Bは、当該半導体装置の断面図であり、図8AにA5-A6の一点鎖線で示す部位の断面図である。

[0254]

<半導体装置の構成材料>

以下では、半導体装置に用いることができる構成材料について説明する。

[0255]

[基板]

トランジスタを形成する基板としては、例えば、絶縁体基板、半導体基板、又は導電体基板を用いればよい。絶縁体基板としては、例えば、ガラス基板、石英基板、サファイア基板、安定化ジルコニア基板(イットリア安定化ジルコニア基板など)、樹脂基板などがある。また、半導体基板としては、例えば、シリコン、ゲルマニウムを材料とした半導体基板、又は炭化シリコン、シリコンゲルマニウム、ヒ化ガリウム、リン化インジウム、酸化亜鉛、酸化ガリウムからなる化合物半導体基板などがある。さらには、前述の半導体基板内部に絶縁体領域を有する半導体基板、例えば、SOI(Silicon On Insulator)基板などがある。導電体基板としては、黒鉛基板、金属基板、合金基板、導電性樹脂基板などがある。又は、金属の窒化物を有する基板、金属の酸化物を有する基板などがある。さらには、絶縁体基板に導電体又は半導体が設けられた基板、半導体基板に導電体又は絶縁体が設けられた基板、導電体基板に半導体又は絶縁体が設けられた基板などがある。又は、これらの基板に素子が設けられたものを用いてもよい。基板に設けられる素子としては、容量素子、抵抗素子、スイッチ素子、発光素子、記憶素子などがある。

[0256]

[絶縁体]

絶縁体としては、絶縁性を有する酸化物、窒化物、酸化窒化物、窒化酸化物、金属酸化物、金属酸化窒化物、金属窒化酸化物などがある。

[0257]

例えば、トランジスタの微細化、及び高集積化が進むと、ゲート絶縁体の薄膜化により、リーク電流などの問題が生じる場合がある。ゲート絶縁体として機能する絶縁体に、high-k材料を用い

ることで物理膜厚を保ちながら、トランジスタ動作時の低電圧化が可能となる。また、ゲート絶縁体として機能する絶縁体の等価酸化膜厚 (EOT) の薄膜化が可能となる。一方、層間膜として機能する絶縁体には、比誘電率が低い材料を用いることで、配線間に生じる寄生容量を低減することができる。したがって、絶縁体の機能に応じて、材料を選択するとよい。なお、比誘電率が低い材料は、絶縁耐力が大きい材料でもある。

[0258]

比誘電率が高い (high-k) 材料としては、例えば、酸化アルミニウム、酸化ガリウム、酸化ハフニウム、酸化タンタル、酸化ジルコニウム、ハフニウムジルコニウム酸化物、アルミニウム及びハフニウムを有する酸化物、アルミニウム及びハフニウムを有する酸化窒化物、シリコン及びハフニウムを有する酸化物、シリコン及びハフニウムを有する酸化窒化物、並びに、シリコン及びハフニウムを有する窒化物などが挙げられる。

[0259]

比誘電率が低い材料としては、例えば、酸化シリコン、酸化窒化シリコン、及び窒化酸化シリコンなどの無機絶縁材料、ポリエステル、ポリオレフィン、ポリアミド (ナイロン、アラミドなど)、ポリイミド、ポリカーボネート、及びアクリルなどの樹脂が挙げられる。また、比誘電率が低い他の無機絶縁材料として、例えば、フッ素を添加した酸化シリコン、炭素を添加した酸化シリコン、並びに、炭素及び窒素を添加した酸化シリコンなどが挙げられる。また、例えば、空孔を有する酸化シリコンが挙げられる。なお、これらの酸化シリコンは、窒素を含んでもよい。

[0260]

また、絶縁体として、強誘電性を有し得る材料を用いてもよい。強誘電性を有し得る材料としては、酸化ハフニウム、酸化ジルコニウム、 $HfZrO_x$ (Xは0よりも大きい実数とする。) などの金属酸化物が挙げられる。また、強誘電性を有し得る材料としては、酸化ハフニウムに元素J1 (ここでの元素J1は、ジルコニウム、シリコン、アルミニウム、ガドリニウム、イットリウム、ランタン、ストロンチウムなどから選ばれた一つ又は複数) を添加した材料が挙げられる。ここで、ハフニウム原子の原子数と元素J1の原子数の比は適宜設定することができ、例えば、ハフニウム原子の原子数と元素J1の原子数の比を1:1又はその近傍にすればよい。また、強誘電性を有し得る材料としては、酸化ジルコニウムに元素J2 (ここでの元素J2は、ハフニウム、シリコン、アルミニウム、ガドリニウム、イットリウム、ランタン、ストロンチウムなどから選ばれた一つ又は複数) を添加した材料、などが挙げられる。また、ジルコニウム原子の原子数と元素J2の原子数の比は適宜設定することができ、例えば、ジルコニウム原子の原子数と元素J2の原子数の比を1:1又はその近傍にすればよい。また、強誘電性を有し得る材料として、チタン酸鉛 (PbTiO_x)、チタン酸バリウムストロンチウム (BST)、チタン酸ストロンチウム、チタン酸ジルコン酸鉛 (PZT)、タンタル酸ビスマス酸ストロンチウム (SBT)、ビスマステライト (BFO)、チタン酸バリウム、などのペロブスカイト構造を有する圧電性セラミックスを用いてもよい。

[0261]

また、金属酸化物を用いたトランジスタは、不純物及び酸素の透過を抑制する機能を有する絶縁体で囲うことによって、トランジスタの電気特性を安定にすることができる。不純物及び酸素の透過を抑制する機能を有する絶縁体としては、例えば、ホウ素、炭素、窒素、酸素、フッ素、マグネシウム、アルミニウム、シリコン、リン、塩素、アルゴン、ガリウム、ゲルマニウム、イットリウム、ジルコニウム、ランタン、ネオジム、ハフニウム、又はタンタルを含む絶縁体を、単層で、又は積層で用い

ることができる。具体的には、不純物及び酸素の透過を抑制する機能を有する絶縁体として、酸化アルミニウム、酸化マグネシウム、酸化ガリウム、酸化ゲルマニウム、酸化イットリウム、酸化ジルコニウム、酸化ランタン、酸化ネオジム、酸化ハフニウム、酸化タンタルなどの金属酸化物、窒化アルミニウム、窒化酸化シリコン、窒化シリコンなどの金属窒化物を用いることができる。

[0262]

また、ゲート絶縁体などの、半導体層と接する絶縁体、又は半導体層の近傍に設ける絶縁体は、加熱により脱離する酸素（過剰酸素）を含む領域を有する絶縁体であることが好ましい。例えば、過剰酸素を含む領域を有する絶縁体を半導体層と接する、又は半導体層の近傍に設ける構造とすることで、半導体層が有する酸素欠損を低減することができる。また、半導体層（特に、チャネル形成領域）に供給された酸素が、電子をトラップすることで、チャネル形成領域に負電荷（負の固定電荷）を形成することができる。過剰酸素を含む領域を形成しやすい絶縁体として、酸化シリコン、酸化窒化シリコン、又は空孔を有する酸化シリコンなどが挙げられる。

[0263]

また、酸素に対するバリア絶縁体としては、アルミニウム及びハフニウムの一方又は両方を含む酸化物、ハフニウム及びシリコンを含む酸化物（ハフニウムシリケート）、酸化マグネシウム、又は酸化ガリウム、ガリウム亜鉛酸化物、インジウムガリウム亜鉛酸化物、窒化シリコン、並びに、窒化酸化シリコンなどが挙げられる。また、アルミニウム及びハフニウムの一方又は両方を含む酸化物として、酸化アルミニウム、酸化ハフニウム、アルミニウム及びハフニウムを含む酸化物（ハフニウムアルミネート）、などが挙げられる。

[0264]

また、水素に対するバリア絶縁体については、上述した内容を参照することができる。

[0265]

酸素に対するバリア絶縁体、及び、水素に対するバリア絶縁体は、酸素及び水素の一方又は両方に対するバリア絶縁体といえる。

[0266]

また、水素を捕獲する、又は、固着する機能を有する絶縁体については、上述した内容を参照することができる。

[0267]

[導電体]

導電体としては、アルミニウム、クロム、銅、銀、金、白金、タンタル、ニッケル、チタン、モリブデン、タングステン、ハフニウム、バナジウム、ニオブ、マンガン、マグネシウム、ジルコニウム、ベリリウム、インジウム、ルテニウム、イリジウム、ストロンチウム、ランタンなどから選ばれた金属元素、又は前述した金属元素を成分とする合金か、前述した金属元素を組み合わせた合金等を用いることが好ましい。前述した金属元素を成分とする合金として、当該合金の窒化物、又は当該合金の酸化物を用いてもよい。例えば、窒化タンタル、窒化チタン、タングステン、チタンとアルミニウムを含む窒化物、タンタルとアルミニウムを含む窒化物、酸化ルテニウム、窒化ルテニウム、ストロンチウムとルテニウムを含む酸化物、ランタンとニッケルを含む酸化物などを用いることが好ましい。また、リン等の不純物元素を含有させた多結晶シリコンに代表される、電気伝導度が高い半導体、ニッケルシリサイドなどのシリサイドを用いてもよい。

[0268]

また、タンタルを含む窒化物、チタンを含む窒化物、モリブデンを含む窒化物、タングステンを含む窒化物、ルテニウムを含む窒化物、タンタル及びアルミニウムを含む窒化物、又はチタン及びアルミニウムを含む窒化物などの窒素を含む導電性材料、酸化ルテニウム、ストロンチウム及びルテニウムを含む酸化物、又はランタン及びニッケルを含む酸化物などの酸素を含む導電性材料、チタン、タンタル、又はルテニウムなどの金属元素を含む材料は、酸化しにくい導電性材料、酸素の拡散を抑制する機能を有する導電性材料、又は、酸素を吸収しても導電性を維持する材料であるため、好ましい。なお、酸素を含む導電性材料として、酸化タングステンを含むインジウム酸化物、酸化チタンを含むインジウム酸化物、インジウム錫酸化物、酸化チタンを含むインジウム錫酸化物、シリコンを添加したインジウム錫酸化物、インジウム亜鉛酸化物、及び、酸化タングステンを含むインジウム亜鉛酸化物などが挙げられる。本明細書等では、酸素を含む導電性材料を用いて成膜される導電膜を、酸化物導電膜と呼ぶことがある。

[0269]

また、タングステン、銅、又はアルミニウムを主成分とする導電性材料は、導電性が高いため、好ましい。

[0270]

また、上記の材料で形成される導電層を複数積層して用いてもよい。例えば、前述した金属元素を含む材料と、酸素を含む導電性材料と、を組み合わせた積層構造としてもよい。また、前述した金属元素を含む材料と、窒素を含む導電性材料と、を組み合わせた積層構造としてもよい。また、前述した金属元素を含む材料と、酸素を含む導電性材料と、窒素を含む導電性材料と、を組み合わせた積層構造としてもよい。

[0271]

なお、トランジスタのチャンネル形成領域に金属酸化物を用いる場合において、ゲート電極として機能する導電体には、前述した金属元素を含む材料と、酸素を含む導電性材料と、を組み合わせた積層構造を用いることが好ましい。この場合は、酸素を含む導電性材料をチャンネル形成領域側に設けるとよい。酸素を含む導電性材料をチャンネル形成領域側に設けることで、当該導電性材料から脱離した酸素がチャンネル形成領域に供給されやすくなる。

[0272]

特に、ゲート電極として機能する導電体として、チャンネルが形成される金属酸化物に含まれる金属元素及び酸素を含む導電性材料を用いることが好ましい。また、前述した金属元素及び窒素を含む導電性材料を用いてもよい。例えば、窒化チタン、窒化タンタルなどの窒素を含む導電性材料を用いてもよい。また、インジウム錫酸化物、酸化タングステンを含むインジウム酸化物、酸化タングステンを含むインジウム亜鉛酸化物、酸化チタンを含むインジウム酸化物、酸化チタンを含むインジウム錫酸化物、インジウム亜鉛酸化物、及び、シリコンを添加したインジウム錫酸化物のうち一つ又は複数を用いてもよい。また、窒素を含むインジウムガリウム亜鉛酸化物を用いてもよい。このような材料を用いることで、チャンネルが形成される金属酸化物に含まれる水素を捕獲することができる場合がある。又は、外方の絶縁体などから混入する水素を捕獲することができる場合がある。

[0273]

[金属酸化物]

金属酸化物は、格子欠陥を有する場合がある。格子欠陥とは、原子空孔、異種原子などの点欠陥、転位などの線欠陥、結晶粒界などの面欠陥、空隙などの体積欠陥がある。また、格子欠陥の生成の要

因としては、構成元素の原子数の比率のずれ（構成原子の過不足）、及び不純物などがある。

[0274]

金属酸化物をトランジスタの半導体層に用いる場合、金属酸化物中の格子欠陥は、キャリアの生成又は捕獲などを引き起こす要因となり得る。よって、格子欠陥が多い金属酸化物をトランジスタの半導体層に用いると、当該トランジスタの電気特性が不安定となる恐れがある。よって、トランジスタの半導体層に用いる金属酸化物は、格子欠陥が少ないことが好ましい。

[0275]

金属酸化物中に存在しやすい格子欠陥の種類、及び、格子欠陥の存在量は、金属酸化物の構造又は金属酸化物の成膜方法などによって異なる。

[0276]

金属酸化物の構造は、単結晶構造と、それ以外の構造（非単結晶の構造）と、に分けられる。非単結晶の構造としては、例えば、CAAC構造、多結晶（polycrystalline）構造、nc構造、擬似非晶質（a-like: amorphous-like）構造、及び非晶質構造などがある。a-like構造は、nc構造と非晶質構造との間の構造を有する。

[0277]

また、a-like構造を有する金属酸化物、及び非晶質構造を有する金属酸化物は、鬆又は低密度領域を有する。すなわち、a-like構造を有する金属酸化物、及び、非晶質構造を有する金属酸化物は、nc構造を有する金属酸化物及びCAAC構造を有する金属酸化物と比べて、結晶性が低い。また、a-like構造を有する金属酸化物は、nc構造を有する金属酸化物、及び、CAAC構造を有する金属酸化物と比べて、金属酸化物中の水素濃度が高い。よって、a-like構造を有する金属酸化物、及び、非晶質構造を有する金属酸化物では、格子欠陥が生成されやすい。

[0278]

よって、トランジスタの半導体層には、結晶性の高い金属酸化物を用いることが好ましい。例えば、CAAC構造を有する金属酸化物、又は単結晶構造の金属酸化物を用いることが好ましい。当該金属酸化物をトランジスタに用いることで、良好な電気特性を有するトランジスタを実現することができる。また、信頼性の高いトランジスタを実現することができる。

[0279]

また、トランジスタのチャンネル形成領域には、当該トランジスタのオン電流が大きくなる金属酸化物を用いることが好ましい。当該トランジスタのオン電流を大きくするには、当該トランジスタに用いる金属酸化物の移動度を高くするとよい。金属酸化物の移動度を高くするには、キャリア（nチャンネル型トランジスタの場合は、電子）の伝送を向上させる、又は、キャリアの伝送に寄与する散乱因子を低減する必要がある。なお、キャリアは、チャンネル形成領域を介して、ソースからドレインに流れる。よって、キャリアがチャンネル長方向に流れやすいチャンネル形成領域を設けることで、トランジスタのオン電流を大きくすることができる。

[0280]

ここで、チャンネル形成領域を含む金属酸化物に、結晶性の高い金属酸化物を用いることが好ましい。さらに、当該結晶は、複数の層（例えば、第1の層と、第2の層と、第3の層）が積層された結晶構造を有することが好ましい。つまり、当該結晶は、層状の結晶構造（層状結晶、層状構造ともいう。）を有する。このとき、当該結晶のc軸の向きは、複数の層が積層される方向となる。当該結晶を有する金属酸化物には、例えば、単結晶酸化物半導体、CAAC-OSなどが含まれる。

[0281]

また、上記結晶のc軸は、金属酸化物の被形成面又は膜表面に対する法線方向に配向することが好ましい。これにより、複数の層は、金属酸化物の被形成面又は膜表面に対して、平行又は概略平行に配置される。つまり、複数の層は、チャンネル長方向に広がる。

[0282]

例えば、上記のような3層の層状の結晶構造は、以下のような構造になる。第1の層は、当該第1の層が有する金属が中心に存在する酸素の八面体形の、原子の配位構造を有する。また、第2の層は、当該第2の層が有する金属が中心に存在する酸素の三方両錐形又は四面体形の、原子の配位構造を有する。また、第3の層は、当該第3の層が有する金属が中心に存在する酸素の三方両錐形又は四面体形の、原子の配位構造を有する。

[0283]

上記結晶の結晶構造として、例えば、 YbFe_2O_4 型構造、 $\text{Yb}_2\text{Fe}_3\text{O}_7$ 型構造、これらの変形型構造などがある。

[0284]

さらに、第1の層乃至第3の層のそれぞれは、一の金属元素、又は、価数が同じである複数の金属元素と、酸素とで構成されることが好ましい。なお、第1の層を構成する一又は複数の金属元素の価数と、第2の層を構成する一又は複数の金属元素の価数と、は同じであることが好ましい。また、第1の層と、第2の層とは、同じ金属元素を有してもよい。また、第1の層を構成する一又は複数の金属元素の価数と、第3の層を構成する一又は複数の金属元素の価数と、は異なることが好ましい。

[0285]

上記構成にすることで、金属酸化物の結晶性が向上し、当該金属酸化物の移動度を高くすることができる。よって、当該金属酸化物をトランジスタのチャンネル形成領域に用いることで、トランジスタのオン電流が大きくなり、当該トランジスタの電気特性を向上させることができる。

[0286]

本発明の一態様の金属酸化物として、例えば、インジウム酸化物、ガリウム酸化物、及び亜鉛酸化物が挙げられる。本発明の一態様の金属酸化物は、少なくともインジウム(In)又は亜鉛(Zn)を含むことが好ましい。また、金属酸化物は、インジウムと、元素Mと、亜鉛と、の中から選ばれる二又は三を有することが好ましい。なお、元素Mは、酸素との結合エネルギーが高い金属元素又は半金属元素であり、例えば、酸素との結合エネルギーがインジウムよりも高い金属元素又は半金属元素である。元素Mとして、具体的には、アルミニウム、ガリウム、錫、イットリウム、チタン、バナジウム、クロム、マンガン、鉄、コバルト、ニッケル、ジルコニウム、モリブデン、ハフニウム、タンタル、タングステン、ランタン、セリウム、ネオジム、マグネシウム、カルシウム、ストロンチウム、バリウム、ホウ素、シリコン、ゲルマニウム、及びアンチモンなどが挙げられる。金属酸化物が有する元素Mは、上記元素のいずれか一種又は複数種であることが好ましく、アルミニウム、ガリウム、錫、及びイットリウムから選ばれた一種又は複数種であることがより好ましく、ガリウムがさらに好ましい。金属酸化物が有する元素Mがガリウムである場合、本発明の一態様の金属酸化物は、インジウム、ガリウム、及び亜鉛の中から選ばれるいずれか一又は複数種を有することが好ましい。なお、本明細書等において、金属元素と半金属元素をまとめて「金属元素」と呼ぶことがあり、本明細書等に記載の「金属元素」には半金属元素が含まれることがある。

[0287]

本発明の一態様の金属酸化物として、例えば、インジウム亜鉛酸化物（In-Zn酸化物）、インジウム錫酸化物（In-Sn酸化物）、インジウムチタン酸化物（In-Ti酸化物）、インジウムガリウム酸化物（In-Ga酸化物）、インジウムガリウムアルミニウム酸化物（In-Ga-Al酸化物）、インジウムガリウム錫酸化物（In-Ga-Sn酸化物、IGTOとも記す。）、ガリウム亜鉛酸化物（Ga-Zn酸化物、GZOとも記す。）、アルミニウム亜鉛酸化物（Al-Zn酸化物、AZOとも記す。）、インジウムアルミニウム亜鉛酸化物（In-Al-Zn酸化物、IAZOとも記す。）、インジウム錫亜鉛酸化物（In-Sn-Zn酸化物）、インジウムチタン亜鉛酸化物（In-Ti-Zn酸化物）、インジウムガリウム亜鉛酸化物（In-Ga-Zn酸化物、IGZOとも記す。）、インジウムガリウム錫亜鉛酸化物（In-Ga-Sn-Zn酸化物、IGZTOとも記す。）、インジウムガリウムアルミニウム亜鉛酸化物（In-Ga-Al-Zn酸化物、IGAZO又はIAGZOとも記す。）などを用いることができる。又は、シリコンを含むインジウム錫酸化物、ガリウム錫酸化物（Ga-Sn酸化物）、アルミニウム錫酸化物（Al-Sn酸化物）などが挙げられる。

[0288]

金属酸化物に含まれる全ての金属元素の原子数の和に対するインジウムの原子数の割合を高くすることにより、トランジスタの電界効果移動度を高めることができる。

[0289]

なお、金属酸化物は、インジウムに代えて、元素周期表における周期番号が大きい金属元素の一種又は複数種を有してもよい。又は、金属酸化物は、インジウムに加えて、元素周期表における周期番号が大きい金属元素の一種又は複数種を有してもよい。金属元素の軌道の重なりが大きいほど、金属酸化物におけるキャリア伝導は大きくなる傾向がある。よって、元素周期表における周期番号が大きい金属元素を含むことで、トランジスタの電界効果移動度を高めることができる場合がある。元素周期表における周期番号が大きい金属元素として、第5周期に属する金属元素、及び第6周期に属する金属元素などが挙げられる。当該金属元素として、具体的には、イットリウム、ジルコニウム、銀、カドミウム、錫、アンチモン、バリウム、鉛、ビスマス、ランタン、セリウム、プラセオジウム、ネオジウム、プロメチウム、サマリウム、及びユウロピウムなどが挙げられる。なお、ランタン、セリウム、プラセオジウム、ネオジウム、プロメチウム、サマリウム、及びユウロピウムは、軽希土類元素と呼ばれる。

[0290]

また、金属酸化物は、非金属元素の一種又は複数種を有してもよい。金属酸化物が非金属元素を有することで、トランジスタの電界効果移動度を高めることができる場合がある。非金属元素として、例えば、炭素、窒素、リン、硫黄、セレン、臭素、及び水素などが挙げられる。

[0291]

また、金属酸化物に含まれる全ての金属元素の原子数の和に対する亜鉛の原子数の割合を高くすることにより、結晶性の高い金属酸化物となり、金属酸化物中の不純物の拡散を抑制することができる。したがって、トランジスタの電気特性の変動が抑制され、信頼性を高めることができる。

[0292]

また、金属酸化物に含まれる全ての金属元素の原子数の和に対する元素Mの原子数の割合を高くすることにより、金属酸化物に酸素欠損が形成されるのを抑制することができる。したがって、酸素欠損に起因するキャリア生成が抑制され、オフ電流の小さいトランジスタとすることができる。また、トランジスタの電気特性の変動が抑制され、信頼性を高めることができる。

[0293]

また、金属酸化物に含まれる全ての金属元素の原子数の和に対するInの原子数の割合を高くすることにより、トランジスタは大きいオン電流、及び、高い周波数特性を得ることができる。

[0294]

本実施の形態では、金属酸化物として、In-Ga-Zn酸化物を例に挙げて説明する場合がある。

[0295]

上記の層状の結晶構造を有する金属酸化物を形成するためには、一層ずつ原子を堆積することが好ましい。本発明の一態様の金属酸化物の成膜方法では、ALD法を用いるため、上記の層状の結晶構造を有する金属酸化物を形成することが容易である。

[0296]

[[金属酸化物を有するトランジスタ]]

続いて、金属酸化物（酸化物半導体）をトランジスタに用いる場合について説明する。

[0297]

本発明の一態様の金属酸化物（酸化物半導体）をトランジスタに用いることで、高い電界効果移動度のトランジスタを実現することができる。また、信頼性の高いトランジスタを実現することができる。また、微細化又は高集積化されたトランジスタを実現することができる。例えば、チャンネル長が2nm以上30nm以下のトランジスタを作製し得る。

[0298]

トランジスタのチャンネル形成領域には、キャリア濃度の低い酸化物半導体を用いることが好ましい。例えば、酸化物半導体のチャンネル形成領域のキャリア濃度は $1 \times 10^{18} \text{ cm}^{-3}$ 以下、好ましくは $1 \times 10^{17} \text{ cm}^{-3}$ 以下、より好ましくは $1 \times 10^{15} \text{ cm}^{-3}$ 以下、より好ましくは $1 \times 10^{13} \text{ cm}^{-3}$ 以下、より好ましくは $1 \times 10^{11} \text{ cm}^{-3}$ 以下、さらに好ましくは $1 \times 10^{10} \text{ cm}^{-3}$ 未満であり、 $1 \times 10^{-9} \text{ cm}^{-3}$ 以上である。なお、酸化物半導体膜のキャリア濃度を低くする場合には、酸化物半導体膜中の不純物濃度を低くし、欠陥準位密度を低くすればよい。本明細書等において、不純物濃度が低く、欠陥準位密度の低いことを高純度真性、又は、実質的に高純度真性という。なお、キャリア濃度の低い酸化物半導体を、高純度真性、又は、実質的に高純度真性な酸化物半導体と呼ぶ場合がある。

[0299]

また、高純度真性、又は、実質的に高純度真性である酸化物半導体膜は、欠陥準位密度が低いため、トラップ準位密度も低くなる場合がある。

[0300]

また、酸化物半導体のトラップ準位に捕獲された電荷は、消失するまでに要する時間が長く、あたかも固定電荷のように振る舞うことがある。そのため、トラップ準位密度の高い酸化物半導体にチャンネル形成領域が形成されるトランジスタは、電気特性が不安定となる場合がある。

[0301]

したがって、トランジスタの電気特性を安定にするためには、酸化物半導体中の不純物濃度を低減することが有効である。また、酸化物半導体中の不純物濃度を低減するためには、近接する膜中の不純物濃度も低減することが好ましい。不純物としては、水素、炭素、窒素などが挙げられる。なお、酸化物半導体中の不純物とは、例えば、酸化物半導体を構成する主成分以外をいう。例えば、濃度が0.1atomic%未満の元素は不純物といえる。

[0302]

一方で、本発明の一態様に係るトランジスタのように、酸化物半導体中への不純物添加によって固定電荷を形成し、当該固定電荷によって基板バイアス効果を発現させることで、ノーマリオフ特性のトランジスタを実現することができる場合もある。

[0303]

また、酸化物半導体のバンドギャップは、シリコンのバンドギャップ（代表的には1.1 eV）よりも大きいことが好ましく、好ましくは2 eV以上、より好ましくは2.5 eV以上、さらに好ましくは3.0 eV以上である。シリコンよりもバンドギャップの大きい酸化物半導体を用いることで、トランジスタのオフ電流（I_{off}とも呼称する。）を低減することができる。

[0304]

また、Siトランジスタでは、トランジスタの微細化が進むにつれて、短チャネル効果が発現する。そのため、Siトランジスタでは、微細化が困難となる。短チャネル効果が発現する要因の一つとして、シリコンのバンドギャップが小さいことが挙げられる。一方、OSトランジスタは、バンドギャップの大きい半導体材料である、酸化物半導体を用いるため、短チャネル効果の抑制を図ることができる。別言すると、OSトランジスタは、短チャネル効果がない、又は短チャネル効果が極めて少ないトランジスタである。

[0305]

なお、短チャネル効果とは、トランジスタの微細化（チャネル長の縮小）に伴って顕在化する電気特性の劣化である。短チャネル効果の具体例としては、しきい値電圧の低下、サブスレッショルドスイング値（S値と表記することがある。）の増大、漏れ電流の増大などがある。ここで、S値とは、ドレイン電圧一定にてドレイン電流を1桁変化させるサブスレッショルド領域でのゲート電圧の変化量をいう。

[0306]

また、短チャネル効果に対する耐性の指標として、特性長（Characteristic Length）が広く用いられている。特性長とは、チャネル形成領域のポテンシャルの曲がりやすさの指標である。特性長が小さいほどポテンシャルが急峻に立ち上がるため、短チャネル効果に強いといえる。

[0307]

OSトランジスタは蓄積型のトランジスタであり、Siトランジスタは反転型のトランジスタである。したがって、Siトランジスタと比較して、OSトランジスタは、ソース領域ーチャネル形成領域間の特性長、及びドレイン領域ーチャネル形成領域間の特性長が小さい。したがって、OSトランジスタは、Siトランジスタよりも短チャネル効果に強い。すなわち、チャネル長の短いトランジスタを作製したい場合においては、OSトランジスタは、Siトランジスタよりも好適である。

[0308]

チャネル形成領域がi型、又は、実質的にi型となるまで、酸化物半導体のキャリア濃度を下げた場合においても、短チャネルのトランジスタではConduction-Band-Lowering（CBL）効果により、チャネル形成領域の伝導帯下端が下がるため、ソース領域又はドレイン領域と、チャネル形成領域との間の伝導帯下端のエネルギー差は、0.1 eV以上0.2 eV以下まで小さくなる可能性がある。これにより、OSトランジスタは、チャネル形成領域がn⁻型の領域となり、ソース領域及びドレイン領域がn⁺型の領域となる、n⁺/n⁻/n⁺の蓄積型junction

—less トランジスタ構造、又は、 $n^+/n^-/n^+$ の蓄積型 non-junction トランジスタ構造と、捉えることもできる。

[0309]

OS トランジスタを、上記の構造とすることで、半導体装置を微細化又は高集積化しても良好な電気特性を有することができる。例えば、OS トランジスタのチャンネル長又はゲート長が、1 nm 以上 20 nm 以下、3 nm 以上 15 nm 以下、5 nm 以上 10 nm 以下、5 nm 以上 7 nm 以下、又は 5 nm 以上 6 nm 以下であっても、良好な電気特性を得ることができる。一方で、Si トランジスタは、短チャンネル効果が発現するため、20 nm 以下、又は 15 nm 以下のゲート長とすることが困難な場合がある。したがって、OS トランジスタは、Si トランジスタと比較してチャンネル長の短いトランジスタに好適に用いることができる。なお、ゲート長とは、トランジスタ動作時にキャリアがチャンネル形成領域内部を移動する方向における、ゲート電極の長さである。

[0310]

また、OS トランジスタを微細化することで、トランジスタの高周波特性を向上させることができる。具体的には、トランジスタの遮断周波数を向上させることができる。OS トランジスタのゲート長が上記範囲のいずれかである場合、トランジスタの遮断周波数を、例えば室温環境下で、50 GHz 以上、好ましくは 100 GHz 以上、さらに好ましくは 150 GHz 以上とすることができる。

[0311]

以上の説明の通り、OS トランジスタは、Si トランジスタと比較し、オフ電流が小さいこと、チャンネル長の短いトランジスタの作製が可能なこと、といった優れた効果を有する。

[0312]

[[金属酸化物中の不純物]]

ここで、金属酸化物（酸化物半導体）中における各不純物の影響について説明する。

[0313]

酸化物半導体において、第14族元素の一つであるシリコン又は炭素が含まれると、酸化物半導体において欠陥準位が形成される。このため、SIMSにより得られる酸化物半導体のチャンネル形成領域における炭素の濃度は、 $1 \times 10^{20} \text{ atoms/cm}^3$ 以下、好ましくは $5 \times 10^{19} \text{ atoms/cm}^3$ 以下、より好ましくは $3 \times 10^{19} \text{ atoms/cm}^3$ 以下、より好ましくは $1 \times 10^{19} \text{ atoms/cm}^3$ 以下、より好ましくは $3 \times 10^{18} \text{ atoms/cm}^3$ 以下、さらに好ましくは $1 \times 10^{18} \text{ atoms/cm}^3$ 以下とする。また、SIMSにより得られる酸化物半導体のチャンネル形成領域におけるシリコンの濃度は、 $1 \times 10^{20} \text{ atoms/cm}^3$ 以下、好ましくは $5 \times 10^{19} \text{ atoms/cm}^3$ 以下、より好ましくは $3 \times 10^{19} \text{ atoms/cm}^3$ 以下、より好ましくは $1 \times 10^{19} \text{ atoms/cm}^3$ 以下、より好ましくは $3 \times 10^{18} \text{ atoms/cm}^3$ 以下、さらに好ましくは $1 \times 10^{18} \text{ atoms/cm}^3$ 以下とする。

[0314]

また、酸化物半導体において、窒素が含まれると、キャリアである電子が生じ、キャリア濃度が増加し、n型化しやすい。この結果、窒素が含まれている酸化物半導体を半導体層に用いたトランジスタはノーマリオン特性となりやすい。又は、酸化物半導体において、窒素が含まれると、トラップ準位が形成される場合がある。この結果、トランジスタの電気特性が不安定となる場合がある。このため、SIMSにより得られる酸化物半導体のチャンネル形成領域における窒素濃度は、 $1 \times 10^{20} \text{ atoms/cm}^3$ 以下、好ましくは $5 \times 10^{19} \text{ atoms/cm}^3$ 以下、より好ましくは 1×10^{19}

atoms/cm³以下、より好ましくは 5×10^{18} atoms/cm³以下、より好ましくは 1×10^{18} atoms/cm³以下、さらに好ましくは 5×10^{17} atoms/cm³以下とする。

[0315]

また、酸化物半導体に含まれる水素は、金属原子と結合する酸素と反応して水になるため、酸素欠損を形成する場合がある。当該酸素欠損に水素が入ることで、キャリアである電子が生成される場合がある。また、水素の一部が金属原子と結合する酸素と結合して、キャリアである電子を生成することがある。したがって、水素が含まれている酸化物半導体を用いたトランジスタはノーマリオン特性となりやすい。このため、酸化物半導体のチャネル形成領域における水素はできる限り低減されていることが好ましい。具体的には、SIMSにより得られる酸化物半導体のチャネル形成領域における水素濃度は、 1×10^{20} atoms/cm³未満、好ましくは 5×10^{19} atoms/cm³未満、より好ましくは 1×10^{19} atoms/cm³未満、より好ましくは 5×10^{18} atoms/cm³未満、より好ましくは 1×10^{18} atoms/cm³未満、さらに好ましくは 1×10^{17} atoms/cm³未満とする。

[0316]

また、酸化物半導体にアルカリ金属又はアルカリ土類金属が含まれると、欠陥準位を形成し、キャリアを生成する場合がある。したがって、アルカリ金属又はアルカリ土類金属が含まれている酸化物半導体を用いたトランジスタはノーマリオン特性となりやすい。このため、SIMSにより得られる酸化物半導体のチャネル形成領域中のアルカリ金属又はアルカリ土類金属の濃度を、 1×10^{18} atoms/cm³以下、好ましくは 2×10^{16} atoms/cm³以下にする。

[0317]

不純物が十分に低減された酸化物半導体をトランジスタのチャネル形成領域に用いることで、安定した電気特性を付与することができる。

[0318]

[その他の半導体材料]

酸化物半導体230は、トランジスタのチャネル形成領域を含む半導体層と言い換えることができる。半導体層に用いることができる半導体材料は、上述の金属酸化物に限られない。半導体層として、バンドギャップを有する半導体材料（ゼロギャップ半導体ではない半導体材料）を用いてもよい。例えば、単体元素の半導体、化合物半導体、又は層状物質（原子層物質、2次元材料などともいう。）などの半導体材料を用いることが好ましい。

[0319]

ここで、本明細書等において、層状物質とは、層状の結晶構造を有する材料群の総称である。層状の結晶構造は、共有結合又はイオン結合によって形成される層が、ファンデルワールス力のような、共有結合又はイオン結合よりも弱い結合を介して積層している構造である。層状物質は、単位層内における電気伝導性が高く、つまり、2次元電気伝導性が高い。半導体として機能し、かつ、2次元電気伝導性の高い材料をチャネル形成領域に用いることで、オン電流の大きいトランジスタを提供することができる。

[0320]

半導体材料に用いることができる単体元素の半導体として、シリコン、及びゲルマニウムなどが挙げられる。半導体層に用いることができるシリコンとして、単結晶シリコン、多結晶シリコン、微結晶シリコン、及び非晶質シリコンが挙げられる。多結晶シリコンとして、例えば、低温ポリシリコン

(LTPS: Low Temperature Poly Silicon) が挙げられる。

[0321]

半導体材料に用いることができる化合物半導体として、炭化シリコン、シリコンゲルマニウム、ヒ化ガリウム、リン化インジウム、窒化ホウ素、及びヒ化ホウ素などが挙げられる。半導体層に用いることができる窒化ホウ素は、アモルファス構造を含むことが好ましい。半導体層に用いることができるヒ化ホウ素は、立方晶構造の結晶を含むことが好ましい。

[0322]

層状物質として、グラフェン、シリセン、炭窒化ホウ素、カルコゲン化物などがある。層状物質としての炭窒化ホウ素は、炭素原子、窒素原子、及びホウ素原子が平面上に六角形格子構造で配列している。カルコゲン化物は、カルコゲンを含む化合物である。また、カルコゲンは、第16族に属する元素の総称であり、酸素、硫黄、セレン、テルル、ポロニウム、リバモリウムが含まれる。また、カルコゲン化物として、遷移金属カルコゲナイド、13族カルコゲナイドなどが挙げられる。

[0323]

半導体層として、例えば、半導体として機能する遷移金属カルコゲナイドを用いることが好ましい。半導体層として適用可能な遷移金属カルコゲナイドとして、具体的には、硫化モリブデン（代表的には MoS_2 ）、セレン化モリブデン（代表的には MoSe_2 ）、モリブデンテルル（代表的には MoTe_2 ）、硫化タングステン（代表的には WS_2 ）、セレン化タングステン（代表的には WSe_2 ）、タングステンテルル（代表的には WTe_2 ）、硫化ハフニウム（代表的には HfS_2 ）、セレン化ハフニウム（代表的には HfSe_2 ）、硫化ジルコニウム（代表的には ZrS_2 ）、セレン化ジルコニウム（代表的には ZrSe_2 ）などが挙げられる。上述の遷移金属カルコゲナイドを、半導体層に適用することで、オン電流が大きい半導体装置を提供することができる。

[0324]

<半導体装置の作製方法例>

次に、図1A乃至図1C等に示す、トランジスタ200の作製方法を、図9A乃至図13Bを用いて説明する。なお、図9A乃至図10B、及び、図12A乃至図13Bは、図1Bに対応する。

[0325]

以下において、絶縁体を形成するための絶縁性材料、導電体を形成するための導電性材料、又は半導体を形成するための半導体材料は、スパッタリング法、CVD法、分子線エピタキシー (MBE: Molecular Beam Epitaxy) 法、パルスレーザ堆積 (PLD: Pulsed Laser Deposition) 法、ALD法などを適宜用いて成膜することができる。

[0326]

なお、スパッタリング法には、スパッタリング用電源に高周波電源を用いるRFスパッタリング法、直流電源を用いるDCスパッタリング法、さらにパルスの電極に印加する電圧を変化させるパルスDCスパッタリング法がある。RFスパッタリング法は、主に絶縁膜を成膜する場合に用いられ、DCスパッタリング法は、主に金属導電膜を成膜する場合に用いられる。また、パルスDCスパッタリング法は、主に、酸化物、窒化物、炭化物などの化合物をリアクティブスパッタリング法で成膜する際に用いられる。

[0327]

なお、CVD法は、プラズマを利用するプラズマCVD (PECVD: Plasma Enhanced CVD) 法、熱を利用する熱CVD (TCVD: Thermal CVD) 法、光を利用す

る光CVD (Photo CVD) 法などに分類することができる。さらに用いる原料ガスによって金属CVD (MCVD: Metal CVD) 法、有機金属CVD (MOCVD: Metal Organic CVD) 法に分けることができる。

[0328]

プラズマCVD法は、比較的低温で高品質の膜が得られる。また、熱CVD法は、プラズマを用いないため、被処理物へのプラズマダメージを小さくすることが可能な成膜方法である。例えば、半導体装置に含まれる配線、電極、素子（トランジスタ、容量素子など）などは、プラズマから電荷を受け取ることでチャージアップする場合がある。このとき、蓄積した電荷によって、半導体装置に含まれる配線、電極、素子などが破壊される場合がある。一方、プラズマを用いない熱CVD法の場合、こういったプラズマダメージが生じないため、半導体装置の歩留まりを高くすることができる。また、熱CVD法では、成膜中のプラズマダメージが生じないため、欠陥の少ない膜が得られる。

[0329]

また、ALD法としては、プリカーサ及びリアクタントの反応を熱エネルギーのみで行う熱ALD法、プラズマ励起されたリアクタントを用いるPEALD法などを用いることができる。

[0330]

CVD法及びALD法は、ターゲットなどから放出される粒子が堆積するスパッタリング法とは異なる。したがって、被処理物の形状の影響を受けにくく、良好な段差被覆性を有する成膜方法である。特に、ALD法は、優れた段差被覆性と、優れた厚さの均一性を有するため、アスペクト比の高い開口部の表面を被覆する場合などに好適である。ただし、ALD法は、比較的成膜速度が遅いため、成膜速度の速いCVD法などの他の成膜方法と組み合わせて用いることが好ましい場合もある。

[0331]

また、CVD法では、原料ガスの流量比によって、任意の組成の膜を成膜することができる。例えば、CVD法では、成膜しながら原料ガスの流量比を変化させることによって、組成が連続的に変化した膜を成膜することができる。原料ガスの流量比を変化させながら成膜する場合、複数の成膜室を用いて成膜する場合と比べて、搬送又は圧力調整にかかる時間を要さない分、成膜にかかる時間を短くすることができる。したがって、半導体装置の生産性を高めることができる場合がある。

[0332]

また、ALD法では、異なる複数種のプリカーサを導入することで任意の組成の膜を成膜することができる。例えば、異なる複数種のプリカーサを導入する場合、各プリカーサのサイクル数を制御することで任意の組成の膜を成膜することができる。

[0333]

また、ALD法にて、異なる複数種のプリカーサを導入する場合、各プリカーサに応じて、酸化剤の種類を変更してもよい。例えば、少なくとも第1のプリカーサと、第2のプリカーサと、を導入する場合、第1のプリカーサには、酸化剤としてオゾン (O_3) を用い、第2のプリカーサには、酸化剤として酸素 (O_2) を用いてもよい。

[0334]

なお、膜を成膜する前に、加熱処理を行ってもよい。当該加熱処理は、減圧下で行い、大気に暴露することなく、連続して当該膜を成膜してもよい。このような処理を行うことによって、当該膜の被形成面に吸着している水分及び水素を除去し、さらに当該被形成面である構造体中の水分濃度及び水素濃度を低減することができる。加熱処理の温度は、 $100^{\circ}C$ 以上 $600^{\circ}C$ 以下が好ましい。

[0335]

まず、基板（図示しない。）を準備し、基板上に、絶縁体210を成膜する（図9A参照）。絶縁体210の成膜は、スパッタリング法、CVD法、MBE法、PLD法、ALD法などを適宜用いて行えばよい。例えば、絶縁体210として、スパッタリング法を用いて、窒化シリコンを成膜すればよい。

[0336]

次に、絶縁体210上に、絶縁体222を成膜する（図9A参照）。絶縁体222の成膜は、スパッタリング法、CVD法、MBE法、PLD法、ALD法などを適宜用いて行えばよい。例えば、絶縁体222として、スパッタリング法を用いて、ハフニウムシリケートを成膜すればよい。この場合、ハフニウム及びシリコンを有する成膜ターゲットなどを用いればよい。例えば、酸化シリコンターゲット及び酸化ハフニウムターゲットを用いた共スパッタリング法を用いればよい。また、熱ALD法で絶縁体222を成膜してもよい。例えば、プリカーサに四塩化ハフニウム及び四塩化シリコンを用いればよい。また、例えば、酸化ハフニウム膜を成膜した後で、当該酸化ハフニウム膜にシリコンを添加してハフニウムシリケート膜を形成してもよい。シリコンを添加する方法としては、例えば、イオン化された原料ガスを質量分離して添加するイオン注入法、又はイオン化された原料ガスを質量分離せずに添加するイオンドーピング法などを用いることができる。

[0337]

次に、絶縁体222上に、導電体220を形成する（図9A参照）。導電体220は、絶縁体222上に導電膜を成膜し、当該導電膜をリソグラフィ法でパターン形成すればよい。当該導電膜の成膜は、スパッタリング法、CVD法、MBE法、PLD法、ALD法などを適宜用いて行えばよい。例えば、当該導電膜として、スパッタリング法を用いてタングステンを成膜し、その上にスパッタリング法を用いてITSOを成膜すればよい。

[0338]

次に、絶縁体222及び導電体220上に、絶縁体280を形成する（図9A参照）。絶縁体280は、上述の絶縁性材料を適宜用いればよい。絶縁体280の成膜は、スパッタリング法、CVD法、MBE法、PLD法、ALD法などを適宜用いて行えばよい。例えば、絶縁体280として、スパッタリング法を用いて窒化シリコン膜を成膜すればよい。なお、絶縁体280は、成膜後にCMP処理を行って、上面を平坦化させることが好ましい。絶縁体280の平坦化処理を行うことで、配線として機能する導電体240を好適に形成することができる。

[0339]

なお、CMP処理を行わなくてもよい場合がある。このとき、絶縁体280の上面は、上に凸状の曲面形状を有する。平坦化処理を行わないことにより、製造コストを低くすることができるとともに、生産歩留まりを高めることができる。

[0340]

なお、図6A及び図6Bに示すように、絶縁体280を、絶縁体280a、絶縁体280b、及び絶縁体280cの3層積層構造にする場合、絶縁体280a乃至絶縁体280cを成膜した後に平坦化処理を行うとは限らない。例えば、絶縁体280a及び絶縁体280bを成膜した後で、平坦化処理を行い、それから絶縁体280cを成膜してもよい。

[0341]

また、絶縁体280の成膜で、成膜ガスに水素を含む分子を用いなくてもよいスパッタリング法を

用いることで、絶縁体280中の水素濃度を低減することができる。このように、絶縁体280を成膜することで、絶縁体280から酸化物半導体230に拡散する水素を低減し、チャンネル形成領域の酸素欠損及びV_oHの低減を図ることができる。

[0342]

次に、絶縁体280上に、導電膜240fを成膜する(図9A参照)。導電膜240fには、上述の導電性材料を適宜用いればよい。導電膜240fの成膜は、スパッタリング法、CVD法、MBE法、PLD法、ALD法などを適宜用いて行えばよい。例えば、導電膜240fとして、スパッタリング法を用いてルテニウムを成膜し、その上にスパッタリング法を用いてITSOを成膜すればよい。

[0343]

次に、導電膜240f、及び、絶縁体280の一部を加工して、導電体220に達する開口部290を形成する(図9B参照)。開口部290の形成は、リソグラフィ法を用いて行えばよい。当該加工により、導電膜240fから、導電体240sが形成される。

[0344]

なお、リソグラフィ法では、まず、マスクを介してレジストを露光する。次に、露光された領域を、現像液を用いて除去又は残存させてレジストマスクを形成する。次に、当該レジストマスクを介してエッチング処理することで、導電体、半導体、又は絶縁体などを所望の形状に加工することができる。例えば、KrFエキシマレーザ光、ArFエキシマレーザ光、EUV(Extreme Ultraviolet)光などを用いて、レジストを露光することでレジストマスクを形成することができる。また、基板と投影レンズとの間に液体(例えば、水)を満たして露光する、液浸技術を用いてもよい。また、前述した光に代えて、電子ビーム又はイオンビームを用いてもよい。なお、電子ビーム又はイオンビームを用いる場合には、マスクを用いなくてもよい場合がある。

[0345]

開口部290を形成するためのエッチング処理としては、ドライエッチング法を用いることが好ましい。ドライエッチング法は、異方性エッチングが可能のため、アスペクト比が高く、開口部290を形成するのに、好適である。

[0346]

ここで、ドライエッチング処理用のエッチングガスとしては、ハロゲンを含むエッチングガスを用いることができ、具体的には、フッ素、塩素、及び臭素のうち、一又は複数を含むエッチングガスを用いることができる。例えば、エッチングガスとして、C₄F₆ガス、C₅F₆ガス、C₄F₈ガス、CF₄ガス、SF₆ガス、CHF₃ガス、CH₂F₂ガス、CH₃Fガス、Cl₂ガス、BCl₃ガス、SiCl₄ガス、CCl₄ガス、HBrガス、又はBBr₃ガスなどを単独又は2以上のガスを混合して用いることができる。また、上記のエッチングガスに酸素ガス、炭酸ガス、窒素ガス、ヘリウムガス、アルゴンガス、水素ガス、又は炭化水素ガスなどを適宜添加することができる。また、ドライエッチング処理の被処理物によっては、ハロゲンガスを含まず、炭化水素ガス又は水素ガスを含むガスを、エッチングガスとして用いることができる。エッチングガスに用いる炭化水素としては、メタン(CH₄)、エタン(C₂H₆)、プロパン(C₃H₈)、ブタン(C₄H₁₀)、エチレン(C₂H₄)、プロピレン(C₃H₆)、アセチレン(C₂H₂)、及びプロピン(C₃H₄)の一又は複数を用いることができる。エッチング条件は、エッチングする対象に合わせて適宜設定することができる。

[0347]

また、ドライエッチング装置としては、平行平板型電極を有する容量結合型プラズマ(CCP:C

capacitively Coupled Plasma) エッチング装置を用いることができる。平行平板型電極を有する容量結合型プラズマエッチング装置は、平行平板型電極の一方の電極に高周波電圧を印加する構成でもよい。又は平行平板型電極それぞれに同じ周波数の高周波電圧を印加する構成でもよい。また、平行平板型電極に複数の異なる高周波電圧を印加する構成でもよい。このようなCCPエッチング装置を、二周波励起容量結合型プラズマ (DF-CCP: Dual Frequency Capacitively Coupled Plasma) エッチング装置と呼ぶ。DF-CCPエッチング装置では、平行平板型電極それぞれに周波数の異なる高周波電圧を印加する構成にすればよい。又は平行平板型電極の一方の電極に複数の異なる高周波電圧を印加する構成でもよい。又は高密度プラズマ源を有するドライエッチング装置を用いることができる。高密度プラズマ源を有するドライエッチング装置は、例えば、誘導結合型プラズマ (ICP: Inductively Coupled Plasma) エッチング装置などを用いることができる。エッチング装置は、エッチングする対象に合わせて適宜設定することができる。

[0348]

なお、開口部290の形成(導電膜240fの一部の加工、及び、絶縁体280の一部の加工)は、外気に曝さず連続して行うことが好ましい。例えば、マルチチャンバー方式のエッチング装置を用いて、外気に曝さず処理を行えばよい。

[0349]

なお、必ずしも導電体220の上面が平坦になるように、開口部290を形成しなくてもよい。この場合、導電体220の上面に、開口部290と重なる凹部を形成することで、図4A又は図4Bに示すトランジスタ200を形成することができる。

[0350]

次に、酸素を含む雰囲気でマイクロ波処理を行って、絶縁体280中の不純物濃度を低減させる処理を行ってもよい。ここで、マイクロ波処理とは、例えば、マイクロ波を用いて高密度プラズマを発生させる電源を有する装置を用いた処理のことを指す。また、本明細書などにおいて、マイクロ波とは、300MHz以上300GHz以下の周波数を有する電磁波を指すものとする。不純物としては、特に、水素、及び炭素が挙げられる。酸素を含む雰囲気でマイクロ波処理を行うことで、絶縁体280中に含まれる水素を H_2O として、外部に放出させることができる。酸化物半導体230近傍に位置する、絶縁体280から水素を放出させることで、信頼性の高い半導体装置を提供することができる。

[0351]

酸素を含む雰囲気でマイクロ波処理を行うことで、マイクロ波又はRF等の高周波を用いて酸素ガスをプラズマ化し、当該酸素プラズマを作用させることができる。このように絶縁体280に酸素プラズマを作用させることで、絶縁体280中に含まれる水素を H_2O として、外部に放出させることができる。また、当該酸素プラズマ処理によって、絶縁体280の開口部290内における側面が酸化される場合がある。この場合、酸化物半導体230を絶縁体280に接して形成することで、熱処理などを行って、絶縁体280から酸化物半導体230のチャンネル形成領域に酸素を供給することができる。よって、酸化物半導体230のチャンネル形成領域の酸素欠損及び V_OH の低減を図ることができる。これにより、トランジスタ200の電気特性を安定にし、信頼性の向上を図ることができる。なお、絶縁体280に作用する酸素は、酸素原子、酸素分子、酸素イオン、及び酸素ラジカル(オラジカルともいう、不対電子をもつ原子、分子、又はイオン)など様々な形態がある。また、絶縁体2

80に作用する酸素は、上述の形態のいずれか一又は複数であればよく、特に酸素ラジカルであると好適である。

[0352]

また、上述の酸素を含む雰囲気でマイクロ波処理を行う際に、基板を加熱することで、絶縁体280中の不純物濃度を、さらに低減させることができるため好適である。上述の基板を加熱する温度としては、100℃以上650℃以下、好ましくは200℃以上600℃以下、さらに好ましくは300℃以上450℃以下で行えばよい。また、上記マイクロ波処理は、減圧下で行うことが好ましく、圧力は、10Pa以上1000Pa以下が好ましく、300Pa以上700Pa以下がより好ましい。

[0353]

また、例えば、上記マイクロ波処理は、酸素ガスとアルゴンガスを用いて行うことができる。ここで、酸素流量比 ($O_2 / (O_2 + Ar)$) は、0%より大きく、100%以下とする。好ましくは、酸素流量比 ($O_2 / (O_2 + Ar)$) を、0%より大きく、50%以下とする。より好ましくは、酸素流量比 ($O_2 / (O_2 + Ar)$) を、10%以上、40%以下とする。さらに好ましくは、酸素流量比 ($O_2 / (O_2 + Ar)$) を、10%以上、30%以下とする。このように、酸素を含む雰囲気でマイクロ波処理を行うことで、絶縁体280中の不純物濃度を低下させることができる。また、マイクロ波処理において、絶縁体280中に過剰な量の酸素が導入されないようにすることで、酸化物半導体230のキャリア濃度が過剰に低下することを防ぐことができる。

[0354]

ここで、マイクロ波処理装置の周波数は、300MHz以上300GHz以下が好ましく、2.4GHz以上2.5GHz以下がより好ましく、例えば、2.45GHzにすることができる。高密度プラズマを用いることより、高密度の酸素ラジカルを生成することができる。また、マイクロ波処理装置のマイクロ波を印加する電源の電力は、1000W以上10000W以下が好ましく、2000W以上5000W以下が好ましい。また、マイクロ波処理装置は、基板側にRFを印加する電源を有してもよい。また、基板側にRFを印加することで、高密度プラズマによって生成された酸素イオンを、効率よく絶縁体280中に導くことができる。

[0355]

続いて、加熱処理を行ってもよい。なお、当該加熱処理は、マイクロ波処理を行った後に、外気に曝すことなく、連続して行ってもよい。加熱処理は、250℃以上650℃以下、好ましくは300℃以上500℃以下、さらに好ましくは320℃以上450℃以下で行えばよい。なお、加熱処理は、窒素ガス若しくは不活性ガスの雰囲気、又は酸化性ガスを10ppm以上、1%以上、若しくは10%以上含む雰囲気で行う。例えば、窒素ガスと酸素ガスの混合雰囲気で行う場合、酸素ガスを20%程度にすればよい。また、加熱処理は減圧状態で行ってもよい。又は、加熱処理は、窒素ガス若しくは不活性ガスの雰囲気で行った後に、酸化性ガスを10ppm以上、1%以上、又は10%以上含む雰囲気で行ってもよい。以上のような加熱処理を行うことで、後述する酸化物半導体230となる酸化物半導体膜の成膜前に、絶縁体280などに含まれる、水などの不純物を低減することができる。なお、当該加熱処理は、導電体220及び導電体240sを過剰に酸化させない条件で行うことが好ましい。

[0356]

また、上記加熱処理で用いるガスは、高純度化されていることが好ましい。例えば、上記加熱処理で用いるガスに含まれる水分量を1ppb以下、好ましくは0.1ppb以下、より好ましくは0.

05ppb以下にすればよい。高純度化されたガスを用いて加熱処理を行うことで、絶縁体280などに水分等が取り込まれることを可能な限り防ぐことができる。

[0357]

なお、上記においては、マイクロ波処理の後に加熱処理を行う構成について示したが、本発明はこれに限られるものではない。加熱処理を行った後にマイクロ波処理を行う構成にしてもよい。

[0358]

次に、導電体220の上面、絶縁体280の側面、並びに、導電体240sの上面及び側面に接して、後に酸化物半導体230となる酸化物半導体膜230fを成膜する(図9C参照)。酸化物半導体膜230fには、上述の酸化物半導体230に適用可能な金属酸化物を適宜用いればよい。酸化物半導体膜230fの成膜は、スパッタリング法、CVD法、MBE法、PLD法、ALD法などを適宜用いて行えばよい。ここで、酸化物半導体膜230fは、導電体220の上面、絶縁体280の側面、及び、導電体240sの側面に接して形成されることが好ましい。よって、酸化物半導体膜230fの成膜には、被覆性が良好な成膜方法を用いることが好ましく、CVD法又はALD法などを用いることがより好ましい。例えば、酸化物半導体膜230fとして、ALD法を用いて、In-Ga-Zn酸化物を成膜すればよい。

[0359]

なお、酸化物半導体膜230fの成膜に用いることができる方法は、CVD法又はALD法に限られない。例えば、スパッタリング法を用いてもよい。また、図4A又は図4Bに示すように、酸化物半導体230を積層構造とする場合、酸化物半導体230に含まれる各層の成膜方法は同じであってもよいし、異なってもよい。

[0360]

ここで、酸化物半導体膜230fは、開口部290内における導電体220の上面、開口部290内における絶縁体280の側面、開口部290内における導電体240sの側面、及び、導電体240sの上面に接して形成されることが好ましい。酸化物半導体膜230fを導電体220と接して形成することで、導電体220は、トランジスタ200のソース電極又はドレイン電極の一方として機能する。また、酸化物半導体膜230fを導電体240sと接して形成することで、後に導電体240sから形成される導電体240は、トランジスタ200のソース電極又はドレイン電極の他方として機能する。

[0361]

なお、上述のマイクロ波処理及び加熱処理は、酸化物半導体膜230fの成膜後に行ってもよい。

[0362]

次に、酸化物半導体膜230fに対して、不純物160を供給する処理を行う。不純物160としては、例えば、塩素、フッ素、臭素、ヨウ素等のハロゲン元素の中から選ばれるいずれか一又は複数が挙げられる。不純物160の供給方法としては、例えば、イオン注入法、イオンドーピング法、プラズマイメージョンイオン注入法、又はプラズマ処理を用いることができる。特に、イオン注入法は、イオン化された原料ガスを質量分離して、所望の元素のみを酸化物半導体膜230f中に供給することができるため、好ましい。また、例えば、イオン注入法を用いることで、水素などの不純物が酸化物半導体膜中230f(特に、チャンネル形成領域となる領域230cd)中に供給され、当該水素がキャリアとなる電子を生成し、トランジスタのしきい値電圧がマイナスシフト(ノーマリオン化)することを抑制することができる。

[0363]

例えば、本作製方法例では、三フッ化ホウ素 (BF_3) を原料ガスとして、イオン注入法により、質量分離して得られたフッ素 (F) を不純物 160 として、酸化物半導体膜 230f に供給する。例えば、不純物 160 として、イオン注入法により、 1 keV 以上 80 keV 以下の加速電圧で、 $1.0 \times 10^{12}\text{ ions/cm}^2$ 以上 $1.0 \times 10^{17}\text{ ions/cm}^2$ 以下のドーズ量のフッ素を、酸化物半導体膜 230f に供給する。また、例えば、酸化物半導体膜 230f 中の濃度が、 $1.0 \times 10^{17}\text{ atoms/cm}^3$ 以上 $1.0 \times 10^{22}\text{ atoms/cm}^3$ 以下になるような条件で、イオン注入法により、酸化物半導体膜 230f にフッ素を供給する。

[0364]

なお、不純物 160 としては、フッ素に限定されず、上述したように、塩素等のフッ素以外のハロゲン元素であってもよい。

[0365]

なお、上述の不純物の供給処理は、酸化物半導体膜 230f のうち、少なくとも、後にチャネル形成領域となる領域に対して行う。ここで、図 2A 等に示すように、本発明の一態様に係るトランジスタ 200 では、酸化物半導体 230 のうち、チャネル形成領域として機能する領域 230cd が、基板面に対して概略垂直な開口部 290 の側壁に接して設けられている。そのため、後にチャネル形成領域となる領域 230cd に不純物を供給するためには、図 10A 及び図 10B に示すように、XY 平面に対して作製中の構造物を傾けた状態で処理を行うことが好ましい。

[0366]

本作製方法例では、まず上記構造物を、XY 平面内 (基板面内) の点 O を支点として $-X$ 方向に角度 θ だけ傾けた状態で不純物 160 の供給処理を行い (図 10A 参照)、続いて上記構造物を、点 O を支点として $+X$ 方向に角度 θ だけ傾けた状態で不純物 160 の供給処理を行う (図 10B 参照) 例を示している。ここで、角度 θ は、Z 軸方向から作製中の構造物を見た場合に、少なくとも、領域 230cd の一部が、開口部 290 から露出して見える角度であることが好ましい。例えば、角度 θ は、0 度より大きく 90 度未満であることが好ましく、15 度以上 80 度以下であることがより好ましい。これにより、一点鎖線 A1-A2 の切断面における酸化物半導体膜 230f において、後にチャネル形成領域となる領域 230cd に対して、不純物 160 を供給することができる。なお、図 10A 及び図 10B では、一点鎖線 A1-A2 に対して、直交する方向を軸 R として二点鎖線で示している。また、酸化物半導体膜 230f において、後にチャネル形成領域となる領域 230cd の上端部を切断する面 (絶縁体 280 と導電体 240s との界面に平行な面、と別言してもよい。) と、軸 R と、の交点を点 P として示している。

[0367]

なお、本作製方法例では、作製中の構造物における開口部 290 の側壁が、底部に対して概略垂直である例を示しているが、開口部 290 の側壁が、底部に対して傾斜して設けられている場合 (テーパ形状を有する場合) には、当該構造物を傾けず (すなわち、角度 $\theta = 0$ 度) に不純物 160 の供給処理を行っても、領域 230cd に不純物 160 を供給できる場合がある。

[0368]

例えば、図 10A 又は図 10B に示す処理を、点 O を通る Z 軸を回転軸として、軸 R を XY 平面内で 360 度回転させながら行うことにより、開口部 290 の側壁に形成された領域 230cd の全面に対して、不純物 160 を確実に供給することができる。

[0369]

図11Aには、点Oを支点として、軸RをXY平面内で360度回転させた場合の点Pの軌跡を示す模式図(斜視概略図)を示している。図11Bは、図11Aに示す点Pの軌跡をXY平面に対して垂直な方向から見た平面概略図である。図11A及び図11Bでは、軸Rを、平面視にて、右回りで回転させる例を示している。

[0370]

なお、軸Rの回転方向は右回りに限られない。図11C及び図11Dに示すように、軸Rを、平面視にて、左回りで回転させても構わない。

[0371]

なお、軸Rの回転と、不純物160の供給と、を必ずしも同時に行う必要はない。例えば、軸Rをある一方向に固定した状態で不純物160の供給処理を行い、その後、軸Rを任意の角度だけ回転させ、そこに固定した状態で次の不純物160の供給処理を行う。このような一連の処理を繰り返し行ってもよい。

[0372]

例えば、軸Rをある一方向に固定した状態で不純物160の供給処理を行い、続いて、軸Rを90度回転させ、そこに固定した状態で次の不純物160の供給処理を行う。この場合、軸Rの回転と、不純物160の供給処理と、をそれぞれ4回行うことで、軸Rを360度回転させることになり、開口部290の側壁に形成された領域230cdの全面に対して、不純物160を供給することができる。上記軸Rの回転角は、開口部290の平面視における形状、開口部290の側壁と底部とのなす角、求められる領域230cdへの不純物160の供給量、半導体製造装置の仕様、半導体装置の生産性等を考慮した上で、適宜決定すればよい。

[0373]

なお、図4A及び図4Bに示すように、酸化半導体230を2層以上の積層構造にする場合、全ての層の酸化半導体に不純物160を供給してもよいし、一部の層の酸化半導体を主対象として不純物160を供給してもよい。

[0374]

例えば、図4Aに示すように、酸化半導体230が、酸化半導体230aと酸化半導体230bの2層積層構造である場合、酸化半導体230aと酸化半導体230bの双方に不純物160を供給してもよいし、どちらか一方を主対象として不純物160の供給を行ってもよい。例えば、図4Aに示すトランジスタ200の酸化半導体230のバンド構造が、図5Aに示す構造である場合、キャリアとなる電子は、主に酸化半導体230aをキャリアパスとして流れることになる。この場合、酸化半導体230aの上層の酸化半導体230bを主対象として不純物160の供給処理を行うことで、キャリアパスとなる酸化半導体230a側にダメージを与えることなく、酸化半導体230に不純物160を供給することができる。これにより、電気特性及び信頼性の良好なトランジスタ200を実現することができる。

[0375]

また、例えば、図4Bに示すように、酸化半導体230が、酸化半導体230aと、酸化半導体230bと、酸化半導体230cと、の3層積層構造である場合、酸化半導体230a乃至酸化半導体230cの全てに不純物160を供給してもよいし、特定の層を主対象として不純物160の供給を行ってもよい。例えば、図4Bに示すトランジスタ200の酸化半導体230のバン

ド構造が、図 5 C に示す構造（埋め込みチャネル構造）である場合、キャリアとなる電子は、主に酸化物半導体 230 b をキャリアパスとして流れることになる。この場合、酸化物半導体 230 b の上層の酸化物半導体 230 c を主対象として不純物 160 の供給処理を行うことで、キャリアパスとなる酸化物半導体 230 b 側にダメージを与えることなく、酸化物半導体 230 に不純物 160 を供給することができる。これにより、電気特性及び信頼性の良好なトランジスタ 200 を実現することができる。

[0376]

なお、本作製方法例では、酸化物半導体膜 230 f を形成後に、酸化物半導体膜 230 f に対して不純物 160 を供給する例を示しているが、この限りではない。例えば、開口部 290 の形成後（図 9 B 参照）に、開口部 290 内における絶縁体 280 の側面に対して、不純物 160 を供給する処理を行ってもよい。このとき、図 10 A 乃至図 11 D に示したように、作製中の構造物を角度 θ だけ傾けた状態で、点 O を支点として XY 平面内で軸 R を 360 度回転させながら不純物 160 の供給処理を行うことで、開口部 290 内における絶縁体 280 の側面全体に対して、確実に不純物 160 を供給することができる。また、これにより、後に形成する酸化物半導体膜 230 f にダメージを与えることなく、領域 230 c d と接する絶縁体 280 に不純物 160 を供給することができる。

[0377]

なお、上述の絶縁体 280 への不純物 160 の供給処理、及び、酸化物半導体膜 230 f への不純物 160 の供給処理の双方を行ってもよい。また、本実施の形態においては、構造物を傾けた状態で行う不純物 160 の供給処理の方法について例示したが、これに限定されない。例えば、構造物を固定とし、不純物 160 の供給処理を行う装置、又は機器を回転させることで、一点鎖線 A1-A2 の切断面における酸化物半導体膜 230 f において、後にチャネル形成領域となる領域 230 c d に対して、不純物 160 を供給してもよい。

[0378]

次に、加熱処理を行う（図 12 A 参照）。加熱処理については、上述した内容を参照することができる。当該加熱処理により、絶縁体 280 に含まれる酸素を、酸化物半導体膜 230 f（主に、絶縁体 280 と接するチャネル形成領域）に供給することができる。これにより、酸化物半導体膜 230 f 中の酸素欠損（ V_o ）に酸素が入り、酸素欠損を低減することができる。また、先の不純物 160 の供給処理で受けた酸化物半導体膜 230 f のダメージを補償し、結晶性を回復させることができる。さらには、チャネル形成領域を中心に酸素が供給されることによって、当該酸素が電子をトラップし、チャネル形成領域及びその近傍に負電荷（負の固定電荷）を形成することができる。また、不純物 160 の供給処理を行う際に、基板加熱してもよい。当該基板加熱の温度としては、200°C 以上 500°C 以下とすることができる。不純物 160 の供給処理を行う際に、基板加熱を行うことで、上述の加熱処理と同様の効果を得ることができる。また、上述の加熱処理を省略することが可能となるので、製造工程を簡略化することができる。

[0379]

次に、酸化物半導体膜 230 f を、リソグラフィ法を用いて加工し、酸化物半導体 230 を形成する（図 12 B 参照）。これにより、酸化物半導体 230 の一部が、開口部 290 内に形成される。なお、酸化物半導体 230 の加工は、ドライエッチング法又はウェットエッチング法を用いることができる。ドライエッチング法による加工は、微細加工に適している。

[0380]

次に、導電体240sを加工して、図1A及び図1Cに示すようなX方向に延伸する導電体240を形成する(図12B参照)。導電体240は、リソグラフィ法を用いて行えばよい。導電体240sの加工は、ドライエッチング法又はウェットエッチング法を用いることができる。ドライエッチング法による加工は、微細加工に適している。

[0381]

次に、酸化物半導体230、導電体240、及び絶縁体280の上に、絶縁体250を成膜する(図12C参照)。絶縁体250には、上述の絶縁性材料を適宜用いればよい。絶縁体250の成膜は、スパッタリング法、CVD法、MBE法、PLD法、ALD法などを適宜用いて行えばよい。ここで、絶縁体250は、開口部290内に設けられた酸化物半導体230に接して形成されることが好ましい。よって、絶縁体250の成膜は、被覆性が良好な成膜方法を用いることが好ましく、CVD法又はALD法などを用いることがより好ましい。例えば、絶縁体250として、PEALD法を用いて、酸化シリコンを成膜すればよい。なお、絶縁体250の成膜方法は、CVD法又はALD法に限られない。例えば、スパッタリング法を用いてもよい。

[0382]

また、図4A又は図4Bに示すように、絶縁体250を、絶縁体250aと、絶縁体250bと、の積層構造にすることができる。例えば、絶縁体250aとして、熱ALD法を用いてハフニウムシリケートを成膜すればよい。また、例えば、絶縁体250bとして、PEALD法を用いて窒化シリコンを成膜すればよい。

[0383]

酸化物半導体230を形成した後で、絶縁体250を成膜する構成にすることで、酸化物半導体230の側端部が絶縁体250で覆われる。したがって、酸化物半導体230と、導電体260と、のショートを防ぐことができる。また、上記構成にすることで、導電体240の側端部が絶縁体250で覆われる。したがって、導電体240と、導電体260と、のショートを防ぐことができる。

[0384]

上述のマイクロ波処理及び加熱処理は、絶縁体250の成膜後に行ってもよい。例えば、絶縁体250が、絶縁体250aと絶縁体250bの積層構造であり、絶縁体210及び絶縁体250bとして窒化シリコンを用い、絶縁体222及び絶縁体250aにハフニウムシリケートを用いている場合は、絶縁体210と絶縁体250bからなる閉鎖系の中に、絶縁体222及び絶縁体250aが設けられている状態で加熱処理を行うことができる。これにより、当該閉鎖系内部の水素を絶縁体222及び絶縁体250aに捕獲又は固着することができる。これにより、酸化物半導体230のチャネル形成領域中の水素濃度を低減することができる。よって、トランジスタの電気特性を良好にし、トランジスタの信頼性を向上させることができる。また、トランジスタの電気特性のばらつきが少ない半導体装置を提供することができる。

[0385]

また、上記マイクロ波処理を行うことで、酸化物半導体230中の炭素などの不純物も除去することができる。酸化物半導体230中の不純物である炭素を除去することで、酸化物半導体230の結晶性向上を図ることができる。これにより、酸化物半導体230をCAAC-OSにすることができる。特に、酸化物半導体230をALD法で成膜した場合、プリカーサに含まれる炭素が酸化物半導体230中に取り込まれることがあるため、マイクロ波処理で炭素を除去することが好ましい。

[0386]

なお、絶縁体250を積層構造とする場合、上記マイクロ波処理を、絶縁体250が有する全ての絶縁体を成膜した後に行うとは限らない。例えば、図4A又は図4Bに示す構造の場合、絶縁体250aを成膜した後で、マイクロ波処理を行い、それから絶縁体250bを成膜してもよい。また、例えば、絶縁体250aを成膜した後で、マイクロ波処理を行い、次に、絶縁体250bを成膜した後でマイクロ波処理を行ってもよい。このように、酸素を含む雰囲気でのマイクロ波処理は、複数回行ってもよい。

[0387]

次に、絶縁体250を介して、酸化物半導体230に対して、不純物190を供給する処理を行う(図13A参照)。不純物190としては、図2Aで説明した領域230na及び領域230nbが有することのできる不純物、例えば、水素、ホウ素、炭素、窒素、リン、硫黄、ヒ素、アルミニウム、マグネシウム、シリコン、及び貴ガスの一又は複数が挙げられる。なお、貴ガスの代表例としては、ヘリウム、ネオン、アルゴン、クリプトン、及びキセノンが挙げられる。不純物190としては、特に、ホウ素、リン、アルミニウム、マグネシウム、及びシリコンの一又は複数であることが好ましい。不純物190の供給方法としては、例えば、イオン注入法、イオンドーピング法、プラズマイメージョンイオン注入法、又はプラズマ処理を用いることができる。

[0388]

なお、不純物190の供給は、酸化物半導体230のうち、ソース領域及びドレイン領域(図2Aに示す領域230na及び領域230nb)を低抵抗化することを目的として行う。そのため、不純物190は、ソース領域及びドレイン領域のみに供給され、チャンネル形成領域(図2Aに示す領域230cd)には供給されないことが好ましい。したがって、先の不純物160を酸化物半導体膜230fに供給する場合と異なり、不純物190は、基板面に対して概略垂直な方向に供給されることが好ましい。これにより、酸化物半導体230のうち、ソース領域及びドレイン領域を中心に不純物を供給することができるため、当該領域を選択的に低抵抗化させることができる。

[0389]

例えば、イオンドーピング法を用いて、基板面に対して概略垂直な方向から、作製中の構造物に対して不純物190の供給処理を行うことが好ましい。イオン化された原料ガスを質量分離せずに対象物に供給するイオンドーピング法は、原料ガスに水素が含まれる場合、水素を含めた原料ガス全てを、不純物190として、酸化物半導体230に供給することができる。酸化物半導体230に供給された水素は、酸化物半導体230中にV_oHを形成するため、酸化物半導体230を低抵抗化しやすい。したがって、酸化物半導体230のうち、ソース領域及びドレイン領域を、容易に低抵抗化させることができる。

[0390]

例えば、ジボラン(B₂H₆)を原料ガスとして、イオンドーピング法により基板面に対して概略垂直な方向から作製中の構造物に対して不純物190の供給処理を行う場合、不純物190として、上述したホウ素(B)と水素(H)の双方を同時に酸化物半導体230に供給することができる。これにより、イオン化された原料ガスを質量分離してから対象物に供給するイオン注入法を用いるよりも、効率的に酸化物半導体230におけるソース領域及びドレイン領域を低抵抗化させることができる場合がある。

[0391]

なお、不純物190の供給方法として、イオン注入法を用いてもよい。例えば、作製中の構造物に

おける開口部 290 の側壁が、底部に対して傾斜して設けられている場合（テーパ形状を有する場合）、不純物 190 の供給処理にイオンドーピング法を用いると、基板面に対して概略垂直な方向から不純物 190 を供給する場合であっても、水素等の不純物が、ソース領域及びドレイン領域だけでなく、チャンネル形成領域にも供給されてしまう。上述したように、チャンネル形成領域においては、水素は可能な限り低減されていることが好ましい。したがって、開口部 290 の形状によっては、原料ガスを質量分離して所望の元素のみを供給することができるイオン注入法を用いた方が好ましい場合もある。

[0392]

例えば、イオン注入法であれば、水素（H）を含むジボラン（ B_2H_6 ）を原料ガスに用いる場合であっても、質量分離により、ホウ素（B）のみを不純物 190 として、酸化半導体 230 に供給することができる。そのため、水素等の不純物が、チャンネル形成領域に供給されることを防止しつつ、ソース領域及びドレイン領域を低抵抗化させることができる。

[0393]

なお、上記不純物 190 の供給時に用いることができる原料ガスは、ジボラン（ B_2H_6 ）に限られず、例えば、三フッ化ホウ素（ BF_3 ）等の水素（H）を含まない原料ガスを用いてもよい。

[0394]

なお、酸化半導体 230 のソース領域及びドレイン領域が、十分低抵抗である場合は、当該不純物 190 の供給処理を行わなくてもよい。

[0395]

次に、絶縁体 250 の凹部を埋めるように、導電体 260 となる導電膜を成膜する。当該導電膜には、上述の導電性材料を適宜用いればよい。当該導電膜の成膜は、スパッタリング法、CVD法、MBE法、PLD法、ALD法などを適宜用いて行えばよい。ここで、当該導電膜は、開口部 290 内に設けられた絶縁体 250 に接して形成されることが好ましい。よって、当該導電膜の成膜は、被覆性又は埋め込み性が良好な成膜方法を用いることが好ましく、CVD法又はALD法などを用いることがより好ましい。例えば、当該導電膜として、CVD法又はALD法を用いて、窒化チタンを成膜し、当該窒化チタンの上にCVD法を用いてタングステンを成膜すればよい。

[0396]

また、上記においては、導電体 260 となる導電膜が開口部 290 を埋め込むように設けられているが、本発明はこれに限られるものではない。例えば、当該導電膜の中央部に、開口部 290 の形状を反映した凹部が形成される場合がある。また、当該凹部を無機絶縁材料などで充填する構成にしてもよい。

[0397]

次に、導電体 260 となる導電膜を加工して、導電体 260 を形成する（図 13B 参照）。導電体 260 の形成は、リソグラフィ法を用いて行えばよい。上記加工はドライエッチング法又はウェットエッチング法を用いることができる。ドライエッチング法による加工は微細加工に適している。

[0398]

なお、上述の不純物 190 を供給する処理を絶縁体 250 の形成後に行わず、導電体 260 を形成した後に行ってもよい。この場合、酸化半導体 230 のソース領域及びドレイン領域のうち、導電体 260 と重ならない側の領域（図 2A に示す領域 230nb）のみに不純物 190 が供給されることになるが、導電体 260 と重なるチャンネル形成領域（図 2A に示す領域 230cd）に不純物 19

0が供給されることを防止することができる。これにより、開口部290の側壁及び底部のなす角が90度未満のテーパ形状を有する場合であっても、チャンネル形成領域に不純物190が供給される恐れがなくなる。なお、不純物190の供給処理は、上述の絶縁体250の形成後、及び、導電体260の形成後の双方に行ってもよい。

[0399]

次に、導電体260及び絶縁体250を覆って、絶縁体283を成膜する。絶縁体283は、上述の絶縁性材料を適宜用いればよい。絶縁体283の成膜は、スパッタリング法、CVD法、MBE法、PLD法、ALD法などを適宜用いて行えばよい。また、図4A又は図4Bに示すように、絶縁体283を、絶縁体283aと、絶縁体283bと、の積層構造にしてもよい。

[0400]

上述のマイクロ波処理及び加熱処理は、絶縁体283の成膜後に行ってもよい。例えば、絶縁体283が、絶縁体283aと絶縁体283bの積層構造であり、絶縁体210及び絶縁体283bとして窒化シリコンを用い、絶縁体222及び絶縁体283aにハフニウムシリケートを用いている場合は、絶縁体210と絶縁体283bからなる閉鎖系の中に、絶縁体222及び絶縁体283aが設けられている状態で加熱処理を行うことができる。これにより、当該閉鎖系内部の水素を絶縁体222及び絶縁体283aに捕獲又は固着することができる。これにより、酸化半導体230のチャンネル形成領域中の水素濃度を低減することができる。よって、トランジスタの電気特性を良好にし、トランジスタの信頼性を向上させることができる。また、トランジスタの電気特性のばらつきが少ない半導体装置を提供することができる。

[0401]

以上により、図1A乃至図1C等に示すトランジスタ200を作製することができる。

[0402]

本実施の形態は、他の実施の形態と適宜組み合わせることができる。また、本明細書において、1つの実施の形態の中に、複数の構成例が示される場合は、構成例を適宜組み合わせることが可能である。

[0403]

(実施の形態2)

本実施の形態では、本発明の一態様に係る半導体装置900について説明する。半導体装置900は記憶装置として機能することができる。

[0404]

図14に、半導体装置900の構成例を示すブロック図を示す。図14に示す半導体装置900は、駆動回路910と、メモリアレイ920と、を有する。メモリアレイ920は、1以上のメモリセル950を有する。図14では、メモリアレイ920がマトリクス状に配置された複数のメモリセル950を有する例を示している。

[0405]

メモリセル950に、上記実施の形態で例示したトランジスタを適用することができる。上記トランジスタを用いることで、記憶装置の微細化及び高集積化を図ることができる。また、記憶装置の面積当たりの容量を大きくすることができる。

[0406]

駆動回路910は、PSW931(パワースイッチ)、PSW932、及び周辺回路915を有す

る。周辺回路915は、周辺回路911、コントロール回路912 (Control Circuit)、及び電圧生成回路928を有する。

[0407]

半導体装置900において、各回路、各信号及び各電圧は、必要に応じて、適宜取捨することができる。あるいは、他の回路又は他の信号を追加してもよい。信号BW、信号CE、信号GW、信号CLK、信号WAKE、信号ADDR、信号WDA、信号PON1、信号PON2は外部からの入力信号であり、信号RDAは外部への出力信号である。信号CLKはクロック信号である。

[0408]

また、信号BW、信号CE、及び信号GWは制御信号である。信号CEはチップイネーブル信号であり、信号GWはグローバル書き込みイネーブル信号であり、信号BWはバイト書き込みイネーブル信号である。信号ADDRはアドレス信号である。信号WDAは書き込みデータであり、信号RDAは読み出しデータである。信号PON1、信号PON2は、パワーゲーティング制御用信号である。なお、信号PON1、信号PON2は、コントロール回路912で生成してもよい。

[0409]

コントロール回路912は、半導体装置900の動作全般を制御する機能を有するロジック回路である。例えば、コントロール回路912は、信号CE、信号GW及び信号BWを論理演算して、半導体装置900の動作モード(例えば、書き込み動作、読み出し動作)を決定する。又は、コントロール回路912は、この動作モードが実行されるように、周辺回路911の制御信号を生成する。

[0410]

電圧生成回路928は負電圧を生成する機能を有する。信号WAKEは、信号CLKの電圧生成回路928への入力を制御する機能を有する。例えば、信号WAKEとしてHレベルの信号が与えられると、信号CLKが電圧生成回路928へ入力され、電圧生成回路928は負電圧を生成する。

[0411]

周辺回路911は、メモリセル950に対するデータの書き込み及び読み出しをするための回路である。周辺回路911は、行デコーダ941 (Row Decoder)、列デコーダ942 (Column Decoder)、行ドライバ923 (Row Driver)、列ドライバ924 (Column Driver)、入力回路925 (Input Cir.)、出力回路926 (Output Cir.)、及びセンスアンプ927 (Sense Amplifier)を有する。

[0412]

行デコーダ941及び列デコーダ942は、信号ADDRをデコードする機能を有する。行デコーダ941は、アクセスする行を指定するための回路であり、列デコーダ942は、アクセスする列を指定するための回路である。行ドライバ923は、行デコーダ941が指定する行を選択する機能を有する。列ドライバ924は、データをメモリセル950に書き込む機能、メモリセル950からデータを読み出す機能、読み出したデータを保持する機能等を有する。

[0413]

入力回路925は、信号WDAを保持する機能を有する。入力回路925が保持するデータは、列ドライバ924に出力される。入力回路925の出力データが、メモリセル950に書き込むデータ(Din)である。列ドライバ924がメモリセル950から読み出したデータ(Dout)は、出力回路926に出力される。出力回路926は、Doutを保持する機能を有する。また、出力回路926は、Doutを半導体装置900の外部に出力する機能を有する。出力回路926から出力さ

れるデータが信号RDAである。

[0414]

PSW931は周辺回路915へのV_{DD}の供給を制御する機能を有する。PSW932は、行ドライバ923へのV_{HM}の供給を制御する機能を有する。ここでは、半導体装置900の高電源電圧がV_{DD}であり、低電源電圧はGND（接地電位）である。また、V_{HM}は、ワード線を高レベルにするために用いられる高電源電圧であり、V_{DD}よりも高い。信号PON1によってPSW931のオン・オフが制御され、信号PON2によってPSW932のオン・オフが制御される。図14では、周辺回路915において、V_{DD}が供給される電源ドメインの数を1としているが、複数にすることもできる。この場合、各電源ドメインに対してパワースイッチを設ければよい。

[0415]

図15A乃至図15Hを用いて、メモリセル950に適用することができる他のメモリセルの構成例について説明する。

[0416]

[DOSRAM]

図15Aに、DRAMのメモリセルの回路構成例を示す。本明細書などにおいて、OSトランジスタを用いたDRAMを、DOSRAM (Dynamic Oxide Semiconductor Random Access Memory) と呼ぶ。メモリセル951は、トランジスタM1と、容量素子CAと、を有する。

[0417]

なお、トランジスタM1は、フロントゲート（単にゲートと呼ぶ場合がある。）、及びバックゲートを有していてもよい。このとき、バックゲートは定電位又は信号が与えられる配線に接続されていてもよいし、フロントゲートとバックゲートとが接続されていてもよい。

[0418]

トランジスタM1の第1端子は、容量素子CAの第1端子と接続され、トランジスタM1の第2端子は、配線BILと接続され、トランジスタM1のゲートは、配線WOLと接続されている。容量素子CAの第2端子は、配線CALと接続されている。

[0419]

配線BILは、ビット線として機能し、配線WOLは、ワード線として機能する。配線CALは、容量素子CAの第2端子に所定の電位を印加するための配線として機能する。データの書き込み時、及び読み出し時において、配線CALには、低レベル電位（基準電位という場合がある。）を印加することが好ましい。

[0420]

データの書き込み及び読み出しは、配線WOLに高レベル電位を印加し、トランジスタM1を導通状態にし、配線BILと容量素子CAの第1端子を接続することによって行われる。

[0421]

また、メモリセル950に用いることができるメモリセルは、メモリセル951に限定されず、回路構成の変更を行うことができる。例えば、図15Bに示すようなメモリセル952の構成でもよい。メモリセル952は、容量素子CA、及び配線CALを有さない場合の例である。トランジスタM1の第1端子は、電気的にフローティングの状態である。

[0422]

メモリセル952において、トランジスタM1を介して書き込まれた電位は、破線で示す第1端子とゲートとの間の容量（寄生容量ともいう。）に保持される。このような構成とすることで、メモリセルの構成を大幅に簡略化することができる。

[0423]

なお、トランジスタM1として、上記実施の形態に記載のOSトランジスタを用いることが好ましい。上記実施の形態に記載のOSトランジスタを用いることで、メモリセルの占有面積を低減することができる。また、OSトランジスタは、オフ電流が極めて小さいという特性を有している。トランジスタM1としてOSトランジスタを用いることによって、トランジスタM1のリーク電流を非常に低くすることができる。つまり、書き込んだデータをトランジスタM1によって長時間保持することができるため、メモリセルのリフレッシュの頻度を少なくすることができる。又は、メモリセルのリフレッシュ動作を不要にすることができる。また、リーク電流が非常に低いため、メモリセル951、及びメモリセル952に対して多値データ、又はアナログデータを保持することができる。

[0424]

[NOSRAM]

図15Cに、2トランジスタ1容量素子のゲインセル型のメモリセルの回路構成例を示す。メモリセル953は、トランジスタM2と、トランジスタM3と、容量素子CBと、を有する。本明細書などにおいて、トランジスタM2にOSトランジスタを用いたゲインセル型のメモリセルを有する記憶装置を、NOSRAM (Nonvolatile Oxide Semiconductor Random Access Memory) と呼ぶ。

[0425]

トランジスタM2の第1端子は、容量素子CBの第1端子と接続され、トランジスタM2の第2端子は、配線WBLと接続され、トランジスタM2のゲートは、配線WOLと接続されている。容量素子CBの第2端子は、配線CALと接続されている。トランジスタM3の第1端子は、配線RBLと接続され、トランジスタM3の第2端子は、配線SLと接続され、トランジスタM3のゲートは、容量素子CBの第1端子と接続されている。

[0426]

配線WBLは、書き込みビット線として機能し、配線RBLは、読み出しビット線として機能し、配線WOLは、ワード線として機能する。配線CALは、容量素子CBの第2端子に所定の電位を印加するための配線として機能する。データの書き込み時、データ保持の最中、データの読み出し時において、配線CALには、低レベル電位（基準電位という場合がある。）を印加することが好ましい。

[0427]

データの書き込みは、配線WOLに高レベル電位を印加し、トランジスタM2を導通状態にし、配線WBLと容量素子CBの第1端子を接続することによって行われる。具体的には、トランジスタM2が導通状態のときに、配線WBLに記録する情報に対応する電位を印加し、容量素子CBの第1端子、及びトランジスタM3のゲートに当該電位を書き込む。その後、配線WOLに低レベル電位を印加し、トランジスタM2を非導通状態にすることによって、容量素子CBの第1端子の電位、及びトランジスタM3のゲートの電位を保持する。

[0428]

データの読み出しは、配線SLに所定の電位を印加することによって行われる。トランジスタM3のソースドレイン間に流れる電流、及びトランジスタM3の第1端子の電位は、トランジスタM3

のゲートの電位、及びトランジスタM3の第2端子の電位によって決まるので、トランジスタM3の第1端子に接続されている配線RBLの電位を読み出すことによって、容量素子CBの第1端子（又はトランジスタM3のゲート）に保持されている電位を読み出すことができる。つまり、容量素子CBの第1端子（又はトランジスタM3のゲート）に保持されている電位から、このメモリセルに書き込まれている情報を読み出すことができる。

[0429]

また、例えば、配線WBLと配線RBLを一本の配線BILとしてまとめた構成であってもよい。そのメモリセルの回路構成例を図15Dに示す。メモリセル954は、メモリセル953の配線WBLと配線RBLを一本の配線BILとして、トランジスタM2の第2端子、及びトランジスタM3の第1端子が、配線BILと接続されている構成となっている。つまり、メモリセル954は、書き込みビット線と、読み出しビット線と、を1本の配線BILとして動作する構成となっている。

[0430]

図15Eに示すメモリセル955は、メモリセル953における容量素子CB及び配線CALを省略した場合の例である。また、図15Fに示すメモリセル956は、メモリセル954における容量素子CB及び配線CALを省略した場合の例である。このような構成とすることで、メモリセルの集積度を高めることができる。

[0431]

なお、少なくともトランジスタM2には上記実施の形態に記載のOSトランジスタを用いることが好ましい。特に、トランジスタM2、及びトランジスタM3に上記実施の形態に記載のOSトランジスタを用いることが好ましい。上記実施の形態に記載のOSトランジスタを用いることで、メモリセルの占有面積を低減することができる。

[0432]

OSトランジスタは、オフ電流が極めて小さいという特性を有しているため、書き込んだデータをトランジスタM2によって長時間保持することができるため、メモリセルのリフレッシュの頻度を少なくすることができる。又は、メモリセルのリフレッシュ動作を不要にすることができる。また、リーク電流が非常に低いため、メモリセル953、メモリセル954、メモリセル955、メモリセル956に対して多値データ、又はアナログデータを保持することができる。

[0433]

トランジスタM2としてOSトランジスタを適用したメモリセル953、メモリセル954、メモリセル955、及びメモリセル956は、NOSRAMの一態様である。

[0434]

なお、トランジスタM3としてSiトランジスタを用いてもよい。Siトランジスタは電界効果移動度を高めることができる他、pチャンネル型トランジスタとすることもできるため、回路設計の自由度を高めることができる。

[0435]

また、トランジスタM3としてOSトランジスタを用いた場合、メモリセルを単極性回路で構成することができる。

[0436]

また、図15Gに、3トランジスタ1容量素子のゲインセル型のメモリセル957を示す。メモリセル957は、トランジスタM4乃至トランジスタM6と、容量素子CCと、を有する。

[0437]

トランジスタM4の第1端子は、容量素子CCの第1端子と接続され、トランジスタM4の第2端子は、配線BILと接続され、トランジスタM4のゲートは、配線WOLと接続されている。容量素子CCの第2端子は、トランジスタM5の第1端子と、配線GNDLと、に接続されている。トランジスタM5の第2端子は、トランジスタM6の第1端子と接続され、トランジスタM5のゲートは、容量素子CCの第1端子と接続されている。トランジスタM6の第2端子は、配線BILと接続され、トランジスタM6のゲートは配線RWLと接続されている。

[0438]

配線BILは、ビット線として機能し、配線WOLは、書き込みワード線として機能し、配線RWLは、読み出しワード線として機能する。配線GNDLは、低レベル電位を与える配線である。

[0439]

データの書き込みは、配線WOLに高レベル電位を印加し、トランジスタM4を導通状態にし、配線BILと容量素子CCの第1端子を接続することによって行われる。具体的には、トランジスタM4が導通状態のときに、配線BILに記録する情報に対応する電位を印加し、容量素子CCの第1端子、及びトランジスタM5のゲートに当該電位を書き込む。その後、配線WOLに低レベル電位を印加し、トランジスタM4を非導通状態にすることによって、容量素子CCの第1端子の電位、及びトランジスタM5のゲートの電位を保持する。

[0440]

データの読み出しは、配線BILに所定の電位をプリチャージして、その後配線BILを電氣的に浮遊状態にし、かつ配線RWLに高レベル電位を印加することによって行われる。配線RWLが高レベル電位となるので、トランジスタM6は導通状態となり、配線BILとトランジスタM5の第2端子が接続状態となる。このとき、トランジスタM5の第2端子には、配線BILの電位が印加されることになるが、容量素子CCの第1端子（又はトランジスタM5のゲート）に保持されている電位に応じて、トランジスタM5の第2端子の電位、及び配線BILの電位が変化する。ここで、配線BILの電位を読み出すことによって、容量素子CCの第1端子（又はトランジスタM5のゲート）に保持されている電位を読み出すことができる。つまり、容量素子CCの第1端子（又はトランジスタM5のゲート）に保持されている電位から、このメモリセルに書き込まれている情報を読み出すことができる。

[0441]

なお、少なくともトランジスタM4に上記実施の形態に記載のOSトランジスタを用いることが好ましい。上記実施の形態に記載のOSトランジスタを用いることで、メモリセルの占有面積を低減することができる。

[0442]

なお、トランジスタM5及びトランジスタM6としてSiトランジスタを用いてもよい。前述した通り、Siトランジスタは、半導体層に用いるシリコンの結晶状態などによっては、OSトランジスタよりも電界効果移動度が高くなる場合がある。

[0443]

また、トランジスタM5及びトランジスタM6としてOSトランジスタを用いた場合、メモリセルを単極性回路で構成することができる。

[0444]

[OS-SRAM]

図15Hに、OSトランジスタを用いたSRAM (Static Random Access Memory) の一例を示す。本明細書などにおいて、OSトランジスタを用いたSRAMを、OS-SRAM (Oxide Semiconductor-SRAM) と呼ぶ。なお、図15Hに示すメモリセル958は、バックアップ可能なSRAMのメモリセルである。

[0445]

メモリセル958は、トランジスタM7乃至トランジスタM10と、トランジスタMS1乃至トランジスタMS4と、容量素子CD1と、容量素子CD2と、を有する。なお、トランジスタMS1、及びトランジスタMS2は、pチャネル型トランジスタであり、トランジスタMS3、及びトランジスタMS4は、nチャネル型トランジスタである。

[0446]

トランジスタM7の第1端子は、配線BILと接続され、トランジスタM7の第2端子は、トランジスタMS1の第1端子と、トランジスタMS3の第1端子と、トランジスタMS2のゲートと、トランジスタMS4のゲートと、トランジスタM10の第1端子と、に接続されている。トランジスタM7のゲートは、配線WOLと接続されている。トランジスタM8の第1端子は、配線BILBと接続され、トランジスタM8の第2端子は、トランジスタMS2の第1端子と、トランジスタMS4の第1端子と、トランジスタMS1のゲートと、トランジスタMS3のゲートと、トランジスタM9の第1端子と、に接続されている。トランジスタM8のゲートは、配線WOLと接続されている。

[0447]

トランジスタMS1の第2端子は、配線VDLと接続されている。トランジスタMS2の第2端子は、配線VDLと接続されている。トランジスタMS3の第2端子は、配線GNDLと接続されている。トランジスタMS4の第2端子は、配線GNDLと接続されている。

[0448]

トランジスタM9の第2端子は、容量素子CD1の第1端子と接続され、トランジスタM9のゲートは、配線BRLと接続されている。トランジスタM10の第2端子は、容量素子CD2の第1端子と接続され、トランジスタM10のゲートは、配線BRLと接続されている。

[0449]

容量素子CD1の第2端子は、配線GNDLと接続され、容量素子CD2の第2端子は、配線GNDLと接続されている。

[0450]

配線BIL及び配線BILBは、ビット線として機能し、配線WOLは、ワード線として機能し、配線BRLは、トランジスタM9、及びトランジスタM10の導通状態、非導通状態を制御する配線である。

[0451]

配線VDLは、高レベル電位を与える配線であり、配線GNDLは、低レベル電位を与える配線である。

[0452]

データの書き込みは、配線WOLに高レベル電位を印加し、かつ配線BRLに高レベル電位を印加することによって行われる。具体的には、トランジスタM10が導通状態のときに、配線BILに記録する情報に対応する電位を印加し、トランジスタM10の第2端子側に当該電位を書き込む。

[0453]

ところで、メモリセル958は、トランジスタMS1乃至トランジスタMS2によってインバータループを構成しているため、トランジスタM8の第2端子側に、当該電位に対応するデータ信号の反転信号が入力される。トランジスタM8が導通状態であるため、配線BILBには、配線BILに印加されている電位、すなわち配線BILに入力されている信号の反転信号が出力される。また、トランジスタM9、及びトランジスタM10が導通状態であるため、トランジスタM7の第2端子の電位、及びトランジスタM8の第2端子の電位は、それぞれ容量素子CD2の第1端子、及び容量素子CD1の第1端子に保持される。その後、配線WOLに低レベル電位を印加し、かつ配線BRLに低レベル電位を印加し、トランジスタM7乃至トランジスタM10を非導通状態にすることによって、容量素子CD1の第1端子、及び容量素子CD2の第1端子の電位を保持する。

[0454]

データの読み出しは、あらかじめ配線BIL及び配線BILBを所定の電位にプリチャージした後、配線WOLに高レベル電位を印加し、配線BRLに高レベル電位を印加することによって、容量素子CD1の第1端子の電位が、メモリセル958のインバータループによってリフレッシュされ、配線BILBに出力される。また、容量素子CD2の第1端子の電位が、メモリセル958のインバータループによってリフレッシュされ、配線BILに出力される。配線BIL及び配線BILBでは、それぞれプリチャージされた電位から容量素子CD2の第1端子の電位、及び容量素子CD1の第1端子の電位に変動するため、配線BIL又は配線BILBの電位から、メモリセルに保持された電位を読み出すことができる。

[0455]

なお、トランジスタM7乃至トランジスタM10としてOSトランジスタを適用することが好ましい。これにより書き込んだデータをトランジスタM7乃至トランジスタM10によって長時間保持することができるため、メモリセルのリフレッシュの頻度を少なくすることができる。又は、メモリセルのリフレッシュ動作を不要にすることができる。また、トランジスタM7乃至トランジスタM10として、上記実施の形態に記載のOSトランジスタを用いることで、メモリセルの占有面積を低減することができる。

[0456]

なお、トランジスタMS1乃至トランジスタMS4として、Siトランジスタを用いてもよい。

[0457]

半導体装置900が有する駆動回路910とメモリアレイ920は同一平面上に設けてもよい。また、図16Aに示すように、駆動回路910とメモリアレイ920を重ねて設けてもよい。駆動回路910とメモリアレイ920を重ねて設けることで、信号伝搬距離を短くすることができる。また、図16Bに示すように、駆動回路910上にメモリアレイ920を複数層重ねて設けてもよい。

[0458]

続いて、上記記憶装置などの半導体装置を備えることができる演算処理装置の一例について説明する。

[0459]

図17に、演算装置960のブロック図を示す。図17に示す演算装置960は、例えばCPU(Central Processing Unit)に適用することができる。また、演算装置960は、CPUよりも並列処理可能なプロセッサコアを多数(数10~数100個)有するGPU(Gr

aphics Processing Unit)、TPU (Tensor Processing Unit)、NPU (Neural Processing Unit) などのプロセッサにも適用することができる。

[0460]

図17に示す演算装置960は、基板990上に、ALU991 (ALU: Arithmetic Logic Unit、演算回路)、ALUコントローラ992、インストラクションデコーダ993、インタラプトコントローラ994、タイミングコントローラ995、レジスタ996、レジスタコントローラ997、バスインターフェイス998、キャッシュ999、及びキャッシュインターフェイス989を有している。基板990は、半導体基板、SOI基板、ガラス基板などを用いる。書き換え可能なROM及びROMインターフェイスを有してもよい。また、キャッシュ999及びキャッシュインターフェイス989は、別チップに設けてもよい。

[0461]

キャッシュ999は、別チップに設けられたメインメモリとキャッシュインターフェイス989を介して接続される。キャッシュインターフェイス989は、メインメモリに保持されているデータの一部をキャッシュ999に供給する機能を有する。またキャッシュインターフェイス989は、キャッシュ999に保持されているデータの一部を、バスインターフェイス998を介して、ALU991又はレジスタ996等に出力する機能を有する。

[0462]

後述するように、演算装置960上に積層して、メモリアレイ920を設けることができる。メモリアレイ920はキャッシュとして用いることができる。このとき、キャッシュインターフェイス989は、メモリアレイ920に保持されているデータをキャッシュ999に供給する機能を有している。またこのとき、キャッシュインターフェイス989の一部に、駆動回路910を有することが好ましい。

[0463]

なお、キャッシュ999を設けず、メモリアレイ920のみをキャッシュとして用いることもできる。

[0464]

図17に示す演算装置960は、その構成を簡略化して示した一例にすぎず、実際の演算装置960はその用途によって多種多様な構成を有している。例えば、図17に示す演算装置960を含む構成を一つのコアとし、当該コアを複数含み、それぞれのコアが並列で動作する、いわゆるマルチコアの構成とすることが好ましい。コアの数が多きほど、演算性能を高めることができる。コアの数は多いほど好ましいが、例えば2個、好ましくは4個、より好ましくは8個、さらに好ましくは12個、さらに好ましくは16個又はそれ以上とすることが好ましい。また、サーバー用途など非常に高い演算性能が求められる場合には、16個以上、好ましくは32個以上、さらに好ましくは64個以上のコアを有するマルチコアの構成とすることが好ましい。また、演算装置960が内部演算回路、データバスなどで扱えるビット数は、例えば8ビット、16ビット、32ビット、64ビットなどとすることができる。

[0465]

バスインターフェイス998を介して演算装置960に入力された命令は、インストラクションデコーダ993に入力され、デコードされた後、ALUコントローラ992、インタラプトコントロー

ラ 994、レジスタコントローラ 997、タイミングコントローラ 995 に入力される。

[0466]

ALUコントローラ 992、インタラプトコントローラ 994、レジスタコントローラ 997、タイミングコントローラ 995 は、デコードされた命令に基づき、各種制御を行う。具体的に ALUコントローラ 992 は、ALU 991 の動作を制御するための信号を生成する。また、インタラプトコントローラ 994 は、演算装置 960 のプログラム実行中に、外部の入出力装置、周辺回路などからの割り込み要求を、その優先度、マスク状態などから判断し、処理する。レジスタコントローラ 997 は、レジスタ 996 のアドレスを生成し、演算装置 960 の状態に応じてレジスタ 996 の読み出し又は書き込みを行う。

[0467]

また、タイミングコントローラ 995 は、ALU 991、ALUコントローラ 992、インストラクションデコーダ 993、インタラプトコントローラ 994、及びレジスタコントローラ 997 の動作のタイミングを制御する信号を生成する。例えばタイミングコントローラ 995 は、基準クロック信号を元に、内部クロック信号を生成する内部クロック生成部を備えており、内部クロック信号を上記各種回路に供給する。

[0468]

図 17 に示す演算装置 960 において、レジスタコントローラ 997 は、ALU 991 からの指示に従い、レジスタ 996 における保持動作の選択を行う。すなわち、レジスタ 996 が有するメモリセルにおいて、フリップフロップによるデータの保持を行うか、容量素子によるデータの保持を行うかを、選択する。フリップフロップによるデータの保持が選択されている場合、レジスタ 996 内のメモリセルへの、電源電圧の供給が行われる。容量素子におけるデータの保持が選択されている場合、容量素子へのデータの書き換えが行われ、レジスタ 996 内のメモリセルへの電源電圧の供給を停止することができる。

[0469]

メモリアレイ 920 と演算装置 960 は、重ねて設けることができる。図 18A 及び図 18B に半導体装置 970A の斜視図を示す。半導体装置 970A は、演算装置 960 上に、メモリアレイが設けられた層 930 を有する。層 930 には、メモリアレイ 920L1、メモリアレイ 920L2、及びメモリアレイ 920L3 が設けられている。演算装置 960 と各メモリアレイは、互いに重なる領域を有する。半導体装置 970A の構成を分かりやすくするため、図 18B では演算装置 960 及び層 930 を分離して示している。

[0470]

メモリアレイを有する層 930 と演算装置 960 を重ねて設けることで、両者の接続距離を短くすることができる。よって、両者間の通信速度を高めることができる。また、接続距離が短いため消費電力を低減することができる。

[0471]

メモリアレイを有する層 930 と演算装置 960 とを積層する方法としては、演算装置 960 上に直接メモリアレイを有する層 930 を積層する方法（モノリシック積層ともいう。）を用いてもよいし、演算装置 960 と層 930 とをそれぞれ異なる基板上に形成し、2つの基板を貼り合せ、貫通ビア又は導電膜の接合技術（Cu-Cu 接合など）を用いて接続する方法を用いてもよい。前者は貼合わせにおける位置ずれを考慮する必要がないため、チップサイズを小さくできるだけでなく、作製コ

ストを削減することができる。

[0472]

ここで、演算装置960にキャッシュ999を有さず、層930に設けられるメモリアレイ920 L1、メモリアレイ920 L2、及びメモリアレイ920 L3は、それぞれキャッシュとして用いることができる。このとき、例えばメモリアレイ920 L1をL1キャッシュ（レベル1キャッシュともいう。）として用い、メモリアレイ920 L2をL2キャッシュ（レベル2キャッシュともいう。）として用い、メモリアレイ920 L3をL3キャッシュ（レベル3キャッシュともいう。）として用いることができる。3つのメモリアレイのうち、メモリアレイ920 L3が最も容量が大きく、かつ、最もアクセス頻度が低い。また、メモリアレイ920 L1が最も容量が小さく、かつ、最もアクセス頻度が高い。

[0473]

なお、演算装置960に設けられるキャッシュ999をL1キャッシュとして用いる場合は、層930に設けられる各メモリアレイを、それぞれ下位のキャッシュ、又はメインメモリとして用いることができる。メインメモリはキャッシュよりも容量が大きく、アクセス頻度の低いメモリである。

[0474]

また、図18Bに示すように、駆動回路910 L1、駆動回路910 L2、及び駆動回路910 L3が設けられている。駆動回路910 L1は、接続電極940 L1を介してメモリアレイ920 L1と接続されている。同様に駆動回路910 L2は、接続電極940 L2を介してメモリアレイ920 L2と、駆動回路910 L3は、接続電極940 L3を介してメモリアレイ920 L3と接続されている。

[0475]

なお、ここではキャッシュとして機能するメモリアレイを3つとした場合を示したが、1つ又は2つでもよいし、4つ以上であってもよい。

[0476]

メモリアレイ920 L1をキャッシュとして用いる場合、駆動回路910 L1はキャッシュインターフェイス989の一部として機能してもよいし、駆動回路910 L1がキャッシュインターフェイス989と接続される構成としてもよい。同様に、駆動回路910 L2、駆動回路910 L3も、キャッシュインターフェイス989の一部として機能する、又はこれと接続される構成としてもよい。

[0477]

メモリアレイ920をキャッシュとして機能させるか、メインメモリとして機能させるかは、各駆動回路910が有するコントロール回路912によって決定される。コントロール回路912は、演算装置960から供給された信号に基づいて、半導体装置900が有する複数のメモリセル950の一部をRAMとして機能させることができる。

[0478]

半導体装置900は、複数のメモリセル950の一部をキャッシュとして機能させ、他の一部をメインメモリとして機能させることができる。すなわち半導体装置900はキャッシュとしての機能と、メインメモリとしての機能を併せ持つことができる。本発明の一態様に係る半導体装置900は、例えば、ユニバーサルメモリとして機能することができる。

[0479]

また、一つのメモリアレイ920を有する層930を演算装置960に重ねて設けてもよい。図1

9 Aに半導体装置970Bの斜視図を示す。

[0480]

半導体装置970Bでは、一つのメモリアレイ920を複数のエリアに分けて、それぞれ異なる機能で使うことができる。図19Aでは、領域L1をL1キャッシュとして、領域L2をL2キャッシュとして、領域L3をL3キャッシュとして用いる場合の例を示している。

[0481]

また半導体装置970Bでは、領域L1乃至領域L3のそれぞれの容量を状況に応じて変えることができる。例えばL1キャッシュの容量を増やしたい場合には、領域L1の面積を大きくすることにより実現する。このような構成とすることで、演算処理の効率化を図ることができ、処理速度を向上させることができる。

[0482]

また、複数のメモリアレイを積層してもよい。図19Bに半導体装置970Cの斜視図を示している。

[0483]

半導体装置970Cは、メモリアレイ920L1を有する層930L1と、その上にメモリアレイ920L2を有する層930L2と、その上にメモリアレイ920L3を有する層930L3とが積層されている。最も演算装置960に物理的に近いメモリアレイ920L1を上位のキャッシュに用い、最も遠いメモリアレイ920L3を下位のキャッシュ又はメインメモリに用いることができる。このような構成とすることで、各メモリアレイの容量を増大させることができるため、より処理能力を向上させることができる。

[0484]

なお、本実施の形態は、本明細書で示す他の実施の形態と適宜組み合わせることができる。

[0485]

(実施の形態3)

本実施の形態では、本発明の一態様に係る記憶装置の応用例について説明する。

[0486]

一般に、コンピュータなどの半導体装置では、用途に応じて様々な記憶装置が用いられる。図20Aに、半導体装置に用いられる各種の記憶装置を階層ごとに示す。上層に位置する記憶装置ほど速い動作速度が求められ、下層に位置する記憶装置ほど大きな記憶容量と高い記録密度が求められる。図20Aでは、最上層から順に、CPUなどの演算処理装置にレジスタ(register)として混載されるメモリ、L1キャッシュ(L1 cache)、L2キャッシュ(L2 cache)、L3キャッシュ(L3 cache)、メインメモリ(main memory)、ストレージ(storage)等がある。なお、ここではL3キャッシュまで有する例を示したが、さらに下位のキャッシュを有していてもよい。

[0487]

CPUなどの演算処理装置にレジスタとして混載されるメモリは、演算結果の一時保存などに用いられるため、演算処理装置からのアクセス頻度が高い。よって、記憶容量よりも速い動作速度が求められる。また、レジスタは演算処理装置の設定情報などを保持する機能も有する。

[0488]

キャッシュは、メインメモリ(main memory)に保持されているデータの一部を複製し

て保持する機能を有する。使用頻繁が高いデータを複製してキャッシュに保持しておくことで、データへのアクセス速度を高めることができる。キャッシュに求められる記憶容量はメインメモリより少ないが、メインメモリよりも速い動作速度が求められる。また、キャッシュで書き換えられたデータは複製されてメインメモリに供給される。

[0489]

メインメモリは、ストレージ (storage) から読み出されたプログラム、データなどを保持する機能を有する。

[0490]

ストレージは、長期保存が必要なデータ、及び演算処理装置で使用する各種のプログラムなどを保持する機能を有する。よって、ストレージには動作速度よりも大きな記憶容量と高い記録密度が求められる。例えば、3D NANDなどの高容量かつ不揮発性の記憶装置を用いることができる。

[0491]

本発明の一態様に係る酸化物半導体を用いた記憶装置 (OSメモリ (OS memory)) は、動作速度が速く、長期間のデータ保持が可能である。そのため図20Aに示すように、本発明の一態様に係る記憶装置は、キャッシュが位置する階層とメインメモリが位置する階層の双方に好適に用いることができる。また、本発明の一態様に係る記憶装置は、ストレージが位置する階層にも適用することができる。

[0492]

また、図20Bでは、キャッシュの一部にSRAMを、他の一部に本発明の一態様のOSメモリを適用した場合の例を示す。

[0493]

キャッシュのうち、最も下位に位置するものを、LLC (Last Level Cache) と呼ぶことができる。LLCはこれよりも上位のキャッシュよりも速い動作速度は求められないものの、大きな記憶容量を有することが望ましい。本発明の一態様のOSメモリは動作速度が速く、長期間のデータ保持が可能であるため、LLCに好適に用いることができる。なお、本発明の一態様のOSメモリは、FLC (Final Level Cache) にも適用することができる。

[0494]

例えば、図20Bに示すように、上位のキャッシュ (L1キャッシュ、L2キャッシュ等) にSRAMを用い、LLCに本発明の一態様のOSメモリを用いる構成とすることができる。また、図20Bに示すように、メインメモリにはOSメモリだけでなくDRAMを適用することもできる。

[0495]

なお、本実施の形態は、本明細書で示す他の実施の形態と適宜組み合わせることができる。

[0496]

(実施の形態4)

本実施の形態では、上記実施の形態で説明した半導体装置を用いることができる、電子部品、電子機器、大型計算機、宇宙用機器、及びデータセンター (Data Center: DCとも呼称する。) について説明する。本発明の一態様の半導体装置を用いた、電子機器、大型計算機、宇宙用機器、及びデータセンターは、低消費電力化といった高性能化に有効である。

[0497]

[電子機器]

次に、電子機器6500の斜視図を図21Aに示す。図21Aに示す電子機器6500は、スマートフォンとして用いることのできる携帯情報端末機である。電子機器6500は、筐体6501、表示部6502、電源ボタン6503、ボタン6504、スピーカ6505、マイク6506、カメラ6507、光源6508、及び制御装置6509などを有する。なお、制御装置6509としては、例えば、CPU、GPU、及び記憶装置の中から選ばれるいずれか一又は複数を有する。本発明の一態様の半導体装置は、表示部6502、制御装置6509などに適用することができる。

[0498]

図21Bに示す電子機器6600は、ノート型パーソナルコンピュータとして用いることのできる情報端末機である。電子機器6600は、筐体6611、キーボード6612、ポインティングデバイス6613、外部接続ポート6614、表示部6615、制御装置6616などを有する。なお、制御装置6616としては、例えば、CPU、GPU、及び記憶装置の中から選ばれるいずれか一又は複数を有する。本発明の一態様の半導体装置は、表示部6615、制御装置6616などに適用することができる。なお、本発明の一態様の半導体装置を、上述の制御装置6509、及び制御装置6616に用いることで、消費電力を低減させることができるため好適である。

[0499]

[大型計算機]

次に、大型計算機5600の斜視図を図21Cに示す。図21Cに示す大型計算機5600には、ラック5610にラックマウント型の計算機5620が複数格納されている。なお、大型計算機5600を、スーパーコンピュータと呼称してもよい。

[0500]

計算機5620は、例えば、図21Dに示す斜視図の構成とすることができる。図21Dにおいて、計算機5620は、マザーボード5630を有し、マザーボード5630は、複数のスロット5631、複数の接続端子を有する。スロット5631には、PCカード5621が挿入されている。加えて、PCカード5621は、接続端子5623、接続端子5624、接続端子5625を有し、それぞれ、マザーボード5630に接続されている。

[0501]

図21Eに示すPCカード5621は、CPU、GPU、記憶装置などを備えた処理ボードの一例である。PCカード5621は、ボード5622を有する。また、ボード5622は、接続端子5623と、接続端子5624と、接続端子5625と、半導体装置5626と、半導体装置5627と、半導体装置5628と、接続端子5629と、を有する。なお、図21Eには、半導体装置5626、半導体装置5627、及び半導体装置5628以外の半導体装置を図示しているが、それらの半導体装置については、以下に記載する半導体装置5626、半導体装置5627、及び半導体装置5628の説明を参照すればよい。

[0502]

接続端子5629は、マザーボード5630のスロット5631に挿入することができる形状を有しており、接続端子5629は、PCカード5621とマザーボード5630とを接続するためのインターフェースとして機能する。接続端子5629の規格としては、例えば、PCIeなどが挙げられる。

[0503]

接続端子5623、接続端子5624、接続端子5625は、例えば、PCカード5621に対し

て電力供給、信号入力などを行うためのインターフェースとすることができる。また、例えば、PCカード5621によって計算された信号の出力などを行うためのインターフェースとすることができる。接続端子5623、接続端子5624、接続端子5625のそれぞれの規格としては、例えば、USB、SATA (Serial ATA)、SCSI (Small Computer System Interface) などが挙げられる。また、接続端子5623、接続端子5624、接続端子5625から映像信号を出力する場合、それぞれの規格としては、HDMI (登録商標) などが挙げられる。

[0504]

半導体装置5626は、信号の入出力を行う端子 (図示しない。) を有しており、当該端子をボード5622が備えるソケット (図示しない。) に対して差し込むことで、半導体装置5626とボード5622を接続することができる。

[0505]

半導体装置5627は、複数の端子を有しており、当該端子をボード5622が備える配線に対して、例えば、リフロー方式のはんだ付けを行うことで、半導体装置5627とボード5622を接続することができる。半導体装置5627としては、例えば、FPGA、GPU、CPUなどが挙げられる。

[0506]

半導体装置5628は、複数の端子を有しており、当該端子をボード5622が備える配線に対して、例えば、リフロー方式のはんだ付けを行うことで、半導体装置5628とボード5622を接続することができる。半導体装置5628としては、例えば、記憶装置などが挙げられる。

[0507]

大型計算機5600は並列計算機としても機能することができる。大型計算機5600を並列計算機として用いることで、例えば、人工知能の学習、及び推論に必要な大規模の計算を行うことができる。

[0508]

[宇宙用機器]

本発明の一態様の半導体装置は、情報を処理及び記憶する機器などの宇宙用機器に好適に用いることができる。

[0509]

本発明の一態様の半導体装置は、OSトランジスタを含むことができる。当該OSトランジスタは、放射線照射による電気特性の変動が小さい。つまり放射線に対する耐性が高いため、放射線が入射し得る環境において好適に用いることができる。例えば、OSトランジスタは、宇宙空間にて使用する場合に好適に用いることができる。

[0510]

図22には、宇宙用機器の一例として、人工衛星6800を示している。人工衛星6800は、機体6801と、ソーラーパネル6802と、アンテナ6803と、二次電池6805と、制御装置6807と、を有する。なお、図22においては、宇宙空間に惑星6804を例示している。なお、宇宙空間とは、例えば、高度100km以上を指すが、本明細書に記載の宇宙空間は、熱圏、中間圏、及び成層圏を含んでもよい。

[0511]

また、図 2 2 には、図示していないが、二次電池 6 8 0 5 に、バッテリーマネジメントシステム (BMS ともいう。)、又はバッテリー制御回路を設けてもよい。上述のバッテリーマネジメントシステム、又はバッテリー制御回路に、OS トランジスタを用いると、消費電力が低く、かつ、宇宙空間においても高い信頼性を有するため好適である。

[0 5 1 2]

また、宇宙空間は、地上に比べて 1 0 0 倍以上、放射線量の高い環境である。なお、放射線として、例えば、X 線、及びガンマ線に代表される電磁波 (電磁放射線)、並びにアルファ線、ベータ線、中性子線、陽子線、重イオン線、中間子線などに代表される粒子放射線が挙げられる。

[0 5 1 3]

ソーラーパネル 6 8 0 2 に太陽光が照射されることにより、人工衛星 6 8 0 0 が動作するために必要な電力が生成される。しかしながら、例えば、ソーラーパネルに太陽光が照射されない状況、又はソーラーパネルに照射される太陽光の光量が少ない状況では、生成される電力が少なくなる。よって、人工衛星 6 8 0 0 が動作するために必要な電力が生成されない可能性がある。生成される電力が少ない状況下であっても人工衛星 6 8 0 0 を動作させるために、人工衛星 6 8 0 0 に二次電池 6 8 0 5 を設けるとよい。なお、ソーラーパネルは、太陽電池モジュールと呼ばれる場合がある。

[0 5 1 4]

人工衛星 6 8 0 0 は、信号を生成することができる。当該信号は、アンテナ 6 8 0 3 を介して送信され、例えば、地上に設けられた受信機、又は他の人工衛星が当該信号を受信することができる。人工衛星 6 8 0 0 が送信した信号を受信することにより、当該信号を受信した受信機の位置を測定することができる。以上より、人工衛星 6 8 0 0 は、衛星測位システムを構成することができる。

[0 5 1 5]

また、制御装置 6 8 0 7 は、人工衛星 6 8 0 0 を制御する機能を有する。制御装置 6 8 0 7 としては、例えば、CPU、GPU、及び記憶装置の中から選ばれるいずれか一又は複数を用いて構成される。なお、制御装置 6 8 0 7 には、本発明の一態様である半導体装置を用いると好適である。OS トランジスタは、Si トランジスタと比較し、放射線照射による電気特性の変動が小さい。つまり放射線が入射し得る環境においても信頼性が高く、好適に用いることができる。

[0 5 1 6]

また、人工衛星 6 8 0 0 は、センサを有する構成とすることができる。例えば、可視光センサを有する構成とすることにより、人工衛星 6 8 0 0 は、地上に設けられている物体に当たって反射された太陽光を検出する機能を有することができる。又は、熱赤外センサを有する構成とすることにより、人工衛星 6 8 0 0 は、地表から放出される熱赤外線を検出する機能を有することができる。以上より、人工衛星 6 8 0 0 は、例えば、地球観測衛星としての機能を有することができる。

[0 5 1 7]

なお、本実施の形態においては、宇宙用機器の一例として、人工衛星について例示したがこれに限定されない。例えば、本発明の一態様の半導体装置は、宇宙船、宇宙カプセル、宇宙探査機などの宇宙用機器に好適に用いることができる。

[0 5 1 8]

以上の説明の通り、OS トランジスタは、Si トランジスタと比較し、広いメモリバンド幅の実現が可能なこと、放射線耐性が高いこと、といった優れた効果を有する。

[0 5 1 9]

[データセンター]

本発明の一態様の半導体装置は、例えば、データセンターなどに適用されるストレージシステムに好適に用いることができる。データセンターは、データの不変性を保障するなど、データの長期的な管理を行うことが求められる。長期的なデータを管理する場合、膨大なデータを記憶するためのストレージ及びサーバの設置、データを保持するための安定した電源の確保、又はデータの保持に要する冷却設備の確保、など建屋の大型化が必要となる。

[0520]

データセンターに適用されるストレージシステムに本発明の一態様の半導体装置を用いることにより、データの保持に要する電力の低減、データを保持する半導体装置の小型化を図ることができる。そのため、ストレージシステムの小型化、データを保持するための電源の小型化、冷却設備の小規模化、などを図ることができる。そのため、データセンターの省スペース化を図ることができる。

[0521]

また、本発明の一態様の半導体装置は、消費電力が少ないため、回路からの発熱を低減することができる。よって、当該発熱によるその回路自体、周辺回路、及びモジュールへの悪影響を低減することができる。また、本発明の一態様の半導体装置を用いることにより、高温環境下においても動作が安定したデータセンターを実現することができる。よってデータセンターの信頼性を高めることができる。

[0522]

図23にデータセンターに適用可能なストレージシステムを示す。図23に示すストレージシステム6900は、ホスト6901(Host Computerと図示)として複数のサーバ6901sbを有する。また、ストレージ6903(Storageと図示)として複数の記憶装置6903mdを有する。ホスト6901とストレージ6903とは、ストレージエリアネットワーク6904(SAN:Storage Area Networkと図示)及びストレージ制御回路6902(Storage Controllerと図示)を介して接続されている形態を図示している。

[0523]

ホスト6901は、ストレージ6903に記憶されたデータにアクセスするコンピュータに相当する。ホスト6901同士は、ネットワークで互いに接続されていてもよい。

[0524]

ストレージ6903は、フラッシュメモリを用いることで、データのアクセススピード、つまりデータの記憶及び出力に要する時間を短くしているものの、当該時間は、ストレージ内のキャッシュメモリとして用いることのできるDRAMが要する時間に比べて格段に長い。ストレージシステムでは、ストレージ6903のアクセススピードの長さの問題を解決するために、通常ストレージ内にキャッシュメモリを設けてデータの記憶及び出力を短くしている。

[0525]

上述のキャッシュメモリは、ストレージ制御回路6902及びストレージ6903内に用いられる。ホスト6901とストレージ6903との間でやり取りされるデータは、ストレージ制御回路6902及びストレージ6903内の当該キャッシュメモリに記憶されたのち、ホスト6901又はストレージ6903に出力される。

[0526]

上述のキャッシュメモリのデータを記憶するためのトランジスタとして、OSトランジスタを用い

てデータに応じた電位を保持する構成とすることで、リフレッシュする頻度を減らし、消費電力を小さくすることができる。またメモリセルアレイを積層する構成とすることで小型化が可能である。

[0527]

なお、本発明の一態様の半導体装置を、電子部品、電子機器、大型計算機、宇宙用機器、及びデータセンターの中から選ばれるいずれか一又は複数に適用することで、消費電力を低減させる効果が期待される。そのため、半導体装置の高性能化、又は高集積化に伴うエネルギー需要の増加が見込まれる中、本発明の一態様の半導体装置を用いることで、二酸化炭素（CO₂）に代表される、温室効果ガスの排出量を低減させることも可能となる。また、本発明の一態様の半導体装置は、低消費電力であるため地球温暖化対策としても有効である。

[0528]

本実施の形態に示す構成、構造、方法などは、他の実施の形態などに示す構成、構造、方法などと適宜組み合わせて用いることができる。

[符号の説明]

[0529]

160：不純物、190：不純物、200：トランジスタ、210：絶縁体、220a：導電体、220b：導電体、220：導電体、221：絶縁体、222：絶縁体、223：絶縁体、230a：酸化物半導体、230b：酸化物半導体、230c：酸化物半導体、230cd：領域、230na：領域、230nb：領域、230f：酸化物半導体膜、230：酸化物半導体、240a：導電体、240b：導電体、240f：導電膜、240s：導電体、240：導電体、242：導電体、243：導電体、250a：絶縁体、250b：絶縁体、250：絶縁体、260a：導電体、260b：導電体、260：導電体、280a：絶縁体、280b：絶縁体、280c：絶縁体、280：絶縁体、283a：絶縁体、283b：絶縁体、283：絶縁体、290：開口部、300：トランジスタ、900：半導体装置、910L1：駆動回路、910L2：駆動回路、910L3：駆動回路、910：駆動回路、911：周辺回路、912：コントロール回路、915：周辺回路、920L1：メモリアレイ、920L2：メモリアレイ、920L3：メモリアレイ、920：メモリアレイ、923：行ドライバ、924：列ドライバ、925：入力回路、926：出力回路、927：センスアンプ、928：電圧生成回路、930L1：層、930L2：層、930L3：層、930：層、931：PSW、932：PSW、940L1：接続電極、940L2：接続電極、940L3：接続電極、941：行デコーダ、942：列デコーダ、950：メモリセル、951：メモリセル、952：メモリセル、953：メモリセル、954：メモリセル、955：メモリセル、956：メモリセル、957：メモリセル、958：メモリセル、960：演算装置、970A：半導体装置、970B：半導体装置、970C：半導体装置、989：キャッシュインターフェイス、990：基板、991：ALU、992：ALUコントローラ、993：インストラクションデコーダ、994：インタラプトコントローラ、995：タイミングコントローラ、996：レジスタ、997：レジスタコントローラ、998：バスインターフェイス、999：キャッシュ、5600：大型計算機、5610：ラック、5620：計算機、5621：PCカード、5622：ボード、5623：接続端子、5624：接続端子、5625：接続端子、5626：半導体装置、5627：半導体装置、5628：半導体装置、5629：接続端子、5630：マザーボード、5631：スロット、6500：電子機器、6501：筐体、6502：表示部、6503：電源ボタン、6504：ボタン、6505：スピーカ、6506：マイク、6507：カメラ、6508：光源、6509：制御装置、66

00 : 電子機器、6611 : 筐体、6612 : キーボード、6613 : ポインティングデバイス、6614 : 外部接続ポート、6615 : 表示部、6616 : 制御装置、6800 : 人工衛星、6801 : 機体、6802 : ソーラーパネル、6803 : アンテナ、6804 : 惑星、6805 : 二次電池、6807 : 制御装置、6900 : ストレージシステム、6901sb : サーバ、6901 : ホスト、6902 : ストレージ制御回路、6903md : 記憶装置、6903 : ストレージ

請求の範囲

[請求項 1]

トランジスタと、絶縁体と、を有し、
前記トランジスタは、第 1 の電極、第 2 の電極、酸化物半導体、ゲート絶縁体、及びゲート電極を有し、
前記第 1 の電極は、ソース電極又はドレイン電極の一方としての機能を有し、
前記第 2 の電極は、前記ソース電極又は前記ドレイン電極の他方としての機能を有し、
前記第 1 の電極と、前記第 2 の電極と、はそれぞれ異なる高さに設けられ、
前記絶縁体は、前記第 1 の電極上に設けられ、
前記第 2 の電極は、前記絶縁体上に設けられ、
前記絶縁体、及び、前記第 2 の電極には、前記第 1 の電極に達する開口部が設けられ、
前記酸化物半導体は、前記開口部における前記第 1 の電極の上面、前記開口部における前記絶縁体の側面、並びに、前記開口部における前記第 2 の電極の側面に接して設けられ、
前記ゲート絶縁体は、前記酸化物半導体上に設けられ、
前記ゲート電極は、前記開口部を埋め込むように、前記ゲート絶縁体上に設けられ、
前記酸化物半導体は、前記第 1 の電極と接する第 1 の領域と、前記絶縁体と接する第 2 の領域と、前記第 2 の電極と接する第 3 の領域と、を有し、
前記第 1 の領域、及び、前記第 3 の領域は、前記第 2 の領域よりも低抵抗であり、
前記第 2 の領域は、ハロゲン元素を有し、
前記トランジスタは、しきい値電圧が 0 V より大きい、
半導体装置。

[請求項 2]

請求項 1 において、
前記ハロゲン元素は、塩素、フッ素、臭素、ヨウ素の中から選ばれるいずれか一又は複数である、
半導体装置。

[請求項 3]

請求項 1 又は請求項 2 において、
前記ハロゲン元素は、塩素又はフッ素である、
半導体装置。

[請求項 4]

請求項 1 において、
前記第 1 の領域、及び、前記第 3 の領域は、前記第 2 の領域よりも、水素、ホウ素、炭素、窒素、リン、硫黄、ヒ素、アルミニウム、マグネシウム、シリコン、及び貴ガスの一又は複数の濃度が高い、
半導体装置。

[請求項 5]

請求項 1 又は請求項 2 において、
前記絶縁体は、シリコンと、酸素と、を有する、
半導体装置。

[請求項 6]

第 1 の導電体を形成し、

前記第1の導電体上に、第1の絶縁体を形成し、
前記第1の絶縁体上に、第1の導電膜を形成し、
前記第1の導電膜、及び、前記第1の絶縁体を加工して、第2の導電体、及び、前記第1の導電体に達する開口部を形成し、

前記開口部における前記第1の導電体の上面、前記開口部における前記第1の絶縁体の側面、及び、前記開口部における前記第2の導電体の側面に接して、酸化物半導体膜を形成し、

前記酸化物半導体膜のうち、前記開口部における前記第1の絶縁体の側面に接する第1の領域に対して、塩素又はフッ素を供給する処理を行う、

半導体装置の作製方法。

[請求項7]

請求項6において、

前記塩素又はフッ素を供給する処理は、作製中の半導体装置を、基板面内の一点を支点として15度以上80度以下の角度で傾けた状態で、イオン注入法を用いて行う、

半導体装置の作製方法。

[請求項8]

請求項6又は請求項7において、

前記塩素又はフッ素を供給する処理の後に、250℃以上650℃以下の加熱処理を行う、

半導体装置の作製方法。

[請求項9]

請求項6又は請求項7において、

前記塩素又はフッ素を供給する処理の後に、前記酸化物半導体膜を加工して、酸化物半導体を形成し、

前記第2の導電体を加工して、第3の導電体を形成し、

前記酸化物半導体上に、第2の絶縁体を形成し、

前記第2の絶縁体を介して、前記酸化物半導体のうち、前記開口部における前記第1の導電体に接する第2の領域、及び、前記開口部の外側において前記第3の導電体に接する第3の領域に対して、水素、ホウ素、炭素、窒素、フッ素、リン、硫黄、ヒ素、アルミニウム、マグネシウム、シリコン、及び貴ガスの一又は複数を供給する処理を行う、

半導体装置の作製方法。

图1A

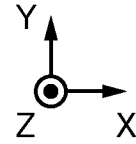
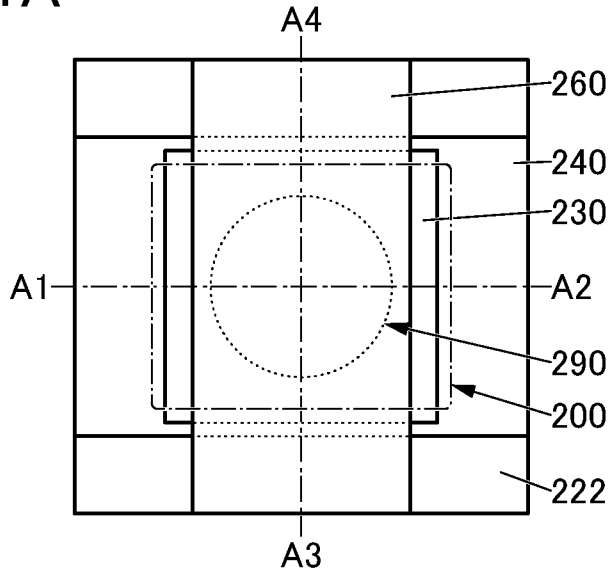


图1B

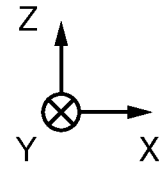
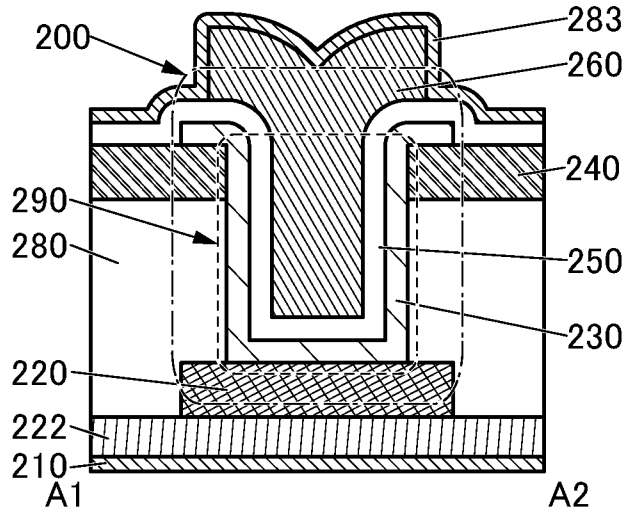


图1C

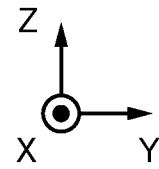
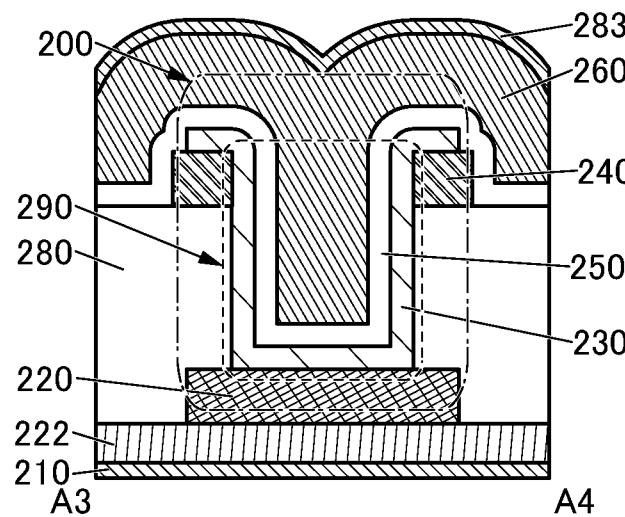


図2A

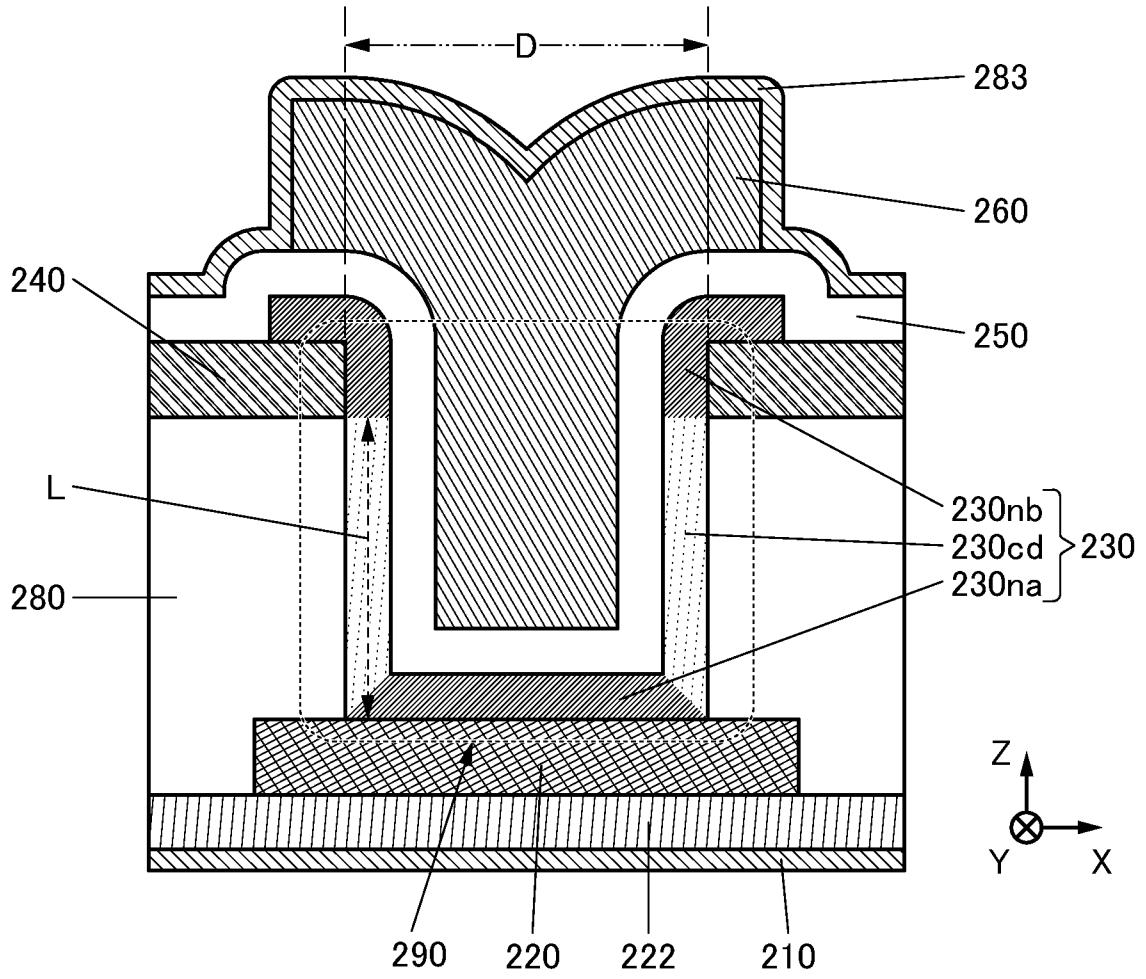


図2B

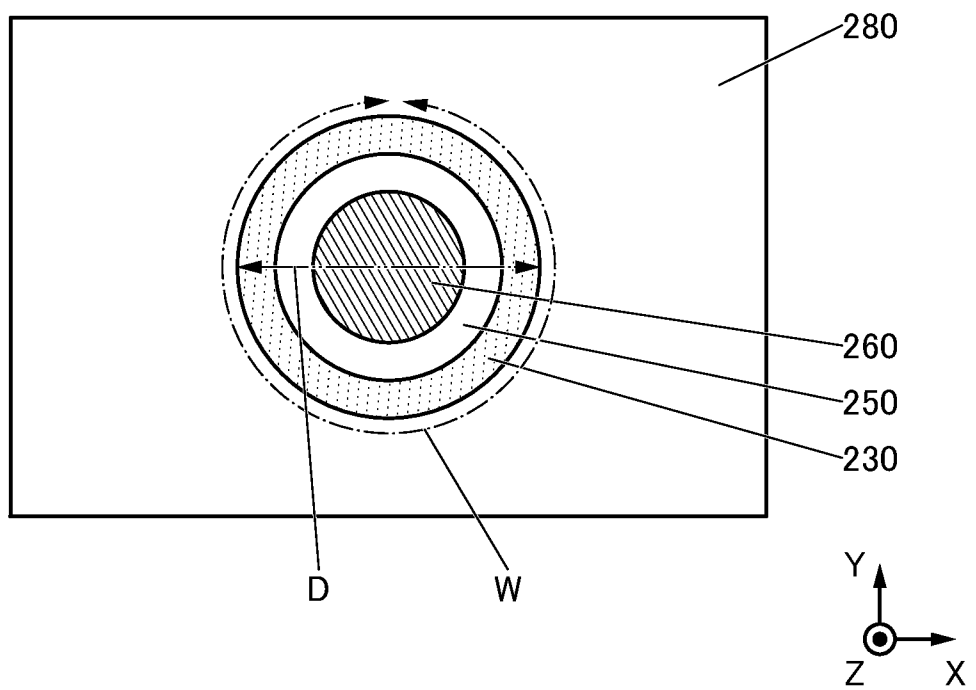


図3A

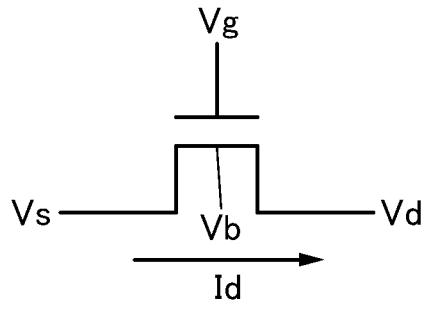


図3B

$V_b = V_s$

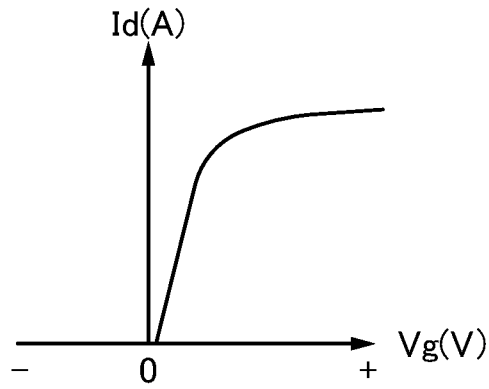


図3C

$V_b < V_s$

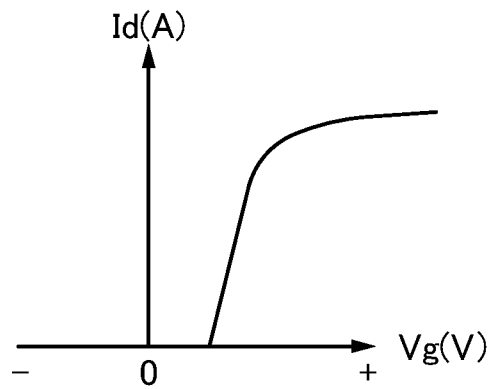


図4A

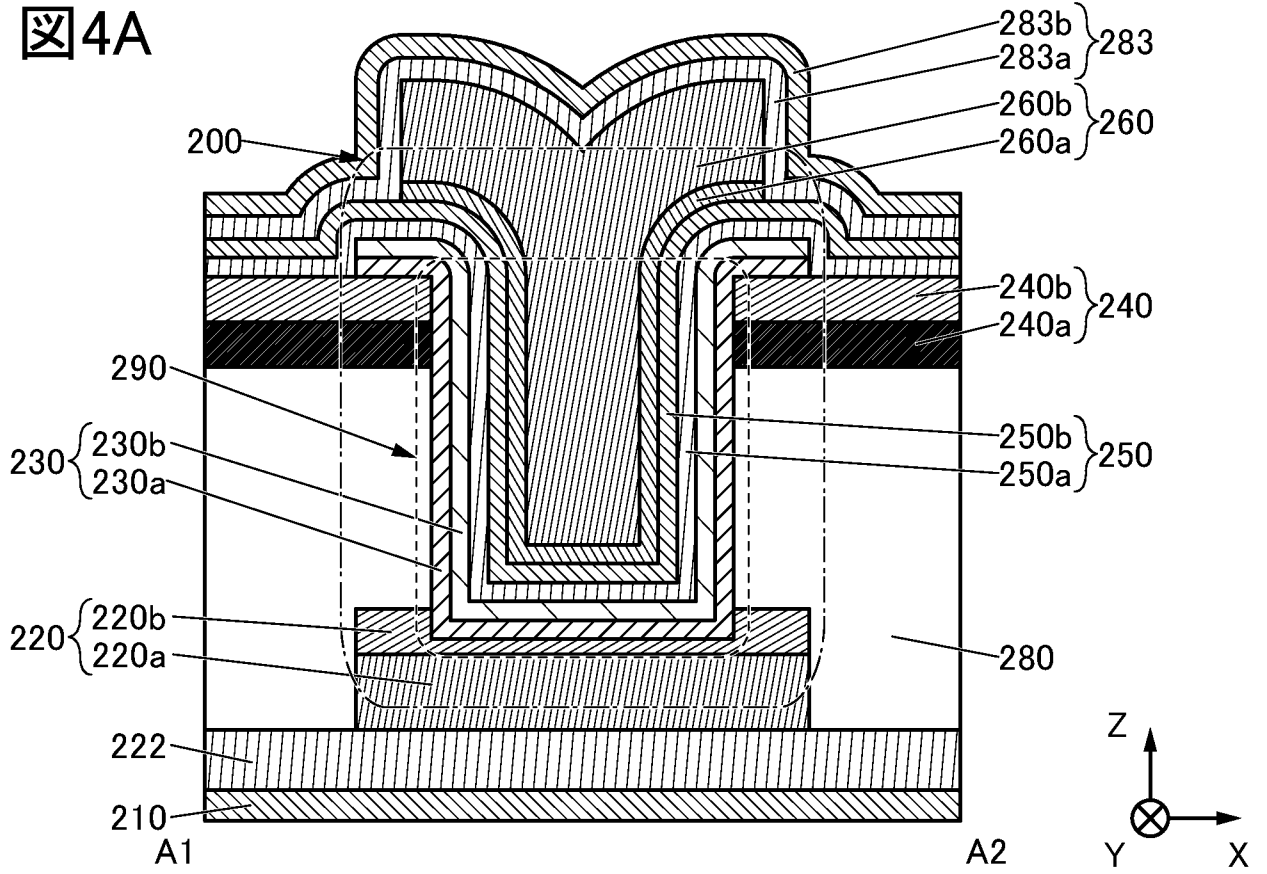


図4B

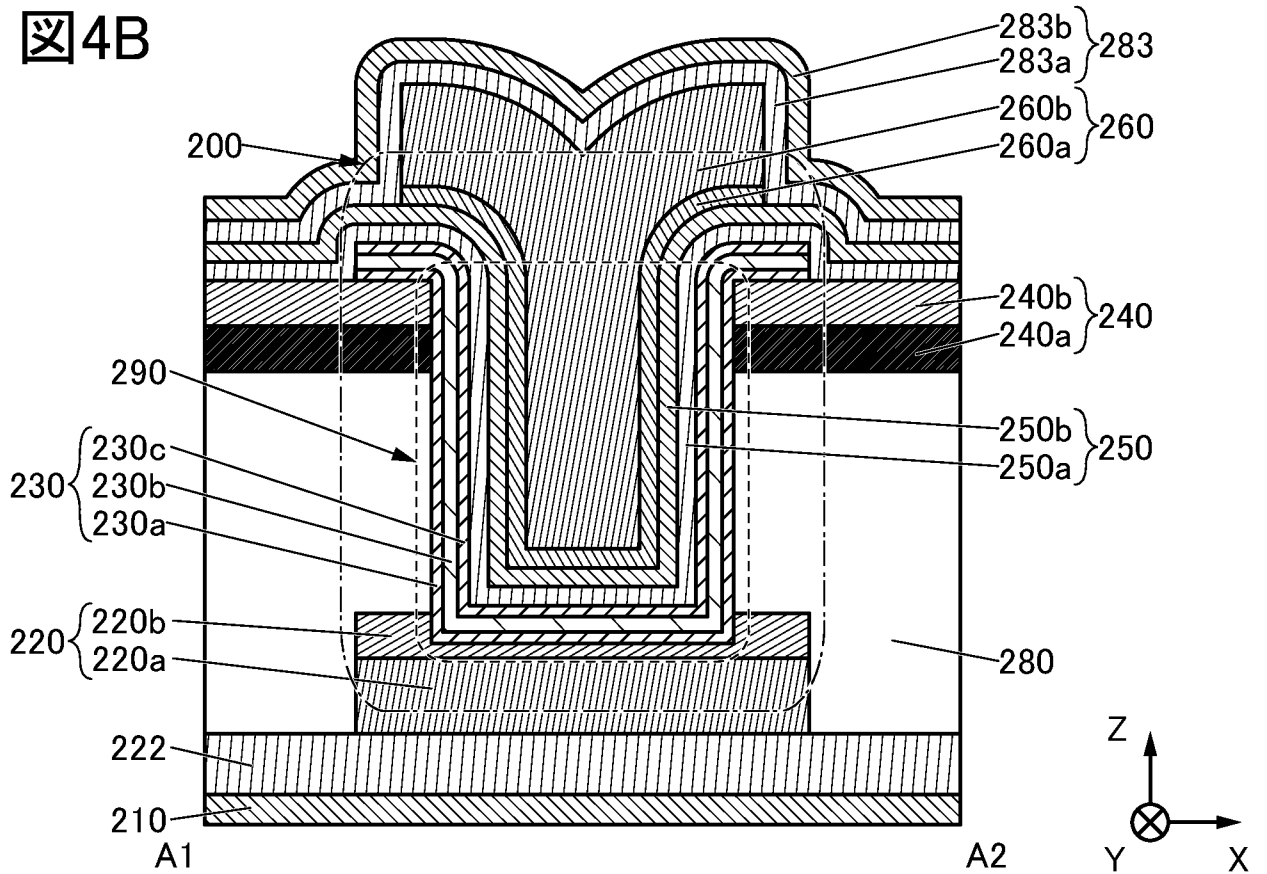


図5A

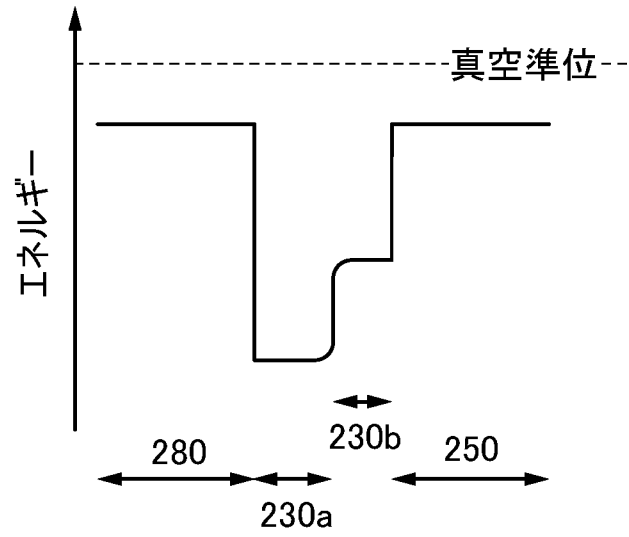


図5B

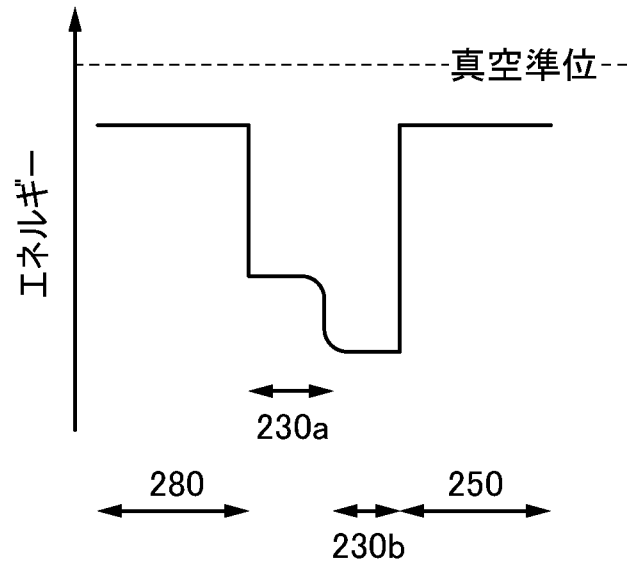


図5C

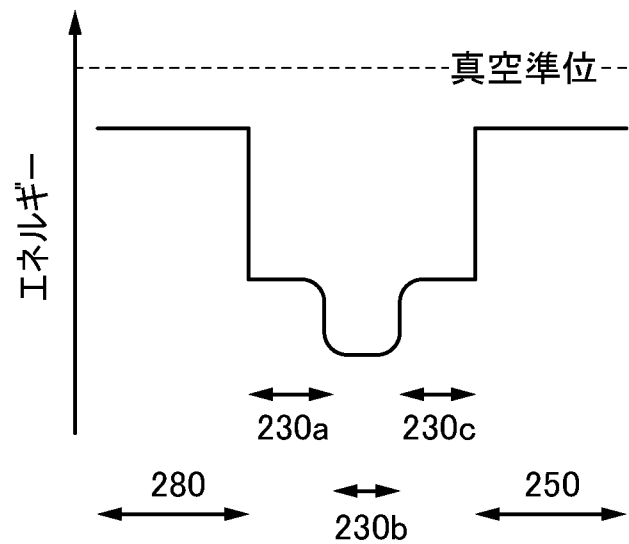


図6A

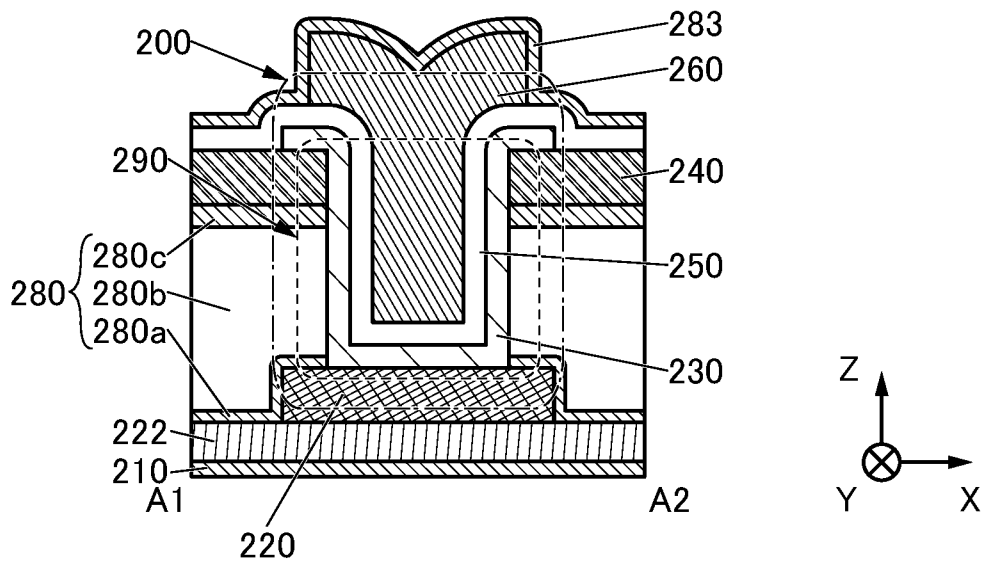


図6B

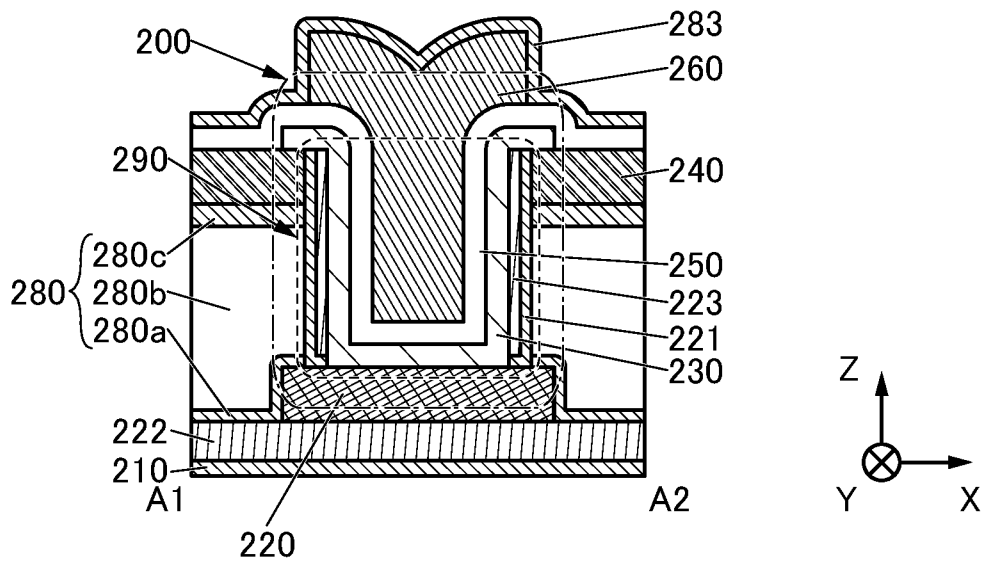


图 7A

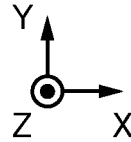
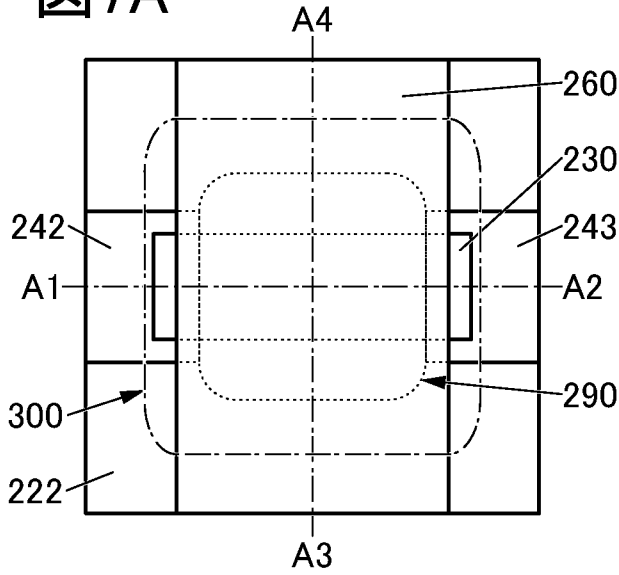


图 7B

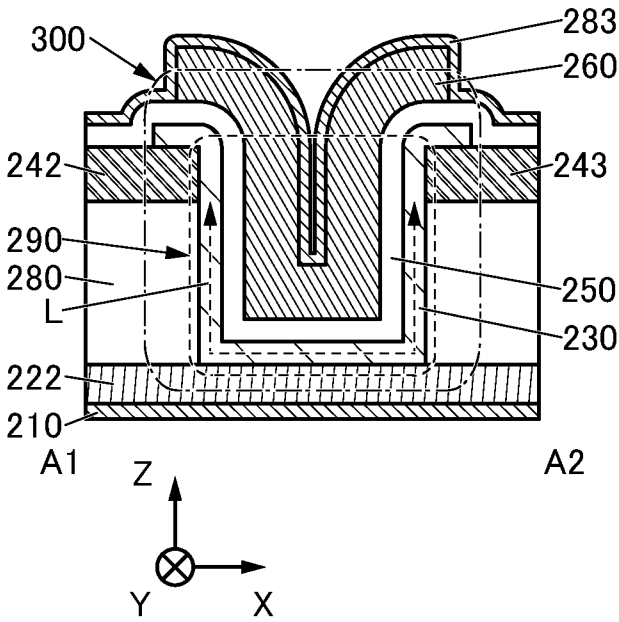


图 7C

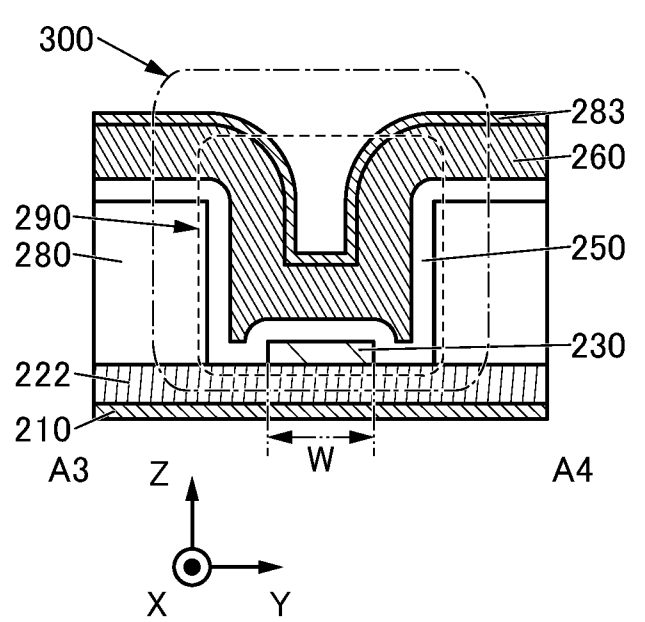


图 7D

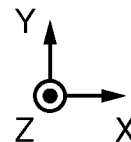
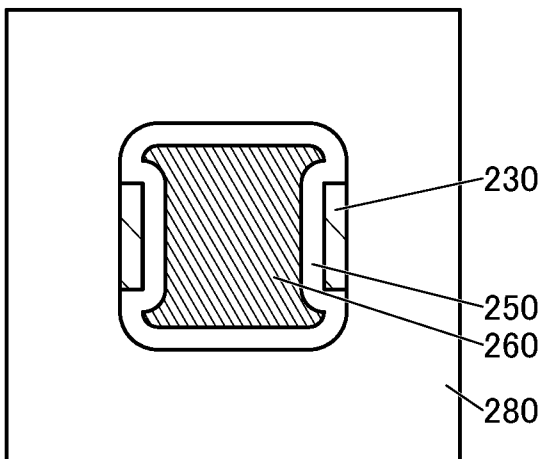


图8A

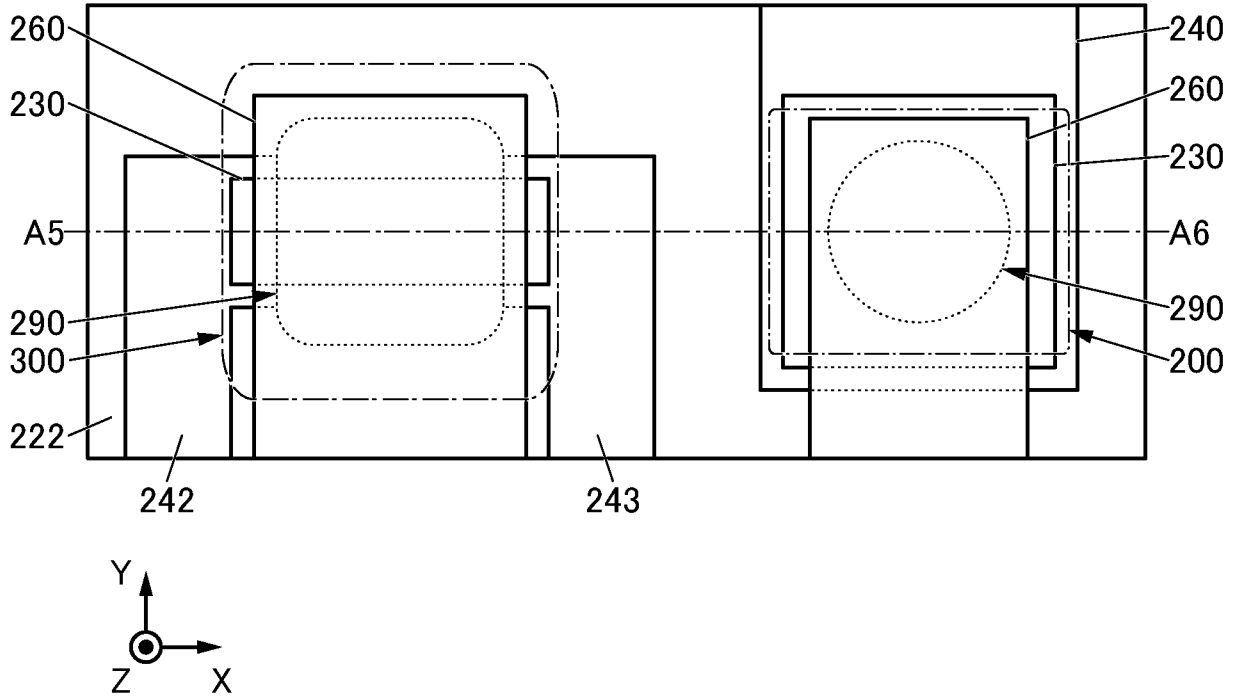


图8B

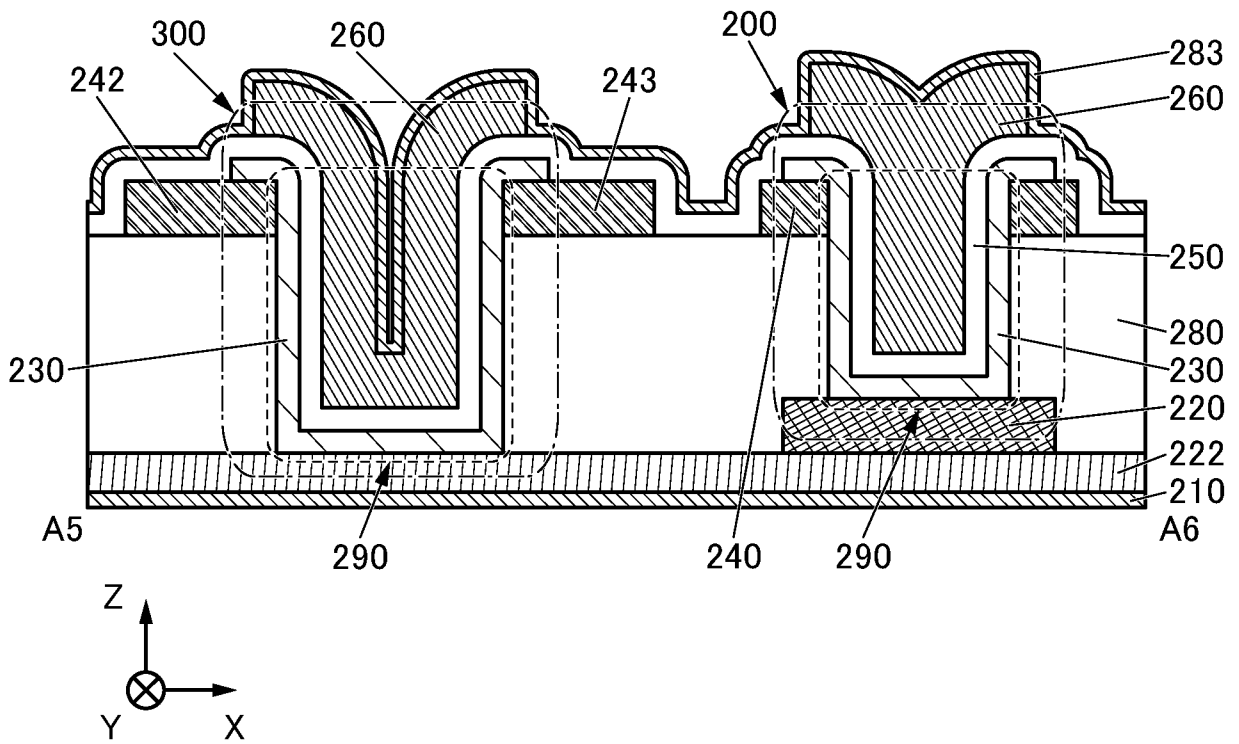


図9A

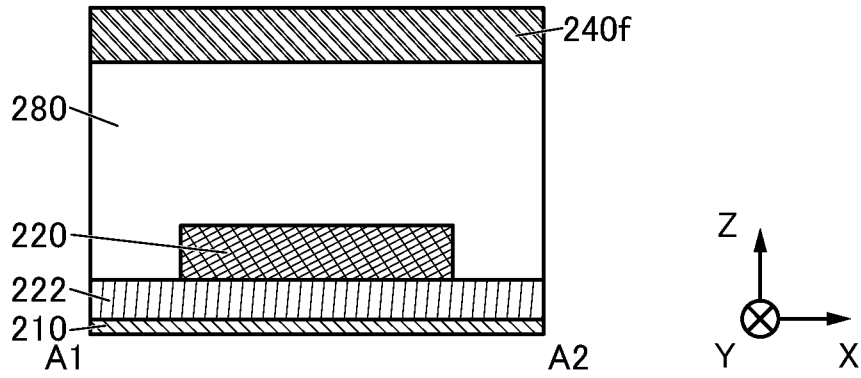


図9B

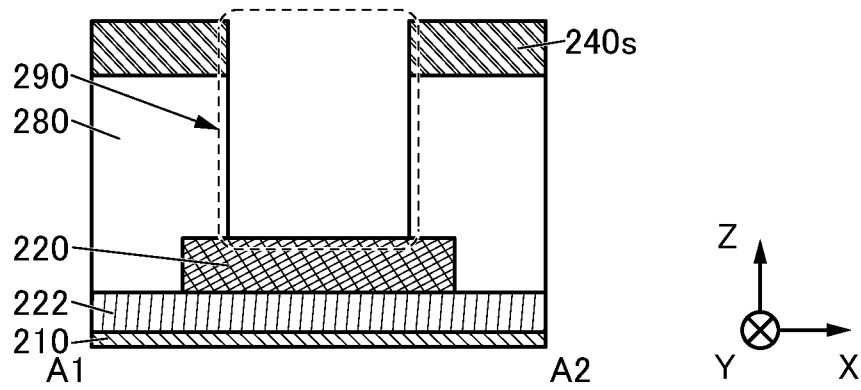


図9C

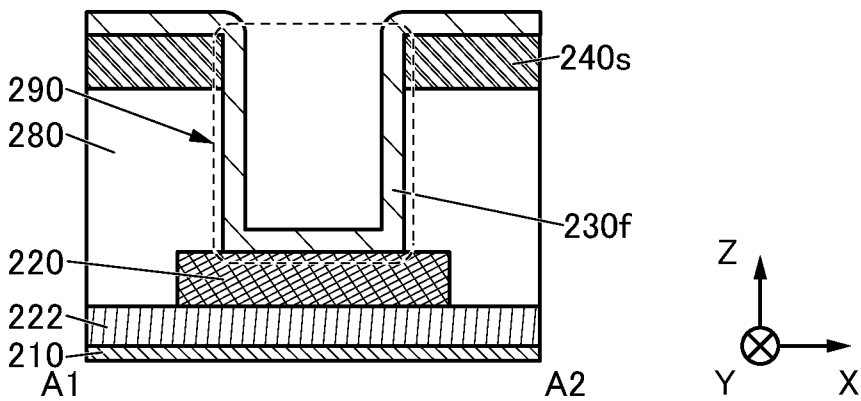


图11A

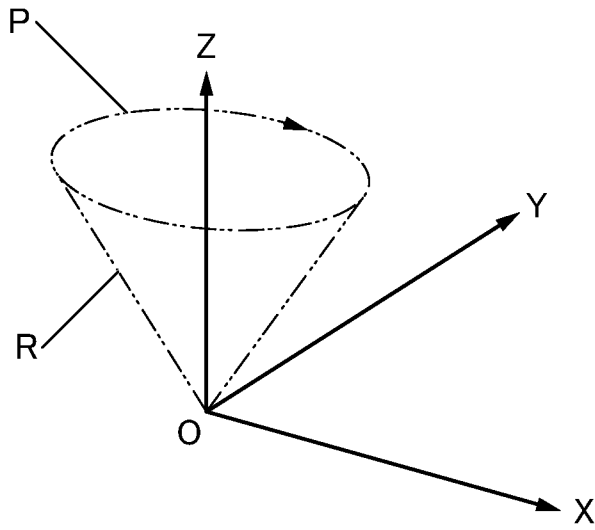


图11B

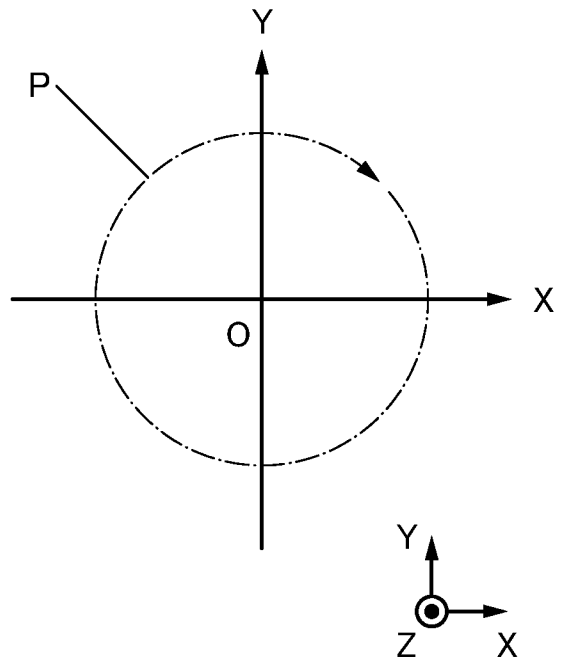


图11C

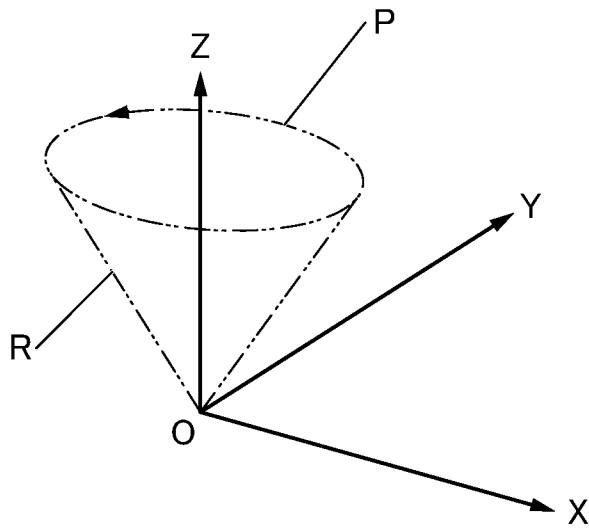


图11D

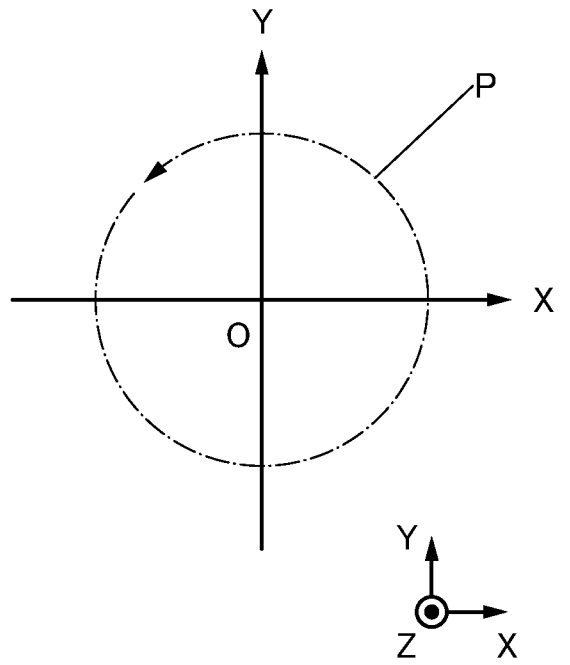


図12A

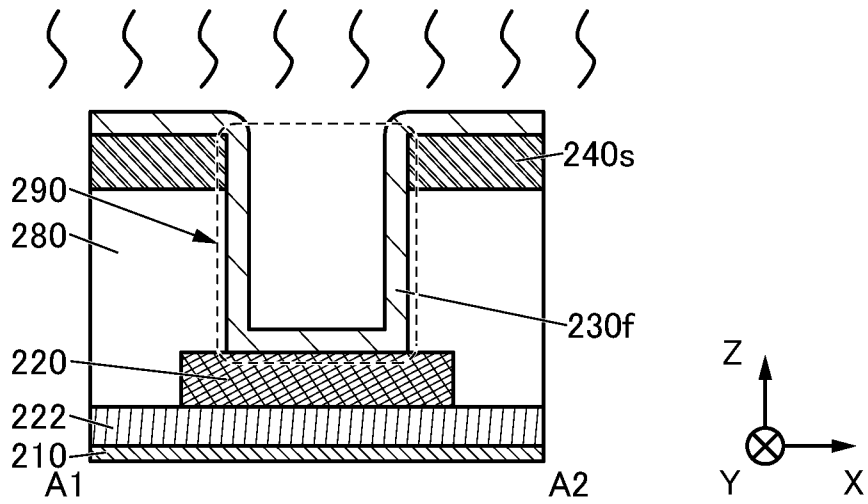


図12B

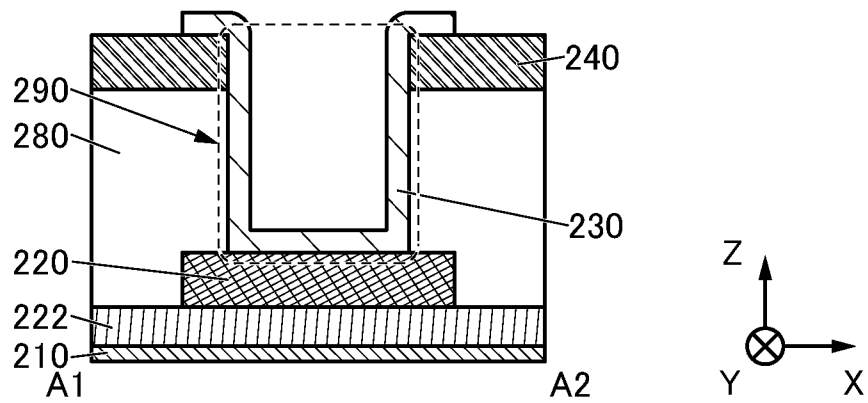


図12C

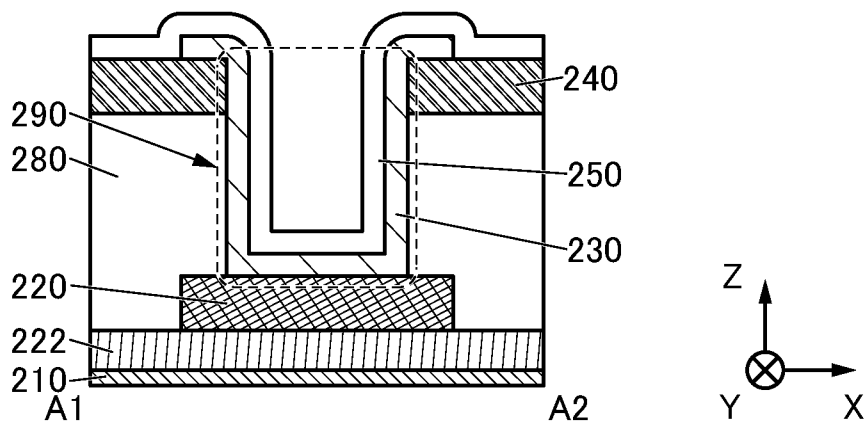


図13A

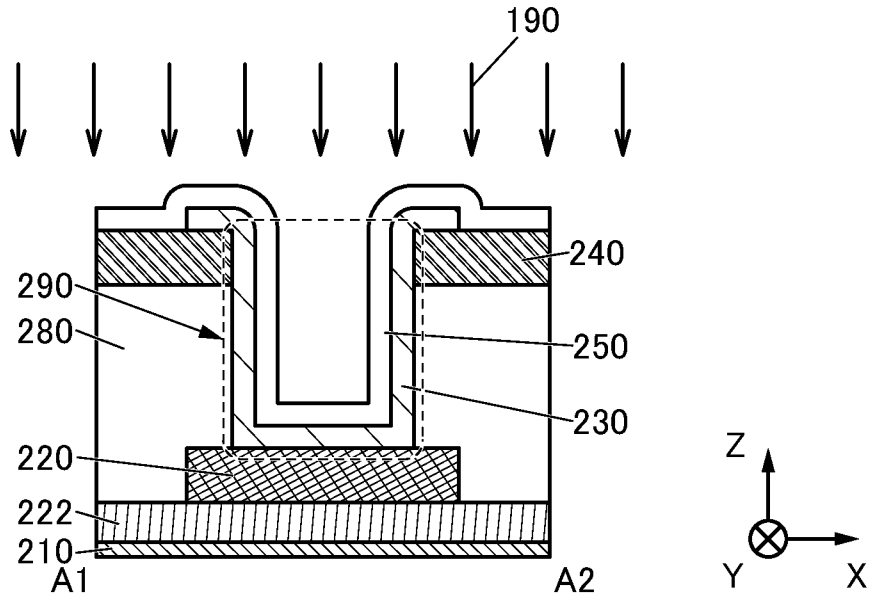
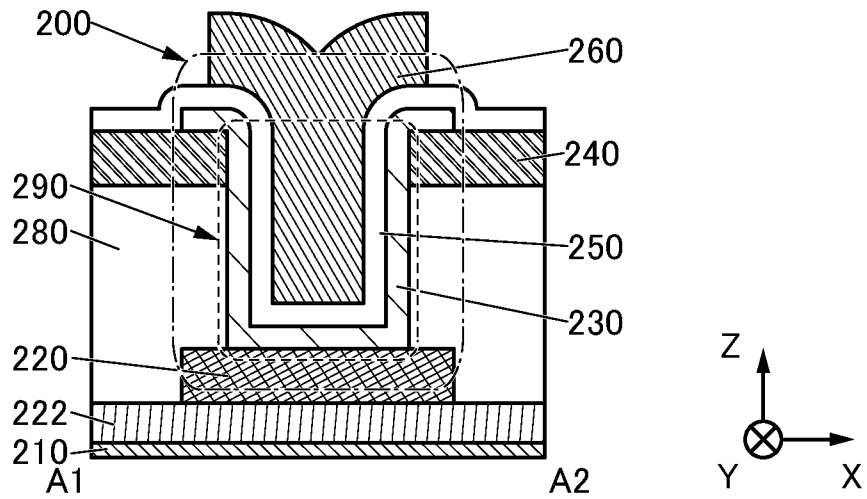
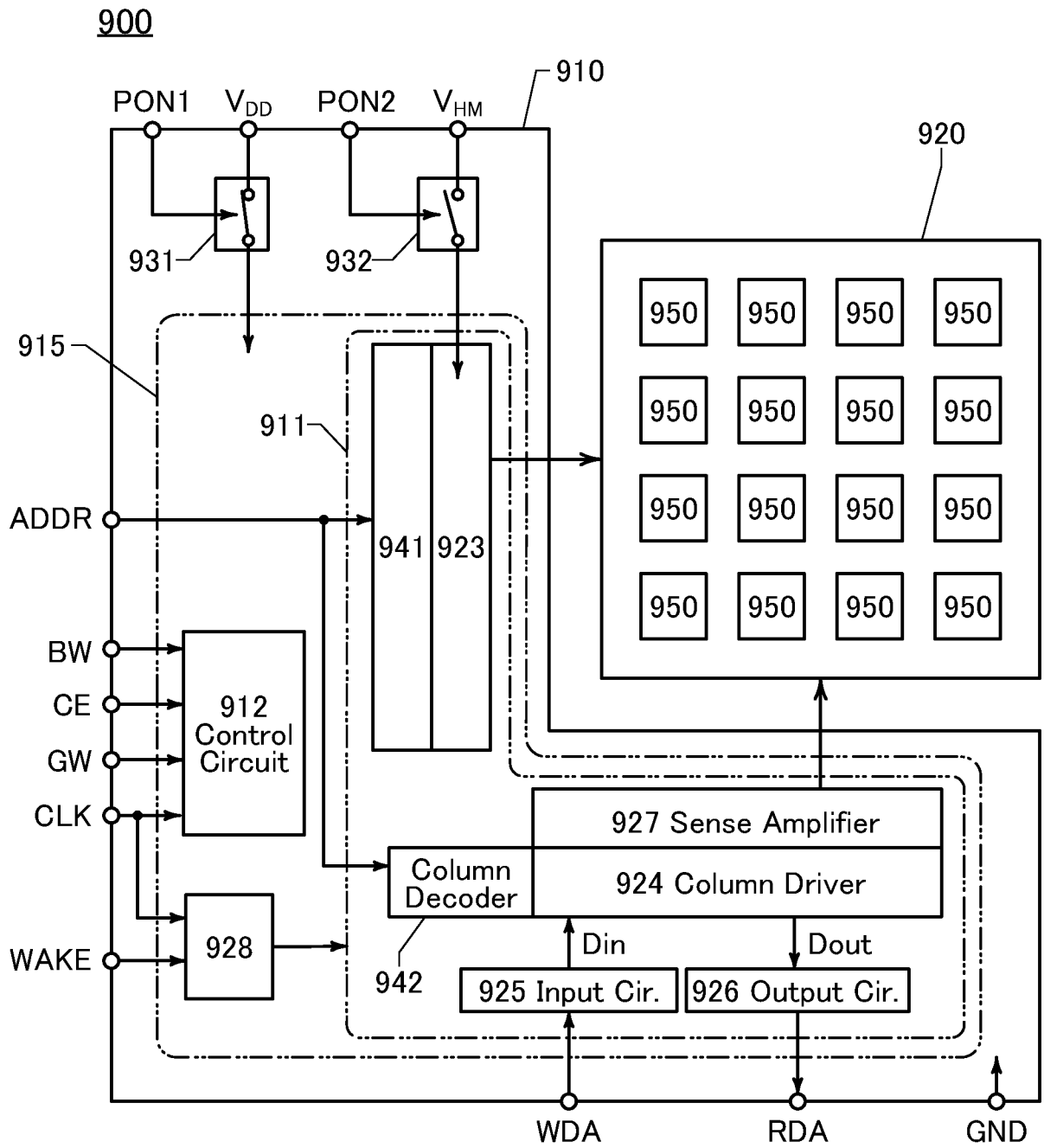


図13B





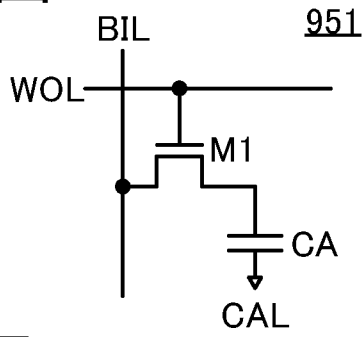


FIG 15C

953

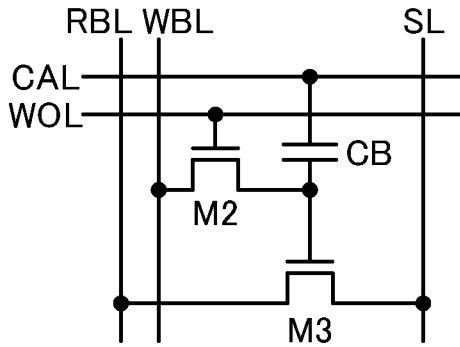


FIG 15D

954

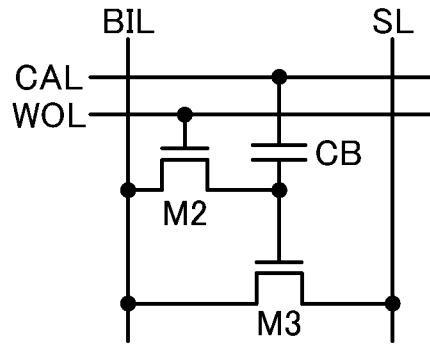


FIG 15E

955

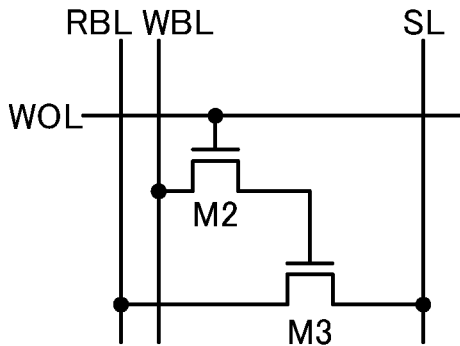


FIG 15F

956

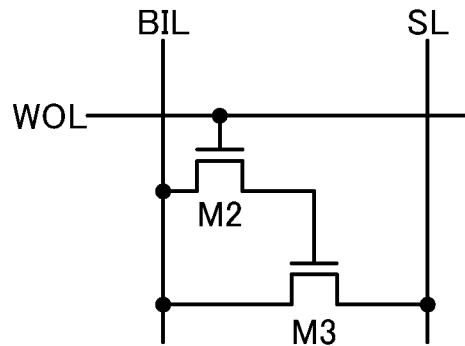


FIG 15G

957

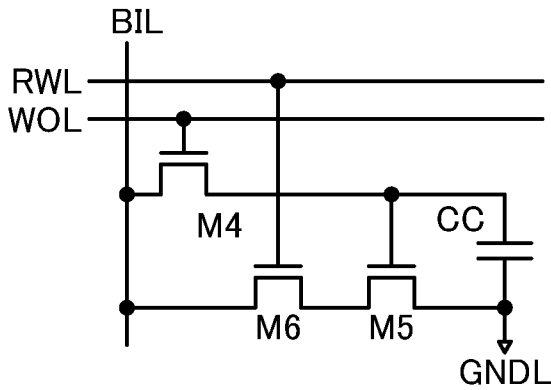


FIG 15H

958

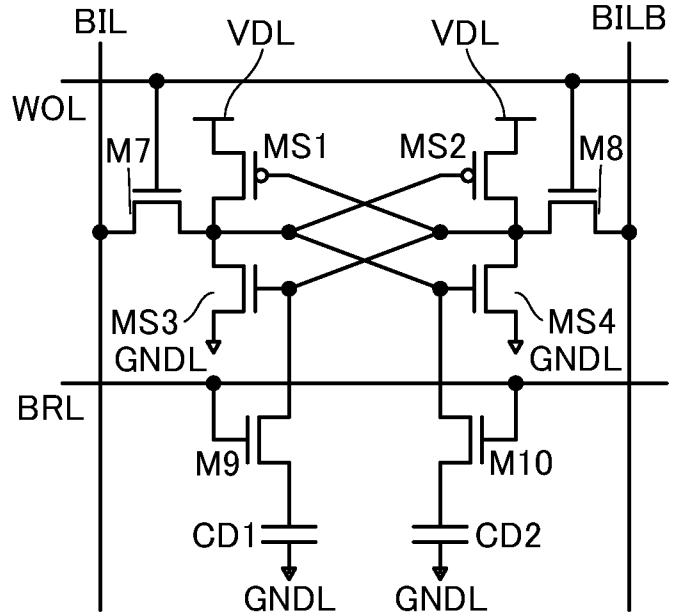


図16A

900

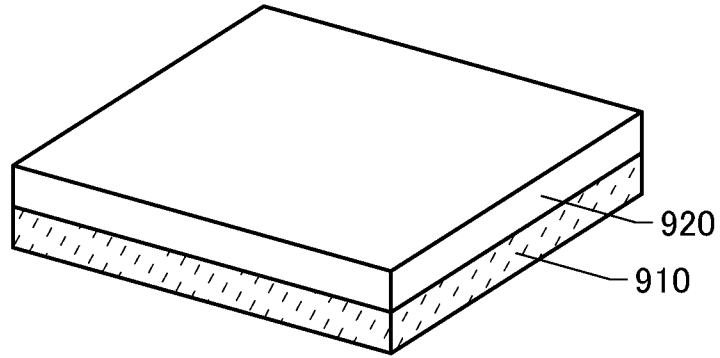
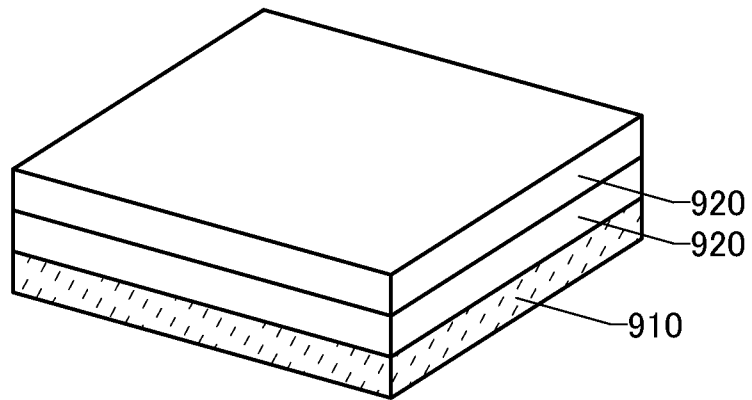


図16B

900



960

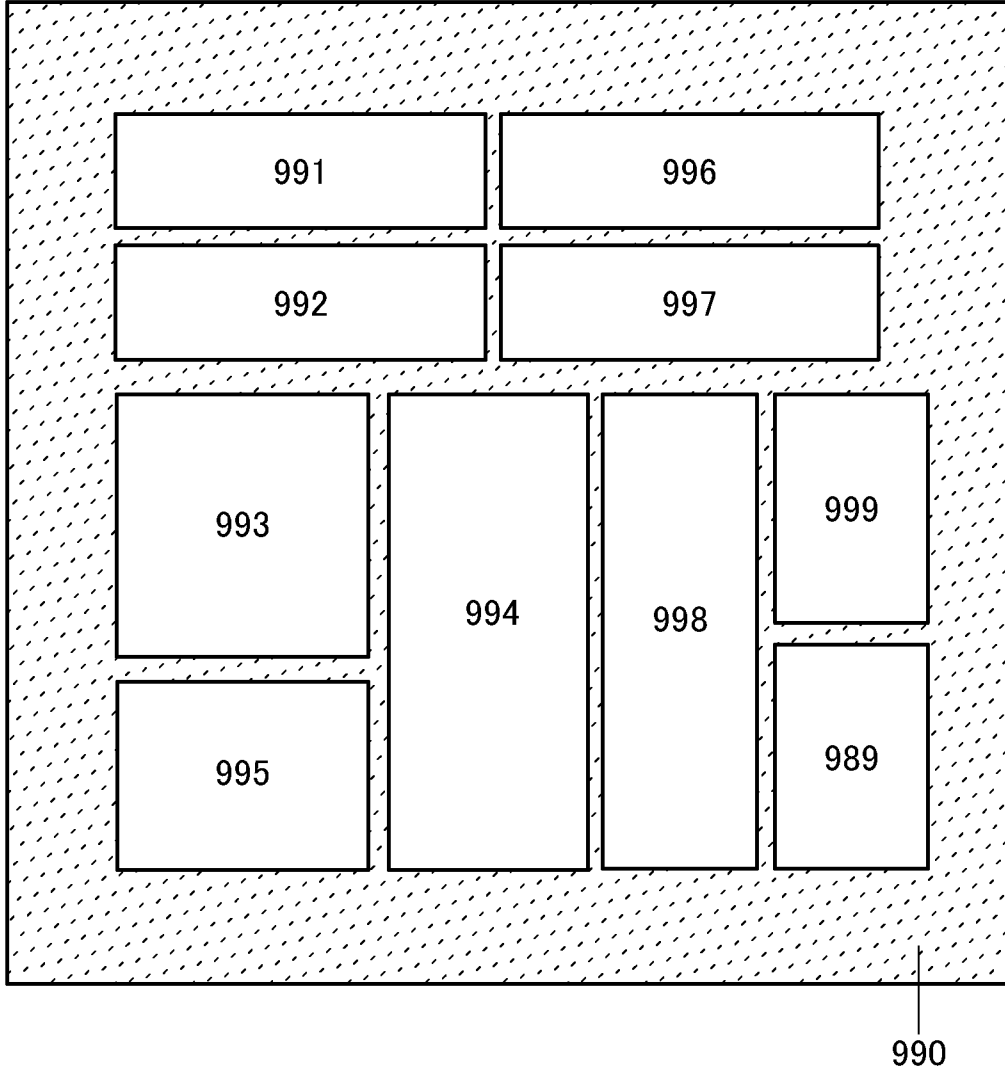


図18A

970A

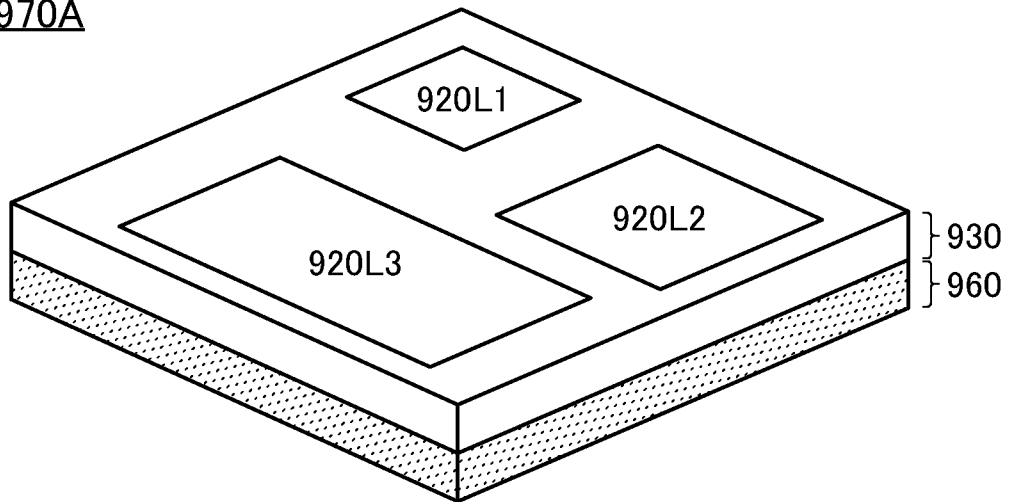


図18B

970A

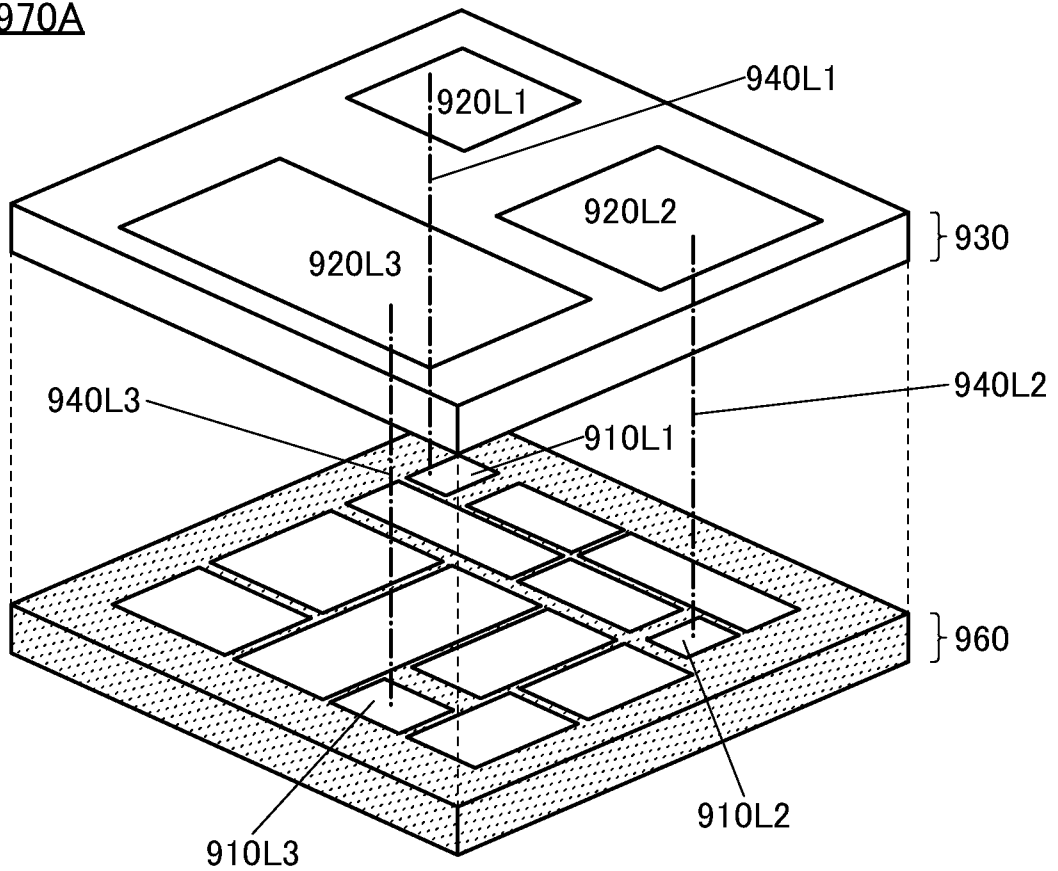


図19A

970B

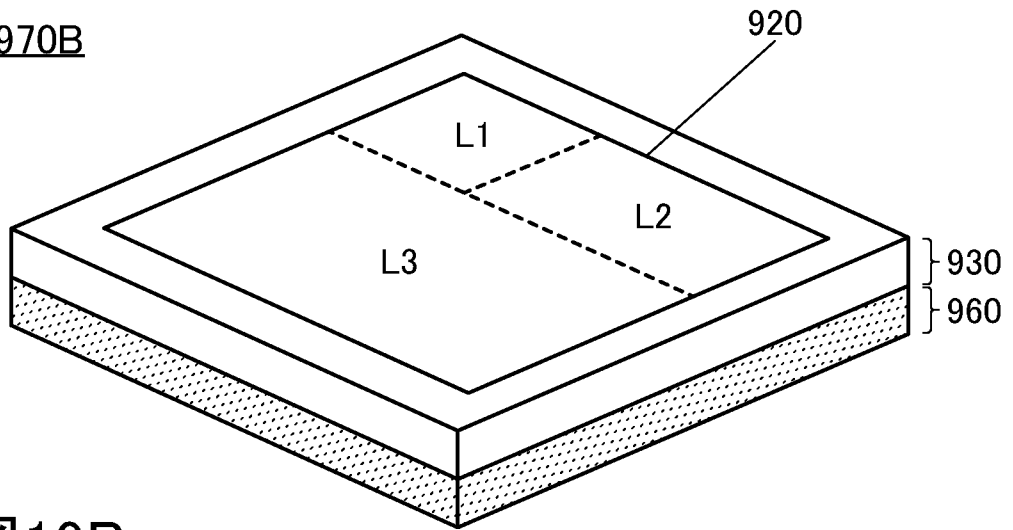


図19B

970C

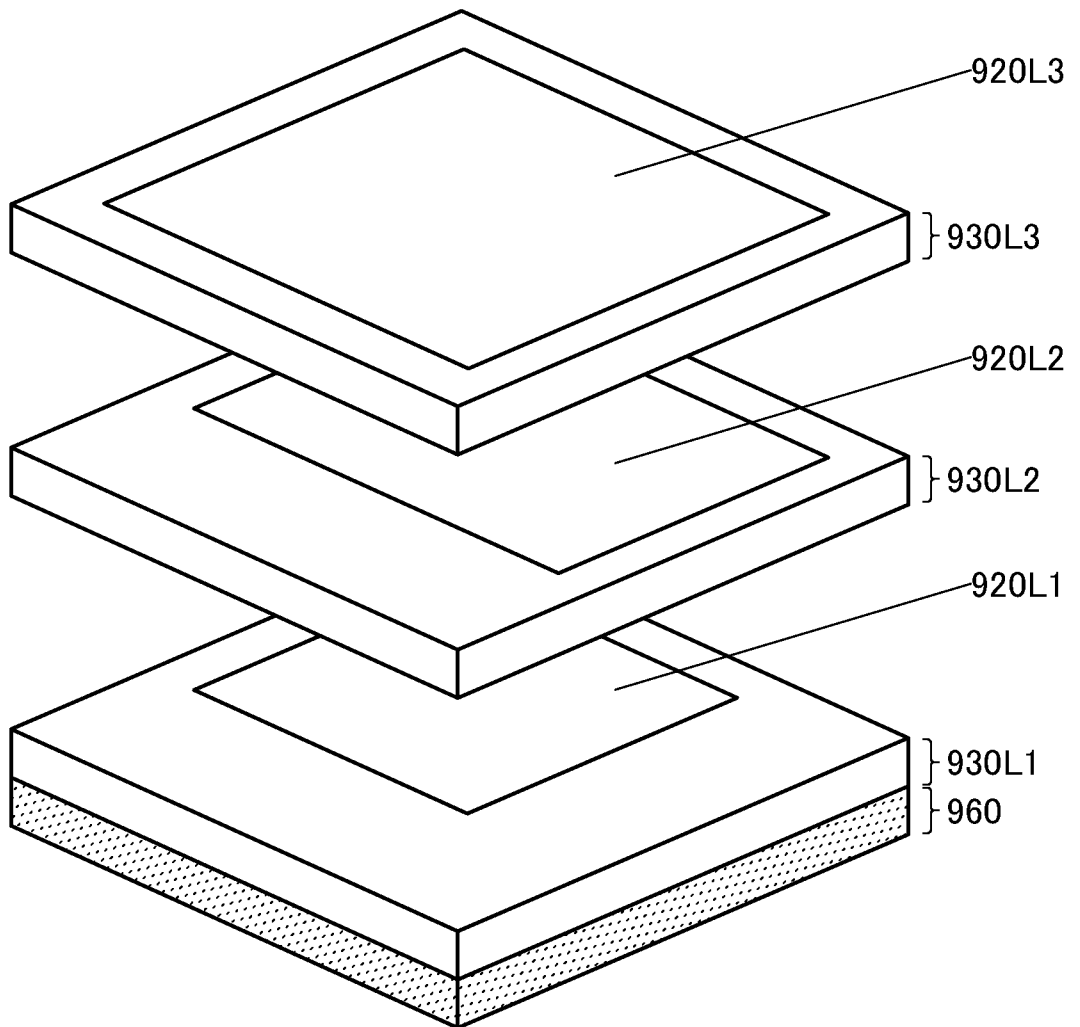


図 20A

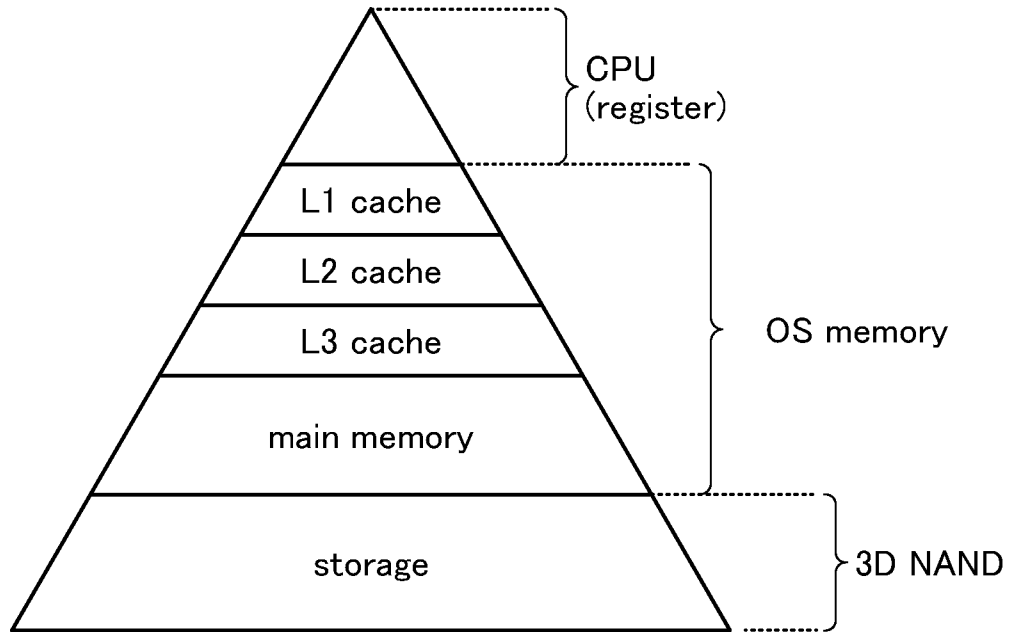


図 20B

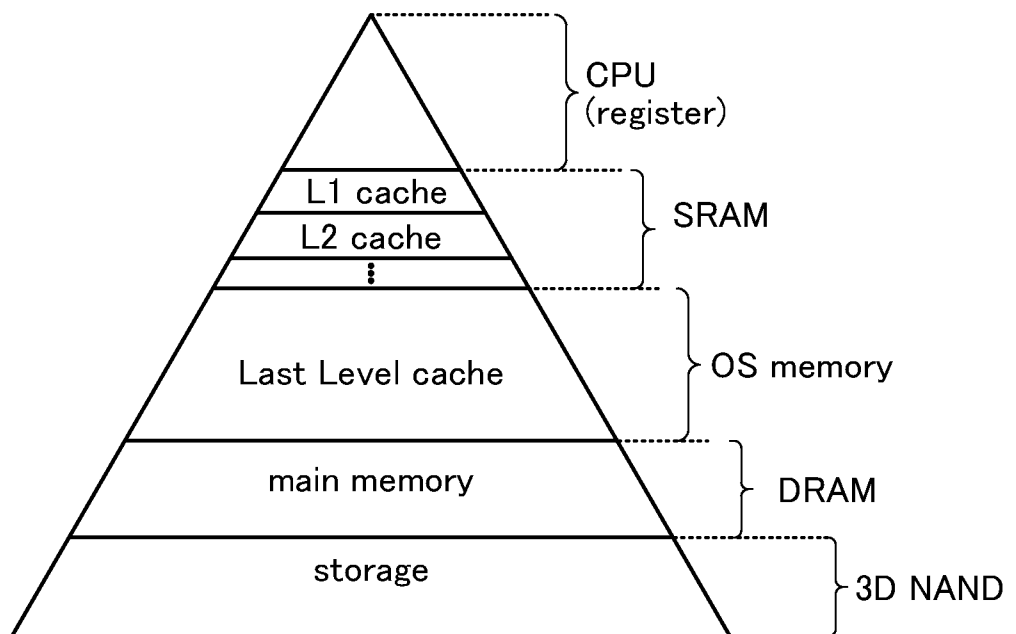


図21A

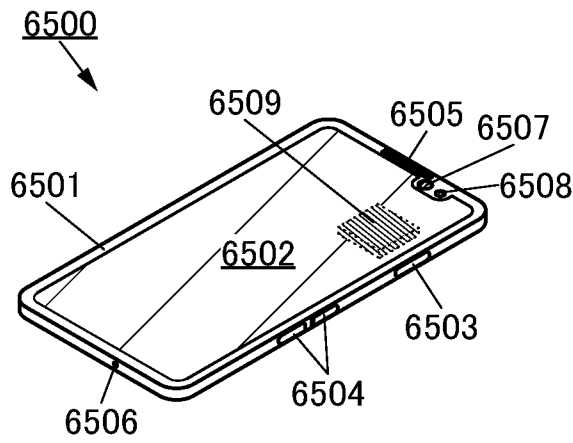


図21B

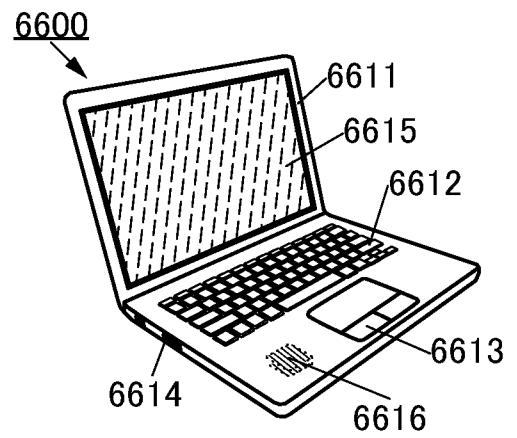


図21C

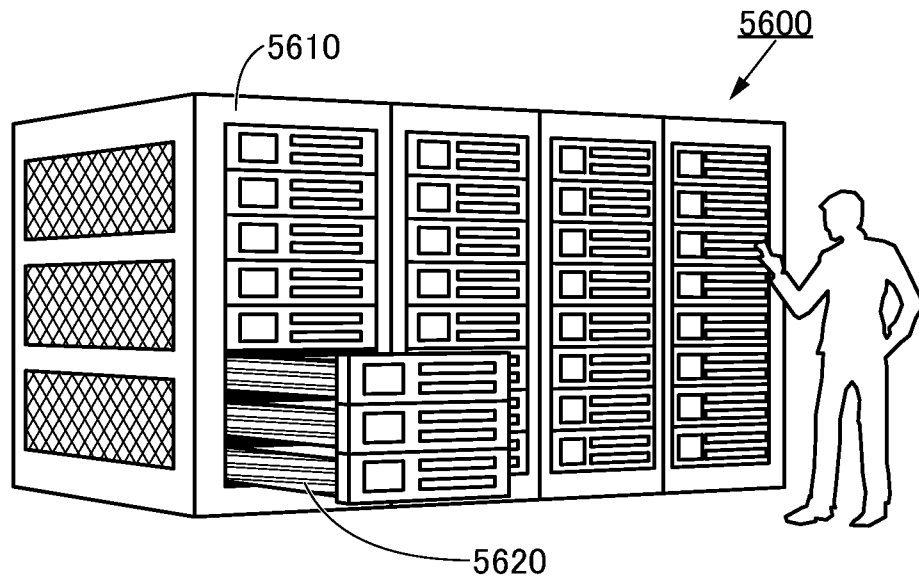


図21D

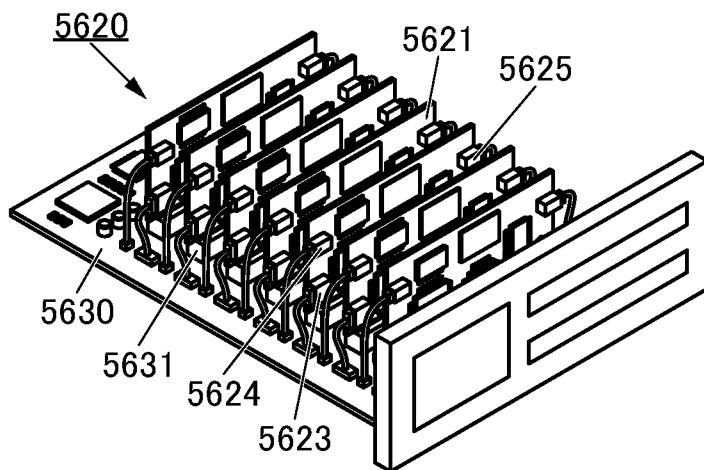
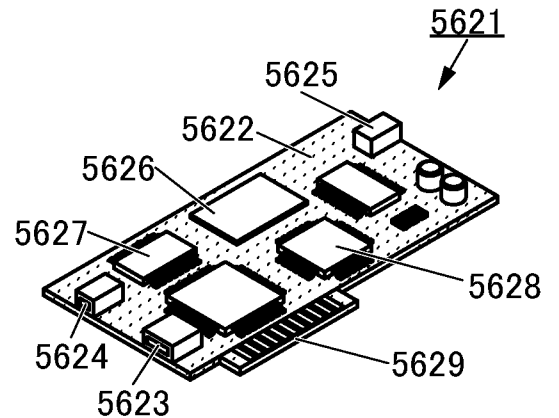
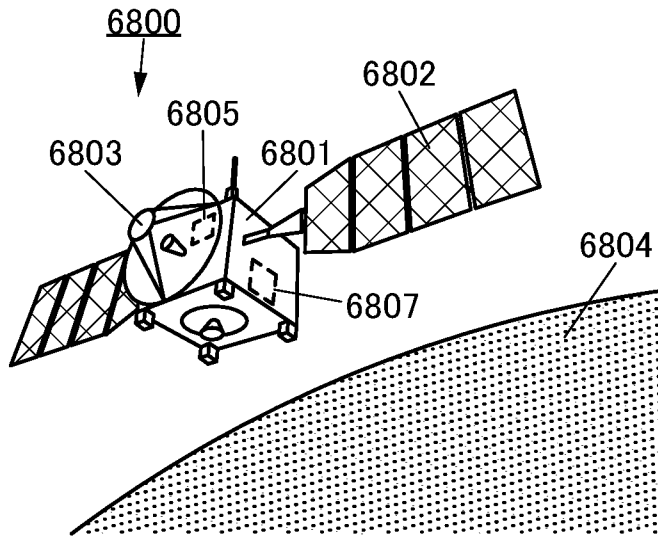
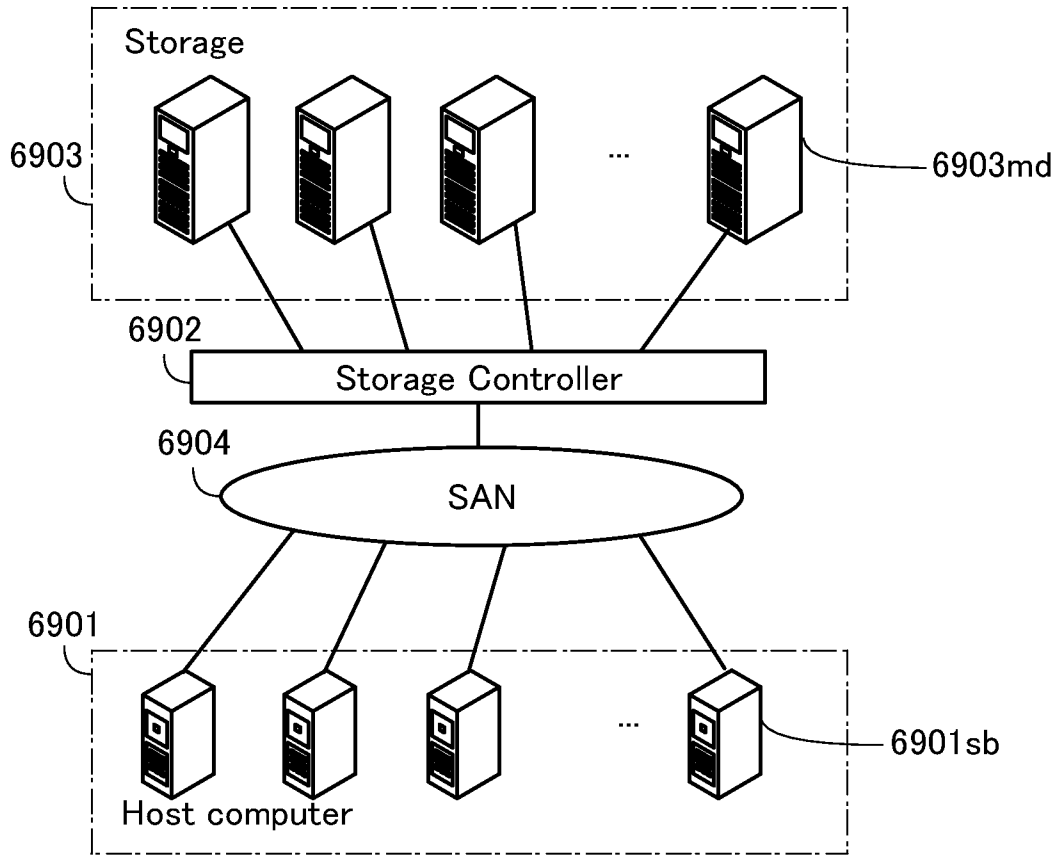


図21E





6900



INTERNATIONAL SEARCH REPORT

International application No.

PCT/IB2024/053141

A. CLASSIFICATION OF SUBJECT MATTER		
<i>H01L 29/786</i> (2006.01)i; <i>H01L 21/336</i> (2006.01)i; <i>H10B 10/00</i> (2023.01)i; <i>H10B 12/00</i> (2023.01)i; <i>H10B 41/70</i> (2023.01)i FI: H01L29/78 618F; H01L29/78 618B; H01L29/78 618C; H01L29/78 616V; H01L29/78 626C; H01L29/78 626A; H01L29/78 627F; H10B12/00 801; H10B12/00 671Z; H10B41/70; H10B12/00 671B; H10B12/00 671C; H10B10/00		
According to International Patent Classification (IPC) or to both national classification and IPC		
B. FIELDS SEARCHED		
Minimum documentation searched (classification system followed by classification symbols) H01L29/786; H01L21/336; H10B10/00; H10B12/00; H10B41/70		
Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched Published examined utility model applications of Japan 1922-1996 Published unexamined utility model applications of Japan 1971-2024 Registered utility model specifications of Japan 1996-2024 Published registered utility model applications of Japan 1994-2024		
Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)		
C. DOCUMENTS CONSIDERED TO BE RELEVANT		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 2016-149552 A (SEMICONDUCTOR ENERGY LABORATORY CO., LTD.) 18 August 2016 (2016-08-18) paragraphs [0047]-[0308], fig. 1-26	1-9
Y	JP 2011-222984 A (SEMICONDUCTOR ENERGY LABORATORY CO., LTD.) 04 November 2011 (2011-11-04) paragraphs [0040]-[0251], fig. 1-9	1-9
Y	JP 2011-205081 A (SEMICONDUCTOR ENERGY LABORATORY CO., LTD.) 13 October 2011 (2011-10-13) paragraphs [0028]-[0401], fig. 1-22	1-9
Y	WO 2011/132351 A1 (SHARP KABUSHIKI KAISHA) 27 October 2011 (2011-10-27) paragraphs [0027]-[0093], fig. 1-18	1-9
<input checked="" type="checkbox"/> Further documents are listed in the continuation of Box C. <input checked="" type="checkbox"/> See patent family annex.		
* Special categories of cited documents: "A" document defining the general state of the art which is not considered to be of particular relevance "D" document cited by the applicant in the international application "E" earlier application or patent but published on or after the international filing date "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) "O" document referring to an oral disclosure, use, exhibition or other means "P" document published prior to the international filing date but later than the priority date claimed "T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art "&" document member of the same patent family		
Date of the actual completion of the international search 28 June 2024		Date of mailing of the international search report 09 July 2024
Name and mailing address of the ISA/JP Japan Patent Office (ISA/JP) 3-4-3 Kasumigaseki, Chiyoda-ku, Tokyo 100-8915 Japan		Authorized officer Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/IB2024/053141

C. DOCUMENTS CONSIDERED TO BE RELEVANT		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 2022-146789 A (WUHAN TIANMA MICRO-ELECTRONICS CO., LTD.) 05 October 2022 (2022-10-05) paragraphs [0009]-[0101], fig. 1-13	1-9

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.

PCT/IB2024/053141

Patent document cited in search report			Publication date (day/month/year)	Patent family member(s)	Publication date (day/month/year)
JP	2016-149552	A	18 August 2016	US 2016/0233343 A1 paragraphs [0072]-[0331], fig. 1-26	
				TW 201640683 A	

JP	2011-222984	A	04 November 2011	US 2011/0233541 A1 paragraphs [0052]-[0260], fig. 1-9	

JP	2011-205081	A	13 October 2011	US 2011/0215331 A1 paragraphs [0053]-[0424], fig. 1-22	
				TW 201205683 A	
				KR 10-2013-0007595 A	

WO	2011/132351	A1	27 October 2011	US 2013/0037800 A1 paragraphs [0046]-[0124], fig. 1-18	
				CN 102859702 A	
				KR 10-2013-0010125 A	

JP	2022-146789	A	05 October 2022	US 2022/0302313 A1 paragraphs [0029]-[0121], fig. 1-13	
				CN 114695387 A	

A. 発明の属する分野の分類（国際特許分類（IPC）） H01L 29/786(2006.01)i; H01L 21/336(2006.01)i; H10B 10/00(2023.01)i; H10B 12/00(2023.01)i; H10B 41/70(2023.01)i FI: H01L29/78 618F; H01L29/78 618B; H01L29/78 618C; H01L29/78 616V; H01L29/78 626C; H01L29/78 626A; H01L29/78 627F; H10B12/00 801; H10B12/00 671Z; H10B41/70; H10B12/00 671B; H10B12/00 671C; H10B10/00		
B. 調査を行った分野 調査を行った最小限資料（国際特許分類（IPC）） H01L29/786; H01L21/336; H10B10/00; H10B12/00; H10B41/70 最小限資料以外の資料で調査を行った分野に含まれるもの 日本国実用新案公報 1922-1996年 日本国公開実用新案公報 1971-2024年 日本国実用新案登録公報 1996-2024年 日本国登録実用新案公報 1994-2024年 国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）		
C. 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
Y	JP 2016-149552 A（株式会社半導体エネルギー研究所）18.08.2016（2016-08-18） [0047]-[0308], [図1]-[図26]	1-9
Y	JP 2011-222984 A（株式会社半導体エネルギー研究所）04.11.2011（2011-11-04） [0040]-[0251], [図1]-[図9]	1-9
Y	JP 2011-205081 A（株式会社半導体エネルギー研究所）13.10.2011（2011-10-13） [0028]-[0401], [図1]-[図22]	1-9
Y	WO 2011/132351 A1（シャープ株式会社）27.10.2011（2011-10-27） [0027]-[0093], [図1]-[図18]	1-9
Y	JP 2022-146789 A（武漢天馬微電子有限公司）05.10.2022（2022-10-05） [0009]-[0101], [図1]-[図13]	1-9
<input type="checkbox"/> C欄の続きにも文献が列挙されている。 <input checked="" type="checkbox"/> パテントファミリーに関する別紙を参照。		
* 引用文献のカテゴリー “A” 特に関連のある文献ではなく、一般的技术水準を示すもの “D” 国際出願で出願人が先行技術文献として記載した文献 “E” 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの “L” 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す） “O” 口頭による開示、使用、展示等に言及する文献 “P” 国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献	“T” 国際出願日又は優先日後に公表された文献であって出願と抵触するものではなく、発明の原理又は理論の理解のために引用するもの “X” 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの “Y” 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの “&” 同一パテントファミリー文献	
国際調査を完了した日 28.06.2024	国際調査報告の発送日 09.07.2024	
名称及びあて先 日本国特許庁(ISA/JP) 〒100-8915 日本国 東京都千代田区霞が関三丁目4番3号	権限のある職員（特許庁審査官） 河合 俊英 5F 3238 電話番号 03-3581-1101 内線 3514	

国際調査報告
 パテントファミリーに関する情報

国際出願番号

PCT/IB2024/053141

引用文献			公表日	パテントファミリー文献			公表日
JP	2016-149552	A	18.08.2016	US	2016/0233343	A1	
				[0072]-[0331], FIG. 1- FIG. 26			
				TW	201640683	A	

JP	2011-222984	A	04.11.2011	US	2011/0233541	A1	
				[0052]-[0260], FIG. 1-FIG. 9			

JP	2011-205081	A	13.10.2011	US	2011/0215331	A1	
				[0053]-[0424], FIG. 1- FIG. 22			
				TW	201205683	A	
				KR	10-2013-0007595	A	

WO	2011/132351	A1	27.10.2011	US	2013/0037800	A1	
				[0046]-[0124], FIG. 1- FIG. 18			
				CN	102859702	A	
				KR	10-2013-0010125	A	

JP	2022-146789	A	05.10.2022	US	2022/0302313	A1	
				[0029]-[0121], FIG. 1- FIG. 13			
				CN	114695387	A	
