

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関  
国際事務局

(43) 国際公開日  
2018年7月5日(05.07.2018)



(10) 国際公開番号

WO 2018/123422 A1

(51) 国際特許分類:  
H01C 7/00 (2006.01)

(21) 国際出願番号: PCT/JP2017/043003

(22) 国際出願日: 2017年11月30日(30.11.2017)

(25) 国際出願の言語: 日本語

(26) 国際公開の言語: 日本語

(30) 優先権データ:  
特願 2016-252776 2016年12月27日(27.12.2016) JP

(71) 出願人: ローム株式会社 (ROHM CO., LTD.)  
[JP/JP]; 〒6158585 京都府京都市右京区西院溝崎町2-1番地 Kyoto (JP).

(72) 発明者: 米田 将記 (YONEDA Masaki);  
〒6158585 京都府京都市右京区西院溝崎町2-1番地 ローム株式会社内 Kyoto (JP). 篠浦 高德 (SHINOURA Takanori); 〒6158585 京都府京都市右京区西院溝崎町2-1番地 ローム株式会社内 Kyoto (JP).

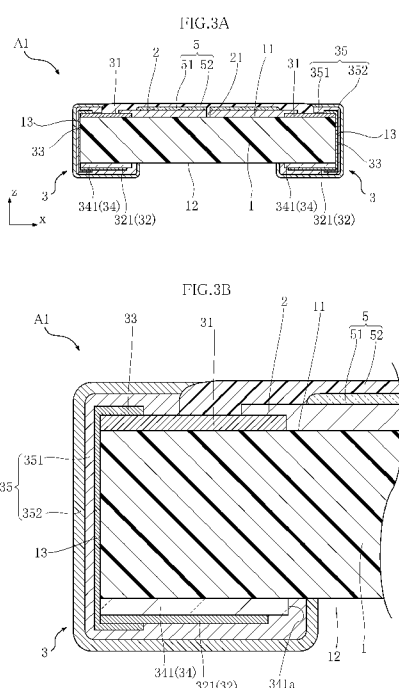
(74) 代理人: 吉田 稔, 外 (YOSHIDA Minoru et al.);  
〒5430014 大阪府大阪市天王寺区玉造元町2番32-1301 Osaka (JP).

(81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.

(84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ,

(54) Title: CHIP RESISTOR AND METHOD OF PRODUCING SAME

(54) 発明の名称: チップ抵抗器およびその製造方法



(57) Abstract: According to an aspect of the present disclosure, a chip resistor is provided. The chip resistor is provided with a substrate, two top surface electrodes, a resistor element, a stress relaxation layer, a metal thin film layer, two side surface electrodes, and a plating layer. The substrate has an installation surface and a mounting surface that face toward mutually opposite sides in the thickness direction. The two top surface electrodes are respectively placed at first and second ends of the installation surface of the substrate. The resistor element is installed between the two top surface electrodes on the installation surface of the substrate, and energizes the two top surface electrodes. The stress relaxation layer is flexible and is formed on the mounting surface of the substrate. The metal thin film layer is formed on the surface that faces the opposite side from the surface of the substrate that lies facing the mounting surface on the stress relaxation layer. The metal thin film layer has two electrically conductive regions separated in the lengthwise direction of the substrate. The two side surface electrodes make the two top surface electrodes and the two electrically conductive regions of the metal thin film layer mutually conductive. The plating layer covers the side surface electrodes and the metal thin film layer.

DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT,  
LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS,  
SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM,  
GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類：

- 一 国際調査報告（条約第21条(3)）

---

(57) 要約：本開示の一側面によると、チップ抵抗器が提供される。前記チップ抵抗器は、基板と、2つの上面電極と、抵抗体と、応力緩和層と、金属薄膜層と、2つの側面電極と、めっき層と、を備える。前記基板は、厚さ方向において互いに反対側を向く搭載面および実装面を有する。前記2つの上面電極は、前記基板の前記搭載面の第1および第2端にそれぞれ配置されている。抵抗体は、前記基板の前記搭載面において2つの前記上面電極の間に搭載され、かつ2つの前記上面電極に導通する。前記応力緩和層は、前記基板の前記実装面に形成された可とう性を有する。前記金属薄膜層は、前記応力緩和層において、前記基板の前記実装面に対向する面とは反対側を向く面に形成されている。前記金属薄膜層は、前記基板の長手方向に離間した2つの導電領域を有する。前記2つの側面電極は、2つの前記上面電極と前記金属薄膜層の2つの前記導電領域とを相互に導通させる。前記めっき層は、前記側面電極および前記金属薄膜層を覆う。

## 明 細 書

発明の名称：チップ抵抗器およびその製造方法

### 技術分野

[0001] 本開示は、チップ抵抗器およびその製造方法に関する。

### 背景技術

[0002] あるチップ抵抗器では、基板の上面に抵抗体が形成され、抵抗体の各端部にそれぞれ導通する裏面電極が基板の下面に形成されている。裏面電極は、一般的に、Agを含むメタルグレーズからなる。

[0003] チップ抵抗器は、半田によって回路基板に実装される。図33は、従来のチップ抵抗器A100を回路基板101に実装した状態を示す断面図である。図33において、チップ抵抗器A100は、回路基板101の配線パターン102に、半田103を介して実装されている。回路基板101の熱膨張と、チップ抵抗器A100の基板1の熱膨張との相違が大きいと、温度サイクルがかかった場合に、熱膨張の相違により発生する熱応力が半田103に作用し、半田103にクラック104が発生する場合がある。特に、チップ抵抗器A100（基板1）が大きいほど、熱膨張の相違により発生する熱応力が大きくなるので、クラック104が発生する可能性が高くなる。車載用などには、大型（例えば3.2mm×1.6mm）のチップ抵抗器A100が用いられており、クラック104の発生が懸念されている。

### 発明の概要

[0004] 本開示は先述した事情に鑑み、熱膨張の相違により発生する熱応力を緩和し、クラックの発生を抑制することができるチップ抵抗器およびその製造方法を提供することをその課題の一つとする。

[0005] 本開示の第1の側面によると、チップ抵抗器が提供される。前記チップ抵抗器は、基板と、2つの上面電極と、抵抗体と、応力緩和層と、金属薄膜層と、2つの側面電極と、めっき層と、を備える。前記基板は、厚さ方向において互いに反対側を向く搭載面および実装面を有する。前記2つの上面電極

は、前記基板の前記搭載面の第1および第2端にそれぞれ配置されている。抵抗体は、前記基板の前記搭載面において2つの前記上面電極の間に搭載され、かつ2つの前記上面電極に導通する。前記応力緩和層は、前記基板の前記実装面に形成された可とう性を有する。前記金属薄膜層は、前記応力緩和層において、前記基板の前記実装面に対向する面とは反対側を向く面に形成されている。前記金属薄膜層は、前記基板の長手方向に離間した2つの導電領域を有する。前記2つの側面電極は、2つの前記上面電極と前記金属薄膜層の2つの前記導電領域とを相互に導通させる。前記めっき層は、前記側面電極および前記金属薄膜層を覆う。

[0006] 本開示の第2の側面によると、チップ抵抗器の製造方法が提供される。前記製造方法は、厚さ方向において互いに反対側を向く搭載面および実装面を有するシート状基板を用意することと、前記シート状基板の前記搭載面に、互いに離間した2つの上面電極を形成することと、前記シート状基板の前記搭載面のうち、2つの前記上面電極に挟まれた領域に、2つの前記上面電極と導通する抵抗体を搭載することと、前記実装面に可とう性を有する応力緩和層を形成することと、前記応力緩和層の、前記シート状基板とは反対側の面に2つの領域を有する金属薄膜層を形成することと、前記シート状基板を、2つの前記上面電極が離間する方向を短手方向とする複数の帯状基板に分割することと、前記帯状基板の長手方向の第1および第2端に沿って位置する側面、前記搭載面および前記実装面に、2つの前記上面電極と前記金属薄膜層の2つの領域とを相互に導通させる2つの側面電極を形成することと、前記側面電極および前記金属薄膜層を覆うめっき層を形成することと、を備える。

[0007] 本開示のその他の特徴および利点は、添付図面に基づき以下に行う詳細な説明によって、より明らかとなる。

### 図面の簡単な説明

[0008] [図1]本開示の第1実施形態にかかるチップ抵抗器を示す平面図である。

[図2]図1のチップ抵抗器を示す底面図である。

[図3A]図1のⅠⅠⅠ-ⅠⅠⅠ線に沿う断面図である。

[図3B]図3Aのチップ抵抗器の一部を拡大した部分拡大断面図である。

[図4]図1のチップ抵抗器の製造方法にかかる工程を示す平面図である。

[図5]図1のチップ抵抗器の製造方法にかかる工程を示す平面図である。

[図6]図1のチップ抵抗器の製造方法にかかる工程を示す平面図である。

[図7]図1のチップ抵抗器の製造方法にかかる工程を示す平面図である。

[図8]図1のチップ抵抗器の製造方法にかかる工程を示す平面図である。

[図9]図1のチップ抵抗器の製造方法にかかる工程を示す平面図である。

[図10]図1のチップ抵抗器の製造方法にかかる工程を示す底面図である。

[図11A-D]図1のチップ抵抗器の製造方法にかかる工程を示す正面図である。

[図12]図1のチップ抵抗器の製造方法にかかる工程を示す斜視図である。

[図13]図1のチップ抵抗器の製造方法にかかる工程を示す斜視図である。

[図14A]図1のチップ抵抗器の製造方法にかかる工程を示す斜視図である。

[図14B]図14Aのチップ抵抗器の正面図である。

[図15A]図1のチップ抵抗器の製造方法にかかる工程を示す斜視図である。

[図15B]図15Aのチップ抵抗器の正面図である。

[図16]図1のチップ抵抗器を回路基板に実装した状態を示す断面図である。

[図17]本開示の第2実施形態にかかるチップ抵抗器を示す底面図である。

[図18A]図17のチップ抵抗器を示す断面図である。

[図18B]図18Aのチップ抵抗器の一部を拡大した部分拡大断面図である。

[図19A-D]図17のチップ抵抗器の製造方法にかかる工程を示す正面図である。  
。

[図20]本開示の第3実施形態にかかるチップ抵抗器を示す底面図である。

[図21A]図20のチップ抵抗器を示す断面図である。

[図21B]図21Aのチップ抵抗器の一部を拡大した部分拡大断面図である。

[図22]図20のチップ抵抗器の製造方法にかかる工程を示す底面図である。

[図23A-D]図20のチップ抵抗器の製造方法にかかる工程を示す正面図である。  
。

[図24]本開示の第4実施形態にかかるチップ抵抗器を示す底面図である。

[図25A]図24のチップ抵抗器を示す断面図である。

[図25B]図25Aのチップ抵抗器の一部を拡大した部分拡大断面図である。

[図26]本開示の第5実施形態にかかるチップ抵抗器を示す平面図である。

[図27]図26のXXVⅠⅠ－XXVⅠⅠ線に沿う断面図である。

[図28]本開示の第6実施形態にかかるチップ抵抗器を示す底面図である。

[図29A]図28のチップ抵抗器を示す断面図である。

[図29B]図29Aのチップ抵抗器の一部を拡大した部分拡大断面図である。

[図30]図28のチップ抵抗器の応力緩和層の周辺の一部を拡大した部分拡大断面図である。

[図31]本開示の第7実施形態にかかるチップ抵抗器を示す底面図である。

[図32A]図31のチップ抵抗器を示す断面図である。

[図32B]図32Aのチップ抵抗器の一部を拡大した部分拡大断面図である。

[図33]従来のチップ抵抗器を回路基板に実装した状態を示す断面図である。

### 発明を実施するための形態

[0009] 実施するための形態（以下「実施形態」という。）について、添付図面に基づいて説明する。

[0010] 〔第1実施形態〕

図1～図3Bに基づき、本開示の第1実施形態にかかるチップ抵抗器A1について説明する。図1は、チップ抵抗器A1を示す平面図である。図2は、チップ抵抗器A1を示す底面図である。図3Aは、図1のⅠⅠⅠ－ⅠⅠⅠ線に沿う断面図である。図3Bは、図3Aの一部を拡大した部分拡大断面図である。なお、図1および図2は、理解の便宜上、後述するめっき層35および保護膜5を省略している。また、これらの図において、基板1などの厚さ方向（平面視方向）をz方向、基板1の長手方向をx方向、基板1の短手方向をy方向として説明する（以下の図においても同様とする。）。

[0011] これらの図に示すチップ抵抗器A1は、実装対象となる回路基板に表面実装される形式のものである。本実施形態のチップ抵抗器A1は、基板1、抵

抗体 2、電極 3 および保護膜 5 を備える。平面視におけるチップ抵抗器 A 1 の形状は、矩形状である。チップ抵抗器 A 1 は、いわゆる厚膜（メタルグレーズ皮膜）チップ抵抗器である。

[0012] 基板 1 は、図 1 ～図 3 B に示すように、抵抗体 2 を搭載し、かつチップ抵抗器 A 1 を実装対象となる回路基板に実装するための部材である。基板 1 は、電気絶縁体である。本実施形態においては、基板 1 は、たとえばアルミナ（ $\text{Al}_2\text{O}_3$ ）からなる。チップ抵抗器 A 1 の使用時に、抵抗体 2 より発生した熱を外部に放熱しやすくするため、基板 1 は、熱伝導率が高い材質であることが好ましい。基板 1 は、搭載面 1 1、実装面 1 2 および側面 1 3 を有する。平面視における基板 1 の形状は、矩形状であり、基板 1 の厚さ方向（z 方向）の寸法は、 $100 \sim 500 \mu\text{m}$  である。

[0013] 搭載面 1 1 は、図 3 A－B に示す基板 1 の上面であり、抵抗体 2 が搭載される面である。実装面 1 2 は、図 3 A－B に示す基板 1 の下面であり、チップ抵抗器 A 1 を回路基板に実装する際に利用される面である。搭載面 1 1 と実装面 1 2 は、基板 1 の厚さ方向（z 方向）において互いに反対側を向いている。側面 1 3 は、図 1 ～図 3 B に示すように、搭載面 1 1 および実装面 1 2 に対し直交し、かつ基板 1 の長手方向（x 方向）を向く 2 つの面である。側面 1 3 は、搭載面 1 1 と実装面 1 2 との間に位置している。

[0014] 抵抗体 2 は、電流を制限するまたは電流を検出するなどの機能を果たすものである。平面視における抵抗体 2 の形状は、基板 1 の長手方向（x 方向）に延びる帯状である。抵抗体 2 は、基板 1 の搭載面 1 1 において後述する 2 つの上面電極 3 1 の間に搭載され、かつ 2 つの上面電極 3 1 に導通している。抵抗体 2 は、たとえば  $\text{RuO}_2$  または  $\text{Ag-Pd}$  合金などの抵抗材料からなり、当該抵抗材料を含むペーストを印刷および焼成することで形成される。また、平面視における抵抗体 2 の形状は帯状であるが、当該形状をたとえばサーペンタイン状とするなど、いずれの形状とすることもできる。抵抗体 2 は、トリミング溝 2 1 を有する。

[0015] トリミング溝 2 1 は、図 1 および図 3 A に示すように、基板 1 の厚さ方向

( $z$  方向) に貫通する溝である。トリミング溝 21 は、抵抗体 2 の抵抗値を所要の値に調整するために形成される。本実施形態においては、平面視における形状が L 字状のトリミング溝 21 が抵抗体 2 に形成されている。なお、トリミング溝 21 の形状および数は限定されない。

[0016] 電極 3 は、図 1 ～図 3 B に示すように、抵抗体 2 と導通するとともに、チップ抵抗器 A1 と実装対象となる回路基板の配線パターンとを相互接続するための、基板 1 の長手方向 ( $x$  方向) に互いに離間した 2 つの導電部材である。電極 3 は、 $x$  方向において抵抗体 2 を挟んだ両側に配置されている。本実施形態においては、電極 3 は、上面電極 31、金属薄膜層 32、側面電極 33、応力緩和層 34 およびめっき層 35 を有する。

[0017] 上面電極 31 は、図 1 および図 3 A－B に示すように、基板 1 の搭載面 11 の両端 (第 1 および第 2 端) に配置され、かつ基板 1 の長手方向 ( $x$  方向) に互いに離間した 2 つの部分である。平面視における上面電極 31 の形状は、矩形状である。本実施形態においては、上面電極 31 の一部が、搭載面 11 と抵抗体 2 との間に挟まれた構成となっている。なお、抵抗体 2 の一部が上面電極 31 と搭載面 11 との間に挟まれた構成でもよい。上面電極 31 は、たとえば Ag を含むメタルグレーズからなり、Ag を含むペーストを印刷および焼成することで形成される。なお、上面電極 31 の材質および形状は限定されない。

[0018] 応力緩和層 34 は、図 2 および図 3 A－B に示すように、基板 1 の実装面 12 上の両端 (第 1 および第 2 端) に配置され、かつ基板 1 の長手方向 ( $x$  方向) に互いに離間した 2 つの緩和領域 341 を有する。平面視における応力緩和層 34 の緩和領域 341 の形状は、上面電極 31 と略同一である。なお、応力緩和層 34 の緩和領域 341 の形状は限定されない。応力緩和層 34 は、たとえばエポキシ樹脂やシリコン樹脂などの可とう性を有する合成樹脂からなり、合成樹脂ペーストを印刷および硬化させることで形成される。本実施形態においては、応力緩和層 34 を絶縁性の合成樹脂ペーストとしているが、たとえば Ag を含む導電性の合成樹脂ペーストとしてもよい。つ

まり、応力緩和層 34 は、絶縁性が導電性にかかわらず、可とう性を有する材質であればよい。応力緩和層 34 の厚さ方向（z 方向）の寸法は、10～50  $\mu\text{m}$  である。当該寸法は小さすぎると、応力緩和層 34 の可とう性が損なわれるので、熱膨張の相違による応力を緩和しにくくなる。一方、大きすぎると、チップ抵抗器 A1 の厚さ方向（z 方向）の寸法が大きくなってしまふ。また、応力緩和層 34 の形成工程での硬化のための時間が長くなり製造効率が悪くなる。当該寸法は、基板 1 および実装対象となる回路基板の物性の相違による熱応力の大きさや、基板 1 の大きさなどに応じて、適宜設計される。

[0019] 金属薄膜層 32 は、図 2 および図 3 A－B に示すように、各々の応力緩和層 34 において、基板 1 の実装面 12 に対向する面とは反対側を向く面に形成され、かつ基板 1 の長手方向（x 方向）に離間した 2 つの導電領域 321 を有する。平面視における金属薄膜層 32 の導電領域 321 の形状は、応力緩和層 34 の緩和領域 341 と略同一形状であり、緩和領域 341 より小さい（図 2 参照）。なお、金属薄膜層 32 の導電領域 321 の形状は限定されない。金属薄膜層 32 は、スパッタリング法により、たとえば Ni－Cr 合金を成膜することで形成される。金属薄膜層 32 の厚さ方向（z 方向）の寸法は、数 10～数 100 nm である。なお、金属薄膜層 32 の材質は限定されず、合成樹脂を含まない導電性の金属であればよい。

[0020] 各々の金属薄膜層 32 の導電領域 321 は、基板 1 の実装面 12 における電極 3 の一部として機能するとともに、応力緩和層 34 に接するめっき層 35 の領域を小さくする役割を果たしている。応力緩和層 34 が電気絶縁体である場合、応力緩和層 34 に直接、めっき層 35 を形成することが困難である。このため、金属薄膜層 32 を備えることによって、応力緩和層 34 が電気絶縁体であっても、応力緩和層 34 の上にめっき層 35 を形成することができる。

[0021] 本実施形態においては、各々の金属薄膜層 32 の導電領域 321 は、各々の応力緩和層 34 の緩和領域 341 のうち基板 1 の長手方向（x 方向）にお

いて互いに向かい合う端面 341a およびその近傍を露出させている（図 3 B 参照）が、これに限られない。また、本実施形態においては、各々の導電領域 321 は、基板 1 の短手方向（y 方向）を向き、かつ端面 341a につながる緩和領域 341 の面およびその近傍も露出させている（図 2 参照）が、これに限られない。各々の導電領域 321 は、応力緩和層 34 とめっき層 35 とが接する領域を小さくするように、応力緩和層 34 とめっき層 35 との間に形成されていけばよい。

[0022] 側面電極 33 は、図 1 ～図 3 B に示すように、基板 1 の側面 13 にそれぞれ配置され、かつ基板 1 の長手方向（x 方向）に互いに離間した 2 つの部分である。側面電極 33 は、側面 13 に加え、上面電極 31 および金属薄膜層 32 の導電領域 321 のそれぞれ一部を覆っている。すなわち、側面電極 33 は、側面 13 に配置された部分と、平面視において基板 1 の搭載面 11 および実装面 12 と重なる部分とを有する。側面電極 33 により、上面電極 31 と金属薄膜層 32 の導電領域 321 とが相互に導通している。したがって、上面電極 31 および側面電極 33 によって、抵抗体 2 は金属薄膜層 32 の導電領域 321 と導通している。本実施形態においては、側面電極 33 は、たとえば Ag を含むメタルグレーズからなり、Ag を含むペーストを印刷および焼成することで形成される。なお、側面電極 33 の材質および形状は限定されないし、形成方法も限定されない。

[0023] めっき層 35 は、図 3 A - B に示すように、上面電極 31 の一部と、金属薄膜層 32 の導電領域 321 および側面電極 33 とを覆い、かつ基板 1 の長手方向（x 方向）に互いに離間した 2 つの部分である。めっき層 35 は、内側めっき層 351 および外側めっき層 352 を有する。内側めっき層 351 は、上面電極 31 の一部、金属薄膜層 32 の導電領域 321 および側面電極 33 を覆っており、上面電極 31、金属薄膜層 32 の導電領域 321 および側面電極 33 を熱や衝撃から保護する機能を果たす。本実施形態においては、内側めっき層 351 は、Ni めっき層からなる。外側めっき層 352 は、内側めっき層 351 を覆っている。本実施形態においては、外側めっき層 3

５２は、Ｓｎめっき層からなる。外側めっき層３５２に半田が付着して、外側めっき層３５２が半田と一体化することで、チップ抵抗器Ａ１と実装対象となる回路基板の配線パターンとが相互接続される。本実施形態においては、内側めっき層３５１はＮｉめっき層からなるため、内側めっき層３５１に半田を直接付着させることが困難である。したがって、Ｓｎめっき層からなる外側めっき層３５２が必要となる。

[0024] 保護膜５は、図３Ａ－Ｂに示すように、抵抗体２を覆い、抵抗体２を外部から保護する機能を果たす部材である。保護膜５は、下部保護膜５１および上部保護膜５２を有する。下部保護膜５１は、抵抗体２の表面（図３Ａ－Ｂに示す抵抗体２の上面）を覆っている。下部保護膜５１は、たとえばガラスからなり、ガラスを含むペーストを印刷および焼成することで形成される。上部保護膜５２は、基板１の一部と、抵抗体２と、下部保護膜５１と、上面電極３１の一部とを覆っている。上部保護膜５２は、たとえばエポキシ樹脂からなり、エポキシ樹脂を含むペーストを印刷および硬化させることで形成される。なお、下部保護膜５１および上部保護膜５２の材質および形状は限定されない。

[0025] 次に、図４～図１５Ｂに基づき、チップ抵抗器Ａ１の製造方法について説明する。

[0026] 図４～図９は、チップ抵抗器Ａ１の製造方法にかかる工程を示す平面図である。図１０は、チップ抵抗器Ａ１の製造方法にかかる工程を示す底面図である。図１１Ａ－Ｄは、チップ抵抗器Ａ１の製造方法にかかる工程を示す正面図である。図１２～図１３は、チップ抵抗器Ａ１の製造方法にかかる工程を示す斜視図である。図１４Ａ－Ｂは、チップ抵抗器Ａ１の製造方法にかかる工程を示す斜視図および正面図である。図１５Ａ－Ｂは、チップ抵抗器Ａ１の製造方法にかかる工程を示す斜視図および正面図である。なお、図８～図１５Ｂは、理解の便宜上、保護膜５の下部保護膜５１を省略している。また、図１２および図１３は、理解の便宜上、抵抗体２、上面電極３１、側面電極３３および上部保護膜５２について、それぞれの厚さを無視している。

[0027] 最初に、図4に示すように、アルミナからなるシート状基板81を用意する。シート状基板81は、搭載面11および実装面12を有する。搭載面11と実装面12は、シート状基板81の厚さ方向（z方向）において互いに反対側を向いている。図4は、シート状基板81の搭載面11を示している。搭載面11においては、図4に示す縦方向（y方向）に複数の一次分割溝811が、図4に示す横方向（x方向）に複数の二次分割溝812が碁盤目状に形成されている。一次分割溝811および二次分割溝812は、搭載面11とは反対側の実装面12においても同一本数が形成されている（図示略）。一次分割溝811および二次分割溝812の平面視における位置は、搭載面11および実装面12ともに同一である。一次分割溝811と二次分割溝812とによって形成される区画が、チップ抵抗器A1の基板1に相当する領域である。

[0028] 次いで、図5に示すように、シート状基板81の搭載面11上に、シート状基板81の一次分割溝811を跨ぐように上面電極31を形成する。本実施形態においては、上面電極31は、Agにガラスフリットを含有させたペーストを、搭載面11にシルクスクリーンを用いて印刷し、焼成炉により焼成することで形成される。当該工程により、互いに離間した2つの上面電極31が、搭載面11に形成される。

[0029] 次いで、図6に示すように、シート状基板81の搭載面11のうち、上面電極31によりx方向に挟まれた領域に、上面電極31と導通する抵抗体2を搭載する。本実施形態においては、抵抗体2は、RuO<sub>2</sub>またはAg-Pd合金などの金属にガラスフリットを含有させたペーストを、シルクスクリーンを用いて印刷し、焼成炉により焼成することで搭載される。なお、シート状基板81の搭載面11に、先に抵抗体2を搭載し、各抵抗体2により挟まれた領域に、各抵抗体2と導通する上面電極31を形成するようにしてもよい。

[0030] 次いで、図7に示すように、抵抗体2の表面を覆う下部保護膜51を形成する。本実施形態においては、下部保護膜51は、ガラスを含むペーストを

、シルクスクリンを用いて印刷し、焼成炉により焼成することで形成される。当該工程の後工程である、抵抗体 2 にトリミング溝 2 1 を形成する工程では、トリミング溝 2 1 をレーザにより形成するため、抵抗体 2 に熱衝撃が作用するとともに、抵抗体 2 の微粒子が発生する。そこで、下部保護膜 5 1 は、前記熱衝撃を緩和しつつ、前記微粒子が抵抗体 2 に再付着して、抵抗体 2 の抵抗値が変動することを防止する機能を果たす。

[0031] 次いで、図 8 に示すように、抵抗体 2 を貫通するトリミング溝 2 1 を抵抗体 2 に形成する。トリミング溝 2 1 は、レーザトリミング装置（図示略）により形成される。トリミング溝 2 1 の形成手順は次のとおりである。最初に、抵抗体 2 の長手方向（x 方向）に延出する 2 つの端面のうち、一方の端面から他方の端面に向かって、抵抗体 2 を流れる電流の方向（x 方向）に対し直交する方向（y 方向）に沿ってトリミング溝 2 1 を形成する。次いで、抵抗体 2 の抵抗値が、チップ抵抗器 A 1 の所要の値に近い値まで上昇した後、抵抗体 2 を流れる電流の方向（x 方向）と平行になるように、そのまま向きを 90° 転換してトリミング溝 2 1 を形成する。抵抗体 2 の抵抗値が、チップ抵抗器 A 1 の所要の値になったとき、トリミング溝 2 1 の形成を終了する。当該工程により、平面視における形状が L 字状のトリミング溝 2 1 が抵抗体 2 に形成される。なお、トリミング溝 2 1 は、抵抗体 2 の長手方向（x 方向）の両端（第 1 および第 2 端）に、抵抗値測定用のプローブ（図示略）を当接した状態の下で形成される。

[0032] 次いで、図 9 に示すように、シート状基板 8 1 の搭載面 1 1 上に、上部保護膜 5 2 を形成する。このとき、抵抗体 2 に加え、上面電極 3 1 および基板 1 のそれぞれの一部が上部保護膜 5 2 に覆われる。本実施形態においては、上部保護膜 5 2 は、シート状基板 8 1 の二次分割溝 8 1 2 を跨ぐように、シート状基板 8 1 の一次分割溝 8 1 1 に沿って延びる複数の帯状に形成される。また、本実施形態においては、上部保護膜 5 2 は、エポキシ樹脂を含むペーストを、シルクスクリンを用いて印刷し、硬化させることで形成される。なお、上部保護膜 5 2 は、図 7 に示す保護膜 5 の下部保護膜 5 1 と同様に

、各々の抵抗体２ごとに分離された状態となるように形成してもよい。

[0033] 次いで、図１０に示すように、シート状基板８１の実装面１２上に、一次分割溝８１１を跨ぐように応力緩和層３４を形成する。応力緩和層３４および上面電極３１の平面視における位置および大きさは、略同一である。本実施形態においては、応力緩和層３４は、エポキシ樹脂またはシリコン樹脂を含むペーストを、実装面１２にシルクスクリーンを用いて印刷し、硬化させることで形成される。当該工程により、互いに離間した２つの緩和領域３４１となる応力緩和層３４が、実装面１２に形成される。

[0034] 次いで、図１１Ａ－Ｄに示すように、シート状基板８１の実装面１２上に、金属薄膜層３２を形成する。図１１Ａは、図１０に示す状態、すなわち、シート状基板８１の実装面１２上に応力緩和層３４を形成した状態の正面図を示している。

[0035] 次いで、図１１Ｂに示すように、シート状基板８１の実装面１２上に、マスキング膜９を形成する。マスキング膜９は、各応力緩和層３４の基板１とは反対側の面（以下では「表面」とする）の中央付近（当該面の各端部以外）を露出させる開口を設けるように形成される。本実施形態においては、マスキング膜９は、炭酸カルシウムを含むペーストを、実装面１２にシルクスクリーンを用いて印刷し、硬化させることで形成される。

[0036] 次いで、図１１Ｃに示すように、シート状基板８１の実装面１２上に、金属薄膜層３２を形成する。金属薄膜層３２は、スパッタリング法により、Ni-Cr合金を成膜することで形成される。金属薄膜層３２は、マスキング膜９が形成されていない領域にのみ形成される。したがって、各応力緩和層３４の表面の中央付近にのみ、金属薄膜層３２が形成される。

[0037] 次いで、図１１Ｄに示すように、マスキング膜９を除去する。当該工程により、応力緩和層３４の表面に、金属薄膜層３２が形成される。

[0038] 次いで、図１２に示すように、シート状基板８１を、シート状基板８１の一次分割溝８１１で切断し、複数の帯状基板８６に分割する。このとき、帯状基板８６の長手方向（y方向）に沿って、側面１３が帯状基板８６の両側

にそれぞれ形成される。

[0039] 次いで、図 1 3 に示すように、带状基板 8 6 の長手方向（y 方向）に沿う側面 1 3 と、搭載面 1 1 および実装面 1 2 のそれぞれ一部とに、側面電極 3 3 を形成する。本実施形態においては、側面電極 3 3 は、A g にガラスフリットを含有させたペーストを印刷し、焼成炉により焼成することで形成される。なお、側面電極 3 3 は、スパッタリング法により形成してもよい。側面電極 3 3 の形成にあたっては、側面 1 3 と、側面 1 3 と直交して配置されている上面電極 3 1 および金属薄膜層 3 2 の導電領域 3 2 1 の表面の一部とが、側面電極 3 3 に一体として覆われるようにする（導電領域 3 2 1 について図示略）。このとき、側面電極 3 3 は、上面電極 3 1、応力緩和層 3 4 および金属薄膜層 3 2 の側面 1 3 に沿ったそれぞれの端部に接する。当該工程により、上面電極 3 1 と金属薄膜層 3 2 の導電領域 3 2 1 とが、側面電極 3 3 によって相互に導通する。

[0040] 次いで、図 1 4 A－B に示すように、带状基板 8 6 を、带状基板 8 6 の二次分割溝 8 1 2 で切断し、複数の個片 8 7 に分割する。図 1 4 A は斜視図であり、図 1 4 B は正面図である。このとき、側面電極 3 3 の形状は、基板 1 を挟むコの字状となる。また、側面電極 3 3 は、上面電極 3 1 および金属薄膜層 3 2 のそれぞれの表面の一部に形成された側面電極 3 3 の部位を挟んだ両端に位置する、基板 1 の搭載面 1 1 および実装面 1 2 の一部にもそれぞれ形成される。

[0041] 次いで、図 1 5 A－B に示すように、めっき層 3 5（内側めっき層 3 5 1 および外側めっき層 3 5 2）を形成する。図 1 5 A は斜視図であり、図 1 5 B は正面図である。なお、図 1 5 B においては、上面電極 3 1、金属薄膜層 3 2 の導電領域 3 2 1、側面電極 3 3 および応力緩和層 3 4 の緩和領域 3 4 1 を破線で示している。具体的には、まず、個片 8 7 において、金属薄膜層 3 2 の導電領域 3 2 1、側面電極 3 3 および上面電極 3 1 を覆う内側めっき層 3 5 1 を形成する。そして、内側めっき層 3 5 1 を覆う外側めっき層 3 5 2 を形成する。本実施形態においては、内側めっき層 3 5 1 は N i めっき、

外側めっき層 352 は Sn めっきによりそれぞれ形成される。当該工程により、抵抗体 2 と導通する 2 つの電極 3 が形成される。以上の工程を経ることにより、チップ抵抗器 A1 が製造される。

[0042] 図 16 は、チップ抵抗器 A1 を回路基板に実装した状態を示す断面図である。図 16 において、チップ抵抗器 A1 は、基板 1 の実装面 12 を回路基板 101 側に向けて、両端に形成された 1 対の電極 3 を、半田 103 によって、それぞれ配線パターン 102 に接続されて、回路基板 101 に実装されている。半田 103 と外側めっき層 352 とは一体となっている。

[0043] 回路基板 101 の熱膨張と、チップ抵抗器 A100 の基板 1 の熱膨張との相違が大きいと、温度サイクルがかかった場合に、熱膨張の相違により発生した応力が半田 103 に作用する。ここで、本実施形態によれば、金属薄膜層 32 の導電領域 321 と基板 1 との間に、可とう性を有する応力緩和層 34 の緩和領域 341 が形成されている。このため、熱膨張の相違により発生する熱応力を、応力緩和層 34 の緩和領域 341 が変形することで緩和することができる。したがって、クラックの発生を抑制することができる。

[0044] また、本実施形態によれば、金属薄膜層 32 が、応力緩和層 34 とめっき層 35 との間に形成されている。これにより、めっき層 35 と応力緩和層 34 とが直接接する領域が小さくなるので、応力緩和層 34 が電気絶縁体であってもめっき層 35 を容易に形成することができる。金属薄膜層 32 は、スパッタリング法などにより形成されるので、合成樹脂を含まない金属の薄膜層とすることができる。

[0045] また、本実施形態によれば、応力緩和層 34 の緩和領域 341 が金属薄膜層 32 の導電領域 321 によって完全に覆われていないので、応力緩和層 34 の緩和領域 341 がより変形しやすくなり、熱応力をより緩和させることができる。

[0046] [第 2 実施形態]

図 17 ～図 19D に基づき、本開示の第 2 実施形態にかかるチップ抵抗器 A2 について説明する。これらの図において、先述したチップ抵抗器 A1 と

同一または類似の要素には同一の符号を付して、重複する説明を省略することとする。

[0047] 図17は、チップ抵抗器A2を示す底面図である。なお、図17は、理解の便宜上、めっき層35を省略している。図18Aは、チップ抵抗器A2を示す断面図であり、チップ抵抗器A1における図3Aと同様の断面図である。図18Bは、図18Aの一部を拡大した部分拡大断面図である。なお、チップ抵抗器A2の平面図は、図1と同様なので省略している。図19A-Dは、チップ抵抗器A2の製造方法にかかる工程を示す正面図である。

[0048] 本実施形態のチップ抵抗器A2は、図17および図18A-Bに示すように、各々の金属薄膜層32の導電領域321が、各々の応力緩和層34の緩和領域341のうち基板1の長辺方向（x方向）において互いに向かい合う端面341aおよびその近傍を覆っている。また、本実施形態においては、各々の導電領域321は、基板1の短手方向（y方向）を向き、かつ端面341aにつながる緩和領域341の面およびその近傍も覆っている。すなわち、各々の緩和領域341において、端面341aとは反対側を向く面と、基板1の実装面12に対向する面とを除く全ての面を導電領域321が覆っている点で、チップ抵抗器A1と異なる。

[0049] 次に、図19A-Dに基づき、チップ抵抗器A2の製造方法について説明する。チップ抵抗器A2の製造方法は、先述したチップ抵抗器A1の製造方法に対して、図11A-Dに示す金属薄膜層32を形成する工程が異なっている。その他の工程については、チップ抵抗器A1の製造方法と同一である。

[0050] チップ抵抗器A2の金属薄膜層32を形成する工程は、図19Bに示すように、マスキング膜9が形成される領域が、チップ抵抗器A1の金属薄膜層32を形成する工程（図11B参照）の場合と異なる。本実施形態では、マスキング膜9は、各応力緩和層34の表面および各端面をすべて露出させるように形成される。したがって、金属薄膜層32は、各応力緩和層34の表面および各端面を覆うように形成される（図19C-D参照）。

[0051] 本実施形態によっても、チップ抵抗器A1と同様に、金属薄膜層32の導電領域321と基板1との間に、可とう性を有する応力緩和層34の緩和領域341が形成されている。したがって、基板1と、実装された回路基板との熱膨張の相違により発生する熱応力を、応力緩和層34の緩和領域341が変形することで緩和し、クラックの発生を抑制することができる。また、金属薄膜層32が、応力緩和層34とめっき層35との間に形成されているので、めっき層35を形成しやすい。特に、チップ抵抗器A1では覆われていなかった、応力緩和層34の緩和領域341の端面341a、端面341aにつながり、かつ基板1の短手方向（y方向）を向く面、およびこれらの面の近傍も、金属薄膜層32の導電領域321に覆われている。したがって、めっき層35と合成樹脂を含んでいる応力緩和層34とが直接接する領域がなくなって、よりめっき層35を形成しやすい。

[0052] なお、金属薄膜層32の導電領域321は、応力緩和層34の緩和領域341の端面341aにつながる各端面およびその近傍を覆うが、端面341aおよびその近傍は露出させるようにしてもよい。また、逆に、端面341aおよびその近傍を覆うが、端面341aにつながる各端面およびその近傍は露出させるようにしてもよい。これらの場合、応力緩和層34の緩和領域341が金属薄膜層32の導電領域321によって完全に覆われていないので、応力緩和層34の緩和領域341がより変形しやすくなり、熱応力をより緩和させることができる。

[0053] 応力緩和層34の緩和領域341のうち金属薄膜層32の導電領域321に覆われている部分が小さいほど、応力緩和層34の緩和領域341がより変形しやすくなり、熱応力をより緩和させることができるが、めっき層35を形成しにくくなる。一方、応力緩和層34の緩和領域341のうち金属薄膜層32の導電領域321に覆われている部分が大きいほど、めっき層35を形成しやすくなるが、熱応力を緩和させにくくなる。金属薄膜層32の導電領域321が応力緩和層34の緩和領域341をどの程度覆うように形成するかは、熱応力の緩和の観点と、めっき層35の形成しやすさの観点とか

ら、適宜設計すればよい。

[0054]     〔第3実施形態〕

図20～図23Dに基づき、本開示の第3実施形態にかかるチップ抵抗器A3について説明する。これらの図において、先述したチップ抵抗器A1と同一または類似の要素には同一の符号を付して、重複する説明を省略することとする。

[0055]     図20は、チップ抵抗器A3を示す底面図である。なお、図20は、理解の便宜上、めっき層35を省略している。図21Aは、チップ抵抗器A3を示す断面図であり、チップ抵抗器A1における図3Aと同様の断面図である。図21Bは、図21Aの一部を拡大した部分拡大断面図である。なお、チップ抵抗器A3の平面図は、図1と同様なので省略している。図22は、チップ抵抗器A3の製造方法にかかる工程を示す底面図である。図23A～Dは、チップ抵抗器A2の製造方法にかかる工程を示す正面図である。

[0056]     本実施形態のチップ抵抗器A3は、基板1の実装面12において、基板1の長手方向（x方向）の一方端から他方端まで連続して応力緩和層34の緩和領域341が形成されている点で、チップ抵抗器A1と異なる。本実施形態においては、応力緩和層34を電気絶縁体である合成樹脂とする必要がある。

[0057]     次に、図22～図23Dに基づき、チップ抵抗器A3の製造方法について説明する。チップ抵抗器A3の製造方法は、先述したチップ抵抗器A1の製造方法に対して、図10に示す応力緩和層34を形成する工程と、図11A～Dに示す金属薄膜層32を形成する工程が異なっている。その他の工程については、チップ抵抗器A1の製造方法と同一である。

[0058]     チップ抵抗器A3の応力緩和層34を形成する工程では、図22に示すように、シート状基板81の実装面12上に、図22の横方向（x方向）に一方端から他方端まで連続した応力緩和層34を形成する。そして、チップ抵抗器A3の金属薄膜層32を形成する工程では、図23A～Dに示すように、応力緩和層34の表面の、基板1に対して各上面電極31に向かい合う位

置に、金属薄膜層 3 2 を形成する。

[0059] 本実施形態によっても、チップ抵抗器 A 1 と同様に、金属薄膜層 3 2 の導電領域 3 2 1 と基板 1 との間に、可とう性を有する応力緩和層 3 4 の緩和領域 3 4 1 が形成されている。したがって、基板 1 と、実装された回路基板との熱膨張の相違により発生する熱応力を、応力緩和層 3 4 の緩和領域 3 4 1 が変形することで緩和し、クラックの発生を抑制することができる。また、金属薄膜層 3 2 が、応力緩和層 3 4 とめっき層 3 5 との間に形成されているので、めっき層 3 5 を形成しやすい。また、応力緩和層 3 4 の緩和領域 3 4 1 が金属薄膜層 3 2 の導電領域 3 2 1 によって完全に覆われていないので、応力緩和層 3 4 の緩和領域 3 4 1 がより変形しやすくなり、熱応力をより緩和させることができる。さらに、応力緩和層 3 4 の形成が容易になる（図 2 2 参照）ので、製造工程が簡略化できる。

[0060] なお、応力緩和層 3 4 の緩和領域 3 4 1 は、基板 1 の実装面 1 2 上の全面に形成するようにしてもよい。この場合、応力緩和層 3 4 を形成する工程（図 2 2 参照）では、シート状基板 8 1 の実装面 1 2 上の全面に応力緩和層 3 4 を形成すればよい。したがって、応力緩和層 3 4 の形成がより容易になるので、製造工程がより簡略化できる。

[0061] 〔第 4 実施形態〕

図 2 4 および図 2 5 A－B に基づき、本開示の第 4 実施形態にかかるチップ抵抗器 A 4 について説明する。これらの図において、先述したチップ抵抗器 A 1 と同一または類似の要素には同一の符号を付して、重複する説明を省略することとする。

[0062] 図 2 4 は、チップ抵抗器 A 4 を示す底面図である。なお、図 2 4 は、理解の便宜上、めっき層 3 5 を省略している。図 2 5 A は、チップ抵抗器 A 4 を示す断面図であり、チップ抵抗器 A 1 における図 3 A と同様の断面図である。図 2 5 B は、図 2 5 A の一部を拡大した部分拡大断面図である。なお、チップ抵抗器 A 4 の平面図は、図 1 と同様なので省略している。

[0063] 本実施形態のチップ抵抗器 A 4 は、金属薄膜層 3 2 を備えておらず、側面

電極 33 が金属薄膜層 32 を兼ねている点で、チップ抵抗器 A1 と異なる。本実施形態において、側面電極 33 は、基板 1 の実装面 12 における部分が、実装面 12 と平行に、応力緩和層 34 の緩和領域 341 の端面 341a の近くまで延びている。また、側面電極 33 は、金属薄膜層 32 と同様に、スパッタリング法により、たとえば Ni-Cr 合金を成膜することで形成される。本実施形態においては、側面電極 33 の側面 13 に形成されている部分が「第 2 のスパッタ層」の一例に相当し、側面電極 33 の実装面 12 における延伸部分が「スパッタ層」の一例に相当する。

[0064] 次に、チップ抵抗器 A4 の製造方法について説明する。チップ抵抗器 A4 の製造方法は、先述したチップ抵抗器 A1 の製造方法に対して、図 11A-D に示す金属薄膜層 32 を形成する工程が省略される点と、図 13 に示す側面電極 33 を形成する工程の内容とが異なる。本実施形態にかかる側面電極 33 は、スパッタリング法により形成される。その他の工程については、チップ抵抗器 A1 の製造方法と同一である。

[0065] 本実施形態においては、チップ抵抗器 A1 の金属薄膜層 32 の導電領域 321 に相当する側面電極 33 の実装面 12 における部分と基板 1 との間に、可とう性を有する応力緩和層 34 の緩和領域 341 が形成されている。したがって、本実施形態においても、基板 1 と、実装された回路基板との熱膨張の相違により発生する熱応力を、応力緩和層 34 の緩和領域 341 が変形することで緩和し、クラックの発生を抑制することができる。また、側面電極 33 の実装面 12 における部分が、応力緩和層 34 とめっき層 35 との間に形成されているので、めっき層 35 を形成しやすい。また、応力緩和層 34 の緩和領域 341 が側面電極 33 の実装面 12 における部分によって完全に覆われていないので、応力緩和層 34 の緩和領域 341 がより変形しやすくなり、熱応力をより緩和させることができる。さらに、図 11A-D に示す金属薄膜層 32 を形成する工程が省略できるので、製造工程が簡略化できる。

[0066] [第 5 実施形態]

図 2 6 および図 2 7 に基づき、本開示の第 5 実施形態にかかるチップ抵抗器 A 5 について説明する。これらの図において、先述したチップ抵抗器 A 1 と同一または類似の要素には同一の符号を付して、重複する説明を省略することとする。

[0067] 図 2 6 は、チップ抵抗器 A 5 を示す平面図である。なお、図 2 6 は、理解の便宜上、めっき層 3 5 および保護膜 5 を省略している。図 2 7 は、図 2 6 の X X V I I - X X V I I 線に沿う断面図である。なお、チップ抵抗器 A 5 の底面図は、図 2 と同様なので省略している。

[0068] 本実施形態のチップ抵抗器 A 5 は、平面視における抵抗体 2 の形状と、保護膜 5 の構成とが、チップ抵抗器 A 1 と異なる。平面視における抵抗体 2 の形状は、サーペンタイン状である。当該形状の抵抗体 2 は、スパッタリング法により基板 1 の搭載面 1 1 に抵抗体 2 を搭載した後、フォトリソグラフィを用いた手法によって形成することができる。この場合、抵抗体 2 は、たとえば N i - C r 合金からなる。すなわち、チップ抵抗器 A 5 は、いわゆる薄膜チップ抵抗器である。また、本実施形態においては、保護膜 5 の下部保護膜 5 1 が省略されている。

[0069] 本実施形態においては、チップ抵抗器 A 1 と同様に、金属薄膜層 3 2 の導電領域 3 2 1 と基板 1 との間に、可とう性を有する応力緩和層 3 4 の緩和領域 3 4 1 が形成されている。したがって、基板 1 と、実装された回路基板との熱膨張の相違により発生する熱応力を、応力緩和層 3 4 の緩和領域 3 4 1 が変形することで緩和し、クラックの発生を抑制することができる。また、金属薄膜層 3 2 が、応力緩和層 3 4 とめっき層 3 5 との間に形成されているので、めっき層 3 5 を形成しやすい。また、応力緩和層 3 4 の緩和領域 3 4 1 が金属薄膜層 3 2 の導電領域 3 2 1 によって完全に覆われていないので、応力緩和層 3 4 の緩和領域 3 4 1 がより変形しやすくなり、熱応力をより緩和させることができる。さらに、平面視における抵抗体 2 の形状をサーペンタイン状とすることで、チップ抵抗器 A 5 の抵抗値を、チップ抵抗器 A 1 よりも相対的に高くしつつ、抵抗値の精度向上を図ることができる。

[0070]     〔第 6 実施形態〕

図 28～図 30 に基づき、本開示の第 6 実施形態にかかるチップ抵抗器 A 6 について説明する。これらの図において、先述したチップ抵抗器 A 1 と同一または類似の要素には同一の符号を付して、重複する説明を省略することとする。

[0071]     図 28 は、チップ抵抗器 A 6 を示す底面図である。なお、図 28 は、理解の便宜上、めっき層 35 を省略している。図 29 A は、チップ抵抗器 A 6 を示す断面図であり、チップ抵抗器 A 1 における図 3 A と同様の断面図である。図 29 B は、図 29 A の一部を拡大した部分拡大断面図である。図 30 は、応力緩和層 34 の周辺の一部を拡大した部分拡大断面図である。なお、チップ抵抗器 A 6 の平面図は、図 1 と同様なので省略している。

[0072]     本実施形態のチップ抵抗器 A 6 は、応力緩和層 34 の構成がチップ抵抗器 A 1 と異なる。図 29 および図 30 に示すように、本実施形態にかかる応力緩和層 34 は、形状が薄片状である導電性粒子 342 が含有された合成樹脂からなる。本実施形態にかかる導電性粒子 342 は、炭素粒子である。なお、導電性粒子 342 は、Ag 粒子であってもよい。導電性粒子 342 の厚さ方向に直交する方向の寸法は、長辺方向で 5～15  $\mu\text{m}$ 、短辺方向で 2～5  $\mu\text{m}$  である。また、当該合成樹脂は、チップ抵抗器 A 1 と同様に、たとえばエポキシ樹脂やシリコン樹脂など可とう性を有する合成樹脂である。

[0073]     本実施形態においては、チップ抵抗器 A 1 と同様に、金属薄膜層 32 の導電領域 321 と基板 1 との間に、可とう性を有する応力緩和層 34 の緩和領域 341 が形成されている。したがって、本実施形態においても、基板 1 と、実装された回路基板との熱膨張の相違により発生する熱応力を、応力緩和層 34 の緩和領域 341 が変形することで緩和し、クラックの発生を抑制することができる。

[0074]     また、本実施形態にかかる応力緩和層 34 には、形状が薄片状である導電性粒子 342 が含有されている。応力緩和層 34 は導電性を有するため、めっき層 35 が形成されやすくなる。また、投錨効果（アンカー効果）により

応力緩和層 34 とめっき層 35 の内側めっき層 351 との密着性が向上し、熱応力によって応力緩和層 34 と内側めっき層 351 との界面に剥離が発生することを防止できる。

[0075]     〔第 7 実施形態〕

図 31 および図 32A-B に基づき、本開示の第 7 実施形態にかかるチップ抵抗器 A7 について説明する。これらの図において、先述したチップ抵抗器 A1 と同一または類似の要素には同一の符号を付して、重複する説明を省略することとする。

[0076]     図 31 は、チップ抵抗器 A7 を示す底面図である。なお、図 31 は、理解の便宜上、めっき層 35 を省略している。図 32A は、チップ抵抗器 A7 を示す断面図であり、チップ抵抗器 A1 における図 3A と同様の断面図である。図 32B は、図 32A の一部を拡大した部分拡大断面図である。なお、チップ抵抗器 A7 の平面図は、図 1 と同様なので省略している。

[0077]     本実施形態のチップ抵抗器 A7 は、応力緩和層 34 の構成がチップ抵抗器 A1 と異なる。図 32A-B に示すように、本実施形態にかかる応力緩和層 34 は、第 1 層 34a および第 2 層 34b を有する。第 1 層 34a は、基板 1 の実装面 12 に接し、かつ電気絶縁体である合成樹脂からなる。当該合成樹脂は、チップ抵抗器 A1 と同様に、たとえばエポキシ樹脂やシリコン樹脂など可とう性を有する合成樹脂である。第 2 層 34b は、第 1 層 34a に積層され、かつ導電性粒子 342 が含有された合成樹脂からなる。第 2 層 34b の構成は、チップ抵抗器 A6 の応力緩和層 34 の構成と同一である。したがって、本実施形態にかかる導電性粒子 342 は、形状が薄片状である炭素粒子である。なお、本実施形態においても、導電性粒子 342 は、形状が薄片状である Ag 粒子であってもよい。

[0078]     本実施形態においては、チップ抵抗器 A1 と同様に、金属薄膜層 32 の導電領域 321 と基板 1 との間に、可とう性を有する応力緩和層 34 の緩和領域 341 が形成されている。したがって、本実施形態においても、基板 1 と、実装された回路基板との熱膨張の相違により発生する熱応力を、応力緩和

層 3 4 の緩和領域 3 4 1 が変形することで緩和し、クラックの発生を抑制することができる。

[0079] また、応力緩和層 3 4 は、基板 1 の実装面 1 2 に接する第 1 層 3 4 a と、第 1 層 3 4 a に積層された第 2 層 3 4 b とを有する。第 1 層 3 4 a は、電気絶縁体である合成樹脂からなる。また、第 2 層 3 4 b の構成は、チップ抵抗器 A 6 の応力緩和層 3 4 の構成と同一である。このような構成をとることによって、第 1 層 3 4 a により基板 1 と応力緩和層 3 4 との密着性の向上を図ることができる。また、導電性を有する第 2 層 3 4 b により、めっき層 3 5 が形成されやすくなるとともに、投錨効果により応力緩和層 3 4 とめっき層 3 5 の内側めっき層 3 5 1 との密着性が向上する。したがって、基板 1 およびめっき層 3 5 の双方との密着性が高い応力緩和層 3 4 とすることができるため、実装された回路基板に対するチップ抵抗器 A 7 の実装強度がより向上する。

[0080] 本開示は、先述した実施形態に限定されるものではない。本開示の各部の具体的な構成は、種々に設計変更自在である。

[0081] 本開示は、以下の付記にかかる実施形態を含む。

[付記 1]

厚さ方向において互いに反対側を向く搭載面および実装面を有する基板と、

前記基板の前記搭載面の第 1 および第 2 端にそれぞれ配置された 2 つの上面電極と、

前記基板の前記搭載面において 2 つの前記上面電極の間に搭載され、かつ 2 つの前記上面電極に導通する抵抗体と、

前記基板の前記実装面に形成された可とう性を有する応力緩和層と、

前記応力緩和層において、前記基板の前記実装面に対向する面とは反対側を向く面に形成された金属薄膜層であって、前記基板の長手方向に離間した 2 つの導電領域を有する金属薄膜層と、

2 つの前記上面電極と前記金属薄膜層の 2 つの前記導電領域とを相互に導

通させる２つの側面電極と、

前記側面電極および前記金属薄膜層を覆うめっき層と、を備える、チップ抵抗器。

[付記２]

前記応力緩和層は、シリコン樹脂またはエポキシ樹脂からなる、付記１に記載のチップ抵抗器。

[付記３]

前記応力緩和層は、導電性の合成樹脂からなる、付記１に記載のチップ抵抗器。

[付記４]

前記応力緩和層は、形状が薄片状である導電性粒子が含有された合成樹脂からなる、付記３に記載のチップ抵抗器。

[付記５]

前記導電性粒子は、炭素粒子を含む、付記４に記載のチップ抵抗器。

[付記６]

前記応力緩和層は、第１層および第２層を有し、

前記第１層は、前記基板の前記実装面に接し、前記第１層は、電気絶縁体である合成樹脂からなり、

前記第２層は、前記第１層に積層され、前記第２層は、前記導電性粒子が含有された合成樹脂からなる、付記４または５に記載のチップ抵抗器。

[付記７]

前記応力緩和層は、前記基板の前記実装面において、前記基板の長手方向の一方端から他方端まで連続して形成されている、付記１または２に記載のチップ抵抗器。

[付記８]

前記応力緩和層は、前記基板の長手方向に互いに離間し、かつ前記基板の前記実装面の第１および第２端にそれぞれ形成された２つの緩和領域を有している、付記１ないし６のいずれかに記載のチップ抵抗器。

## [付記 9]

各々の前記金属薄膜層の前記導電領域は、各々の前記応力緩和層の前記緩和領域のうち前記基板の長手方向において互いに向かい合う端面を露出させ、かつ、各々の前記緩和領域の一部を覆っている、付記 8 に記載のチップ抵抗器。

## [付記 10]

各々の前記金属薄膜層の前記導電領域は、各々の前記応力緩和層の前記緩和領域のうち前記基板の長手方向において互いに向かい合う端面を覆っている、付記 8 に記載のチップ抵抗器。

## [付記 11]

前記金属薄膜層は、スパッタ層を含む、付記 1 ないし 10 のいずれかに記載のチップ抵抗器。

## [付記 12]

前記金属薄膜層は、Ni-Cr 合金からなる、付記 11 に記載のチップ抵抗器。

## [付記 13]

前記側面電極は、前記基板の前記搭載面と前記実装面との間に位置する前記基板の側面に形成される第 2 のスパッタ層を有し、

前記スパッタ層と前記第 2 のスパッタ層とは一体として形成される、付記 11 または 12 に記載のチップ抵抗器。

## [付記 14]

前記側面電極は、Ni-Cr 合金からなる、付記 13 に記載のチップ抵抗器。

## [付記 15]

前記側面電極は、前記基板の前記搭載面と前記実装面との間に位置する前記基板の側面に配置された部分と、平面視において前記搭載面および前記実装面に重なる部分とを有している、付記 1 ないし 12 のいずれかに記載のチップ抵抗器。

## [付記 16]

前記めっき層は、Niめっき層およびSnめっき層を有する、付記1ないし15のいずれかに記載のチップ抵抗器。

## [付記 17]

前記応力緩和層の厚さは、10～50  $\mu\text{m}$ である、付記1ないし16のいずれかに記載のチップ抵抗器。

## [付記 18]

前記基板は、電気絶縁体である、付記1ないし17のいずれかに記載のチップ抵抗器。

## [付記 19]

前記基板は、アルミナからなる、付記18に記載のチップ抵抗器。

## [付記 20]

平面視における前記抵抗体の形状は、サーペンタイン状である、付記1ないし19のいずれかに記載のチップ抵抗器。

## [付記 21]

前記抵抗体は、RuO<sub>2</sub>またはAg-Pd合金を含む、付記1ないし20のいずれかに記載のチップ抵抗器。

## [付記 22]

前記抵抗体は、前記基板の厚さ方向に貫通するトリミング溝を有する、付記1ないし21のいずれかに記載のチップ抵抗器。

## [付記 23]

前記抵抗体と、前記上面電極の一部と、を覆う保護膜をさらに備える、付記1ないし22のいずれかに記載のチップ抵抗器。

## [付記 24]

前記保護膜は、下部保護膜および上部保護膜を有する、付記23に記載のチップ抵抗器。

## [付記 25]

前記下部保護膜は、ガラスを含む、付記24に記載のチップ抵抗器。

## [付記 2 6]

前記上部保護膜は、エポキシ樹脂を含む、付記 2 4 または 2 5 に記載のチップ抵抗器。

## [付記 2 7]

厚さ方向において互いに反対側を向く搭載面および実装面を有するシート状基板を用意することと、

前記シート状基板の前記搭載面に、互いに離間した 2 つの上面電極を形成することと、

前記シート状基板の前記搭載面のうち、2 つの前記上面電極に挟まれた領域に、2 つの前記上面電極と導通する抵抗体を搭載することと、

前記実装面に可とう性を有する応力緩和層を形成することと、

前記応力緩和層の、前記シート状基板とは反対側の面に 2 つの領域を有する金属薄膜層を形成することと、

前記シート状基板を、2 つの前記上面電極が離間する方向を短手方向とする複数の帯状基板に分割することと、

前記帯状基板の長手方向の第 1 および第 2 端に沿って位置する側面、前記搭載面および前記実装面に、2 つの前記上面電極と前記金属薄膜層の 2 つの領域とを相互に導通させる 2 つの側面電極を形成することと、

前記側面電極および前記金属薄膜層を覆うめっき層を形成することと、を備える、チップ抵抗器の製造方法。

## [付記 2 8]

前記金属薄膜層を形成することでは、スパッタリング法により前記金属薄膜層を形成する、付記 2 7 に記載のチップ抵抗器の製造方法。

## [付記 2 9]

前記抵抗体を搭載することでは、印刷を用いた手法により、またはスパッタリング法およびフォトリソグラフィを用いた手法により、前記抵抗体を搭載する、付記 2 7 または 2 8 に記載のチップ抵抗器の製造方法。

## [付記 3 0]

前記めっき層を形成することの前に、前記帯状基板を複数の個片に分割することをさらに備える、付記 27 ないし 29 のいずれかに記載のチップ抵抗器の製造方法。

[付記 31]

前記抵抗体に、前記抵抗体を貫通するトリミング溝を形成することをさらに備える、付記 27 ないし 30 のいずれかに記載のチップ抵抗器の製造方法。

[付記 32]

前記抵抗体と、前記上面電極の一部と、を覆う保護膜を形成することをさらに備える、付記 27 ないし 31 のいずれかに記載のチップ抵抗器の製造方法。

## 請求の範囲

- [請求項1] 厚さ方向において互いに反対側を向く搭載面および実装面を有する基板と、  
前記基板の前記搭載面の第1および第2端にそれぞれ配置された2つの上面電極と、  
前記基板の前記搭載面において2つの前記上面電極の間に搭載され、かつ2つの前記上面電極に導通する抵抗体と、  
前記基板の前記実装面に形成された可とう性を有する応力緩和層と、  
前記応力緩和層において、前記基板の前記実装面に対向する面とは反対側を向く面に形成された金属薄膜層であって、前記基板の長手方向に離間した2つの導電領域を有する金属薄膜層と、  
2つの前記上面電極と前記金属薄膜層の2つの前記導電領域とを相互に導通させる2つの側面電極と、  
前記側面電極および前記金属薄膜層を覆うめっき層と、を備える、チップ抵抗器。
- [請求項2] 前記応力緩和層は、シリコン樹脂またはエポキシ樹脂からなる、請求項1に記載のチップ抵抗器。
- [請求項3] 前記応力緩和層は、導電性の合成樹脂からなる、請求項1に記載のチップ抵抗器。
- [請求項4] 前記応力緩和層は、形状が薄片状である導電性粒子が含有された合成樹脂からなる、請求項3に記載のチップ抵抗器。
- [請求項5] 前記導電性粒子は、炭素粒子を含む、請求項4に記載のチップ抵抗器。
- [請求項6] 前記応力緩和層は、第1層および第2層を有し、  
前記第1層は、前記基板の前記実装面に接し、前記第1層は、電気絶縁体である合成樹脂からなり、  
前記第2層は、前記第1層に積層され、前記第2層は、前記導電性

粒子が含有された合成樹脂からなる、請求項4または5に記載のチップ抵抗器。

[請求項7] 前記応力緩和層は、前記基板の前記実装面において、前記基板の長手方向の一方端から他方端まで連続して形成されている、請求項1または2に記載のチップ抵抗器。

[請求項8] 前記応力緩和層は、前記基板の長手方向に互いに離間し、かつ前記基板の前記実装面の第1および第2端にそれぞれ形成された2つの緩和領域を有している、請求項1ないし6のいずれかに記載のチップ抵抗器。

[請求項9] 各々の前記金属薄膜層の前記導電領域は、各々の前記応力緩和層の前記緩和領域のうち前記基板の長手方向において互いに向かい合う端面を露出させ、かつ、各々の前記緩和領域の一部を覆っている、請求項8に記載のチップ抵抗器。

[請求項10] 各々の前記金属薄膜層の前記導電領域は、各々の前記応力緩和層の前記緩和領域のうち前記基板の長手方向において互いに向かい合う端面を覆っている、請求項8に記載のチップ抵抗器。

[請求項11] 前記金属薄膜層は、スパッタ層を含む、請求項1ないし10のいずれかに記載のチップ抵抗器。

[請求項12] 前記金属薄膜層は、Ni-Cr合金からなる、請求項11に記載のチップ抵抗器。

[請求項13] 前記側面電極は、前記基板の前記搭載面と前記実装面との間に位置する前記基板の側面に形成される第2のスパッタ層を有し、  
前記スパッタ層と前記第2のスパッタ層とは一体として形成される、請求項11または12に記載のチップ抵抗器。

[請求項14] 前記側面電極は、Ni-Cr合金からなる、請求項13に記載のチップ抵抗器。

[請求項15] 前記側面電極は、前記基板の前記搭載面と前記実装面との間に位置する前記基板の側面に配置された部分と、平面視において前記搭載面

および前記実装面に重なる部分とを有している、請求項 1 ないし 12 のいずれかに記載のチップ抵抗器。

[請求項16] 前記めっき層は、Niめっき層およびSnめっき層を有する、請求項 1 ないし 15 のいずれかに記載のチップ抵抗器。

[請求項17] 前記応力緩和層の厚さは、10～50  $\mu\text{m}$  である、請求項 1 ないし 16 のいずれかに記載のチップ抵抗器。

[請求項18] 前記基板は、電気絶縁体である、請求項 1 ないし 17 のいずれかに記載のチップ抵抗器。

[請求項19] 前記基板は、アルミナからなる、請求項 18 に記載のチップ抵抗器。

[請求項20] 平面視における前記抵抗体の形状は、サーペンタイン状である、請求項 1 ないし 19 のいずれかに記載のチップ抵抗器。

[請求項21] 前記抵抗体は、RuO<sub>2</sub>またはAg-Pd合金を含む、請求項 1 ないし 20 のいずれかに記載のチップ抵抗器。

[請求項22] 前記抵抗体は、前記基板の厚さ方向に貫通するトリミング溝を有する、請求項 1 ないし 21 のいずれかに記載のチップ抵抗器。

[請求項23] 前記抵抗体と、前記上面電極の一部と、を覆う保護膜をさらに備える、請求項 1 ないし 22 のいずれかに記載のチップ抵抗器。

[請求項24] 前記保護膜は、下部保護膜および上部保護膜を有する、請求項 23 に記載のチップ抵抗器。

[請求項25] 前記下部保護膜は、ガラスを含む、請求項 24 に記載のチップ抵抗器。

[請求項26] 前記上部保護膜は、エポキシ樹脂を含む、請求項 24 または 25 に記載のチップ抵抗器。

[請求項27] 厚さ方向において互いに反対側を向く搭載面および実装面を有するシート状基板を用意することと、

前記シート状基板の前記搭載面に、互いに離間した2つの上面電極を形成することと、

前記シート状基板の前記搭載面のうち、2つの前記上面電極に挟まれた領域に、2つの前記上面電極と導通する抵抗体を搭載することと、

前記実装面に可とう性を有する応力緩和層を形成することと、

前記応力緩和層の、前記シート状基板とは反対側の面に2つの領域を有する金属薄膜層を形成することと、

前記シート状基板を、2つの前記上面電極が離間する方向を短手方向とする複数の帯状基板に分割することと、

前記帯状基板の長手方向の第1および第2端に沿って位置する側面、前記搭載面および前記実装面に、2つの前記上面電極と前記金属薄膜層の2つの領域とを相互に導通させる2つの側面電極を形成することと、

前記側面電極および前記金属薄膜層を覆うめっき層を形成することと、を備える、チップ抵抗器の製造方法。

[請求項28] 前記金属薄膜層を形成することでは、スパッタリング法により前記金属薄膜層を形成する、請求項27に記載のチップ抵抗器の製造方法。

[請求項29] 前記抵抗体を搭載することでは、印刷を用いた手法により、またはスパッタリング法およびフォトリソグラフィを用いた手法により、前記抵抗体を搭載する、請求項27または28に記載のチップ抵抗器の製造方法。

[請求項30] 前記めっき層を形成することの前に、前記帯状基板を複数の個片に分割することをさらに備える、請求項27ないし29のいずれかに記載のチップ抵抗器の製造方法。

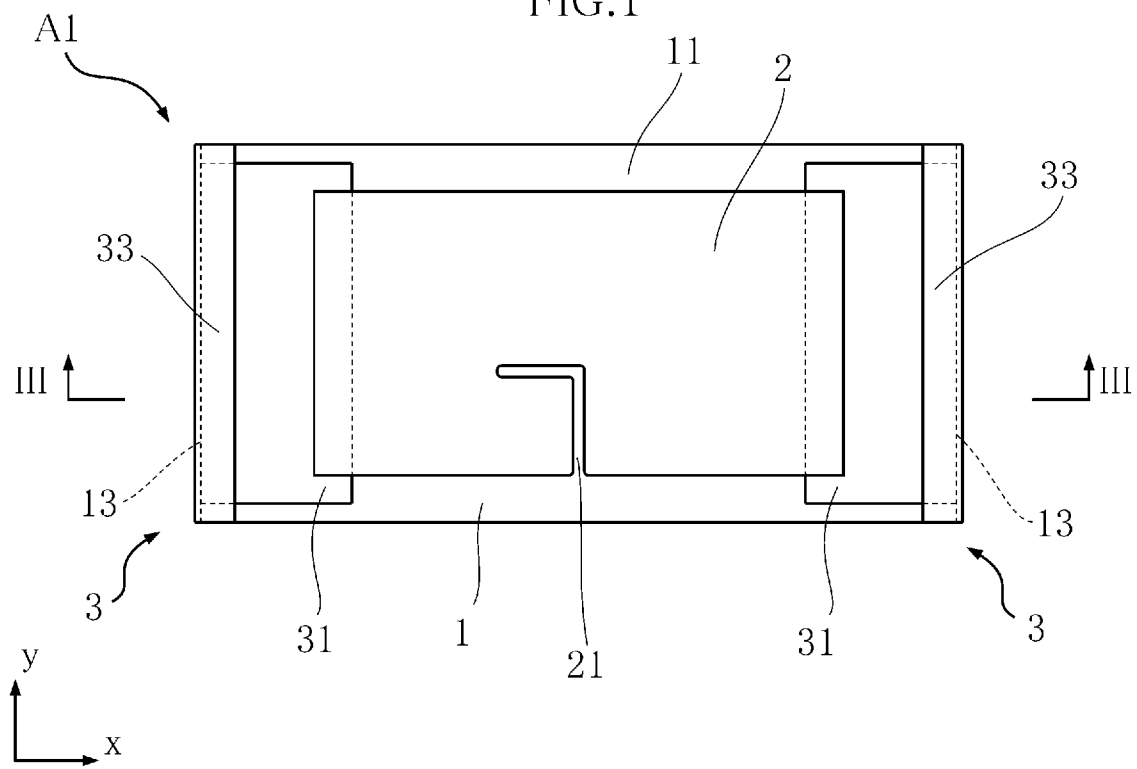
[請求項31] 前記抵抗体に、前記抵抗体を貫通するトリミング溝を形成することをさらに備える、請求項27ないし30のいずれかに記載のチップ抵抗器の製造方法。

[請求項32] 前記抵抗体と、前記上面電極の一部と、を覆う保護膜を形成するこ

とをさらに備える、請求項 27 ないし 31 のいずれかに記載のチップ抵抗器の製造方法。

[図1]

FIG.1



[図2]

FIG.2

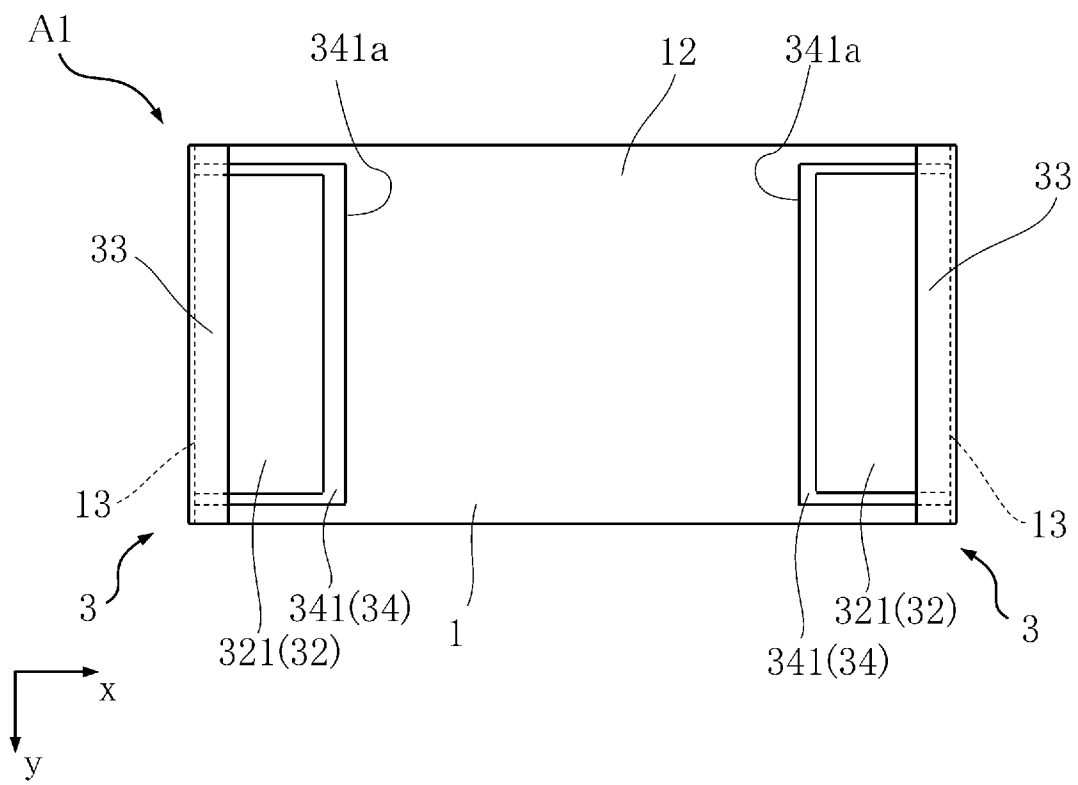


FIG.3A

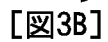


FIG.3B

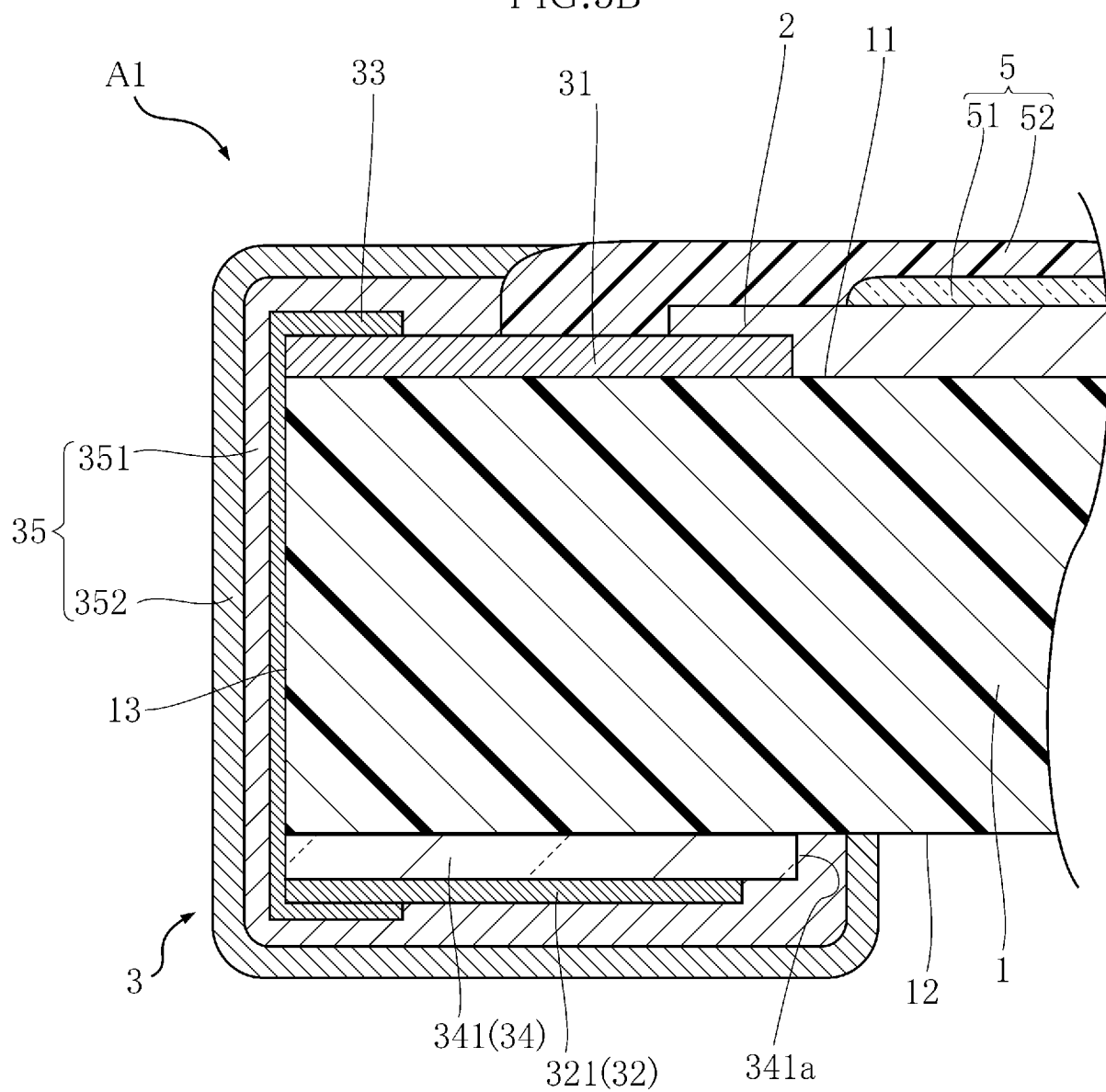
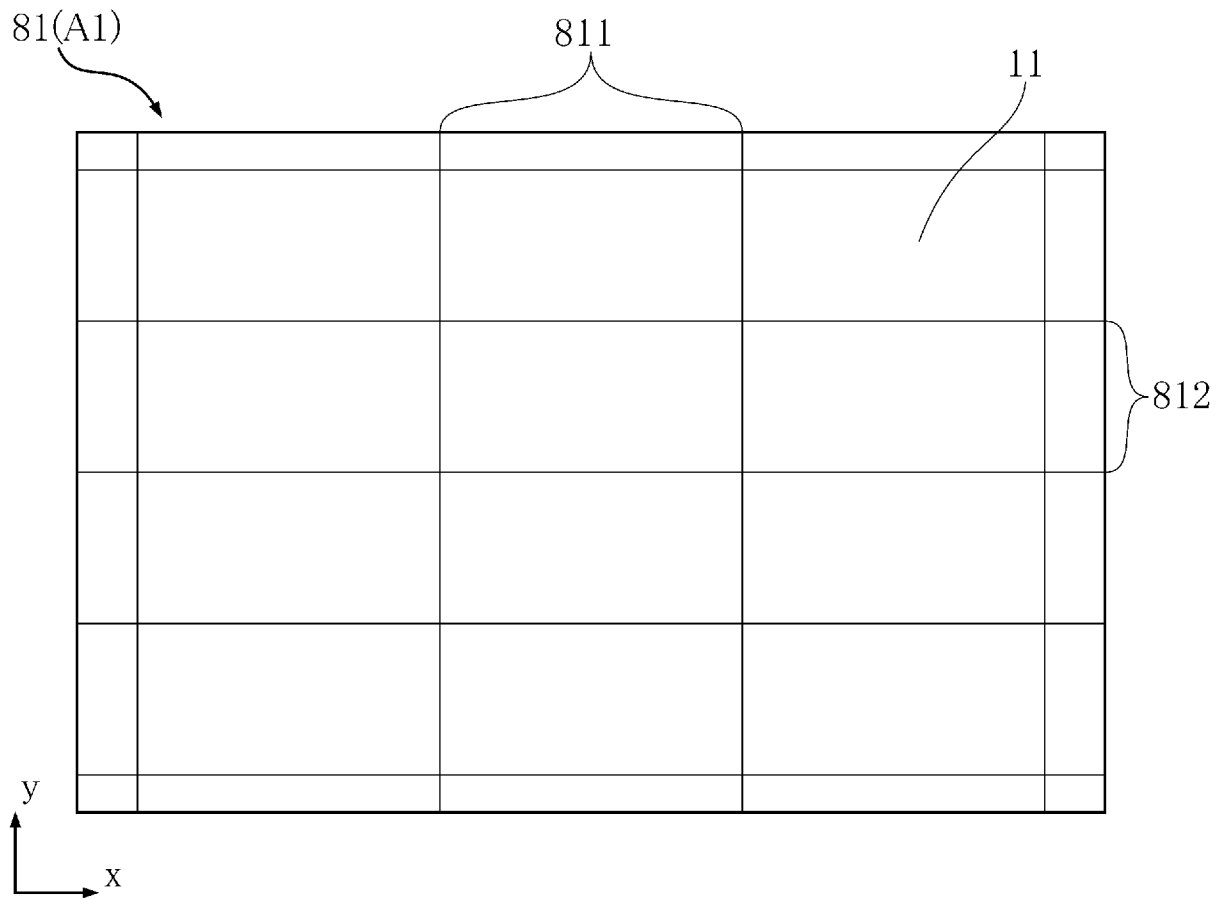
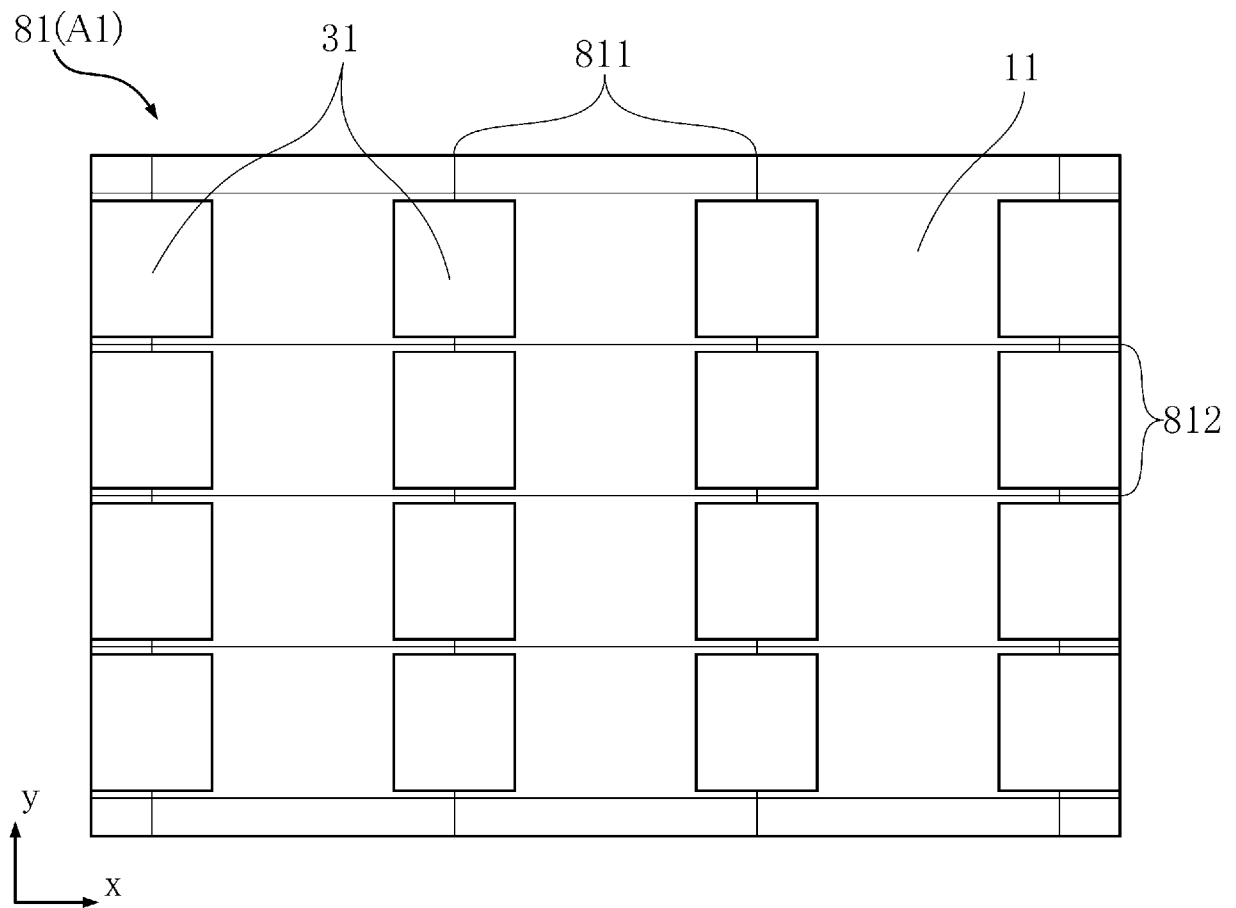


FIG.4



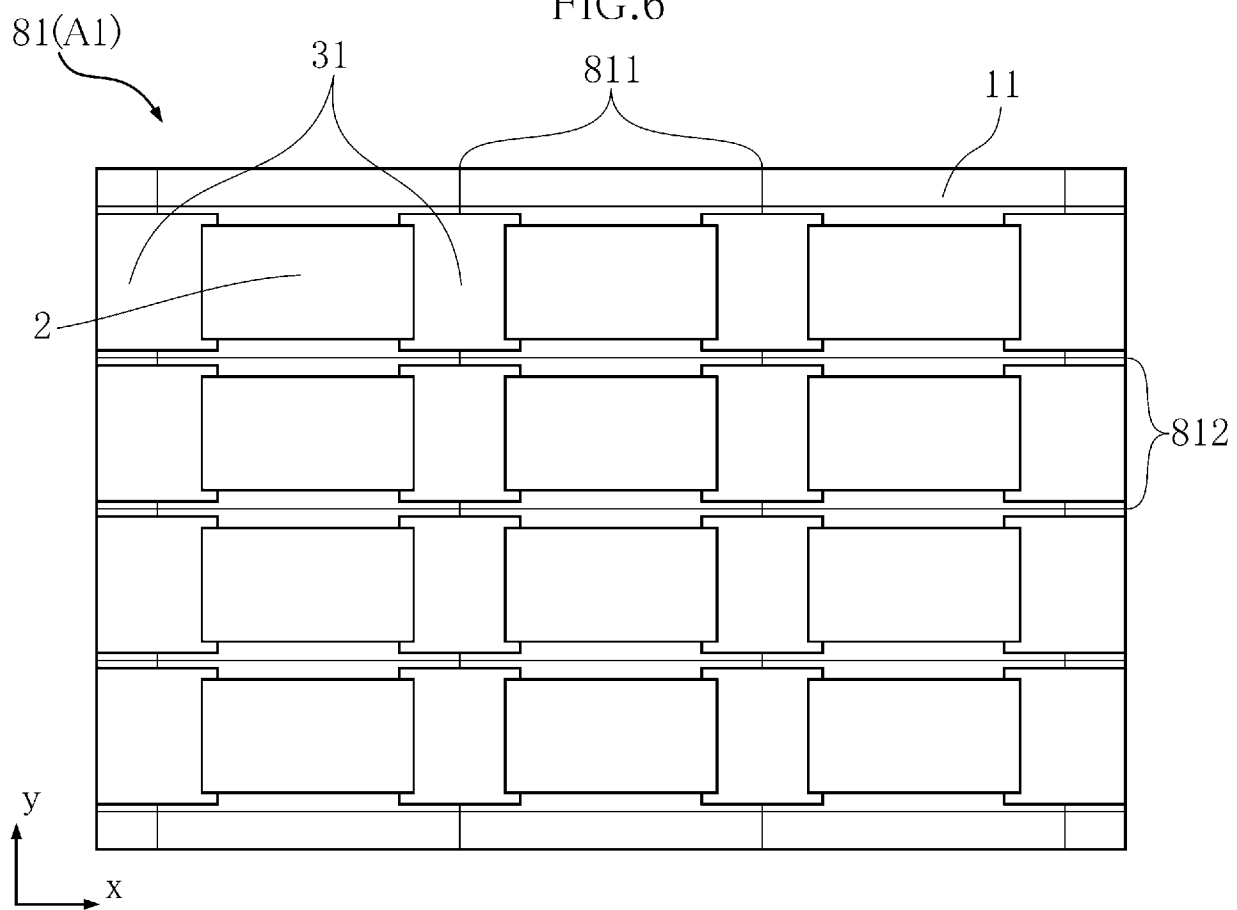
[図5]

FIG.5



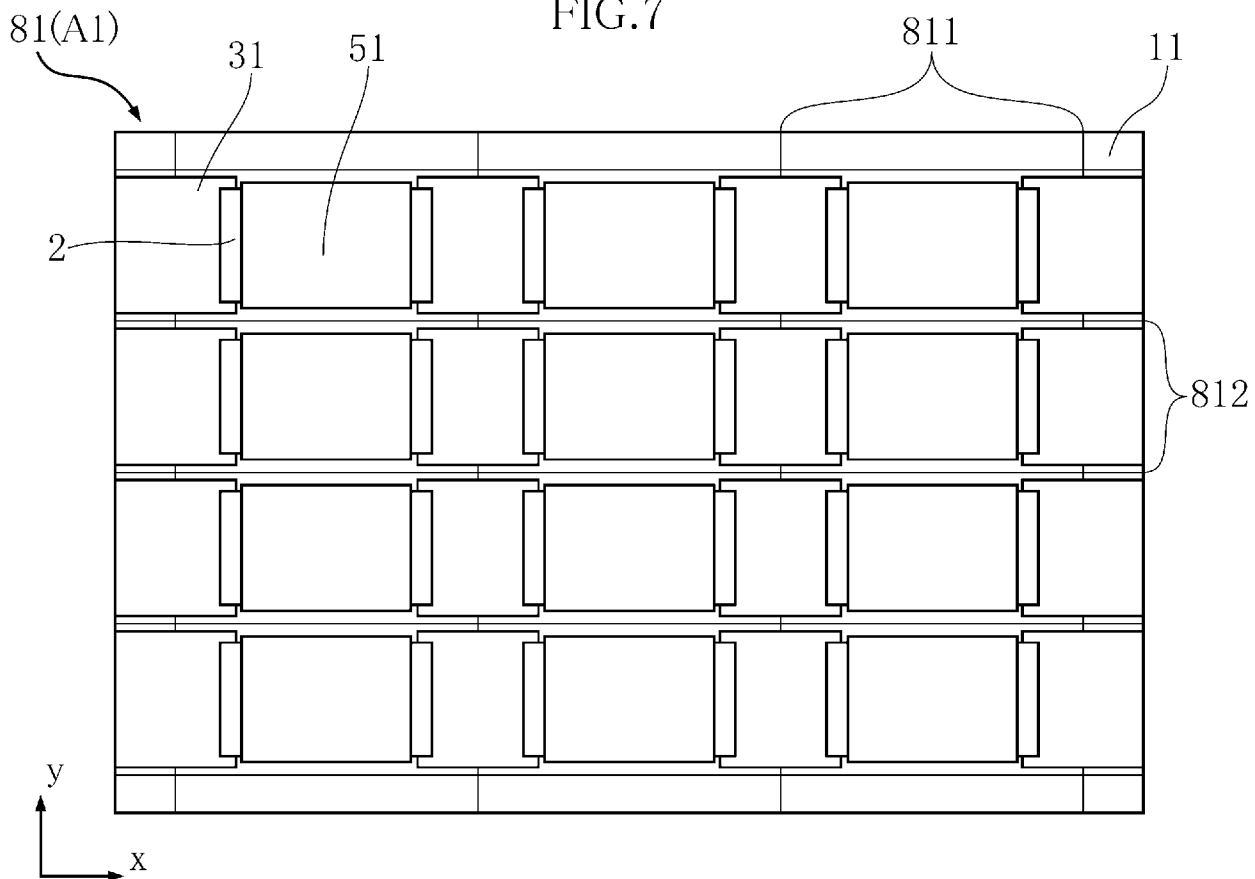
[図6]

FIG.6



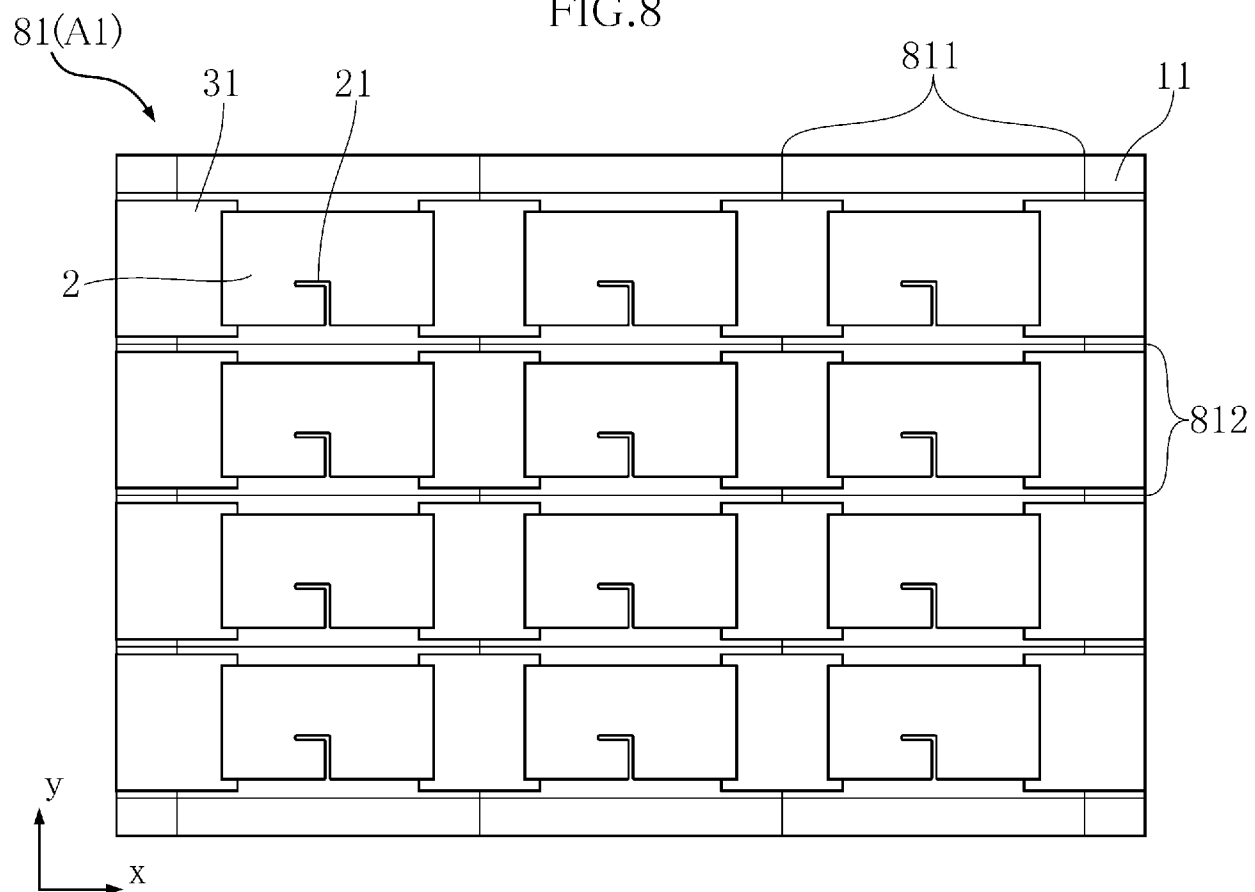
[図7]

FIG.7



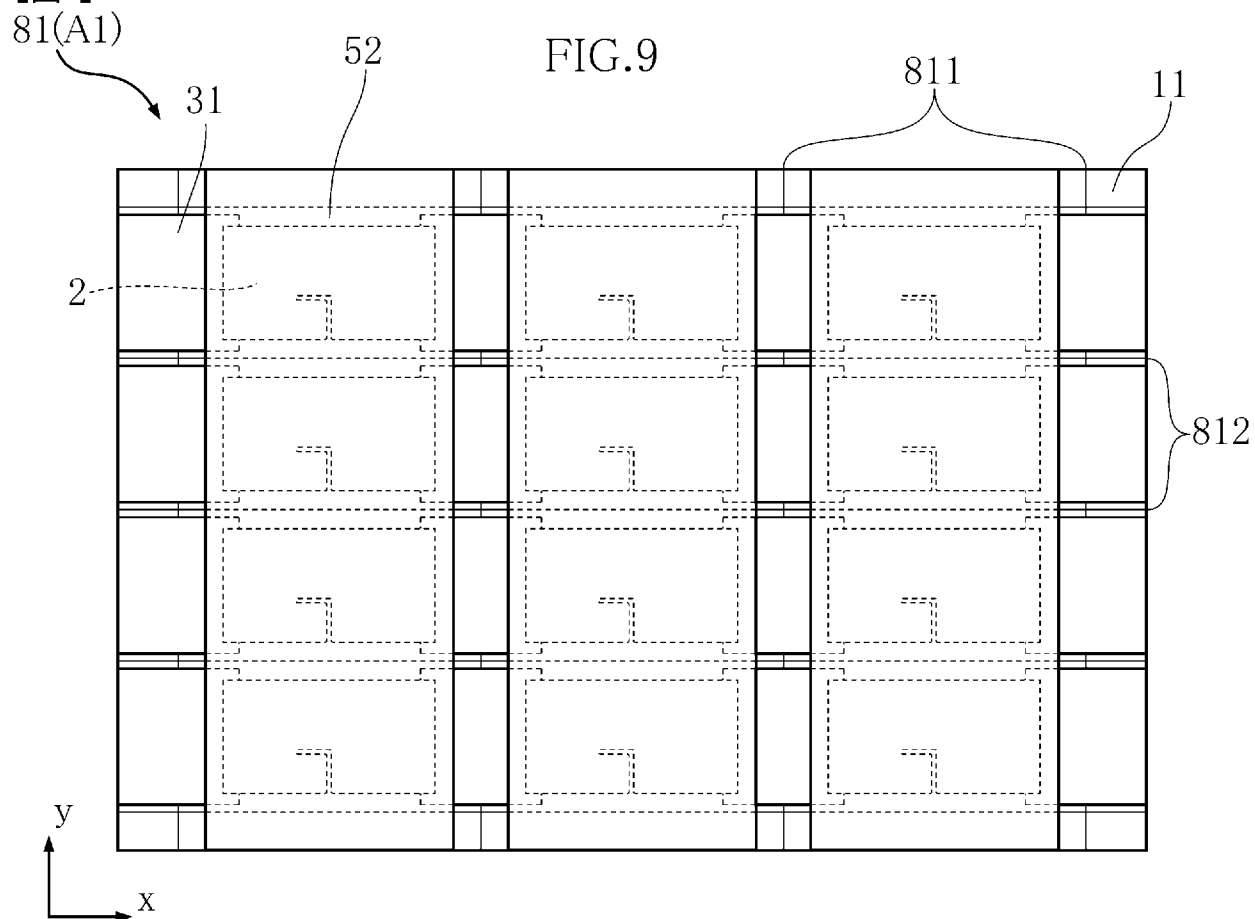
[図8]

FIG.8



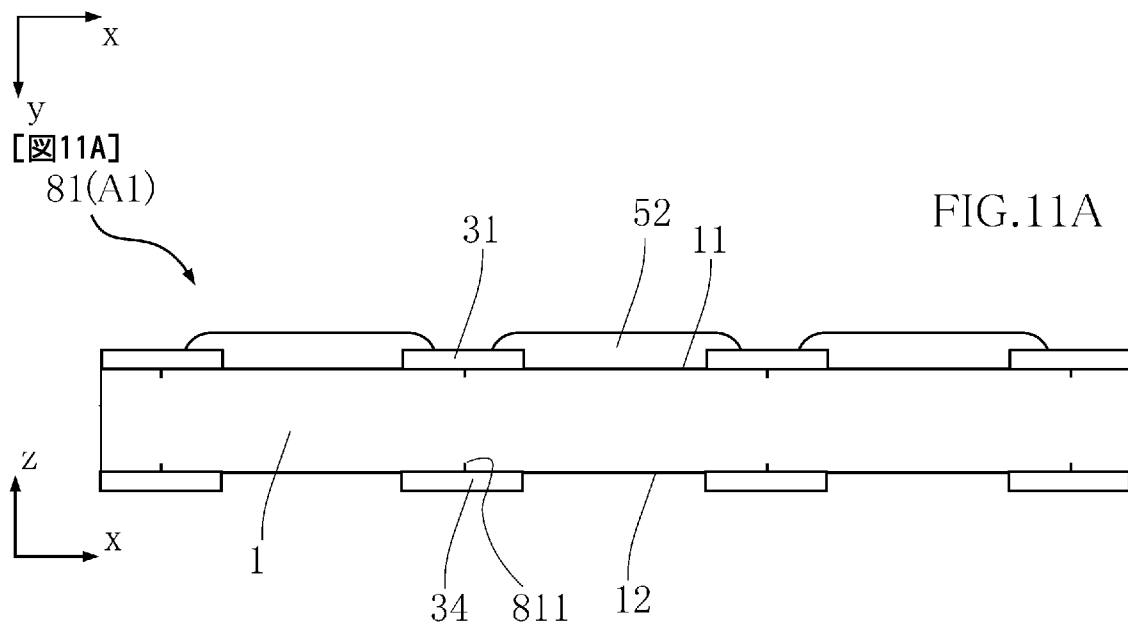
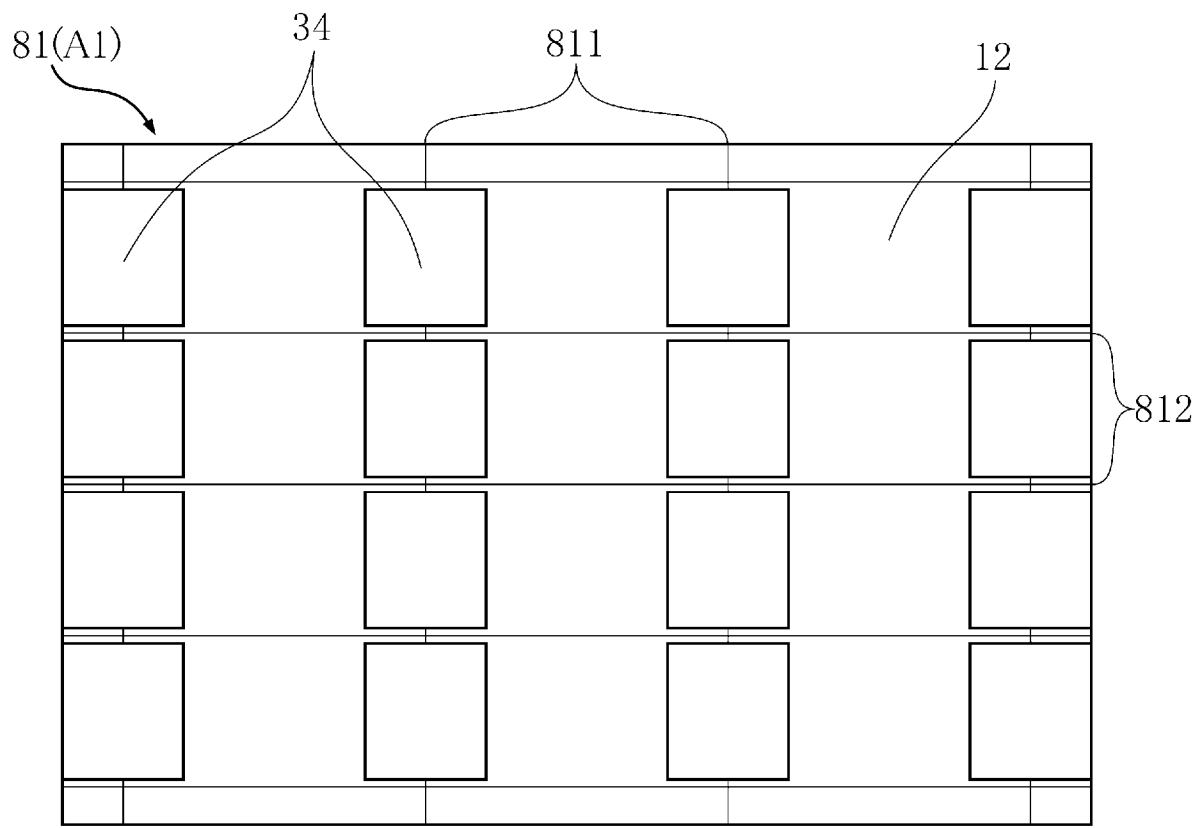
[図9]

FIG.9



[図10]

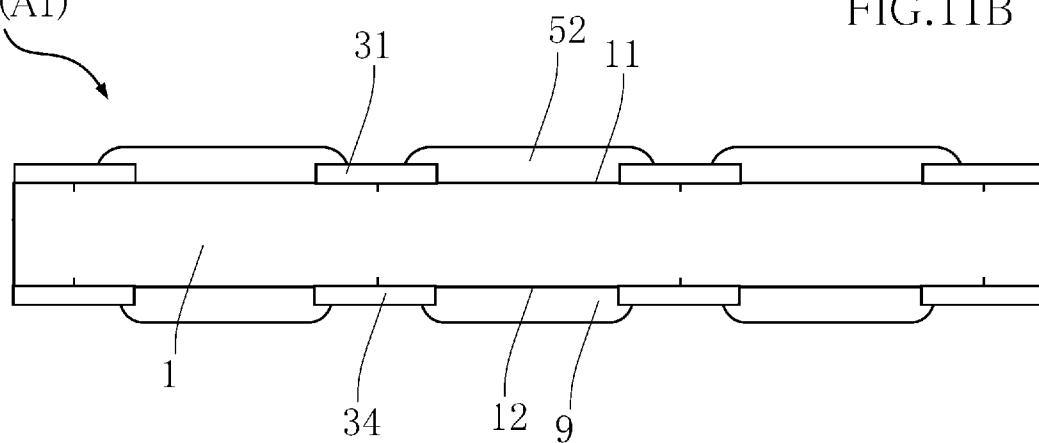
FIG.10



[図11B]

81(A1)

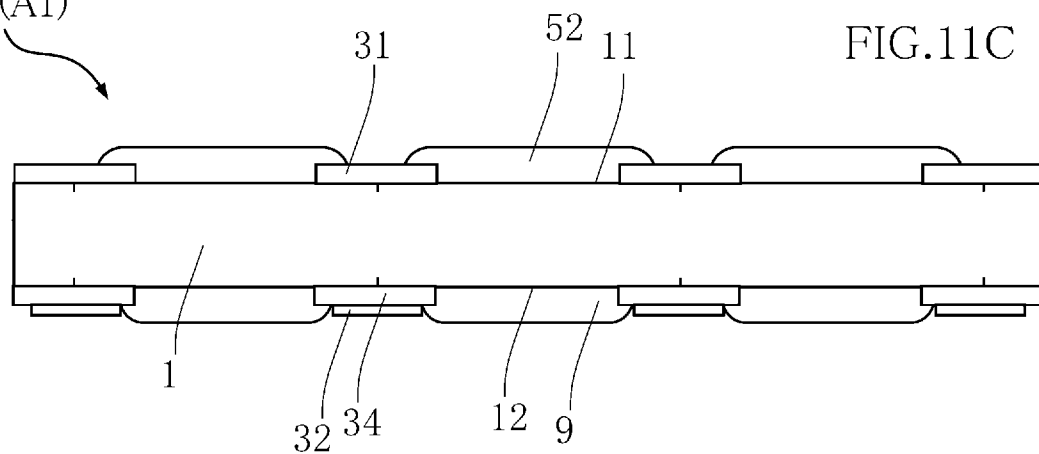
FIG.11B



[図11C]

81(A1)

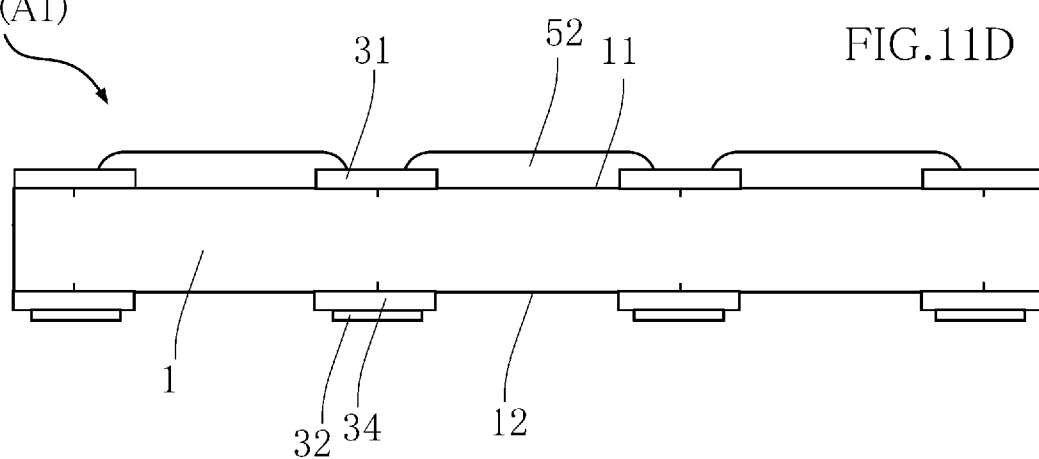
FIG.11C



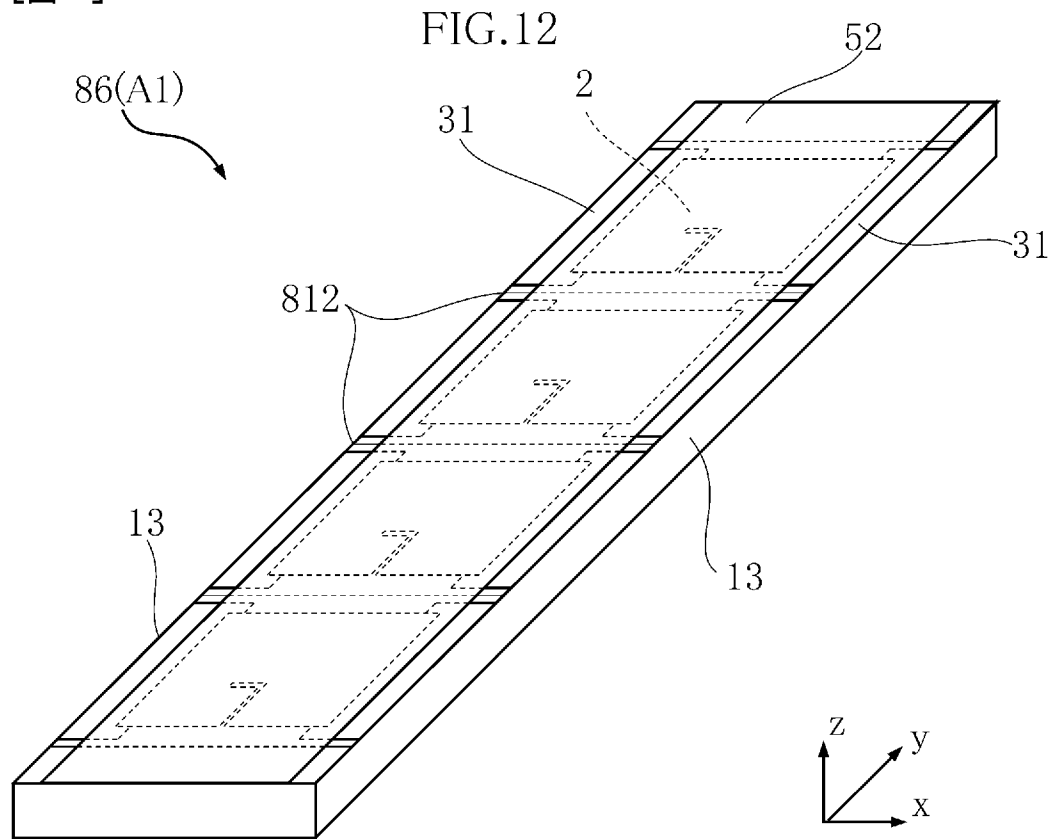
[図11D]

81(A1)

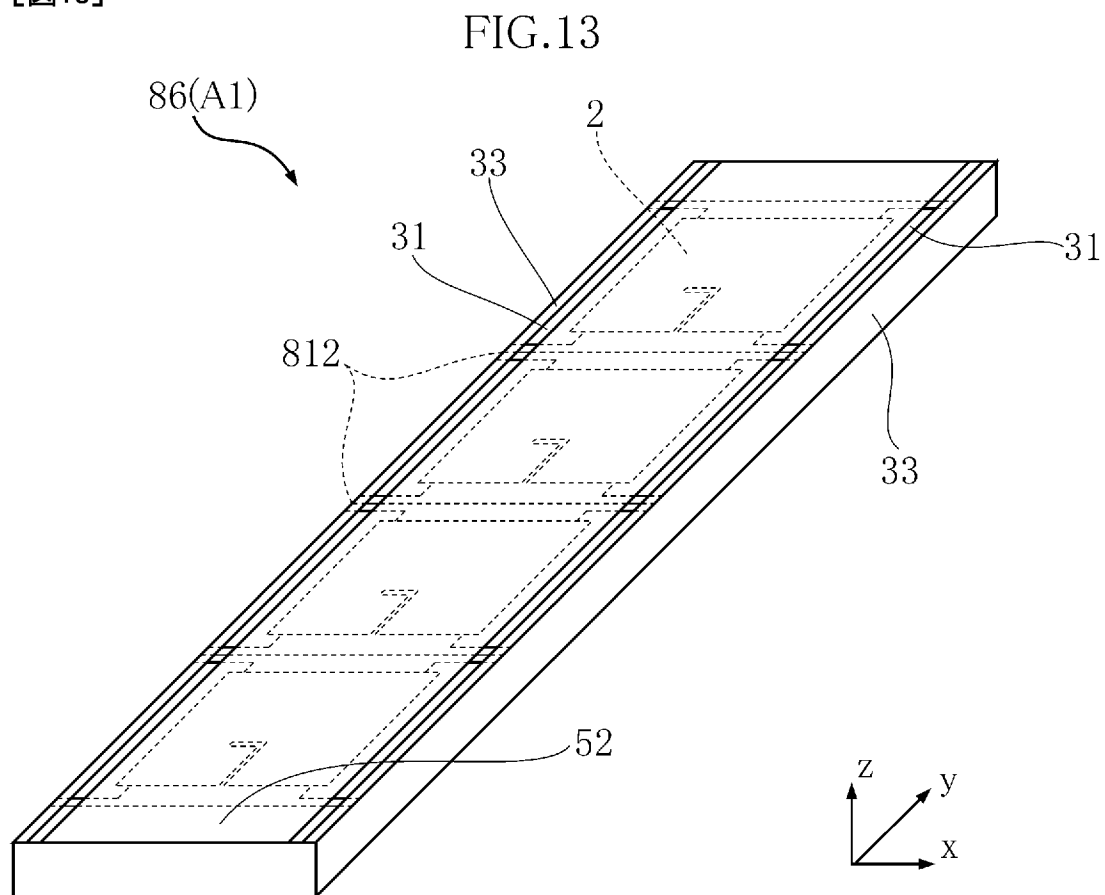
FIG.11D



[図12]

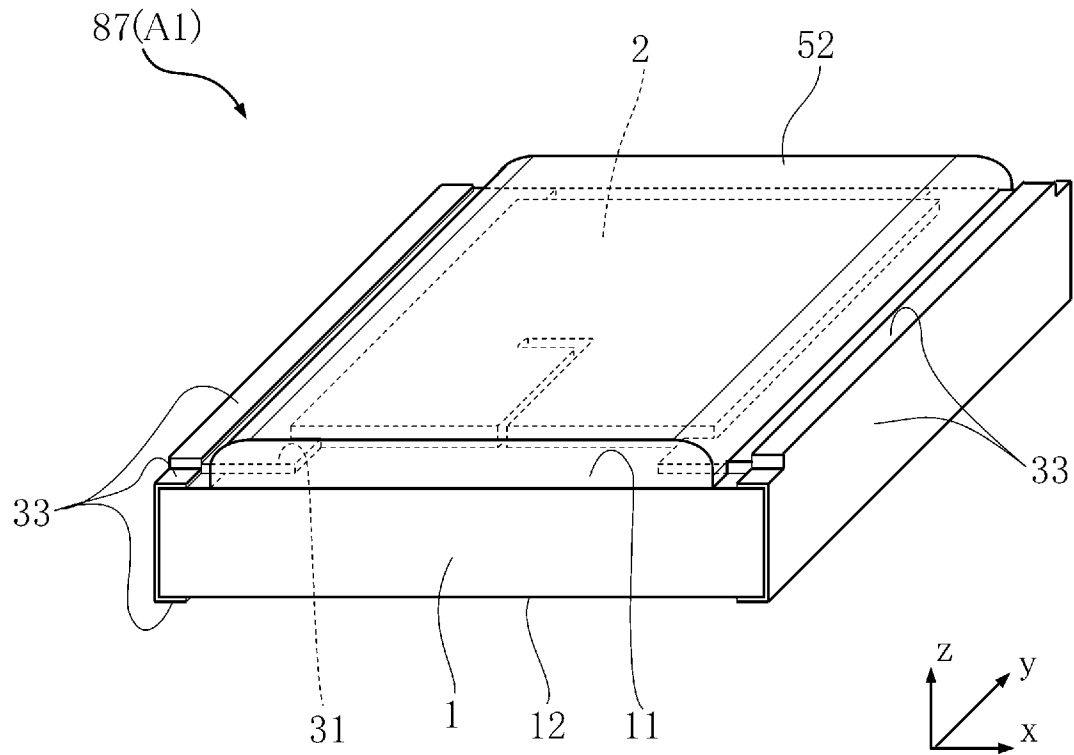


[図13]



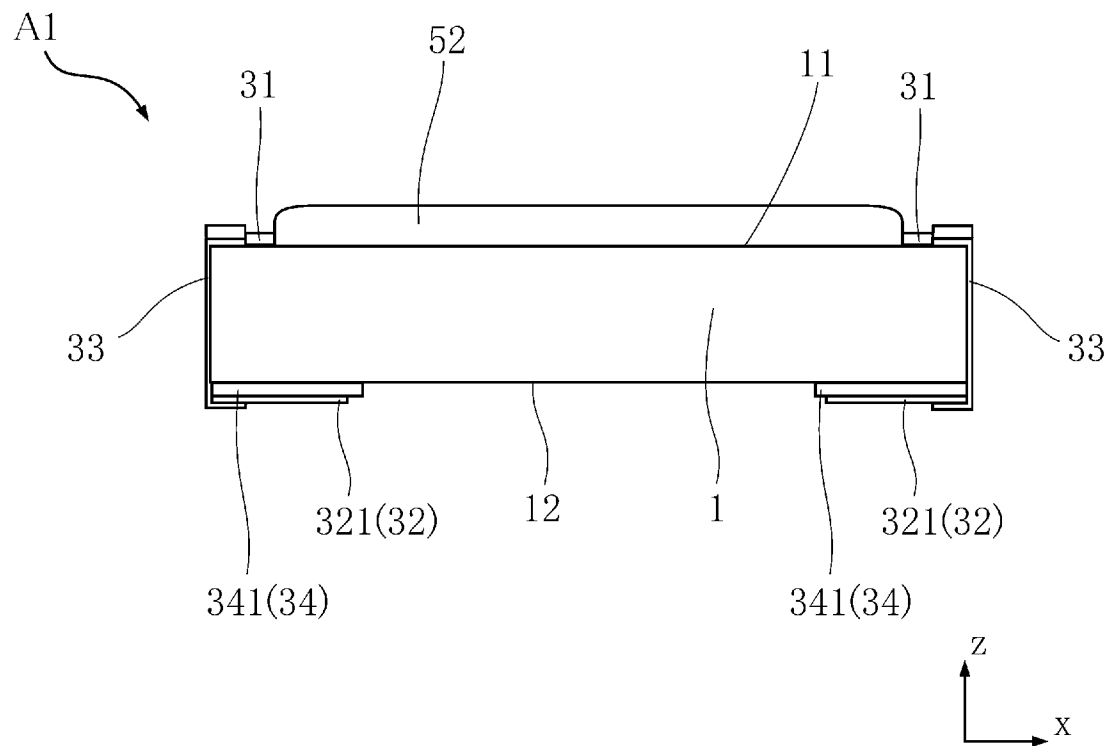
[図14A]

FIG.14A



[図14B]

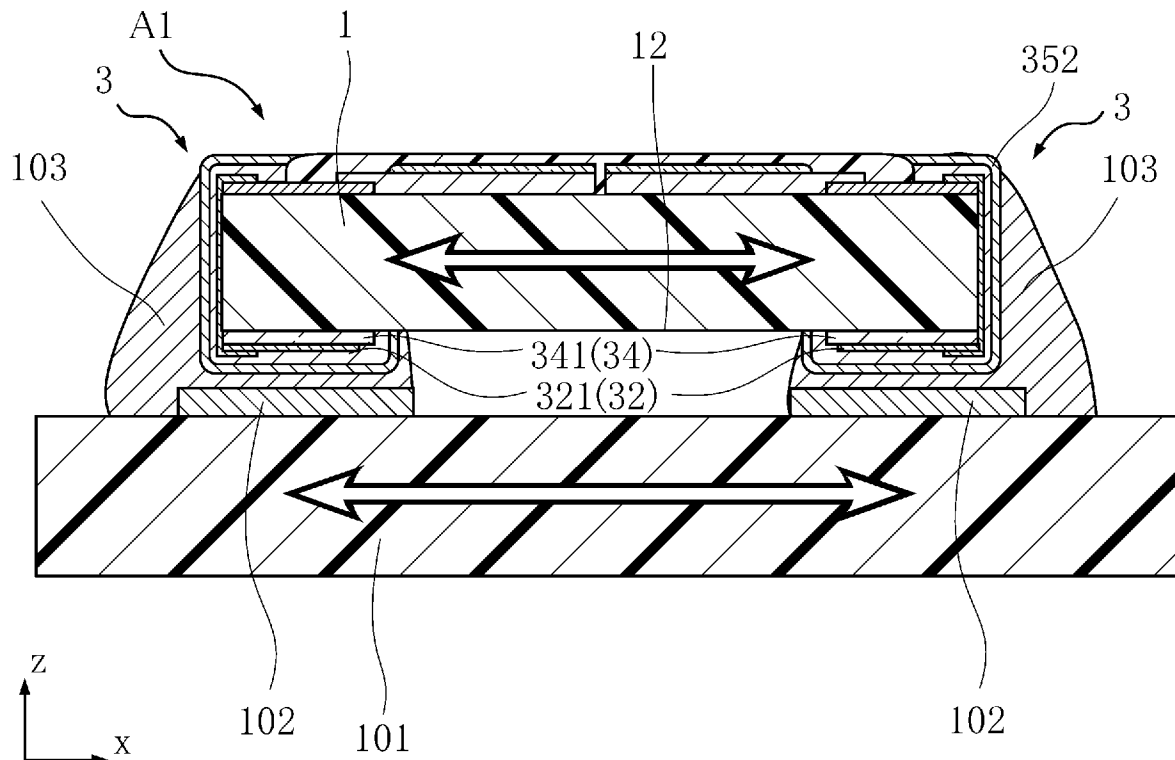
FIG.14B





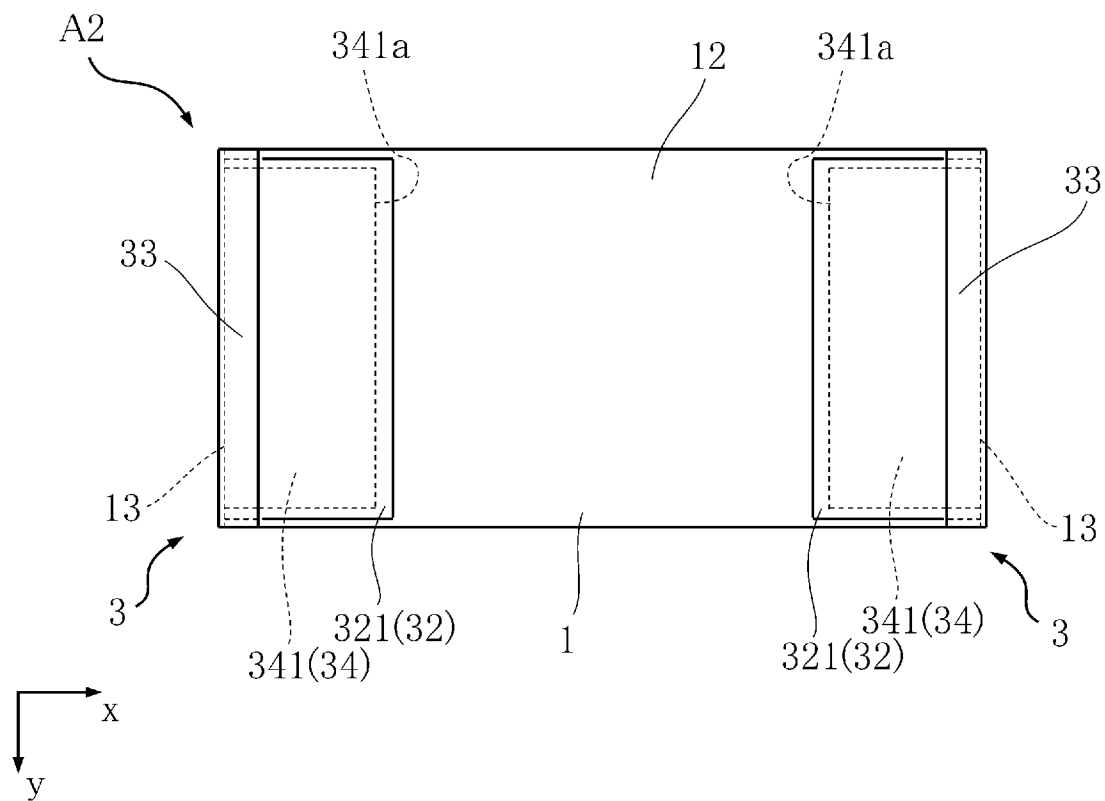
[図16]

FIG.16



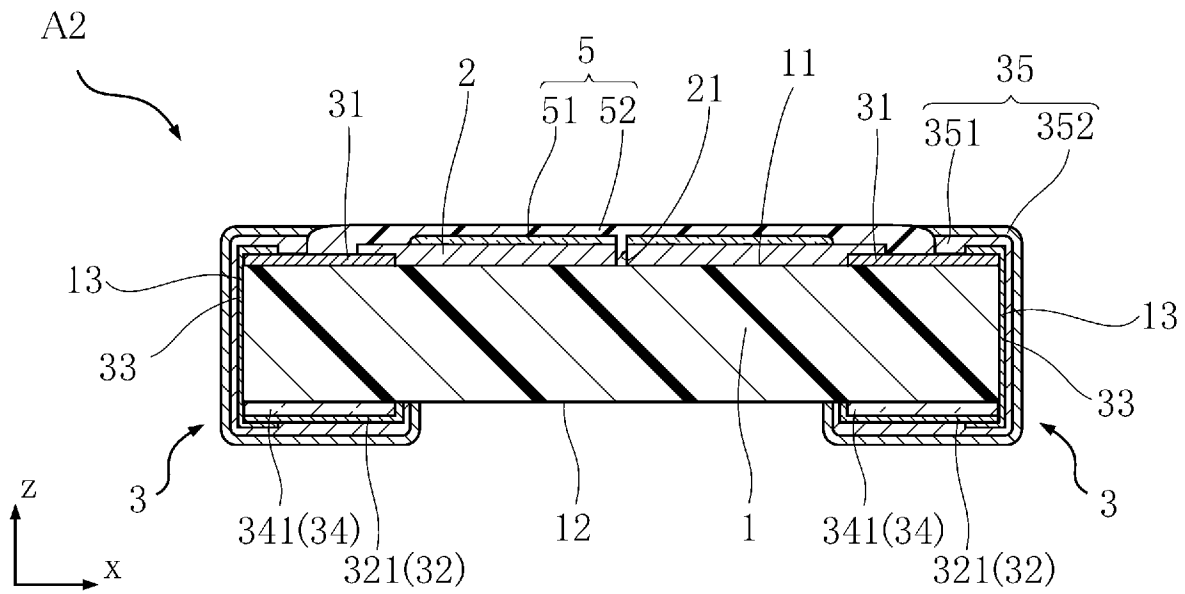
[図17]

FIG.17



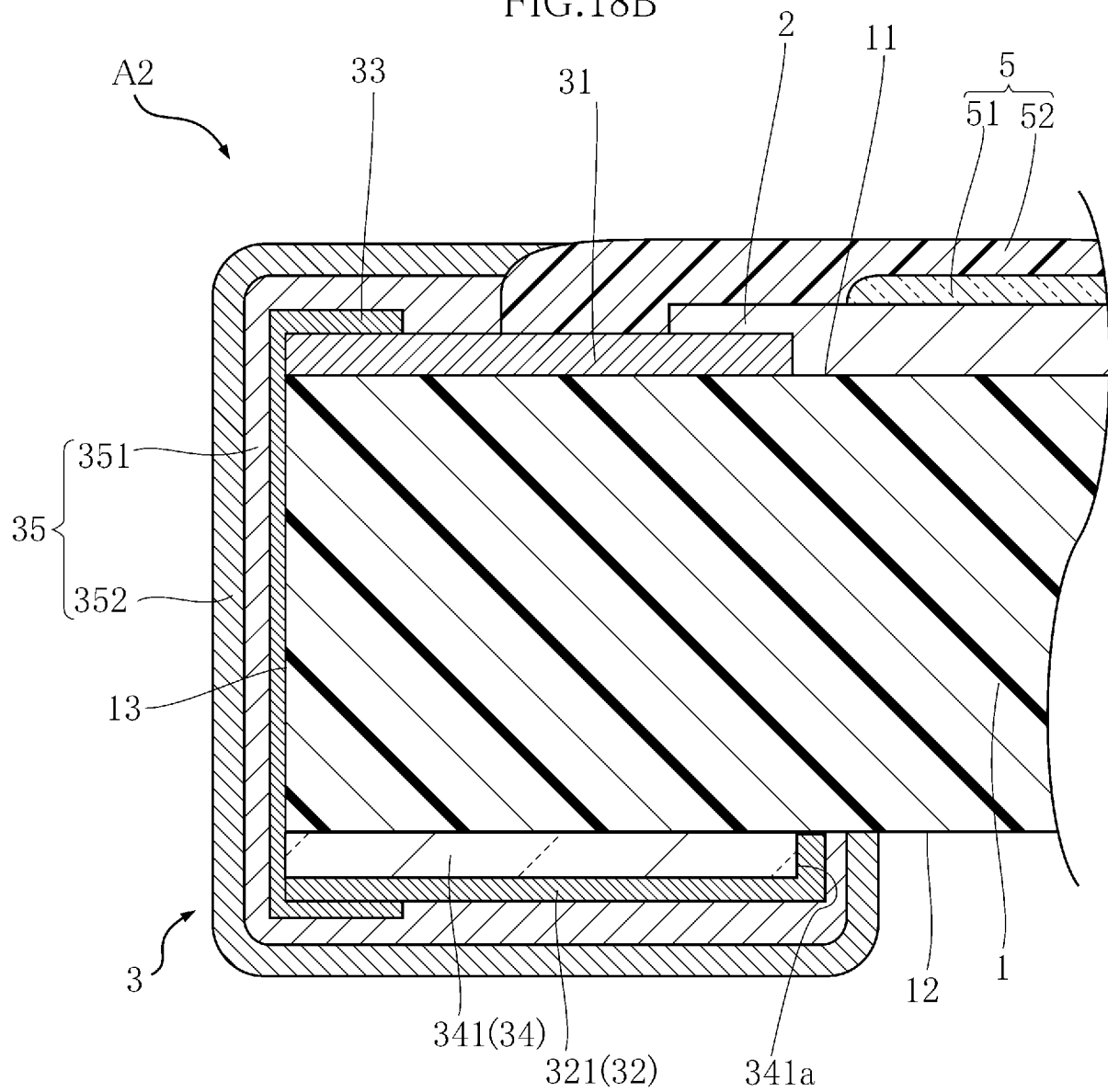
[FIG.18A]

FIG.18A



[FIG.18B]

FIG.18B



[図19A]

81(A2)

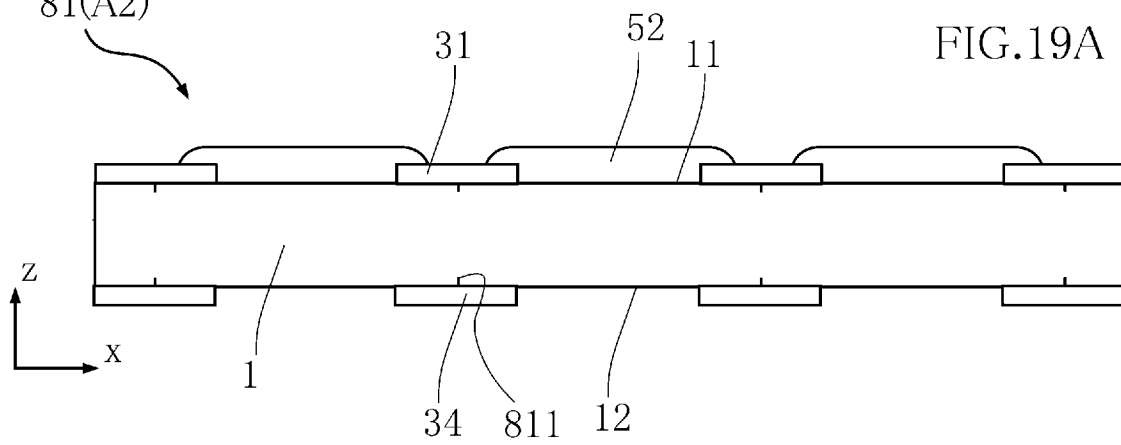


FIG.19A

[図19B]

81(A2)

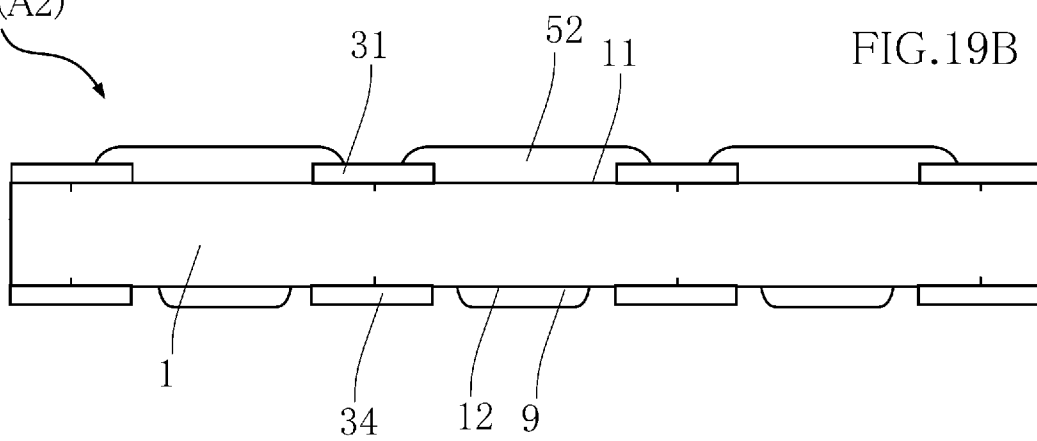


FIG.19B

[図19C]

81(A2)

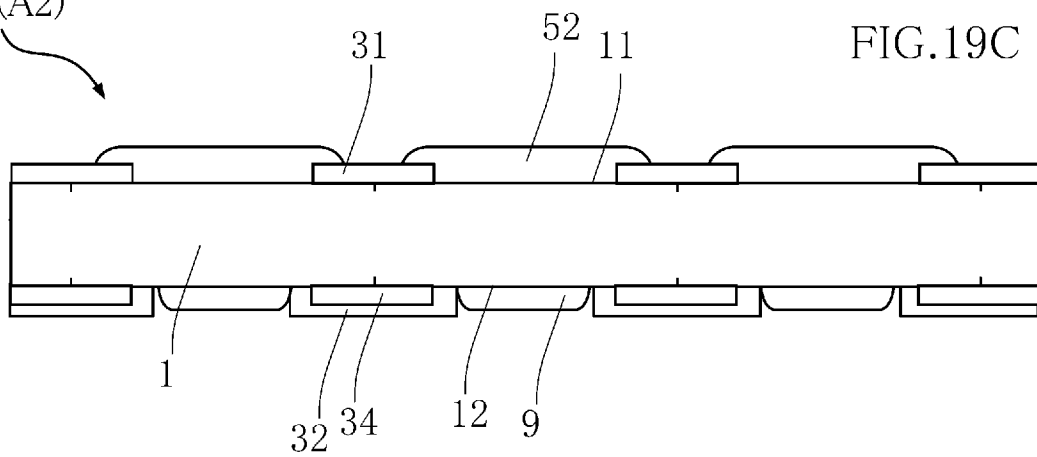


FIG.19C

[図19D]  
81(A2)

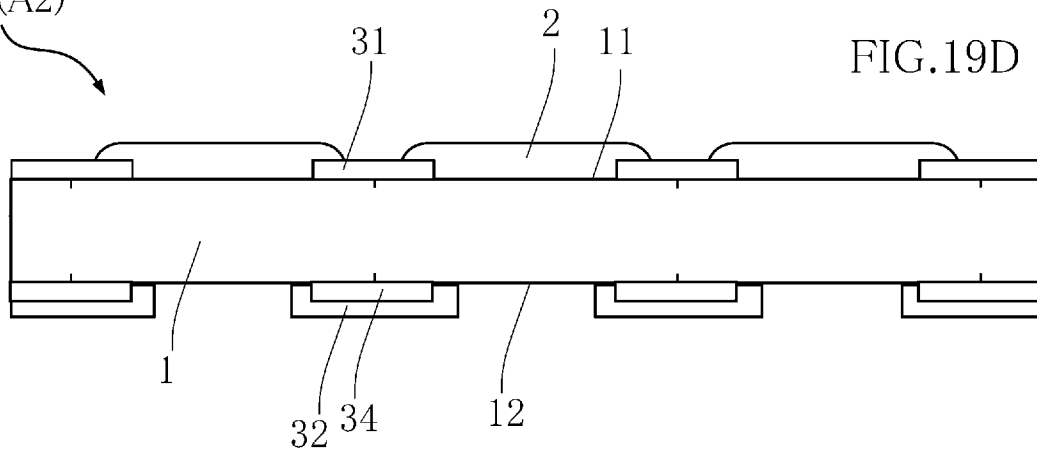
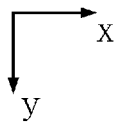
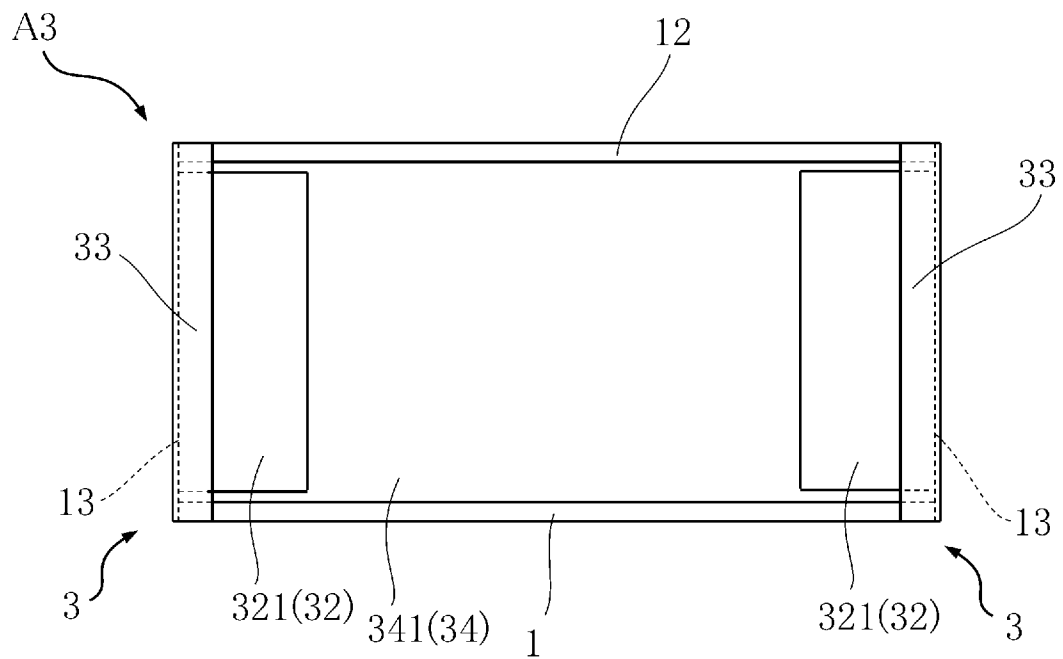


FIG. 19D

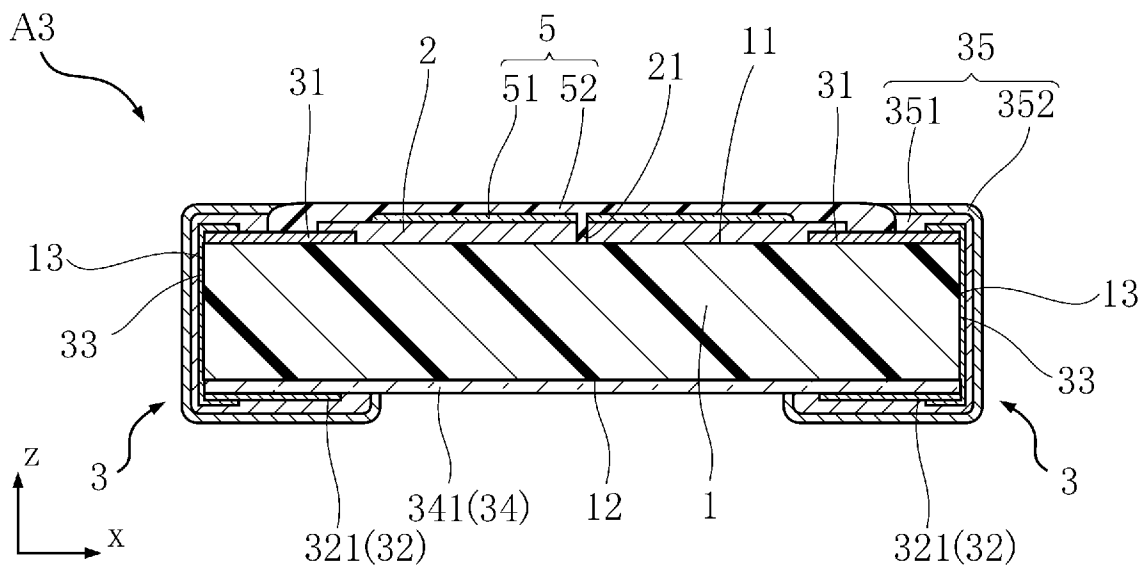
[図20]

FIG. 20



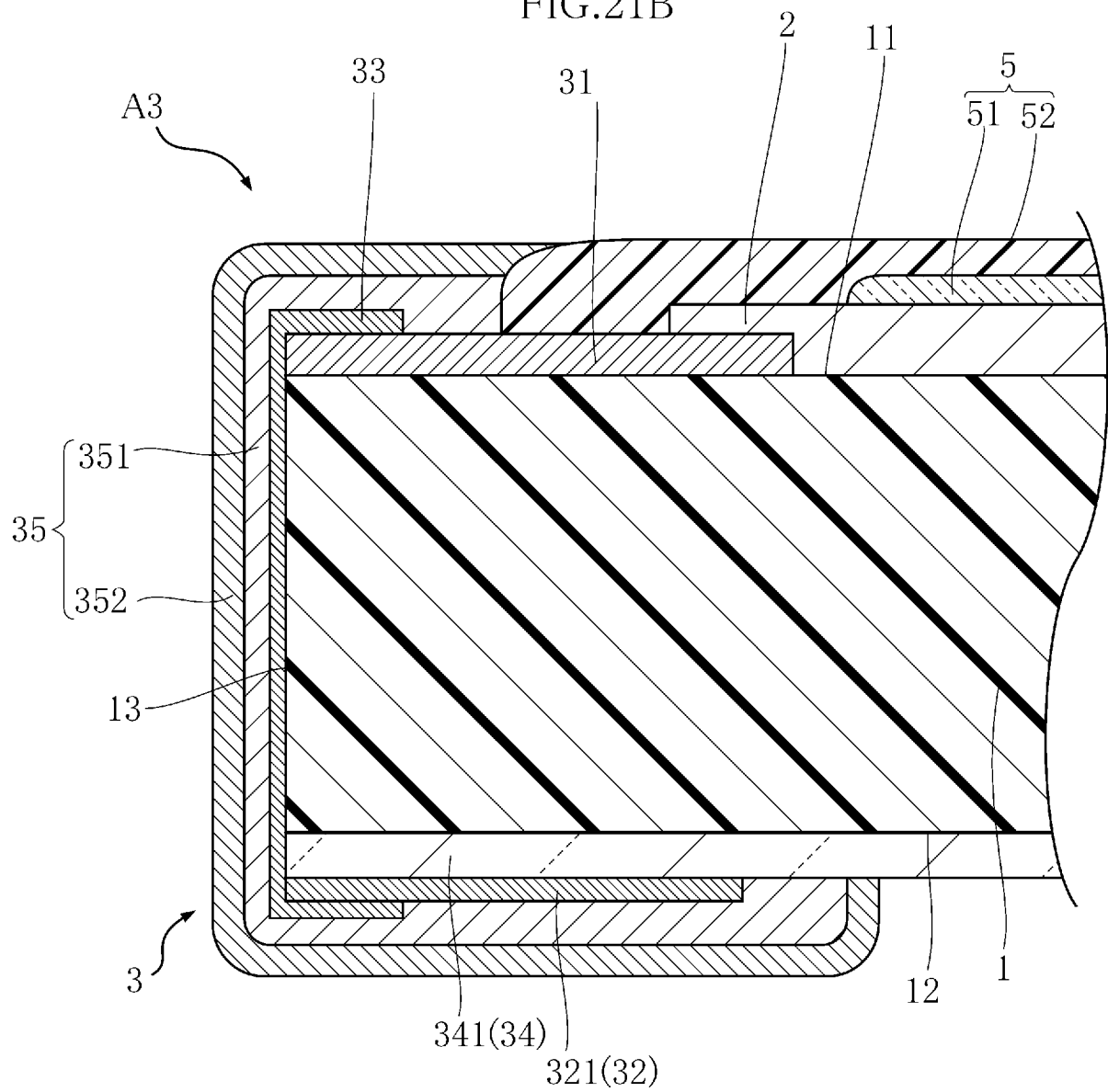
[図21A]

FIG.21A



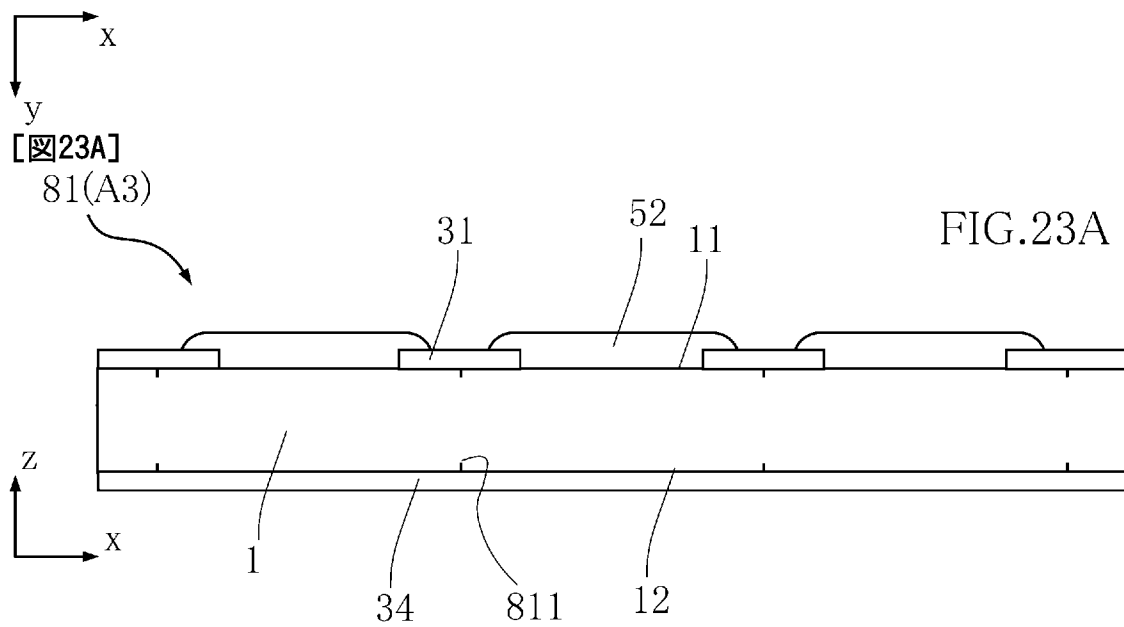
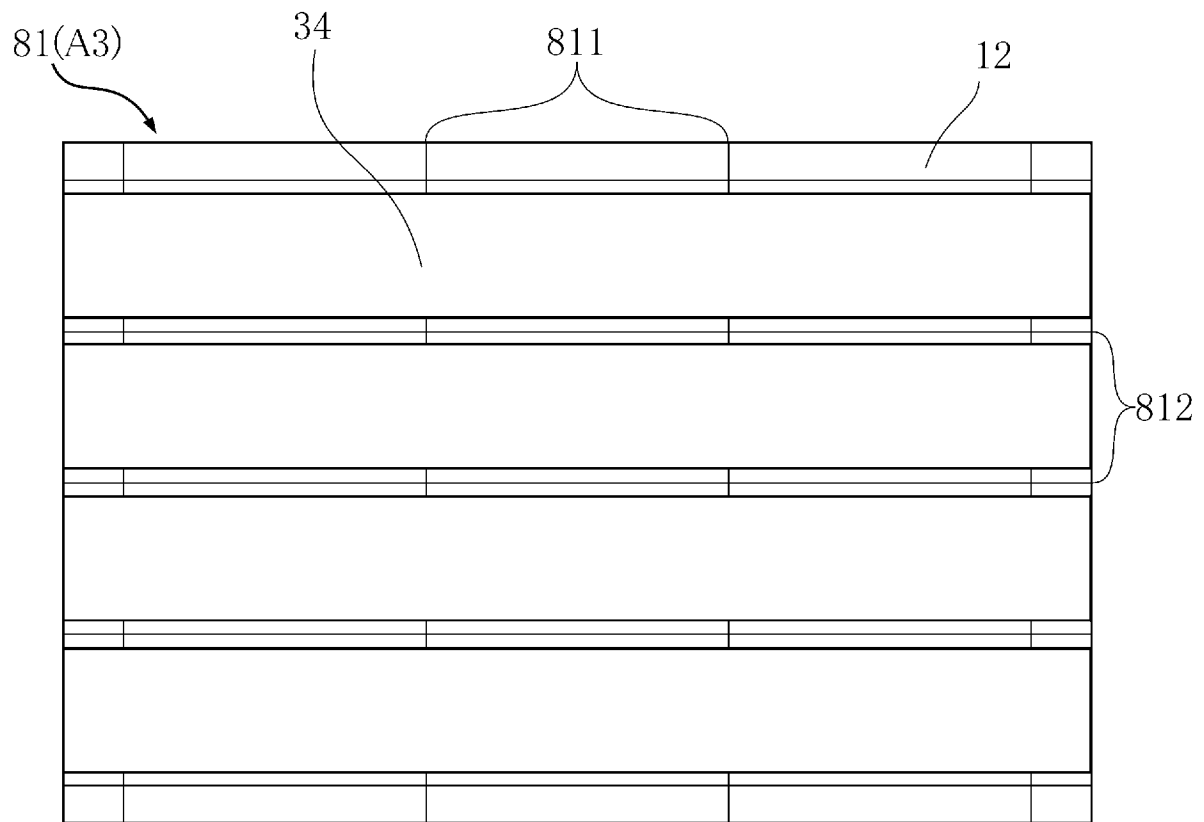
[図21B]

FIG.21B



[図22]

FIG.22



[図23B]

81(A3)

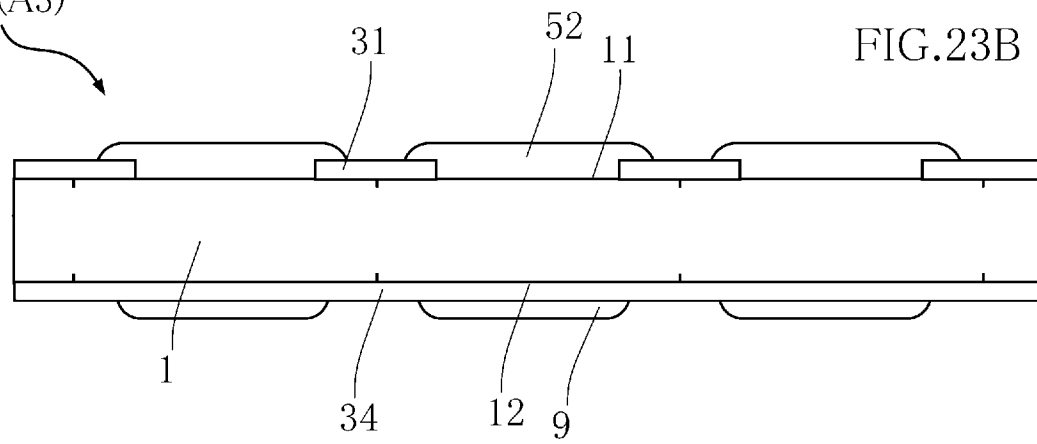


FIG. 23B

[図23C]

81(A3)

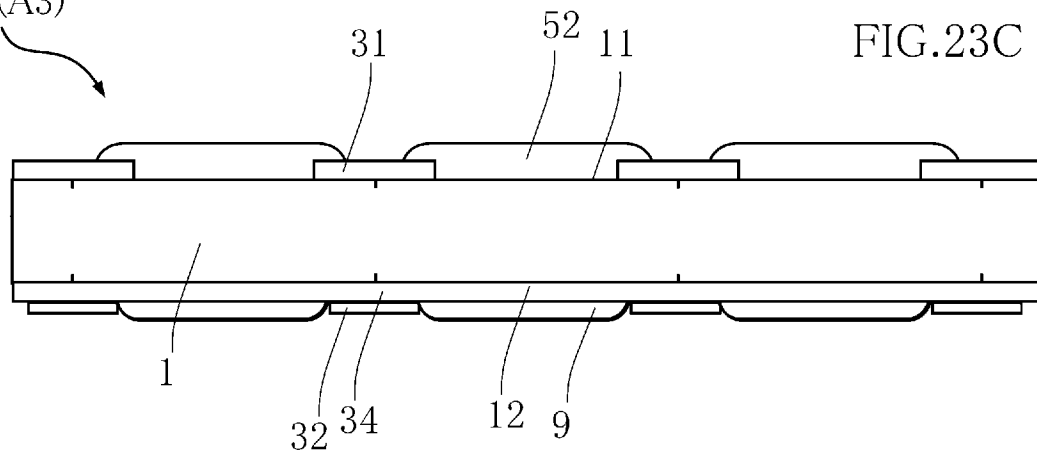


FIG. 23C

[図23D]

81(A3)

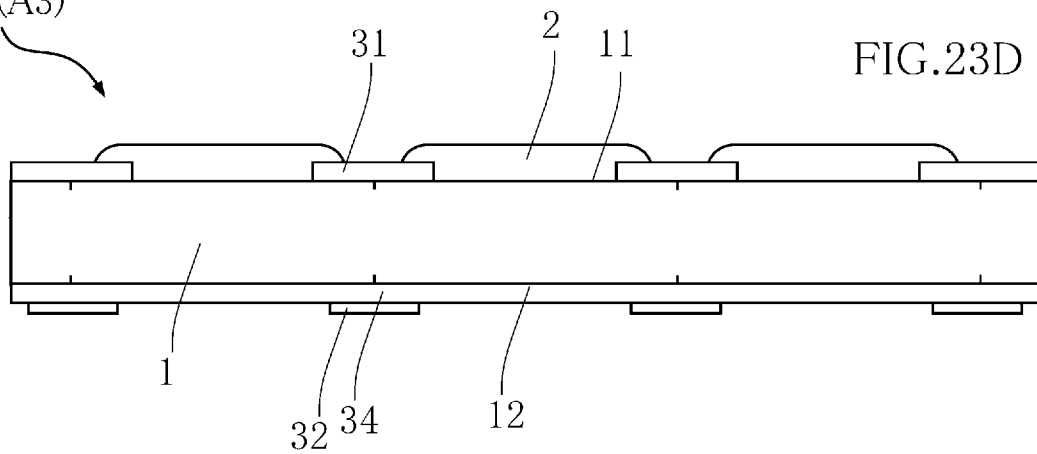
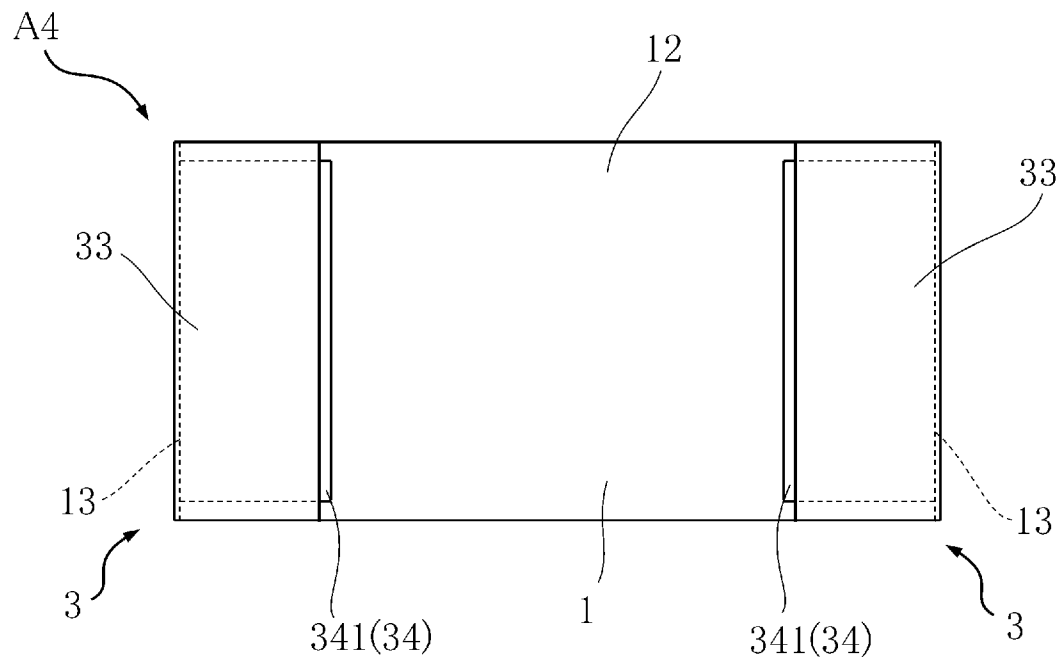


FIG. 23D

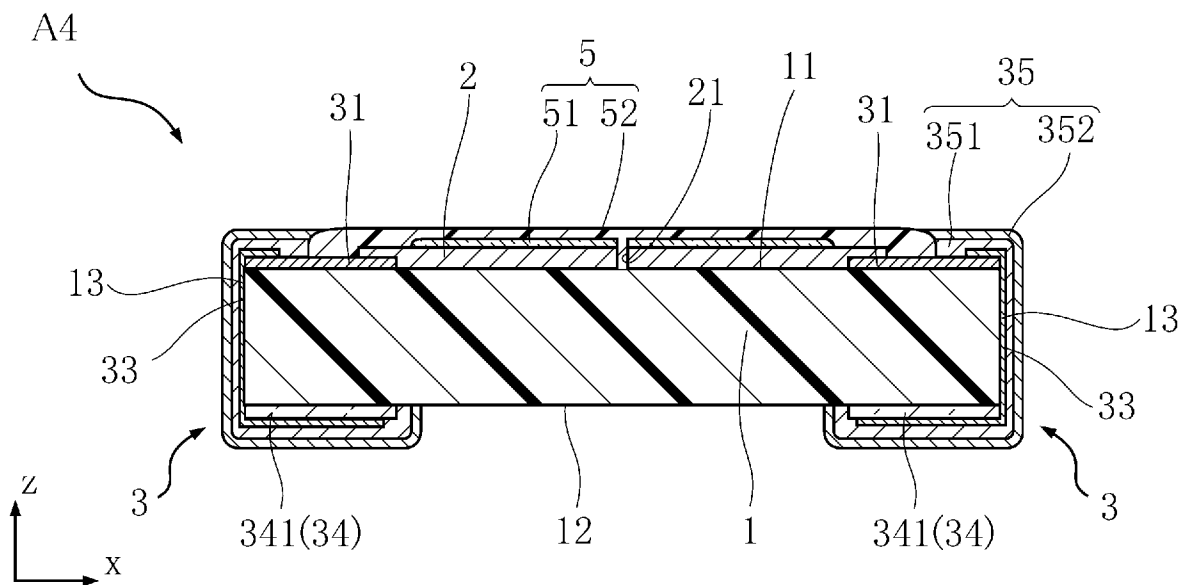
[図24]

FIG.24



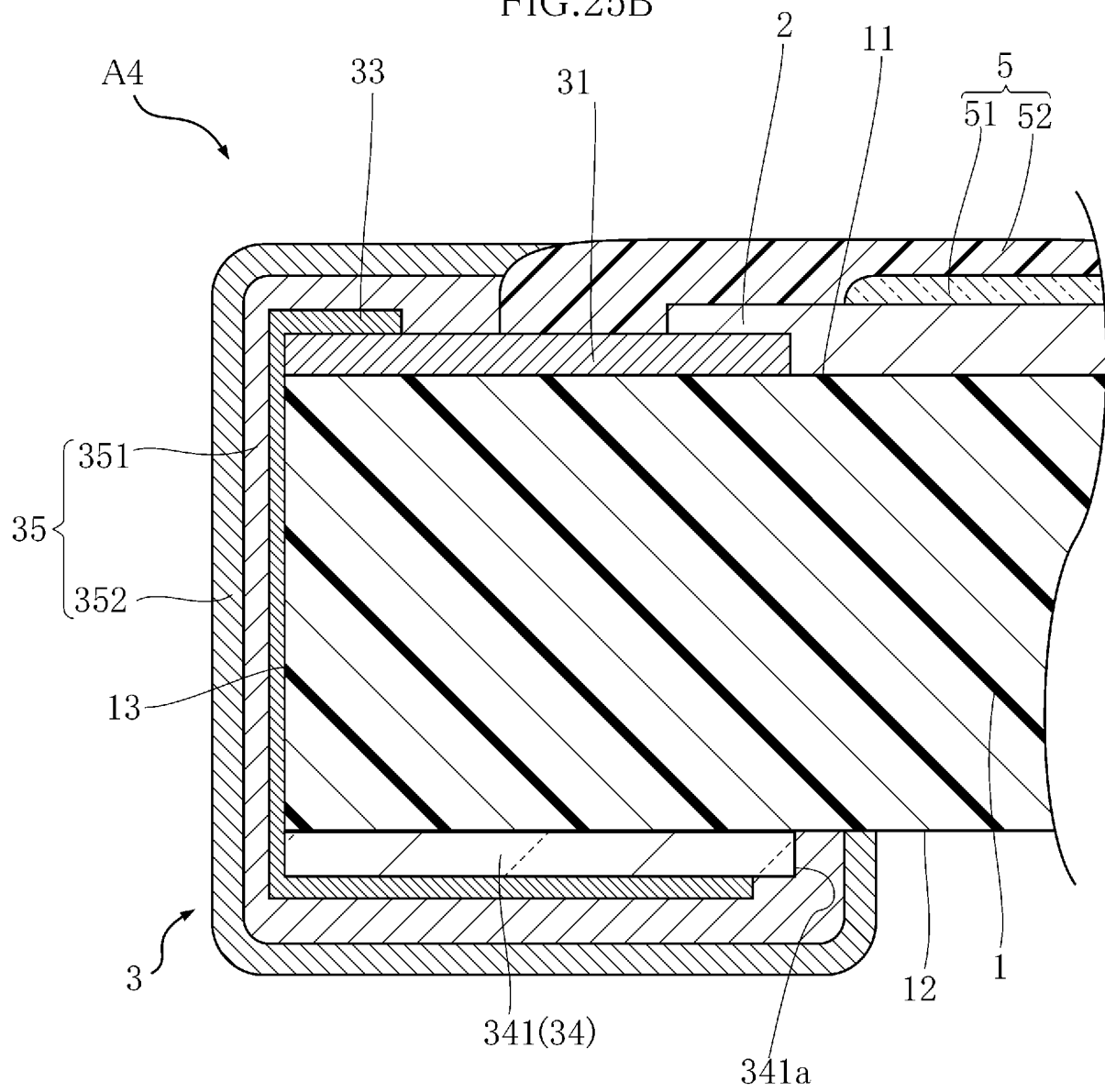
x  
y  
[図25A]

FIG.25A



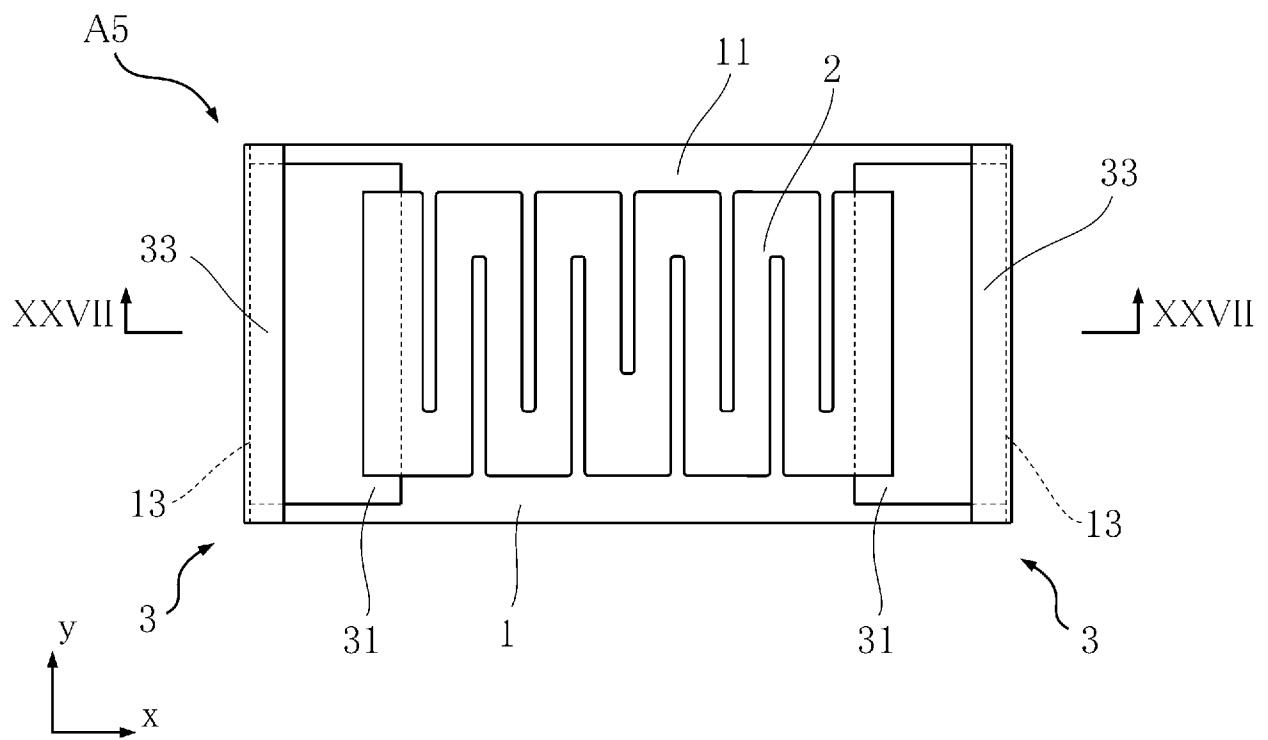
[図25B]

FIG.25B



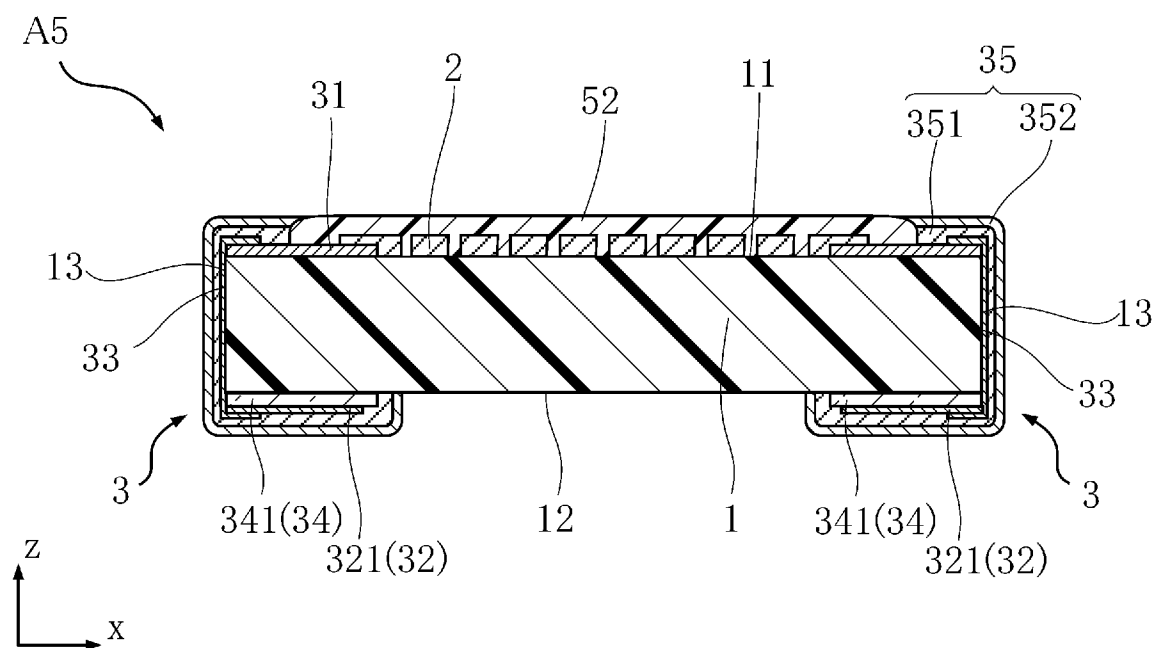
[図26]

FIG.26



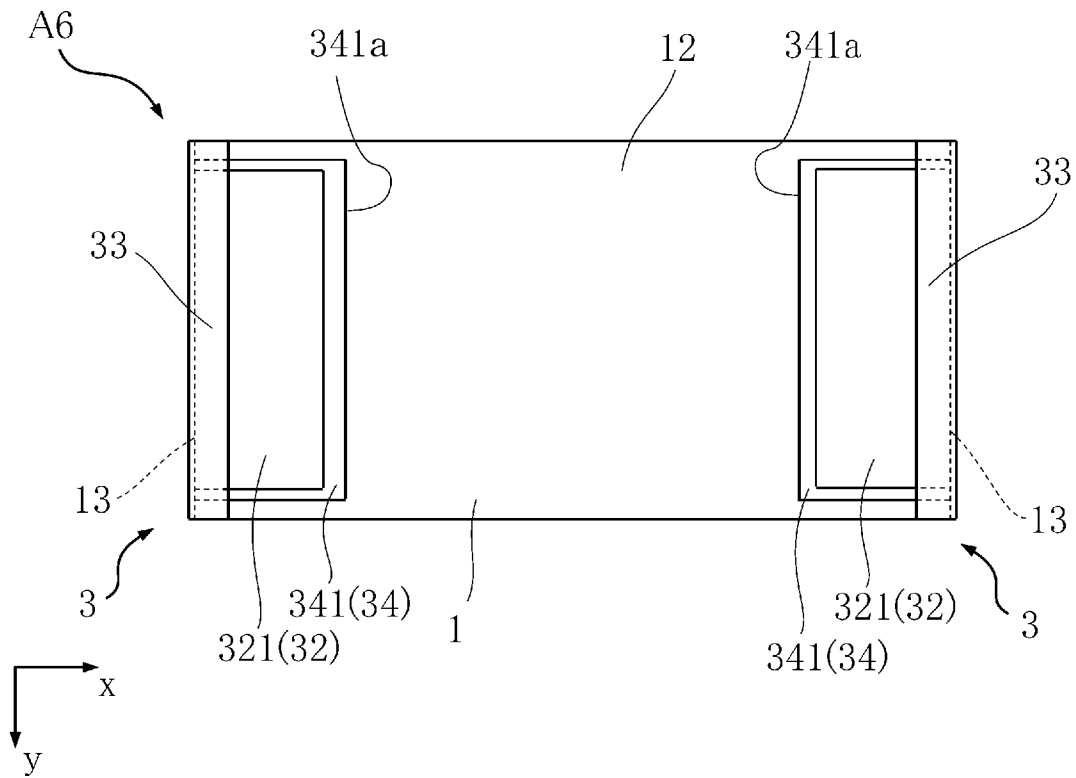
[図27]

FIG.27



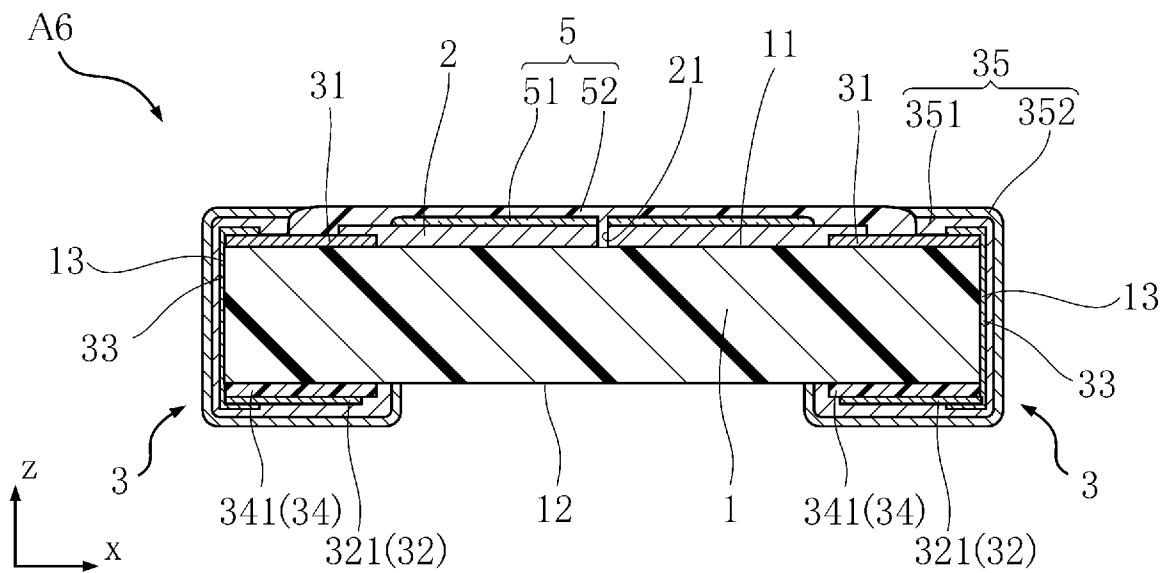
[図28]

FIG.28

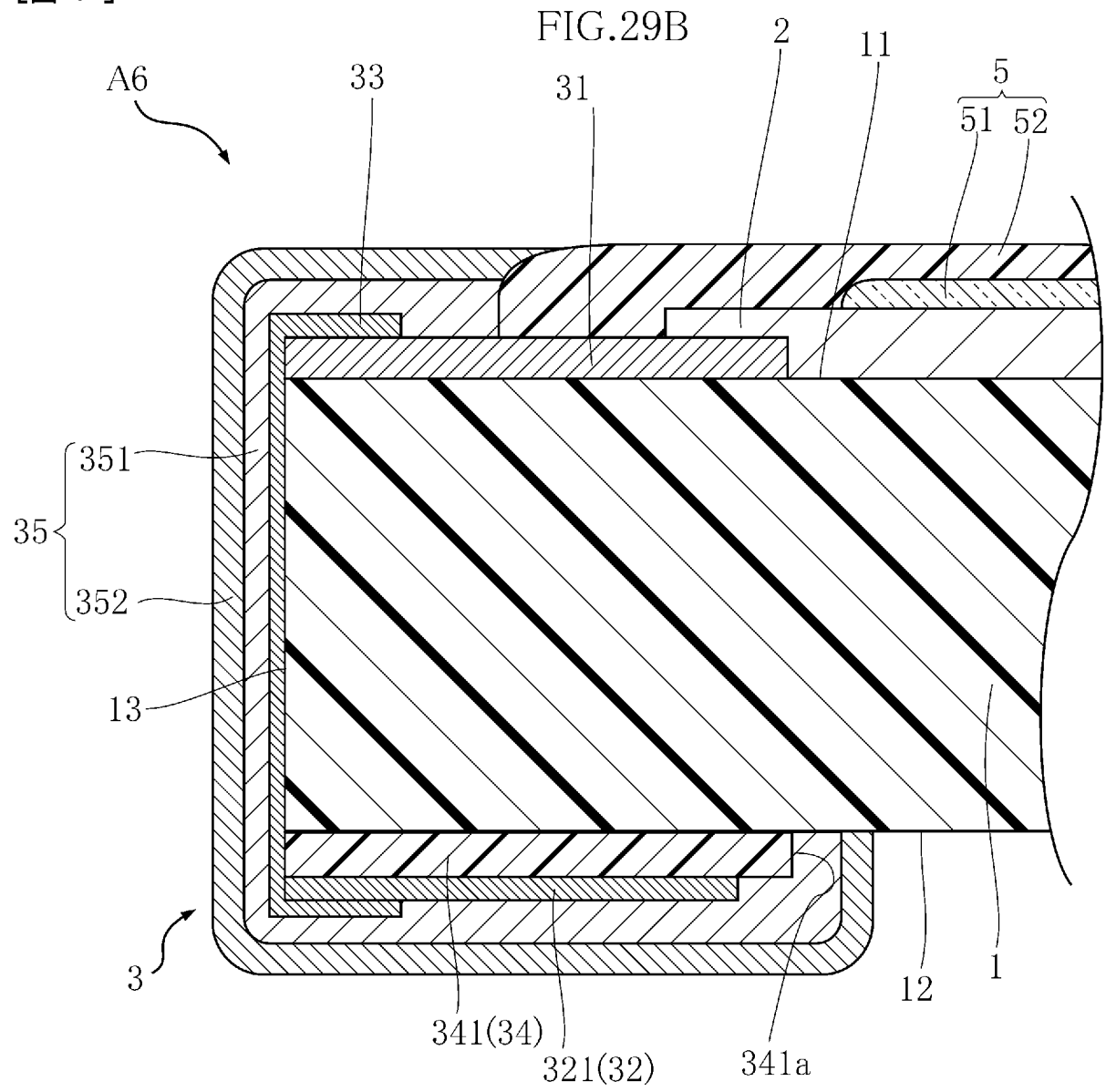


[図29A]

FIG.29A

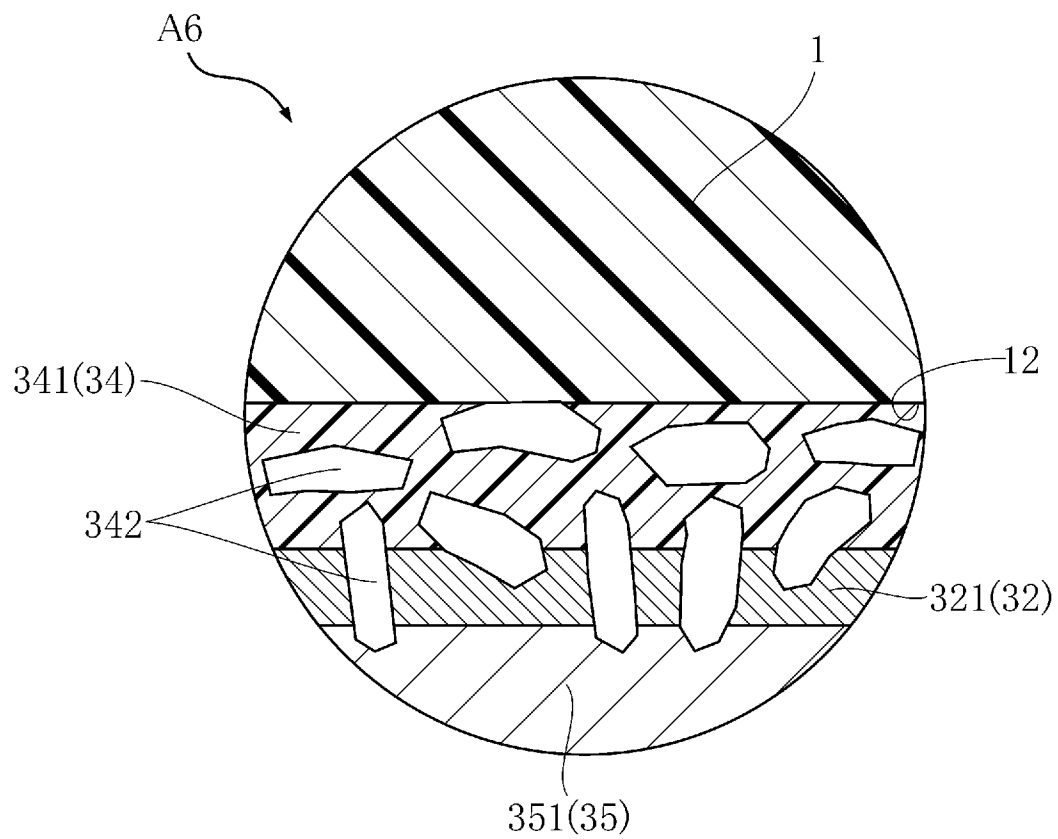


[図29B]



[図30]

FIG.30



[図31]

FIG.31

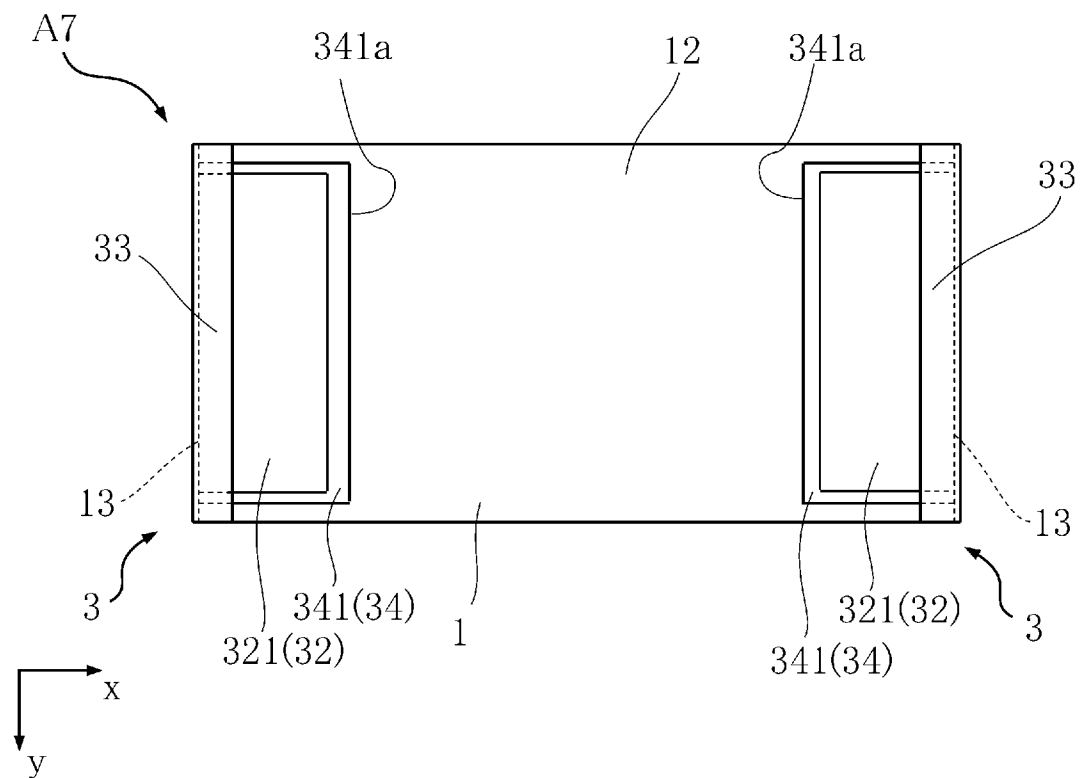


FIG.32A

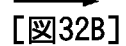
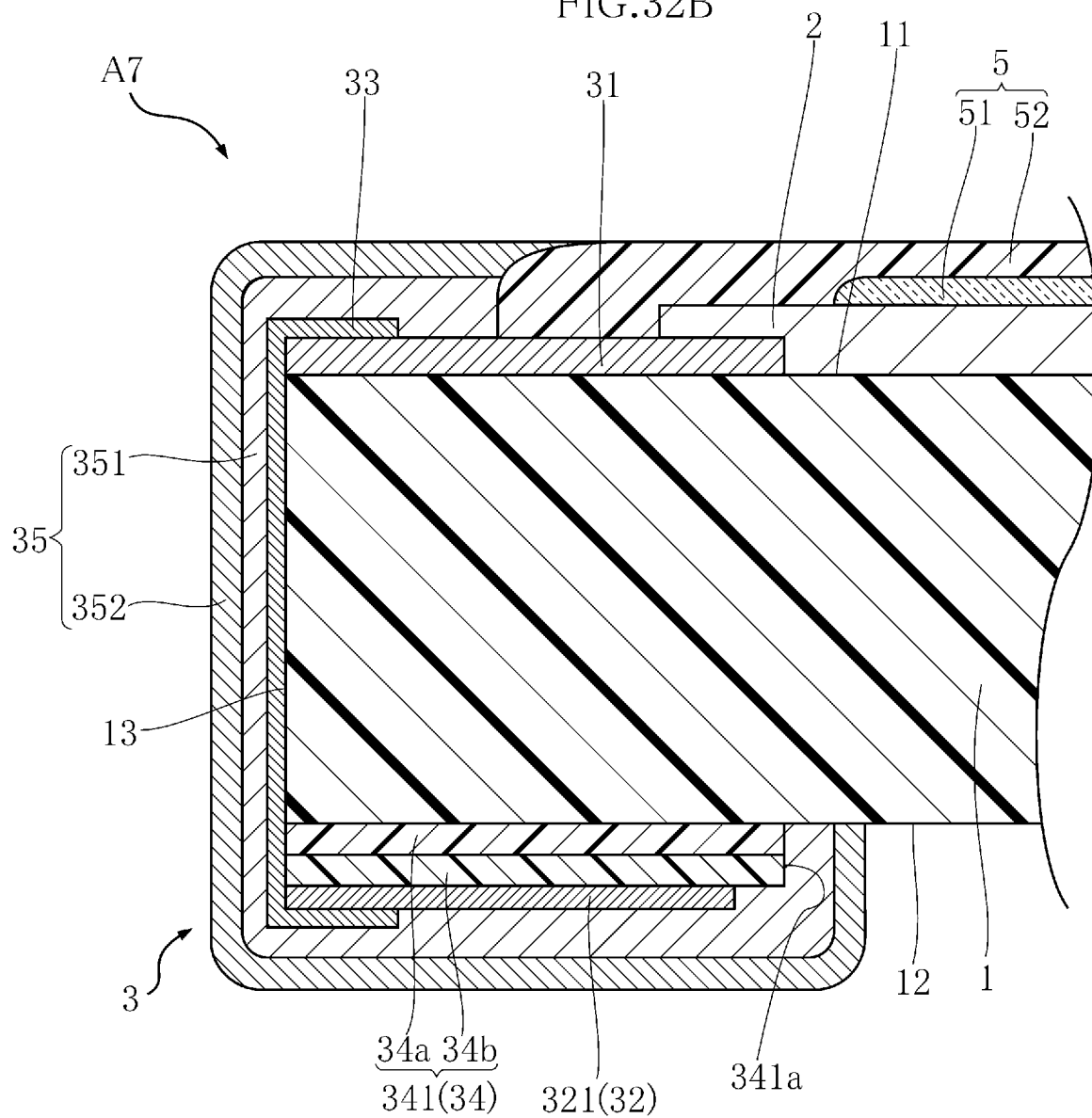
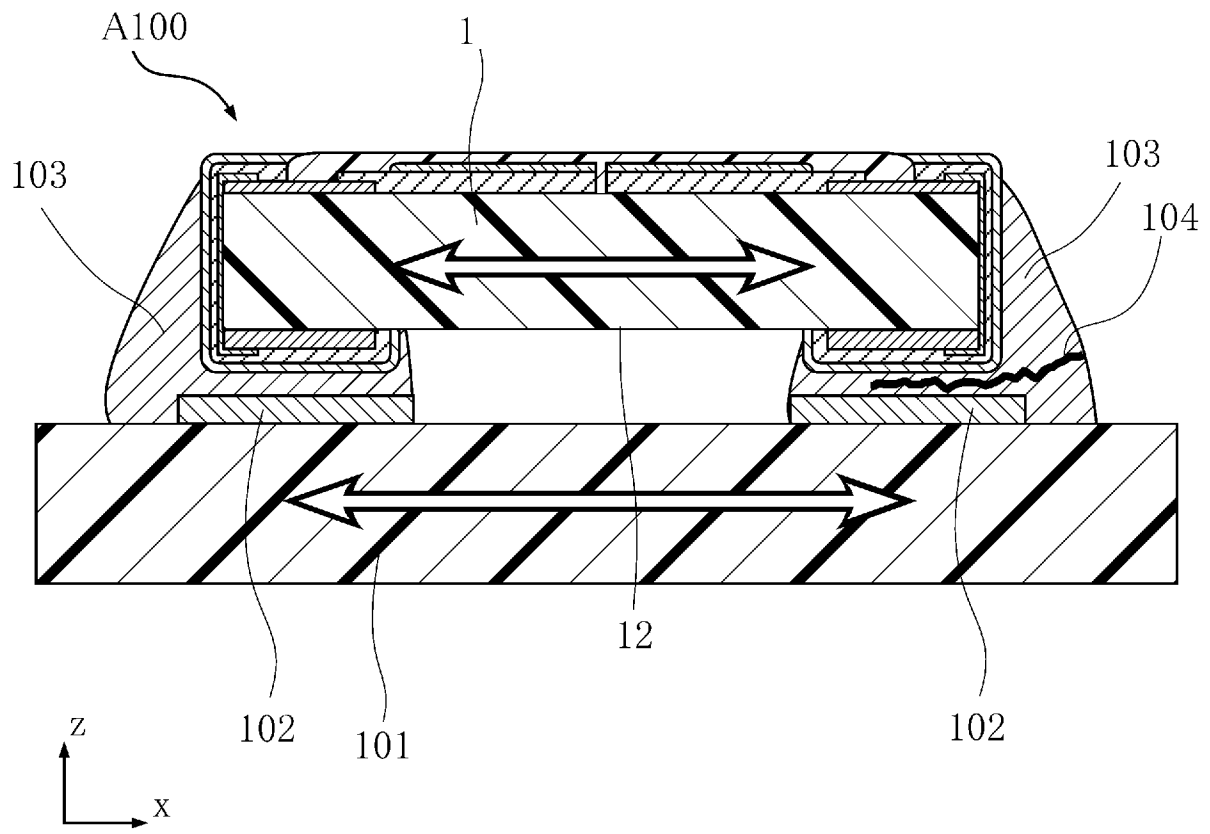


FIG.32B



[図33]

FIG.33



# INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2017/043003

## A. CLASSIFICATION OF SUBJECT MATTER

Int.Cl. H01C7/00 (2006.01) i

According to International Patent Classification (IPC) or to both national classification and IPC

## B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

Int.Cl. H01C7/00

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Published examined utility model applications of Japan 1922-1996

Published unexamined utility model applications of Japan 1971-2018

Registered utility model specifications of Japan 1996-2018

Published registered utility model applications of Japan 1994-2018

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

## C. DOCUMENTS CONSIDERED TO BE RELEVANT

| Category* | Citation of document, with indication, where appropriate, of the relevant passages                                         | Relevant to claim No.          |
|-----------|----------------------------------------------------------------------------------------------------------------------------|--------------------------------|
| X         | JP 2011-165752 A (TAIYOSHA ELECTRIC CO., LTD.) 25 August 2011, paragraphs [0115], [0123]-[0131], [0135]-[0139], fig. 9, 10 | 1-3, 7-10, 15-19, 21-27, 29-32 |
| Y         | (Family: none)                                                                                                             | 4-6, 11-14, 20, 28             |
| Y         | JP 55-150583 A (MATSUSHITA ELECTRIC INDUSTRIAL CO., LTD.) 22 November 1980, claim 3, embodiment 2 (Family: none)           | 4-6                            |



Further documents are listed in the continuation of Box C.



See patent family annex.

\* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search

16 February 2018

Date of mailing of the international search report

27 February 2018

Name and mailing address of the ISA/

Japan Patent Office

3-4-3, Kasumigaseki, Chiyoda-ku,

Tokyo 100-8915, Japan

Authorized officer

Telephone No.

# INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2017/043003

## C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

| Category* | Citation of document, with indication, where appropriate, of the relevant passages                                                                                                           | Relevant to claim No. |
|-----------|----------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------|-----------------------|
| Y         | JP 2016-171306 A (ROHM CO., LTD.) 23 September 2016, claims 5, 10, 24, 25<br>& US 2016/0247610 A1, claims 5, 10, 24, 25 & CN 105913986 A                                                     | 11-14, 20, 28         |
| A         | JP 2001-513268 A (KONINKLIJKE PHILIPS ELECTRONICS N.V.) 28 August 2001, claims 1, 4, 6, fig. 3<br>& US 6201682 B1, claims 1, 4, 6, fig. 3, & WO 1999/033111 A2 & EP 0966759 A2 & TW 405129 B | 1-32                  |
| A         | JP 11-144904 A (HOKURIKU ELECT IND.) 28 May 1999, fig. 3<br>(Family: none)                                                                                                                   | 1-32                  |
| A         | JP 08-255701 A (MATSUSHITA ELECTRIC INDUSTRIAL CO., LTD.) 01 October 1996, fig. 5<br>(Family: none)                                                                                          | 1-32                  |

## A. 発明の属する分野の分類（国際特許分類（IPC））

Int.Cl. H01C7/00(2006.01)i

## B. 調査を行った分野

調査を行った最小限資料（国際特許分類（IPC））

Int.Cl. H01C7/00

最小限資料以外の資料で調査を行った分野に含まれるもの

|             |            |
|-------------|------------|
| 日本国実用新案公報   | 1922-1996年 |
| 日本国公開実用新案公報 | 1971-2018年 |
| 日本国実用新案登録公報 | 1996-2018年 |
| 日本国登録実用新案公報 | 1994-2018年 |

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

## C. 関連すると認められる文献

| 引用文献の<br>カテゴリー* | 引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示                                                                    | 関連する<br>請求項の番号                       |
|-----------------|------------------------------------------------------------------------------------------------------|--------------------------------------|
| X               | JP 2011-165752 A（太陽社電気株式会社）2011.08.25,<br>段落[0115], [0123]-[0131], [0135]-[0139], 図9-10<br>（ファミリーなし） | 1-3, 7-10,<br>15-19, 21-27,<br>29-32 |
| Y               |                                                                                                      | 4-6, 11-14,<br>20, 28                |
| Y               | JP 55-150583 A（松下電器産業株式会社）1980.11.22,<br>特許請求の範囲(3), 実施例2（ファミリーなし）                                   | 4-6                                  |

☒ C欄の続きにも文献が列挙されている。

☐ パテントファミリーに関する別紙を参照。

## \* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの  
「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの  
「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）  
「O」口頭による開示、使用、展示等に言及する文献  
「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの  
「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの  
「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの  
「&」同一パテントファミリー文献

国際調査を完了した日

16.02.2018

国際調査報告の発送日

27.02.2018

国際調査機関の名称及びあて先

日本国特許庁（ISA/J P）

郵便番号100-8915

東京都千代田区霞が関三丁目4番3号

特許庁審査官（権限のある職員）

小池 秀介

5D

3662

電話番号 03-3581-1101 内線 3551

| C (続き) . 関連すると認められる文献 |                                                                                                                                                                                                     |                |
|-----------------------|-----------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------|----------------|
| 引用文献の<br>カテゴリー*       | 引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示                                                                                                                                                                   | 関連する<br>請求項の番号 |
| Y                     | JP 2016-171306 A (ローム株式会社) 2016. 09. 23,<br>請求項 5, 10, 24, 25 & US 2016/0247610 A1, 請求項 5, 10, 24, 25<br>& CN 105913986 A                                                                           | 11-14, 20, 28  |
| A                     | JP 2001-513268 A (コーニンクレッカ フィリップス エレクトロ<br>ニクス エヌ ヴィ) 2001. 08. 28,<br>特許請求の範囲(1) (4) (6), 第 3 図<br>& US 6201682 B1, 特許請求の範囲(1) (4) (6), 第 3 図<br>& WO 1999/033111 A2 & EP 0966759 A2 & TW 405129 B | 1-32           |
| A                     | JP 11-144904 A (北陸電気工業株式会社) 1999. 05. 28,<br>図 3 (ファミリーなし)                                                                                                                                          | 1-32           |
| A                     | JP 08-255701 A (松下電器産業株式会社) 1996. 10. 01,<br>図 5 (ファミリーなし)                                                                                                                                          | 1-32           |