



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2009-0039145
(43) 공개일자 2009년04월22일

(51) Int. Cl.

H01L 27/115 (2006.01)

(21) 출원번호 10-2007-0104613

(22) 출원일자 2007년10월17일

심사청구일자 2007년10월17일

(71) 출원인

고려대학교 산학협력단

서울 성북구 안암동5가1 고려대학교 내

(72) 발명자

주병권

서울 종로구 평창동 234-24번지 (8/5)

권재홍

서울 성북구 석관동 131-11 4층 석관1동

(뒷면에 계속)

(74) 대리인

특허법인 신성

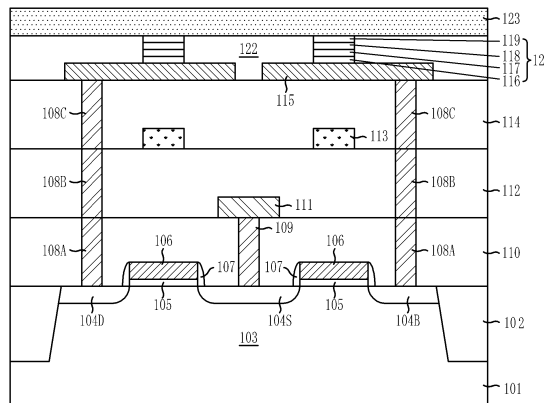
전체 청구항 수 : 총 10 항

(54) 나노임프린팅 리소그래피를 이용한 비휘발성 자기저항메모리 장치 제조방법

(57) 요약

본 발명은 나노임프린팅 리소그래피(nanoimprinting lithography)를 이용한 비휘발성 자기저항 메모리 소자(Magnetoresistive Random Access Memory, MRAM) 제조방법에 관한 것으로, 이를 위한 본 발명의 자기저항 메모리 장치의 제조방법은 소정의 구조물이 구비된 기판 상부에 복수의 디지털라인을 형성하는 단계; 상기 디지털라인을 포함하는 결과물 상에 층간절연막을 형성하는 단계; 상기 층간절연막 상에 하부전극을 형성하는 단계; 상기 하부전극 상에 자기터널접합 셀을 형성하는 단계 및 상기 자기터널접합 셀 상부면에 접하도록 복수의 비트라인을 형성하는 단계를 포함하고, 상기 디지털라인을 형성하는 단계, 상기 하부전극을 형성하는 단계, 상기 자기터널접합 셀을 형성하는 단계 및 상기 비트라인을 형성하는 단계는 나노임프린팅 리소그래피 공정을 이용하여 형성하는 것을 특징으로 하며, 이를 통하여 자기저항 메모리 장치를 구성하는 각각의 자기터널접합 셀간의 면적을 동일하게 형성하여 자기저항 메모리 장치의 동작특성을 향상시킬 수 있는 효과가 있다.

대표도 - 도3d



(72) 발명자

서정훈

서울 마포구 상암동 상암월드컵파크 609동 202호

신상일

서울 동대문구 제기동 1153-16 휴먼플러스 오피스
텔 312호

특허청구의 범위

청구항 1

소정의 구조물이 구비된 기판 상부에 복수의 디지털라인을 형성하는 단계;

상기 디지털라인을 포함하는 결과물 상에 층간절연막을 형성하는 단계;

상기 층간절연막 상에 하부전극을 형성하는 단계;

상기 하부전극 상에 자기터널접합 셀을 형성하는 단계; 및

상기 자기터널접합 셀 상부면에 접하도록 복수의 비트라인을 형성하는 단계를 포함하고,

상기 디지털라인을 형성하는 단계, 상기 하부전극을 형성하는 단계, 상기 자기터널접합 셀을 형성하는 단계 및 상기 비트라인을 형성하는 단계는 나노임프린팅 리소그래피 공정을 이용하여 형성하는 자기저항 메모리 장치의 제조방법.

청구항 2

제1항에 있어서,

상기 나노임프린팅 리소그래피 공정은 열경화방식 또는 자외선경화방식을 포함하는 자기저항 메모리 장치의 제조방법.

청구항 3

제2항에 있어서,

상기 나노임프린팅 리소그래피 공정은 스텝앤리피트(step and repeat) 방식을 포함하는 자기저항 메모리 장치의 제조방법.

청구항 4

제3항에 있어서,

상기 나노임프린팅 리소그래피 공정은 상기 자외선경화방식과 상기 스텝앤리피트 방식이 결합된 스텝앤플래시(step and flash) 방식을 포함하는 자기저항 메모리 장치의 제조방법.

청구항 5

소정의 구조물이 구비된 기판 상부에 피닝층, 고정층, 절연층 및 자유층을 형성하는 단계; 및

나노임프린팅 리소그래피 공정을 이용하여 상기 자유층, 절연층, 고정층 및 피닝층을 선택적으로 식각하는 단계를 포함하는 자기터널접합 셀의 제조방법.

청구항 6

제5항에 있어서,

상기 절연층은 스핀코팅법을 사용하여 형성하는 자기터널접합 셀 제조방법.

청구항 7

제5항에 있어서,

상기 절연층은 드랍캐스팅법 또는 닥터블레이드법을 사용하여 형성하는 자기터널접합 셀 제조방법.

청구항 8

제5항에 있어서,

상기 나노임프린팅 리소그래피 공정은 열경화방식 또는 자외선경화방식을 포함하는 자기저항 메모리 장치의 제조방법.

청구항 9

제8항에 있어서,

상기 나노임프린팅 리소그래피 공정은 스텝앤리피트 방식을 포함하는 자기저항 메모리 장치의 제조방법.

청구항 10

제9에 있어서,

상기 나노임프린팅 리소그래피 공정은 상기 자외선경화방식과 상기 스텝앤리피트 방식이 결합된 스텝앤플래시 방식을 포함하는 자기저항 메모리 장치의 제조방법.

명세서

발명의 상세한 설명

기술 분야

- <1> 본 발명은 반도체 소자의 제조기술에 관한 것으로, 더욱 상세하게는 나노임프린팅 리소그래피(nanoimprinting lithography)를 이용한 비휘발성 자기저항 메모리 소자(Magnetoresistive Random Access Memory, MRAM) 제조방법에 관한 것이다.

배경 기술

- <2> 최근, 반도체 소자의 고집적화가 진행됨에 따라 반도체 소자의 최소 선폭이 서브 하프 마이크론 영역에 이르게 되었다. 이러한 고집적화를 뒷받침하는 리소그래피(Lithography) 기술은 반도체 웨이퍼 상에 집적회로를 정의한 복잡한 패턴을 인쇄하여 형성하는 기술로서, 피식각층이 형성된 기판상에 감광막을 도포하는 공정, 감광막을 노광시키는 공정, 노광된 감광막을 현상하여 감광막패턴을 형성하는 공정, 감광막패턴을 이용하여 피식각층을 식각하는 공정을 포함한다.
- <3> 현재 널리 사용되는 광학 리소그래피(photo lithography)는, 감광막이 도포된 반도체 웨이퍼 상에 고정밀 광학계를 이용하여 축소된 마스크 상의 패턴을 이미지화한다. 이러한 광학 리소그래피는, g-line(435nm), i-line(365nm)을 거쳐서 현재 248nm DUV(Deep Ultraviolet)를 생성하는 KrF(Krypton Fluoride) 엑시머 레이저 또는 ArF(Argon Fluoride) 193nm 레이저를 광원으로 사용하고, 해상도를 증가시키기 위한 각종 주변 기술을 접목하여, 현재 100nm 크기의 게이트 선폭을 가지는 트랜지스터의 양산이 가능하도록 하였다.
- <4> 그러나, 무어(Moore)의 법칙에 따라 집적회로의 발전속도는 광학 리소그래피 기술보다 더 빠른 속도로 발전하기 때문에 F₂(Flourine) 157nm 레이저와 같이 ArF 레이저보다 더 짧은 파장의 광원을 사용한다고 하더라도 종래의 광학 리소그래피 기술로는 70nm 이하의 선폭을 갖는 패턴을 형성하는데 한계가 있다.
- <5> 이러한 광학 리소그래피의 한계를 극복하기 위해, 이른바 차세대 리소그래피(Next Generation Lithographies, NGL)라고 불리는 기술로서, 극자외선리소그래피(Extreme Ultraviolet Lithography, EUVL), X선(X-ray)리소그래피, 이온빔프로젝션(Ion-beam Projection)리소그래피, 전자빔(Electron-Beam)리소그래피, 딥펜(Dip pen)리소그래피 또는 프락시멀프로브(Proximal Probe)리소그래피와 같은 기술들이 제안되었다.
- <6> 하지만, 상술한 차세대 리소그래피 기술들은, 최대 패턴닝 면적이 작고, 패턴닝 속도 및 처리량이 너무 낮을 뿐만 아니라 과도한 비용이 소모되기 때문에 나노패턴의 경제적인 대량생산이라는 측면에 문제가 있다. 또한, 상술한 리소그래피 기술들은 장비의 가격이 고가이고, 반도체 소자의 제조공정에 적용하기 전에 다단계의 전처리 과정을 필요로 하는 문제점이 있다.
- <7> 한편, 차세대 반도체 메모리 장치로서 자기터널접합(Magnetic Tunnel Junction, MTJ) 셀을 갖는 자기저항 메모리 장치가 제안된 바 있다. 자기저항 메모리 장치는 전원공급이 중단될지라도, 저장된 데이터들이 소멸되지 않는 비휘발성 메모리 장치로서, 스위칭소자인 트랜지스터와 데이터가 저장되는 자기터널접합 셀로 구성된다. 보다 구체적으로 자기저항 메모리 장치는 셀 어레이(cell array)로 이루어지며, 워드라인(word line)이 자기터널접합 셀의 행을 따라 전개되고, 비트라인(bit line)이 자기터널접합 셀의 열을 따라 전개된다. 여기서, 자기터널접합 셀은 워드라인과 비트라인의 교차점에 배치된다. 이러한 자기저항 메모리 장치는 종래의 광학 리소그라

피 기술을 활용하여 제작하고 있다.

<8> 하지만, 종래의 광학 리소그래피 기술을 이용하여 자기저항 메모리 장치를 제조할 경우, 회절(diffraction)한계로 인하여 자기저항 메모리 장치의 집적도를 향상시키기 어려우며, 각 메모리 셀 간의 동작 균일성을 확보하기 어렵다. 이는 자기저항 메모리 장치를 제조함에 있어서, 자기터널접합 셀의 면적이 조금만 변화하여도 각 자기터널접합 셀 간의 저항값이 크게 변화하여 동작의 균일성을 확보하기 어렵기 때문이다. 즉, 종래의 광학 리소그래피 기술로는 각 자기터널접합 셀의 면적을 동일하게 정의하는 감광막패턴을 형성하는 것이 매우 어렵기 때문에 자기저항 메모리 장치의 동작특성을 향상시키는데 한계가 있다.

<9> 이를 해결하기 위하여 앞서 언급한 차세대 리소그래피 기술을 사용할 경우, 제조비용의 상승 및 생산성의 저하로 인하여 자기저항 메모리 장치를 상용화하기 어렵다.

발명의 내용

해결 하고자하는 과제

<10> 본 발명은 상기한 종래기술의 문제점을 해결하기 위하여 제안된 것으로, 저렴한 가격으로 대량생산이 가능한 자기저항 메모리 장치의 제조방법을 제공하는데 그 목적이 있다.

<11> 또한, 본 발명은 자기저항 메모리 장치를 제작하는데 있어서, 나노임프린팅 리소그래피 기술을 활용하여 각 자기터널접합 셀간의 면적을 동일하게 형성할 수 있는 자기저항 메모리 소자의 자기터널접합 셀 제조방법을 제공하는데 다른 목적이 있다.

과제 해결수단

<12> 상기 목적을 달성하기 위한 일 측면에 따른 본 발명의 자기저항 메모리 장치의 제조방법은, 소정의 구조물이 구비된 기판 상부에 복수의 디지털라인(digit line)을 형성하는 단계; 상기 디지털라인을 포함하는 결과물 상에 층간절연막을 형성하는 단계; 상기 층간절연막 상에 하부전극을 형성하는 단계; 상기 하부전극 상에 자기터널접합 셀을 형성하는 단계 및 상기 자기터널접합 셀 상부면에 접하도록 복수의 비트라인을 형성하는 단계를 포함하고, 상기 디지털라인을 형성하는 단계, 상기 하부전극을 형성하는 단계, 상기 자기터널접합 셀을 형성하는 단계 및 상기 비트라인을 형성하는 단계는 나노임프린팅 리소그래피 공정을 이용하여 형성하는 것을 특징으로 한다.

<13> 여기서, 상기 나노임프린팅 리소그래피 공정은 열경화방식 또는 자외선경화방식을 포함할 수 있다. 또한, 상기 나노임프린팅 리소그래피 공정은 스텝앤리피트(step and repeat) 방식을 포함할 수 있으며, 상기 자외선경화방식과 상기 스텝앤리피트 방식이 결합된 스텝앤플래시(step and flash) 방식을 포함할 수도 있다.

<14> 상기 목적을 달성하기 위한 다른 일 측면에 따른 본 발명의 자기터널접합 셀 형성방법은, 소정의 구조물이 구비된 기판 상부에 피닝층, 고정층, 절연층 및 자유층을 형성하는 단계 및 나노임프린팅 리소그래피 공정을 이용하여 상기 자유층, 절연층, 고정층 및 피닝층을 선택적으로 식각하는 단계를 포함할 수 있다.

<15> 상기 절연층은 스핀코팅법(spin coating)을 사용하여 형성할 수 있으며, 이외에도 상기 절연층은 드랍캐스팅법(drop casting) 또는 닥터블레이드법(doctor blade)을 사용하여 형성할 수 있다.

<16> 상기 나노임프린팅 리소그래피 공정은 열경화방식 또는 자외선경화방식을 포함할 수 있다. 또한, 상기 나노임프린팅 리소그래피 공정은 스텝앤리피트 방식을 포함할 수 있으며, 상기 자외선경화방식과 상기 스텝앤리피트 방식이 결합된 스텝앤플래시 방식을 포함할 수도 있다.

효 과

<17> 본 발명은 나노임프린팅 리소그래피 기술을 이용하여 자기저항 메모리 장치를 제조함으로써, 저렴한 생산비용으로 자기저항 메모리 장치를 대량생산할 수 있는 효과가 있다.

<18> 또한, 본 발명은 나노임프린팅 리소그래피 기술을 이용하여 자기저항 메모리 장치를 제조함으로써, 자기저항 메모리 장치의 집적도를 획기적으로 향상시킬 수 있는 효과가 있다.

<19> 또한, 본 발명은 나노임프린팅 리소그래피 기술을 활용하여 자기저항 메모리 장치를 구성하는 각각의 자기터널접합 셀간의 면적을 동일하게 형성함으로써, 자기저항 메모리 장치의 동작특성을 향상시킬 수 있는 효과가 있다.

<20> 또한, 본 발명은 자기터널접합 셀을 구성하는 절연층을 스핀코팅법을 사용하여 형성함으로써, 균일한 두께를 갖는 절연층을 형성할 수 있으며, 이를 통하여 자기저항 메모리 장치의 동작특성을 더욱 향상시킬 수 있는 효과가 있다.

<21>

발명의 실시를 위한 구체적인 내용

<22> 이하 본 발명이 속하는 기술분야에서 통상의 지식을 가진자가 본 발명의 기술적 사상을 용이하게 실시할 수 있을 정도로 상세히 설명하기 위하여, 본 발명의 가장 바람직한 실시예를 첨부도면을 참조하여 설명하기로 한다.

<23> 후술한 본 발명의 실시예에서는 자기저항 메모리 장치를 제조함에 있어서, 나노임프린트 리소그래피 기술을 사용하여 자기저항 메모리 장치의 집적도를 향상시키고, 저렴한 가격으로 대량생산이 가능하며, 동작특성을 향상시킬 수 있는 자기저항 메모리 장치의 제조방법을 제공한다.

<24> 먼저, 본 발명에 사용되는 나노임프린팅 리소그래피(nano imprinting lithography, NIL) 공정에 대하여 설명한다.

<25> 나노임프린팅 리소그래피란, 나노 패턴을 형성하는 공정으로 현재 반도체 공정에서 사용되는 사진 현상 방식의 리소그래피의 한계를 극복하기 위하여 나노 패턴이 형성된 스탬프(stamp) 또는 몰드(mold)를 이용하여 레지스트(resist) 위에 도장을 찍듯이 찍은 후, 열을 가하는 열경화방식 또는 자외선을 조사하는 자외선경화방식을 이용하여 레지스트를 경화시킨 후 분리하여 간단하게 나노 패턴을 형성하는 기술이다.

<26> 이하, 열경화방식 및 자외선경화방식을 이용한 나노임프린팅 리소그래피 공정에 대하여 도 1a 내지 도 1d 및 도 2a 내지 도 2d를 통하여 보다 구체적으로 설명한다.

<27> 도 1a 내지 도 1d는 열경화방식의 나노임프린팅 리소그래피 공정을 사용하여 패턴을 형성하는 방법을 도시한 공정단면도이다.

<28> 도 1a에 도시된 바와 같이, 식각대상층(11) 상에 레지스트(12)를 형성한다. 이때, 레지스트(12)는 스핀코팅(spin coating) 방식 또는 디스펜싱(dispensing) 방식을 사용하여 형성할 수 있다. 또한, 레지스트(12)는 임프린트시 나노구조물이 복사되는 전달층(transfer layer)으로 사용되는 물질로써, 열가소성 폴리머 소재 예컨대, PMMA(Polymethyl Methacrylate)를 사용하여 형성할 수 있으며, 스탬프(14)의 양각패턴(13)의 높이보다 두껍게 형성한다.

<29> 도 1b에 도시된 바와 같이, 나노사이즈의 양각패턴(13)이 형성된 스탬프(14)를 준비한다. 여기서, 스탬프(14)는 몰드(mold)라고도 일컫으며, 실리콘(Si) 또는 실리콘산화막(SiO₂)과 같은 반도체 소재, 니켈(Ni)과 같은 금속소재, 퀴즈(quartz), 파이렉스(pyrex), 소다라임 글라스(soda lime glass), 알루미나(alumina) 또는 사파이어(sapphire)와 같은 광투과 소재 및 플라스틱 소재로 이루어진 그룹으로부터 선택된 어느 하나를 사용하여 형성할 수 있으며, 전자빔 리소그래피 공정 또는 13.5nm의 극자외선을 이용한 극자외선리소그래피 공정을 이용한 미세형상 가공 공정을 통해 스탬프(14) 상에 양각패턴(13)을 형성할 수 있다. 이때, 양각패턴(13)은 그 표면이 평탄하며, 양각패턴(13)의 높이는 레지스트(12)의 두께보다 더 얇다.

<30> 다음으로, 양각패턴(13)이 형성된 스탬프(14)를 식각대상층(11) 상부에 위치시킨 후, 스탬프(14)를 레지스트(12)를 향해 가압한다. 이때, 레지스트(12)를 열처리하여 스탬프(14)의 패턴이 레지스트(12)에 잘 각인되도록 한다.

<31> 구체적으로, 레지스트(12)를 유리전이온도 이상 예컨대, 140℃ ~ 180℃ 범위의 온도로 가열하여 레지스트(12)가 점액상태가 되도록 하여 스탬프(14)의 양각패턴(13)이 레지스트(12)에 잘 각인되도록 한다.

<32> 도 1c에 도시된 바와 같이, 레지스트(12)를 유리전이온도 이하 예컨대, 100℃ 이하로 냉각시킨 후, 스탬프(14)를 레지스트(12)로부터 분리한다. 이때, 도면의 "A"와 같이 패턴이 형성되지 않고 레지스트(12)의 일부가 잔류하는 잔류층(residual layer)이 형성된다. 이러한 잔류층은 나노임프린팅 리소그래피 공정에서 불가피하게 발생하는 것으로, 식각대상층(11)과 스탬프(14)가 서로 접촉하지 않도록 일정간격을 두고 패턴형성공정이 진행되기 때문이다. 구체적으로, 스탬프(14)를 가압하여 레지스트패턴(12A)을 형성하는 과정에서 레지스트(12) 하부의 구조물이 스탬프(14)에 의하여 손상되는 것을 방지함과 동시에 스탬프(14)의 양각패턴(13) 사이에 레지스트(12)가 원활히 충전되도록 하기 위함이다.

- <33> 도 1d에 도시된 바와 같이, 패턴이 형성되지 않고 잔류된 레지스트(12)는 전면식각공정 또는 산소 플라즈마 처리(O_2 plasma treatment)를 진행하여 제거한다.
- <34> 다음으로, 도면에 도시하지는 않았지만, 레지스트패턴(12A)을 식각장벽(etch barrier)으로 식각대상층(11)을 식각하여 원하는 패턴을 형성한다.
- <35> 이어서, 도 2a 내지 도 2d는 자외선경화방식의 나노임프린팅 리소그래피공정을 이용하여 패턴을 형성하는 방법을 도시한 공정단면도이다.
- <36> 도 2a에 도시된 바와 같이, 식각대상층(11) 상에 레지스트(12)를 형성한다. 이때, 레지스트(12)는 스핀코팅방식 또는 디스펜싱방식을 사용하여 형성할 수 있으며, 자외선에 의하여 중합반응을 일으키는 소재 예컨대, 레진(resin)을 사용하여 형성할 수 있으며, 스탬프(14)의 양각패턴(13)의 높이보다 두껍게 형성한다.
- <37> 도 2b에 도시된 바와 같이, 나노사이즈의 양각패턴(13)이 형성된 스탬프(14)를 준비한다. 여기서, 스탬프(14)는 광이 투과할 수 있는 소재, 구체적으로는 자외선이 투과할 수 있는 투명한 소재로 형성한다. 예를 들어, 실리콘 산화막(SiO_2)과 같은 반도체 소재, 퀴츠(quartz), 파이렉스(pyrex), 소다라임 글라스(soda lime glass), 알루미늄(alumina) 또는 사파이어(sapphire)와 같은 광투과 소재 및 광투과 플라스틱 소재로 이루어진 그룹으로부터 선택된 어느 하나를 사용하여 형성할 수 있다.
- <38> 또한, 스탬프(14)의 양각패턴(13)은, 전자빔 리소그래피 공정 또는 극자외선리소그래피 공정을 이용한 미세 형상 가공 공정을 통해 형성할 수 있으며, 양각패턴(13)은 그 표면이 평탄하며, 양각패턴(13)의 높이는 레지스트(12)의 두께보다 더 얇다.
- <39> 다음으로, 양각패턴(13)이 형성된 스탬프(14)를 식각대상층(11) 상부에 위치시킨 후, 스탬프(14)를 레지스트(12)를 향해 가압하여 스탬프(14)의 패턴이 레지스트(12)에 잘 각인되도록 한다.
- <40> 다음으로, 레지스트(12)에 자외선을 조사하여 레지스트(12)를 경화시킨다. 이는 레지스트(12)를 레진과 같이 자외선의 의하여 중합반응을 일으키는 소재로 형성함으로써 가능하다.
- <41> 도 2c에 도시된 바와 같이, 자외선에 의한 레지스트(12)의 중합반응을 충분히 진행한 후, 스탬프(14)를 레지스트(12)로부터 분리한다. 이때, 도면의 "A"와 같이 패턴이 형성되지 않고 레지스트(12)의 일부가 잔류하는 잔류층이 형성된다. 이러한 잔류층은 나노임프린팅 리소그래피 공정에서 불가피하게 발생하는 것으로, 식각대상층(11)과 스탬프(14)가 서로 접촉하기 않도록 일정간격을 두고 패턴형성공정이 진행되기 때문이다. 구체적으로, 스탬프(14)를 가압하여 레지스트패턴(12A)을 형성하는 과정에서 레지스트(12) 하부의 구조물이 스탬프(14)에 의하여 손상되는 것을 방지함과 동시에 스탬프(14)의 양각패턴(13) 사이에 레지스트(12)가 원활히 충전되도록 하기 위함이다.
- <42> 도 2d에 도시된 바와 같이, 패턴이 형성되지 않고 잔류된 레지스트(12)는 전면식각공정 또는 산소 플라즈마 처리를 진행하여 제거한다.
- <43> 다음으로, 도면에 도시하지는 않았지만, 레지스트패턴(12A)을 식각장벽(etch barrier)으로 식각대상층(11)을 식각하여 원하는 패턴을 형성한다.
- <44> 또한, 본 발명의 나노임프린팅 리소그래피 기술은 스텝앤리피트(step and repeat) 방식을 사용하여 대면적의 웨이퍼(wafer) 전면에 빠른 시간안에 패턴을 형성할 수 있다. 스텝앤리피트 방식은 상술한 열경화방식 또는 자외선경화방식을 사용하여 일측에 패턴을 형성한 후, 이동하여 또 다른 일측에 동일한 패턴을 형성하는 과정을 반복하는 것으로, 종래의 광학 리소그래피 공정의 스텝퍼(stepers)방식과 유사하다. 하지만, 종래의 광학 리소그래피 공정의 스텝퍼방식에 비하여 8인치 웨이퍼 기준으로 10배 이상의 빠른 패터닝 속도를 가진다. 특히, 자외선경화방식과 스텝앤리피트 방식이 결합된 스텝앤플래시(step and flash) 방식을 사용할 경우, 열경화방식과 스텝앤리피트 방식이 결합된 경우에 비하여 보다 빠른 패터닝 속도를 가진다.
- <45> 이와 같이, 나노임프린팅 리소그래피는 종래의 리소그래피에 비하여 패터닝 속도가 빠르고, 단위시간당 처리량이 많기 때문에 반도체 소자의 생산성을 향상시킬 수 있다.
- <46> 또한, 나노임프린팅 리소그래피 장비의 가격이 저렴하고, 패턴을 형성하기 위한 별도의 전처리 과정이 필요하지 않기 때문에 반도체 소자의 생산비용을 절감할 수 있다.
- <47> 또한, 나노임프린트 리소그래피는 수십 나노미터의 분해능을 갖는 전자빔 리소그래피 공정 또는 극자외선 리소

그래피 공정의 장점을 그대로 활용하면서, 종래의 광학 리소그래피 장비의 회절한계로 인하여 구현하기 힘들었던 70nm 이하의 선폭을 갖는 패턴을 대량으로 생산할 수 있다.

- <48> 이하, 본 발명의 실시예에 따른 자기저항 메모리 장치의 제조방법을 설명한다. 이때, 후술할 실시예에서는 각 구조물 즉, 패턴을 형성하는 공정은 나노임프린팅 리소그래피 공정을 사용하여 형성하는 것을 특징으로 한다. 여기서, 나노임프린팅 리소그래피 공정은 상술한 열경화방식, 자외선경화방식, 스탬앤리프트 방식 또는 스탬앤플래시 방식을 포함하고 있다.
- <49> 도 3a 내지 도 3d는 본 발명의 실시예에 따른 자기저항 메모리 장치의 제조방법을 도시한 공정단면도이다.
- <50> 도 3a에 도시된 바와 같이, 기관(101)의 소정영역에 소자분리막(102)을 형성한다. 이때, 소자분리막(102)으로 인하여 2차원적으로 배열된 복수의 활성영역들(103)이 정의된다.
- <51> 다음으로, 기관(101)상에 활성영역들(103) 및 소자분리막(102)을 동시에 가로지르는, 복수의 절연된 게이트전극(106), 즉 복수의 워드라인(word line)을 형성한다. 이때, 게이트전극(106)은 열 방향과 평행하도록 형성하고, 활성영역들(103)은 각각 한 쌍의 게이트전극(106)과 교차하도록 형성한다. 이에 따라, 각 활성영역(103)은 3개의 부분으로 나누어진다.
- <52> 여기서, 절연된 게이트전극(106)은 기관(101)상에 형성된 게이트절연막(105), 게이트절연막(105) 상에 형성된 게이트전극(106) 및 게이트전극(106) 양측벽에 형성된 스페이서막(107)을 포함할 수 있다.
- <53> 다음으로, 한 쌍의 게이트전극들(106) 사이의 활성영역(103)의 기관(101)에 공통 소스 영역(104S) 및 공통 소스 영역(104S) 양측의 활성영역(103) 기관(101)에 드레인 영역(104D)을 형성한다. 이를 통하여 게이트전극(106) 및 활성영역들(103)이 교차하는 지점에 트랜지스터가 형성할 수 있다. 이때, 트랜지스터는 스위칭 동작을 수행한다.
- <54> 다음으로, 트랜지스터들을 갖는 기관(101)의 전면에 제1층간절연막(110)을 형성한 후, 제1층간절연막(110)을 관통하여, 각각 공통 소스 영역(104S) 및 드레인 영역(104D)에 접속하는 제1플러그막(108A) 및 소스플러그막(109)을 형성한다. 이때, 플러그막들(108A, 109)은 폴리실리콘막으로 형성할 수 있다.
- <55> 다음으로, 제1층간절연막(110) 상에 소스플러그막(109)과 접하도록 소스라인(source line, 111)을 형성한다.
- <56> 다음으로, 소스라인(111)을 포함하는 결과물 전면에 제2층간절연막(112)을 형성한 후, 제2층간절연막(112)을 관통하여 제1플러그막(108A)과 전기적으로 접하는 즉, 드레인 영역(104D)과 전기적으로 연결된 제2플러그막(108B)을 형성한다. 이때, 제2플러그막(108B)은 폴리실리콘막으로 형성할 수 있다.
- <57> 다음으로, 제2층간절연막(112) 상에 활성영역들(103) 및 소자분리막(110)을 동시에 가로지르는 디지털라인(digit line, 113)을 형성한다. 이때, 디지털라인(113)은 워드라인(130)에 평행하게 형성하거나, 비스듬하게 교차하도록 형성할 수 있으며, 바람직하게는 평행하도록 형성하는 것이 좋다.
- <58> 도 3b에 도시된 바와 같이, 디지털라인(113)을 포함하는 결과물 전면에 제3층간절연막(114)을 형성한 후, 제3층간절연막(114)을 관통하고, 제2플러그막(108B)과 전기적으로 접하는 즉, 드레인 영역(104D)과 전기적으로 연결되는 제3플러그막(108C)을 형성한다. 이때, 제3플러그막(108C)은 폴리실리콘막으로 형성할 수 있다.
- <59> 다음으로, 제3층간절연막(114) 상에 제3플러그(108C)와 전기적으로 접하도록 하부전극(115)을 형성한다.
- <60> 다음으로, 하부전극(115) 상에 피닝층(pinning layer, 116) 및 고정층(fixed layer, 117)을 순차적으로 형성한다. 이때, 피닝층(116)은 고정층(117)의 자화방향을 고정시키기 위한 것으로, 반강자성(antiferromagnetic)물질 예컨대, FeMn, IrMn, PtMn, NiO, CoO, FeO 및 PtCo로 이루어진 그룹으로부터 선택된 어느 하나로 형성할 수 있으며, 고정층(117)은 강자성(ferromagnetic)물질 예컨대, NiFe/Co, NiFe/Co, CoFe, NiFe, FeCr 및 CoCr로 이루어진 그룹으로부터 선택된 어느 하나로 형성할 수 있다.
- <61> 다음으로, 고정층(117) 상에 절연층(118)을 형성한다. 이때, 절연층(118)의 두께는 자기터널접합 셀의 자기저항 특성을 결정짓는 가장 중요한 요소이기 때문에 균일한 두께를 갖도록 형성하는 것이 매우 중요하다. 따라서, 본 발명은 모든 영역에서 균일한 두께를 갖는 박막을 형성할 수 있는 용액공정(solution process)을 기반으로 하는 성막방법 예컨대, 스핀코팅법(spin coating), 드랍캐스팅법(drop casting) 및 닥터블레이드법(doctor blade)로 이루어진 그룹으로부터 선택된 어느 한 방법을 사용하여 절연층(118)을 형성한다. 이를 통하여, 후속 자기터널접합 셀이 형성될 영역에서 균일한 두께를 갖는 절연층(118)을 형성할 수 있다.

- <62> 또한, 절연층(118)은 SiO_2 , Al_2O_3 , CaO , ZrSiO_4 , ZrO_2 , HfSiO_4 , Y_2O_3 , HfO_2 , Si_3N_4 , SrO , La_2O_3 , Ta_2O_3 , BaO , TiO_2 , AlN 및 MgO 로 이루어진 그룹으로부터 선택된 어느 하나로 형성할 수 있다.

<63> 도 3c에 도시된 바와 같이, 절연층(118) 상에 자유층(free layer, 119)을 형성한다. 이때, 자유층(119)은 강자성(ferromagnetic)물질 예컨대, NiFe/Co , NiFe/Co , CoFe , NiFe , FeCr 및 CoCr 로 이루어진 그룹으로부터 선택된 어느 하나로 형성할 수 있다.

<64> 다음으로, 자유층(119) 상에 자기터널접합 셀을 형성하기 위한 레지스트패턴(120)을 형성한다. 이때, 레지스트패턴(120)은 자기저항 메모리 장치의 셀 어레이를 구성하는 각각의 자기터널접합 셀 간의 면적을 동일하게 정의 하도록 나노임프린팅 리소그래피 공정을 통하여 형성한다.

<65> 도 3d에 도시된 바와 같이, 레지스트패턴(120)을 식각장벽으로 자유층(119), 절연층(118), 고정층(117) 및 피닝층(116)을 차례로 식각하여 자기터널접합 셀(121)을 형성한다. 이때, 자기터널접합 셀(121)은 디지털라인(113)의 연직 상부에 위치하도록 형성한다. 즉, 평면적으로 볼 때, 자기터널접합 셀(121)은 디지털라인(113)과 하부전극(115)이 교차하는 위치에 형성한다.

<66> 다음으로, 자기터널접합 셀(121) 사이를 매립하도록 제4층간절연막(122)을 형성한 후, 제4층간절연막(122) 상에 자기터널접합 셀(121)의 상부면과 접하도록 비트라인(123)을 형성하여 본 발명의 자기저항 메모리 장치를 완성한다.

<67> 이와 같이, 본 발명은 나노임프린팅 리소그래피 기술을 이용하여 자기저항 메모리 장치를 제조함으로써, 저렴한 생산비용으로 자기저항 메모리 장치를 대량생산할 수 있다.

<68> 또한, 본 발명은 나노임프린팅 리소그래피 기술을 이용하여 자기저항 메모리 장치를 제조함으로써, 자기저항 메모리 장치의 집적도를 획기적으로 향상시킬 수 있다.

<69> 또한, 본 발명은 나노임프린팅 리소그래피 기술을 활용하여 자기저항 메모리 장치를 구성하는 각각의 자기터널접합 셀간의 면적을 동일하게 형성함으로써, 자기저항 메모리 장치의 동작특성을 향상시킬 수 있다.

<70> 또한, 본 발명은 자기터널접합 셀을 구성하는 절연층을 스핀코팅법을 사용하여 형성함으로써, 균일한 두께를 갖는 절연층을 형성할 수 있으며, 이를 통하여 자기저항 메모리 장치의 동작특성을 더욱 향상시킬 수 있다.

<71> 상술한 본 발명의 실시예에서는 나노임프린팅 리소그래피 기술을 활용하여 자기저항 메모리 장치를 제조하는 방법에 대하여 설명하였지만, 본 발명은 자기저항 메모리 장치의 제조방법 이외에도 나노기술 응용 메모리 장치, 차세대 디스플레이(display), 나노바이오(nanobio) 기술, NEMS(Nano Electro Mechanical Systems) 제작공정 및 장비개발, 대면적스텝퍼를 이용한 UV나노임프린트 장비 기술, UV 나노임프린트 공정의 위한 디스펜싱 장비 기술 또는 기상(vapor)방법에 의한 임프린트 공정용 점착방지막 처리 장비 기술과 같은 다양한 기술분야에 적용할 수 있다.

<72> 본 발명의 기술 사상은 상기 바람직한 실시예에 따라 구체적으로 기술되었으나, 상기 실시예는 그 설명을 위한 것이며, 그 제한을 위한 것이 아님을 주의하여야 한다. 또한, 본 발명의 기술분야의 통상의 전문가라면 본 발명의 기술사상의 범위내의 다양한 실시예가 가능함을 이해할 수 있을 것이다.

도면의 간단한 설명

- <73> 도 1a 내지 도 1d는 열경화방식의 나노임프린팅 리소그래피 공정을 사용하여 패턴을 형성하는 방법을 도시한 공정단면도.

<74> 도 2a 내지 도 2d는 자외선경화방식의 나노임프린팅 리소그래피 공정을 사용하여 패턴을 형성하는 방법을 도시한 공정단면도.

<75> 도 3a 내지 도 3d는 본 발명의 실시예에 따른 자기저항 메모리 장치의 제조방법을 도시한 공정단면도.

<76> *도면 주요 부분에 대한 부호 설명*

<77> 11 : 식각대상층 12 : 레지스트

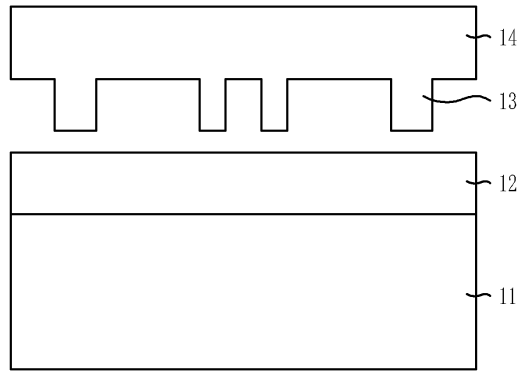
<78> 13 : 양각패턴 14 : 스탬프

<79> 113 : 디지털인 115 : 하부전극

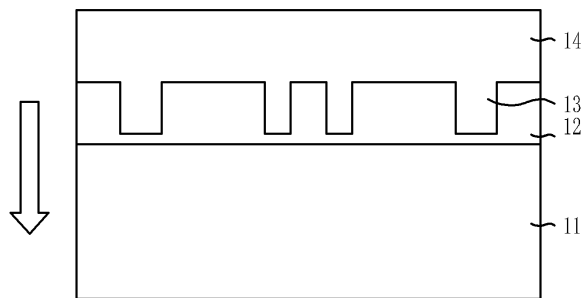
- | | | |
|------|----------------|------------|
| <80> | 116 : 피닝층 | 117 : 고정층 |
| <81> | 118 : 절연층 | 119 : 자유층 |
| <82> | 121 : 자기터널접합 셀 | 123 : 비트라인 |

도면

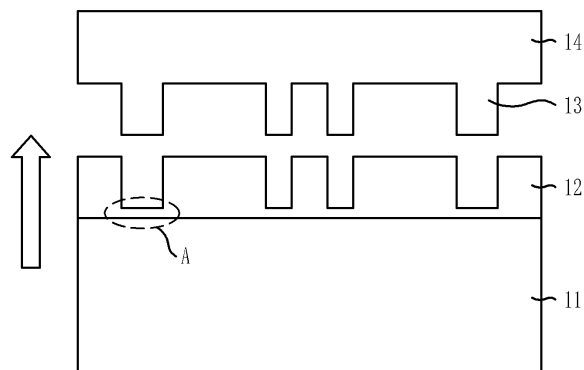
도면1a



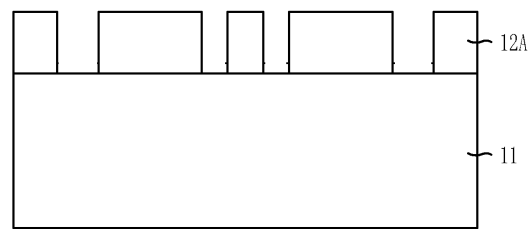
도면1b



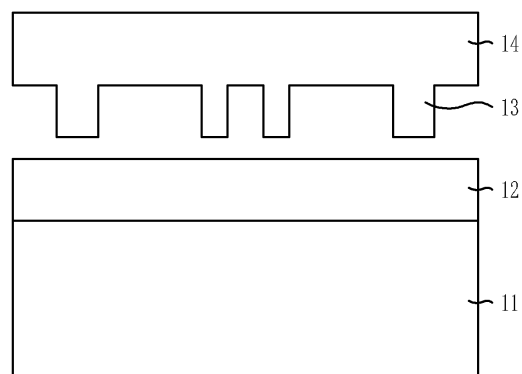
도면1c



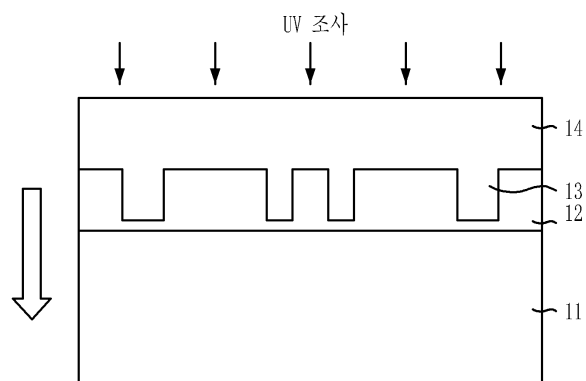
도면1d



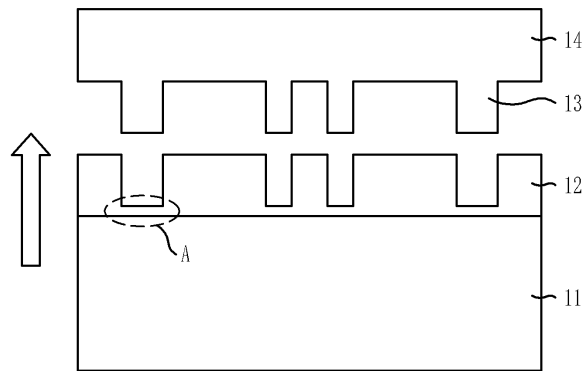
도면2a



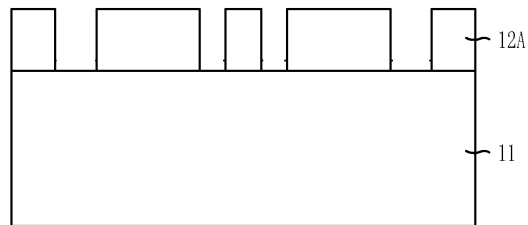
도면2b



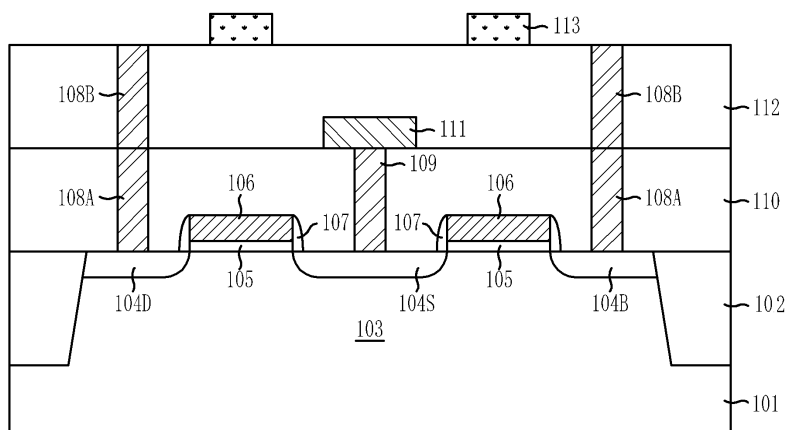
도면2c



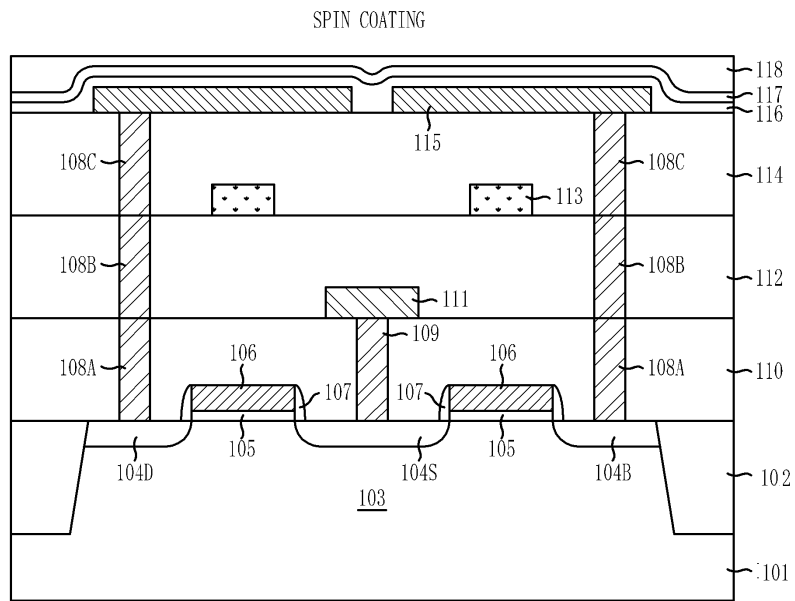
도면2d



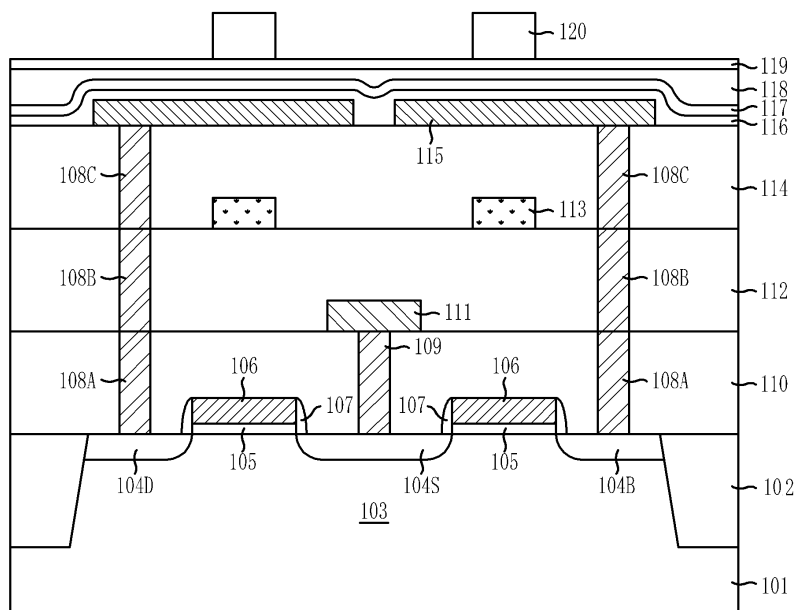
도면3a



도면3b



도면3c



도면3d

