



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2011년09월28일
(11) 등록번호 10-1068387
(24) 등록일자 2011년09월21일

(51) Int. Cl.

H01L 21/28 (2006.01)

(21) 출원번호 10-2009-0071984

(22) 출원일자 2009년08월05일

심사청구일자 2009년08월05일

(65) 공개번호 10-2011-0014361

(43) 공개일자 2011년02월11일

(56) 선행기술조사문헌

KR1020060074745 A

KR1020070026962 A

전체 청구항 수 : 총 10 항

(73) 특허권자

주식회사 하이닉스반도체

경기 이천시 부발읍 아미리 산136-1

(72) 발명자

박강태

경기도 이천시 송정동 신일아파트 103-1204

(74) 대리인

특허법인태평양

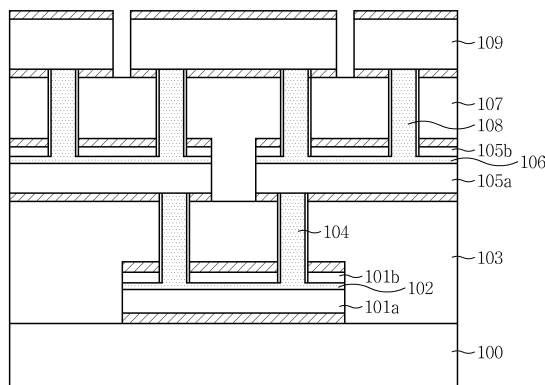
심사관 : 김한수

(54) 반도체 소자의 금속 배선 및 그 형성 방법

(57) 요약

본 발명은 반도체 소자의 금속배선 및 그 형성 방법에 관한 것으로서, 금속배선의 내부에 식각 장벽으로 작용하는 별도의 금속층을 추가하여 식각 마진을 증가시키고 구리의 물질 이동(Material Migration) 현상을 방지할 수 있도록 하는 기술을 개시한다. 이러한 본 발명은, 반도체 기판의 상부에 제 1금속배선층을 형성하는 단계와, 제 1금속배선층의 상부에 제 1도전층을 형성하는 단계와, 제 1도전층의 상부에 제 2금속배선층을 형성하는 단계, 및 제 2금속배선층을 선택적으로 식각하여 제 1도전층을 노출시키는 제 1콘택을 형성하는 단계를 포함한다.

대표도 - 도3



특허청구의 범위

청구항 1

반도체 기판의 상부에 제 1금속배선층을 형성하는 단계;
 상기 제 1금속배선층의 상부에 제 1도전층을 형성하는 단계;
 상기 제 1도전층의 상부에 제 2금속배선층을 형성하는 단계;
 상기 제 2금속배선층을 선택적으로 식각하여 상기 제 1도전층을 노출시키는 제 1콘택홀을 형성하는 단계; 및
 상기 제 1콘택홀에 도전물질을 매립하여 제 1콘택 플러그를 형성하는 단계를 포함하는 것을 특징으로 하는 반도체 소자의 금속배선 형성 방법.

청구항 2

제 1항에 있어서,
 상기 제 1콘택 플러그를 포함하는 구조물 전체에 제 3금속배선층을 형성하는 단계;
 상기 제 3금속배선층의 상부에 제 2도전층을 형성하는 단계;
 상기 제 2도전층의 상부에 제 4금속배선층을 형성하는 단계;
 상기 제 4금속배선층을 선택적으로 식각하여 상기 제 2도전층을 노출시키는 제 2콘택홀을 형성하는 단계; 및
 상기 제 2콘택홀에 도전물질을 매립하여 제 2콘택 플러그를 형성하는 단계를 더 포함하는 것을 특징으로 하는 반도체 소자의 금속배선 형성 방법.

청구항 3

제 1항에 있어서, 상기 제 1금속배선층과 상기 제 2금속배선층은 구리 또는 알루미늄 중 어느 하나로 이루어진 것을 특징으로 하는 반도체 소자의 금속배선 형성 방법.

청구항 4

제 1항에 있어서, 상기 제 1콘택 플러그는 텅스텐 물질로 이루어진 것을 특징으로 하는 반도체 소자의 금속배선 형성 방법.

청구항 5

제 1항 또는 제 4항에 있어서, 상기 제 1도전층은 텅스텐, 은 또는 금 물질 중 어느 하나로 이루어진 것을 특징으로 하는 반도체 소자의 금속배선 형성 방법.

청구항 6

반도체 기판의 상부에 형성된 제 1금속배선층;
 상기 제 1금속배선층의 상부에 형성된 제 1도전층;
 상기 제 1도전층의 상부에 형성된 제 2금속배선층;
 상기 제 2금속배선층을 관통하여 형성되고 상기 제 1도전층을 노출시키는 제 1콘택홀; 및
 상기 제 1콘택홀에 매립되어 상기 제 1도전층과 전기적으로 연결되는 제 1콘택 플러그를 포함하는 것을 특징으로 하는 반도체 소자의 금속배선.

청구항 7

제 6항에 있어서,
 상기 제 1콘택 플러그의 상부에 형성된 제 3금속배선층;
 상기 제 3금속배선층의 상부에 형성된 제 2도전층;

상기 제 2도전층의 상부에 형성된 제 4금속배선층;

상기 제 4금속배선층을 관통하여 형성되고 상기 제 2도전층을 노출시키는 제 2콘택홀; 및

상기 제 2콘택홀에 매립되어 상기 제 2도전층과 전기적으로 연결되는 제 2콘택 플러그를 더 포함하는 것을 특징으로 하는 반도체 소자의 금속배선.

청구항 8

제 6항에 있어서, 상기 제 1금속배선층과 상기 제 2금속배선층은 구리 또는 알루미늄 중 어느 하나로 이루어진 것을 특징으로 하는 반도체 소자의 금속배선.

청구항 9

제 6항에 있어서, 상기 제 1콘택 플러그는 텅스텐 물질로 이루어진 것을 특징으로 하는 반도체 소자의 금속배선.

청구항 10

제 6항 또는 제 9항에 있어서, 상기 제 1도전층은 텅스텐, 은 또는 금 물질 중 어느 하나로 이루어진 것을 특징으로 하는 반도체 소자의 금속배선.

명세서

발명의 상세한 설명

기술 분야

[0001] 본 발명은 반도체 소자의 금속배선 형성 방법에 관한 것으로서, 특히 고집적 반도체 장치 내 포함되어 소자와 소자 간, 또는, 배선과 배선 간을 전기적으로 연결하기 위해 금속배선에 관한 기술이다.

배경 기술

[0002] 일반적으로 반도체 장치는 실리콘 웨이퍼 내 일정영역에 불순물을 주입하거나 새로운 물질을 증착하는 등의 과정을 통해 정해진 목적에 따라 동작할 수 있도록 한 것으로, 대표적인 예로 반도체 기억 장치를 들 수 있다.

[0003] 반도체 기억 장치 내부에는 정해진 목적을 수행하기 위해 트랜지스터, 커패시터, 저항 등의 많은 소자들을 포함하고 있으며, 각각의 소자들은 도전층을 통해 연결되어 데이터 혹은 신호를 주고 받는다.

[0004] 주지된 바와 같이, 반도체 소자의 전기적 연결 통로를 제공하는 콘택홀의 매립 물질을 비롯한 금속배선의 재료로서는 전기 전도도가 매우 우수한 알루미늄(Al)이 주로 이용되어 왔다.

[0005] 그런데, 반도체 소자의 집적도 향상에 기인해서 콘택홀의 너비는 감소하고, 아울러 콘택홀의 깊이는 깊어짐에 따라, 알루미늄으로는 미세 크기의 콘택홀을 완전 매립시키는 것이 어렵게 되었다.

[0006] 따라서, 이러한 콘택홀 매립 문제를 해결하기 위해, 알루미늄보다 매립 특성이 우수한 금속막, 예컨대, 텅스텐막으로 콘택홀을 완전 매립시켜 이것을 금속배선과 하부구조물 간의 전기적 연결을 위한 콘택 플러그로 이용하는 기술이 제안되었다.

[0007] 도 1은 종래의 반도체 소자의 금속배선 형성 방법을 설명하기 위한 공정 단면도이다.

[0008] 먼저, 반도체 기판(1)의 상부에 금속배선층(2)을 형성한다.

[0009] 그리고, 금속배선층(2)을 포함한 전체 구조물의 상부에 층간절연막(3)을 형성한다.

[0010] 그리고, 층간절연막(3)의 선택적인 식각을 통해 금속배선층(2)을 노출시키는 콘택홀(미도시)을 형성하고, 이 상태에서, 콘택홀(미도시)을 텅스텐 물질로 매립시켜 콘택 플러그(4)를 형성한다.

[0011] 이때, 콘택홀(미도시)의 식각 공정시 금속배선층(2)이 식각 정지막으로 작용하게 된다.

[0012] 이어서, 화학적 기계적 연마(CMP; Chemical Mechanical Polishing) 공정으로 콘택 플러그(4)를 연마하여 평탄화시킨다.

- [0013] 그 다음, 콘택 플러그(4)의 상부에 금속배선으로 알루미늄막(5)을 증착한 후, 알루미늄막(5) 상에 감광막 패턴을 형성한다.
- [0014] 다음에, 감광막패턴을 식각 장벽으로 이용해서 알루미늄막(5)을 식각하여 콘택 플러그(4)와 콘택되는 알루미늄 배선을 형성한다.
- [0015] 여기서, 알루미늄막(5)의 식각 공정은 일반적으로 C12와 BC13의 혼합가스를 식각 가스로 사용하는 플라즈마 식각 방식으로 수행한다.
- [0016] 이후에, 알루미늄막(5)의 상부에 층간절연막(6)을 형성한다.
- [0017] 그리고, 층간절연막(6)의 선택적인 식각을 통해 금속배선층(5)을 노출시키는 콘택홀(미도시)을 형성하고, 이 상태에서, 콘택홀(미도시)을 텅스텐 물질로 매립시키는 콘택 플러그(7)를 형성한다.
- [0018] 이때, 콘택홀(미도시)의 식각 공정시 금속배선층(5)이 식각 정지막으로 작용하게 된다.
- [0019] 다음에, 콘택 플러그(7)의 상부에 금속배선으로 알루미늄막(8)을 형성한다.
- [0020] 그런데, 종래의 금속배선 형성 방법은, 콘택홀의 식각 공정시 금속배선층(1,3,5)이 식각 정지막으로 작용하게 된다.
- [0021] 이러한 경우, 웨이퍼 내에서 옥사이드 균일도(Oxide Uniformity)의 정도에 따라 식각되는 정도의 차이가 발생하게 된다.
- [0022] 즉, 웨이퍼 내에서 균일도(Uniformity)의 불량시 외곽부분의 식각이 충분히 이루어지지 않아 메탈 간의 저항이 증가함으로써 전기적으로 불량이 발생할 가능성이 높아 지게 된다.
- [0023] 이로 인해, 디바이스의 AC 특성, 즉, tRCD(로우 어드레스 스트로브 신호가 인에이블되고 칼럼 어드레스 스트로브 신호가 인에이블 되기까지의 지연시간), tRP(로우 어드레스 신호의 프리차지 타이밍), 및 tWR(라이트 타이밍)과 같은 타이밍 관련 특성이 열화 될 수 있는 가능성이 충분하다.
- [0024] 이에 따라, 메탈 콘택이 전기적으로 오픈 되지 않는 콘택 패일이 발생할 가능성이 높으며, 디바이스의 특성상 RC 및 스피드 특성이 저하되는 문제를 야기시킬 수 있다.
- [0025] 한편, 반도체 장치의 제조 기술이 발전하면서 반도체 장치의 집적도를 향상시켜 하나의 웨이퍼에 보다 많은 칩을 형성하려는 노력은 계속되어 왔다.
- [0026] 이에 따라, 집적도를 높이기 위해서 디자인 규칙상의 최소 선폭은 점점 작아지고 있다.
- [0027] 또한, 반도체 장치는 더욱 빠른 속도로 동작할 것을 요구받으면서 동시에 전력 소모를 줄일 것을 요구받는다.
- [0028] 집적도를 향상시키기 위해서는, 반도체 장치 내 여러 구성 요소들의 크기를 줄이는 것뿐만 아니라 연결하는 배선의 길이와 폭도 줄여야 한다.
- [0029] 아울러, 좁은 폭을 가지는 배선을 통해서도 반도체 장치 내에서 전기 신호가 잘 전달될 수 있도록 저항도 작아야 한다.
- [0030] 이로 인해, 최근 반도체 소자의 고집적화에 따라 반도체 장치 내 배선으로 알루미늄(AL)이 아닌 전도성이 좋고 저항이 알루미늄보다 낮은 구리(Cu)를 적용하는 제조 방법에 대한 연구가 진행되었다.
- [0031] 하지만, 알루미늄과 다르게 식각 공정이 어려운 구리는 소위 "다마신(Damascene) 공정"으로 불리어지고 있는 상감 기법을 이용하여 금속배선을 형성하고 있다.
- [0032] 상술된 다마신 공정은 절연막을 식각하여 트렌치를 형성한 다음, 도전성 물질로 트렌치를 매립하여 금속배선을 형성하는 기술이다.
- [0033] 이때, 구리(Cu) 막으로 금속배선을 형성하는 경우에는, 후속하는 CMP(Chemical Mechanical Polishing) 공정에서의 안정성을 확보할 수 있다는 장점이 있다.
- [0034] 또한, 구리는 그 특성상 실리콘(Si) 내의 침입형 자리(interstitial site)를 통한 확산이 매우 빠르게 이루어지기 때문에 소위 "확산 방지막"으로 불리는 장벽층으로 둘러 싸여져 있다.
- [0035] 도 2는 종래기술에 따른 구리배선 형성방법을 도시한 공정 단면도이다.

- [0036] 먼저, 일련의 반도체 제조 공정을 통해 하부 구조물층, 예컨대 메모리 셀이 형성된 반도체 기판(10) 상에 식각 저지막을 형성한다.
- [0037] 이어서, 식각 저지막 상에 소위 ILD(Inter Layer Dielectric) 또는 IMD(Inter Metal Dielectric)로 불리는 층간 절연막을 형성한다.
- [0038] 이어서, 층간 절연막을 선택적으로 식각하여 트렌치(trench) 또는 비아(via) 형태의 콘택홀(미도시)을 형성한다.
- [0039] 이어서, 콘택홀을 도전성 물질, 즉, 텅스텐 물질로 매립하여 콘택(11)을 형성한다.
- [0040] 이후에, 콘택(11)의 상부에 콘택(11)과 접속되는 구리 배선(12)을 형성한다.
- [0041] 다음에, 구리 배선(12)의 상부에 텅스텐 물질의 콘택(13)과, 알루미늄 물질의 금속배선(14)을 차례로 형성한다.
- [0042] 이어서, 금속배선(14)의 상부에 텅스텐 물질의 콘택(15)과, 알루미늄 물질의 금속배선(16)을 차례로 형성한다.
- [0043] 최근 반도체 소자의 크기가 작아짐에 따라 4G 비트 급 메모리의 제 1금속배선의 선폭이 0.24 μm 까지 감소하였고, 주문형 반도체에서도 현재는 0.35 μm 의 선폭을 갖는 내부 연결선이 전체의 80%를 차지하고 있지만, 앞으로는 더 미세한 선폭을 가지는 장치가 예상된다.
- [0044] 이와 같이, 소자의 집적도가 증가함에 따라 금속 1층의 배선으로는 무리가 생긴다.
- [0045] 따라서, 절연층을 사이에 두고 금속 배선을 2중, 3중으로 하여 집적도를 증가시키는 다층금속배선(Multi-Layer Metalization: MLM) 기술이 제안되고 있다.
- [0046] 이러한 다층금속배선은 도 2에서와 같이 하부 금속배선과 상부 금속배선이 콘택에 의해 서로 전기적으로 연결된다.
- [0047] 이처럼 다층금속배선 기술이 제안됨에 따라, 선폭이 더욱 감소하게 되면서 전자 이동(EM; Electro Migration)에 의한 내부연결선의 단선 현상을 해결하는 것이 중요한 문제가 되고 있다.
- [0048] 전자 이동(EM)은 내부연결선에 전류가 흐를 때 배선을 구성하는 원자가 줄 열(Joule-Heating)에 의한 온도 상승에 힘입어, 전자(Election)의 흐름에 밀려 이동(Migration) 하는 현상을 의미한다.
- [0049] 도체 내에서 전위차를 생성시키면 전위가 음극에서 양극으로 전자가 이동을 하게 되며 반대로 양전하를 띤 원자핵은 음극으로 이동하려는 힘을 받게 되는데, 이를 정전기력이라고 한다.
- [0050] 이때, 양극으로 이동하려는 전자는 원자핵과 충돌하게 되며, 충돌된 원자핵을 양극으로 이동하려는 힘을 갖게 되는데 이 힘을 electron wind force 라고 한다.
- [0051] 즉, 소자가 고집적화됨에 따라 점점 높은 전류밀도의 배선을 이용하여 전자 이동(EM)에 대한 취약 지점을 갖게 되는 것이다.
- [0052] 여기서, 전자 이동(EM) 내성에 영향을 주는 요인으로는 배선의 종류, 선폭, 두께, 접촉 구조, 동작 전류 밀도 및 동작 온도 등을 들 수 있다.
- [0053] 현재 제조되는 디램(DRAM)의 경우, 알루미늄(Al) 배선이 주를 이루고 있으며, CPU나 논리 회로의 경우 RC 지연 감소를 위한 한 방향으로 배선 저항 감소와 전자 이동(EM)에 대한 신뢰성을 향상시키기 위하여 구리(Cu) 배선을 이용하고 있다.
- [0054] 그런데, 높은 열팽창 계수를 가진 구리가 고온에서 열팽창을 하는 과정에서 하부 금속배선의 열(Thermal)로 인해 (A)에서와 같이 구리(Cu)가 이동(Migration) 하게 되는 현상이 발생한다.
- [0055] 이러한 경우, 메탈 콘택으로 구리가 소실되면서, (B)에서와 같이, 하부 금속배선과 상부 금속배선을 연결하는 메탈 콘택이 오픈 되지 않는 콘택 패일을 유발하게 된다.
- [0056] 이러한 이동(Migration)은 주로 구리와, 제 1메탈콘택 및 제 2메탈콘택과의 계면에서 발생하게 된다.
- [0057] 특히, 구리의 면적(Volume)이 증가할수록 열팽창 현상이 증가하여 구리의 이동(Migration) 현상이 심화되는 경향이 있다.

- [0058] 이에 따라, 금속배선과 메탈 콘택 사이에 소위 공극(void)으로 불리는 빈 공간이 존재하게 된다.
- [0059] 이러한 공극은 구리층의 저항을 증대시키거나, 응력 이주(Stress Migration, SM), 전자 이동(EM)를 유발시켜 소자의 신뢰성을 저하시키는 문제를 발생시킨다.
- [0060] 이러한 문제를 해결하기 위해 구리 금속배선의 두께(Thickness)를 줄일 수는 있다.
- [0061] 하지만, 이러한 경우 구리의 저항(Rs)이 증가하게 되므로, 구리를 사용하는 금속배선의 원래 장점을 살릴 수 없게 된다.

발명의 내용

해결 하고자하는 과제

- [0062] 전술한 종래의 문제점을 해결하기 위하여, 본 발명은 금속배선의 내부에 식각 장벽으로 작용하는 별도의 금속층을 추가하여 식각 마진을 증가시키고 메탈 간의 RC를 개선하며 구리의 물질 이동(Material Migration) 현상을 방지할 수 있도록 하는데 그 목적이 있다.

과제 해결수단

- [0063] 상기한 목적을 달성하기 위한 본 발명의 반도체 소자의 금속배선 형성 방법은, 반도체 기판의 상부에 제 1금속 배선층을 형성하는 단계; 제 1금속배선층의 상부에 제 1도전층을 형성하는 단계; 제 1도전층의 상부에 제 2금속 배선층을 형성하는 단계; 제 2금속배선층을 선택적으로 식각하여 제 1도전층을 노출시키는 제 1콘택홀을 형성하는 단계; 및 제 1콘택홀에 도전물질을 매립하여 제 1콘택 플러그를 형성하는 단계를 포함하는 것을 특징으로 한다.
- [0064] 또한, 본 발명의 반도체 소자의 금속배선은, 반도체 기판의 상부에 형성된 제 1금속배선층; 제 1금속배선층의 상부에 형성된 제 1도전층; 제 1도전층의 상부에 형성된 제 2금속배선층; 제 2금속배선층을 관통하여 형성되고 제 1도전층을 노출시키는 제 1콘택홀; 및 제 1콘택홀에 매립되어 제 1도전층과 전기적으로 연결되는 제 1콘택 플러그를 포함하는 것을 특징으로 한다.

효과

- [0065] 본 발명은 금속배선의 내부에 식각 장벽으로 작용하는 별도의 금속층을 추가하여 식각 마진을 증가시키고 메탈 간의 RC를 개선하며 구리의 물질 이동(Material Migration) 현상을 방지할 수 있도록 한다.
- [0066] 결과적으로 디바이스의 전반적인 특성뿐만 아니라 수율을 향상시킬 수 있도록 하는 효과를 제공한다.
- [0067] 아울러 본 발명의 바람직한 실시예는 예시의 목적을 위한 것으로, 당업자라면 첨부된 특허청구범위의 기술적 사상과 범위를 통해 다양한 수정, 변경, 대체 및 부가가 가능할 것이며, 이러한 수정 변경 등은 이하의 특허청구 범위에 속하는 것으로 보아야 할 것이다.

발명의 실시를 위한 구체적인 내용

- [0068] 이하, 첨부한 도면을 참조하여 본 발명의 실시예에 대해 상세히 설명하고자 한다.
- [0069] 도 3은 본 발명에 따른 반도체 소자의 금속배선 형성 방법을 설명하기 위한 공정 단면도이다.
- [0070] 본 발명은 제 1, 2금속배선층(101a,101b)과, 제 3, 4금속배선층(105a,105b) 및 제 5금속배선층(109)이 적층된 구조이며, 각각의 금속배선이 콘택플러그(104,108)를 통해 전기적으로 연결된 구조이다.
- [0071] 여기서, 제 1, 2금속배선층(101a,101b)과, 제 3, 4금속배선층(105a,105b) 및 제 5금속배선층(109)은 구리(Cu) 물질일 수도 있고 알루미늄(Al) 물질일 수도 있다.
- [0072] 먼저, 반도체 기판(100)의 상부에 제 1금속배선층(101a)을 형성한다.
- [0073] 이후에, 제 1금속배선층(101a)의 상부에 도전층(102)을 형성하고, 도전층(102)의 상부에 제 2금속배선층(101b)을 형성한다.
- [0074] 그리고, 제 2금속배선층(101b)을 포함한 전체 구조물의 상부에 층간절연막(103)을 형성한다.
- [0075] 그리고, 층간절연막(103)과 제 2금속배선층(101b)의 선택적인 식각을 통해 도전층(102)을 노출시키는 콘택홀(미

도시)을 형성하고, 이 상태에서, 콘택홀(미도시)을 도전성 물질로 매립시켜 콘택 플러그(104)를 형성한다.

- [0076] 이때, 콘택홀(미도시)의 식각 공정시 도전층(102)이 식각 정지막으로 작용하게 된다.
- [0077] 그리고, 콘택홀(미도시)에 매립되는 도전성 물질은 텅스텐 물질로 이루어진 것이 바람직하다.
- [0078] 또한, 도전층(102)은 콘택 플러그(104)와 동일한 텅스텐 물질로 형성되는 것이 바람직하다.
- [0079] 또한, 도전층(102)은 은(Ag) 또는 금(Au) 물질로 이루어질 수도 있다.
- [0080] 이어서, 화학적 기계적 연마(CMP; Chemical Mechanical Polishing) 공정으로 콘택 플러그(104)를 연마하여 평탄화시킨다.
- [0081] 그 다음, 콘택 플러그(104)의 상부에 제 3금속배선층(105a)을 증착한 후, 제 3금속배선층(105a)의 상부에 도전층(106)을 형성한다.
- [0082] 여기서, 도전층(106)은 콘택 플러그(108)와 동일한 텅스텐 물질로 형성되는 것이 바람직하다.
- [0083] 그리고, 도전층(106)은 은(Ag) 또는 금(Au) 물질로 이루어질 수도 있다.
- [0084] 그리고, 도전층(106)의 상부에 제 4금속배선층(105b)을 형성한다.
- [0085] 그리고, 제 4금속배선층(105b)을 포함한 전체 구조물의 상부에 층간절연막(107)을 형성한다.
- [0086] 그리고, 층간절연막(107)과 제 4금속배선층(105b)의 선택적인 식각을 통해 도전층(106)을 노출시키는 콘택홀(미도시)을 형성하고, 이 상태에서, 콘택홀(미도시)을 텅스텐 물질로 매립시켜 콘택 플러그(108)를 형성한다.
- [0087] 이때, 콘택홀(미도시)의 식각 공정시 도전층(106)이 식각 정지막으로 작용하게 된다.
- [0088] 여기서, 도전층(106)은 콘택 플러그(108)와 동일한 텅스텐 물질로 형성되는 것이 바람직하다.
- [0089] 그리고, 도전층(106)은 은(Ag) 또는 금(Au) 물질로 이루어질 수도 있다.
- [0090] 다음에, 콘택 플러그(108)의 상부에 제 5금속배선층(109)을 형성한다.
- [0091] 이러한 본 발명은 제 1, 2금속배선층(101a, 101b)과, 제 3, 4금속배선층(105a, 105b)의 내부에 식각 장벽으로 사용되는 도전층(102, 106)을 별도로 형성하게 된다.
- [0092] 이러한 경우, 도전층(102, 106)이 콘택 플러그(104, 108)와 동일한 물질을 가지므로, 충분한 식각 마진을 확보할 수 있게 된다.
- [0093] 또한, 제 1, 2금속배선층(101a, 101b)과, 제 3, 4금속배선층(105a, 105b)이 동일한 물질로 연결되는 구조이므로, 메탈 간의 저항 및 RC를 개선함과 동시에 웨이퍼 내의 균일도(Uniformity)를 개선할 수 있게 된다.
- [0094] 도 4는 본 발명에 따른 반도체 소자의 금속배선 형성 방법에 관한 다른 실시예이다.
- [0095] 먼저, 일련의 반도체 제조 공정을 통해 하부 구조물층, 예컨대 메모리 셀이 형성된 반도체 기판(200) 상에 식각 저지막을 형성한다.
- [0096] 이어서, 식각 저지막 상에 ILD(Inter Layer Dielectric) 또는 IMD(Inter Metal Dielectric)로 이루어진 층간절연막(미도시)을 형성한다.
- [0097] 이어서, 층간 절연막(미도시)을 선택적으로 식각하여 트렌치(trench) 또는 비아(via) 형태의 콘택홀(미도시)을 형성한다.
- [0098] 이어서, 콘택홀을 도전성 물질, 즉, 텅스텐 물질로 매립하여 콘택 플러그(201)를 형성한다.
- [0099] 이후에, 콘택 플러그(201)의 상부에 콘택 플러그(201)와 접속되는 금속배선층(202a)을 형성한다.
- [0100] 여기서, 금속배선층(202a)은 구리(Cu) 물질로 형성되는 것이 바람직하다.
- [0101] 다음에, 금속배선층(202a)의 상부에 도전층(203)을 형성한다.
- [0102] 이후에, 도전층(203)의 상부에 금속배선층(202b)을 형성한다.
- [0103] 다음에, 금속배선층(202b)의 상부에 층간절연막(미도시)을 증착하고, 층간절연막(미도시)을 선택적으로 식각하여 콘택홀(미도시)을 형성한다.

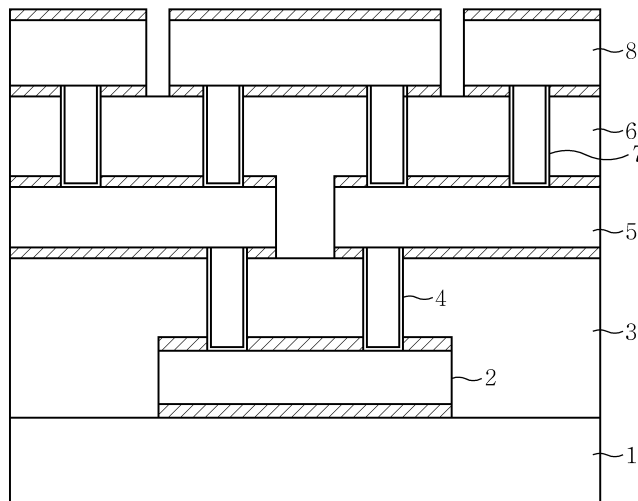
- [0104] 이때, 콘택홀(미도시)의 식각 공정시 도전층(203)이 식각 장벽으로 작용하게 된다.
- [0105] 이어서, 콘택홀(미도시)을 도전성 물질로 매립하여 콘택 플러그(204)를 형성한다.
- [0106] 여기서, 콘택 플러그(204)는 도전층(203)과 동일한 물질인 텅스텐 물질로 형성되는 것이 바람직하다.
- [0107] 그리고, 도전층(203)은 은(Ag) 또는 금(Au) 물질로 이루어질 수도 있다.
- [0108] 이후에, 콘택 플러그(204)의 상부에 금속배선층(205), 콘택 플러그(206) 및 금속배선층(207)을 차례로 형성한다.
- [0109] 이때, 금속배선층(205,207)은 알루미늄 물질로 형성되고, 콘택 플러그(206)는 텅스텐 물질로 형성되는 것이 바람직하다.
- [0110] 그런데, 높은 열팽창 계수를 가진 구리가 고온에서 열팽창을 하는 과정에서 하부 금속배선의 열(Thermal)로 인해 (C)에서와 같이 구리(Cu)가 이동(Migration) 하게 되는 현상이 발생한다.
- [0111] 하지만, 본 발명은 콘택 플러그(204)와 금속배선층(202a,202b)의 사이에 콘택 플러그(204)와 연결되는 도전층(203)이 존재하므로, 이러한 구리의 이동(Migration) 현상이 발생 되더라도, (D)에서와 같이 하부 금속배선과 상부 금속배선을 연결하는 메탈 콘택이 오픈 되지 않는 콘택 패일이 유발되지 않는다.

도면의 간단한 설명

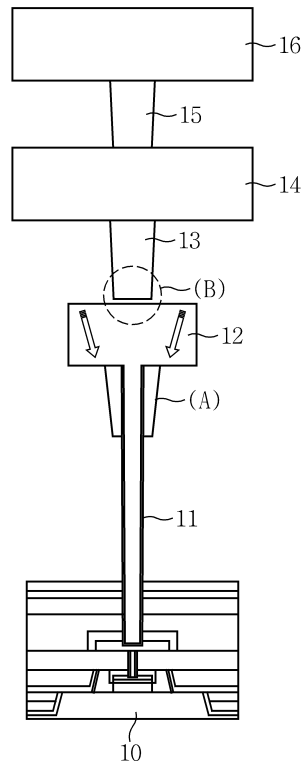
- [0112] 도 1 및 도 2는 종래기술에 따른 반도체 소자의 금속배선에 관한 공정 단면도.
- [0113] 도 3 및 도 4는 본 발명에 따른 반도체 소자의 금속배선에 관한 공정 단면도.

도면

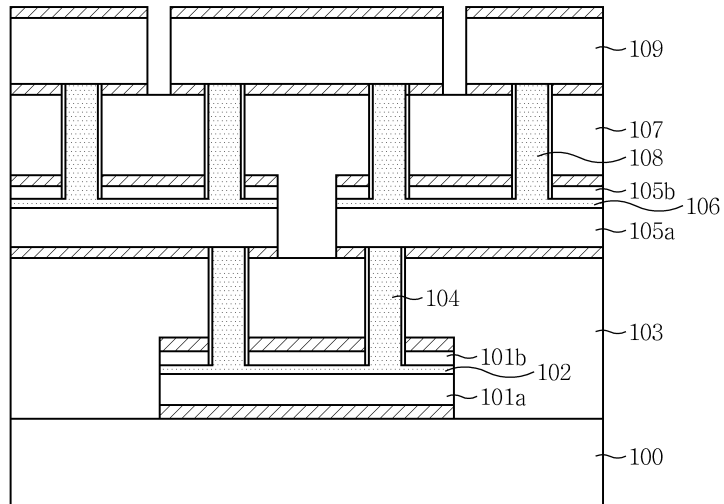
도면1



도면2



도면3



도면4

