

發明專利說明書

(本說明書格式、順序及粗體字，請勿任意更動，※記號部分請勿填寫)

※申請案號： 96118855

※申請日期： 96.5.20

※IPC 分類：H01L 21/336 (2006.01)

一、發明名稱：(中文/英文)

具備電性絕緣底層之金氧半電晶體之製法

二、申請人：(共3人)

姓名或名稱：(中文/英文)

拾己寰

廖文翔

高振山

代表人：(中文/英文)

住居所或營業所地址：(中文/英文)

苗栗市恭敬里聯大一號、

苗栗縣頭份鎮中正路252號、

苗栗市恭敬里聯大一號

國 籍：(中文/英文) 中華民國*3

三、發明人：(共3人)

姓 名：(中文/英文)

拾己寰

廖文翔

高振山

國 籍：(中文/英文)

中華民國*3

四、聲明事項：

☐ 主張專利法第二十二條第二項☐第一款或☐第二款規定之事實，其事實發生日期為： 年 月 日。

☐ 申請前已向下列國家（地區）申請專利：

【格式請依：受理國家（地區）、申請日、申請案號 順序註記】

☐ 有主張專利法第二十七條第一項國際優先權：

☐ 無主張專利法第二十七條第一項國際優先權：

☐ 主張專利法第二十九條第一項國內優先權：

【格式請依：申請日、申請案號 順序註記】

☐ 主張專利法第三十條生物材料：

☐ 須寄存生物材料者：

國內生物材料 【格式請依：寄存機構、日期、號碼 順序註記】

國外生物材料 【格式請依：寄存國家、機構、日期、號碼 順序註記】

☐ 不須寄存生物材料者：

所屬技術領域中具有通常知識者易於獲得時，不須寄存。

九、發明說明：

【發明所屬之技術領域】

本發明係與半導體技術領域有關，更詳而言之是指一種具備電性絕緣底層之金氧半電晶體之製法者。

【先前技術】

按，積體電路係往較大晶片與較小之線寬來演進的，此等趨勢可使相同尺寸之積體電路功能增強並降低其使用成本。而對積體電路中之金氧半場效應電晶體(Metal-Oxide-Semiconductor Field-Effect Transistor, MOSFET)而言，當尺寸越小時通道之長度亦隨之縮短，因此操作速度將加快。不過，當金氧半電晶體元件往小型化發展時，常因通道縮短而使得源/汲極之空乏層(Depletion layer)與通道產生重疊之情形，且，通道越短，其與源/汲極之空乏層產生重疊之比例就越高，如此將縮短通道之實質長度，謂「短通道效應」(Short Channel Effect, SCE)。

習知解決短通道效應之作法係形成淺摻雜汲極區(Lightly Doped Drain, LDD)，或使用較高劑量(濃度)之源極/汲極區(Source/Drain Extension, S/D)來取代淺摻雜汲極區，相關技術之專利案甚多，此處不另一贅述。

不過，習知金氧半電晶體元件製作過程中，由於

源極/汲極植入基底而形成源極/汲極區後，須再進行熱製程(回火)，使得源極/汲極區會產生側面擴散(Lateral Diffusion)與接面深度(Junction Depth)變大之現象，不僅會加重短通道效應、使次臨限漏電之現象更為嚴重；而且，因為 PN 接面之接面電容亦將增大，也會導致元件之操作速度、操作效能(Performance)均無法有效提升。

為解決前述次臨限漏電之問題，如中華民國發明第 535237 號「金氧半電晶體的製造方法」專利案所示，其主要係以斜角方式進行絕緣離子植入矽基底，而在靠近通道側的淡摻雜區域下方形成絕緣離子摻雜區，最後利用熱製程使絕緣離子摻雜區反應而形成絕緣層，獲致切斷次臨限漏電之效果。不過，該專利案以斜角方式進行絕緣離子植入時，其閘極電極之兩側及上側並未受到任何保護層之保護，易受到絕緣離子植入動作之傷害。

【發明內容】

本發明之主要目的即在提供一種可解決前揭缺失之具備電性絕緣底層之金氧半電晶體之製法，其藉由在源極/汲極區與基底之 PN 接面附近形成一電性絕緣底層，俾可切斷次臨界漏電，而具備更加省電的操作效能。

本發明之另一目的在於提供一種具備電性絕緣底層之金氧半電晶體製法，其藉由形成電性絕緣底層，而可大幅降低 PN 接面之接合電容，俾提升元件之操作速度。

緣是，為達成前述之目的，本發明係提供一種具備電性絕緣底層之金氧半電晶體之製法，至少包含有以下步驟：a)以淺溝渠隔離技術使一基底形成若干溝渠區與井區；b)閘極堆疊，依序由下而上於該井區上形成一閘極氧化層、一閘極電極與一硬罩幕；c)沉積與回蝕刻，使該閘極氧化層、閘極電極與硬罩幕外側壁形成一間隙壁；d)對該井區進行斜角度方式高濃度絕緣離子植入；及 e)進行一回火製程，使該閘極電極底側形成一電性絕緣層。

進一步地，本發明具備電性絕緣底層之金氧半電晶體之製法更包含有一 f)步驟，係移除該硬罩幕與間隙壁。

進一步地，本發明具備電性絕緣底層之金氧半電晶體之製法更包含有一 g)步驟，係施以淡離子植入，以在該閘極電極外側之井區二側形成一淡摻雜區域。

進一步地，本發明具備電性絕緣底層之金氧半電晶體製法更包含有一 h)步驟，係施以濃離子植入，以形成與該淡摻雜區域重疊之一濃摻雜區域，而構成源極/汲極區。

進一步地，本發明具備電性絕緣底層之金氧半電晶體之製法更包含有一 i) 步驟，係利用熱製程，以調整源極/汲極延伸區的接合深度與摻雜輪廓。

【實施方式】

以下，茲舉本發明一較佳實施例，並配合圖式做進一步之詳細說明如後：

請參閱各圖所示，本發明一較佳實施例具備電性絕緣底層之金氧半電晶體之製法，其第一步驟：係以習知電性絕緣之淺溝渠隔離技術(Shallow Trench Isolation, STI)於一基底(矽，Si)12上形成數淺溝渠區22與井區(N/P-Well)24(或通道)。

本發明之第二步驟：係閘極堆疊，依序由下而上地於該井區24上形成一閘極氧化層(Gate ox)26、一閘極電極(Gate Elect.)28與一硬罩幕(SiN_x hard mask)30。該閘極氧化層26係經乾(或濕)氧化製程所形成，而該閘極電極28係利用臨場摻雜(in-situ)之化學氣相沉積法(Chemical Vapor Deposition, CVD)，並以例如矽甲烷(SiH₄)等作為反應氣體所沉積而成的摻雜複晶矽層當作材料，再施以非等向性蝕刻步驟定義而成，該硬罩幕30係氮化矽材質(亦可為氧化矽材質)。

本發明之第三步驟：係沉積與該硬罩幕30材質相

同之薄膜（氮化矽），繼而利用乾式電漿回蝕刻（Etching back）之技術，使該閘極氧化層 26、閘極電極 28 與硬罩幕 30 外側壁形成一間隙壁 32。該間隙壁 32 係氮化矽材質（亦可為氧化矽材質）。又，沉積薄膜與回蝕刻係習知形成間隙壁之技術，此處不予贅述其詳細實施內容及等效替代技術。

本發明之第四步驟：係對該井區 24 進行斜角度（如 45° 斜角）方式高濃度絕緣離子植入，此高濃度絕緣離子可為氧(O)或氮(N)，其中以氧較佳。該閘極電極 28 有硬罩幕 30 與間隙壁 32 之保護，因此，植入高濃度絕緣離子之動作不會傷及閘極電極 28。

本發明之第五步驟：係進行一習知回火製程，使該閘極電極 28 底側之井區 24 形成一電性絕緣底層 34，且去除該基底 12 及其表面氧化層。利用回火之熱製程可使絕緣離子（如氧或氮）與井區 24（矽基底）產生反應，而形成二氧化矽或氮化矽構成之電性絕緣底層 34，當飽和電流(Saturation Current)產生時，該電性絕緣底層 34 即可切斷並阻絕次臨限漏電，進而提升金氧半電晶體元件之效能。

此外，本發明具備電性絕緣底層之金氧半電晶體之製法更可包含第六步驟：係移除該硬罩幕 30 與間隙壁 32。可利用對該硬罩幕 30 與間隙壁 32 具有蝕刻能力之清洗液（如磷酸， H_3PO_4 ）進行清洗製程，即可去除

該氮化矽材質之硬罩幕 30 與間隙壁 32 (若硬罩幕 30 與間隙壁 32 係氧化矽材質則以氫氟酸作為清洗液)。

本發明之第七步驟：係施以淡離子植入，以在該閘極電極 28 外側之井區 24 二側形成一淡摻雜區域 (Lightly Doped Drain, LDD) 36。淡離子可為例如磷 (P) 或砷 (As) 等五價的 N 型離子 (n^-)。

本發明之第八步驟：係在該閘極電極 28 的側壁形成一間隙壁 38。

本發明之第九步驟：係施以濃離子植入，以形成與該淡摻雜區域 36 重疊之一濃摻雜區域 40，而構成源極/汲極區 (Source/Drain Extension, S/D)。濃離子 (n^+) 使用的植入能量及劑量皆較該淡摻雜區域 36 之離子植入步驟還大。

本發明之第九步驟：係利用熱製程，以調整該源極/汲極區的接合深度與摻雜輪廓。

本實施例係以 NMOS 電晶體為例，惟本發明並不限於此，亦可適用於 PMOS 電晶體，亦即在 N 型半導體基底或 N 型井區形成 P 型之源極/汲極的情況。

藉此，本發明具備電性絕緣底層之金氧半電晶體之製法，其特色及效果如下：

本發明先於該閘極電極 28 頂側堆疊硬罩幕 30、外側形成間隙壁 32，使得對該井區 24 進行斜角度高濃度絕緣離子植入步驟時，不會使該閘極電極 28 受到

傷害，且，藉由熱製程(回火)後在源極/汲極區與基底之 PN 接面附近形成該電性絕緣底層 34，俾當飽和電流(Saturation Current)產生時，該電性絕緣底層 34 可切斷並阻絕次臨限漏電，進而提升金氧半電晶體元件之效能。

其次，本發明藉由形成該電性絕緣底層 34，更可減少源極/汲極區之側面擴散區域，俾可降低接面電容、提升元件之操作速度。亦即，本發明更可適用於積集度高、通道極短之金氧半電晶體之製作者。

雖然本發明已以較佳實施例揭露如上，然其並非用以限定本發明，任何熟悉此項技藝者，在不脫離本發明之精神和範圍內，當可作更動與潤飾，因此本發明之保護範圍當視後附之申請專利範圍所界定者為準。

【圖式簡單說明】

圖一至圖六係本發明一較佳實施例製造流程之剖面示意圖。

【主要元件符號說明】

基底 12	淺溝渠區 22	井區 24
閘極氧化層 26	閘極電極 28	硬罩幕 30
間隙壁 32	電性絕緣底層 34	淡摻雜區域 36
間隙壁 38	濃摻雜區域 40	

五、中文發明摘要：

本發明係提供一種具備絕緣底層之金氧半電晶體之製法，係先以淺溝渠隔離技術使一基底形成若干溝渠區與井區，再進行閘極堆疊步驟，以依序由下而上地於該井區上形成一閘極氧化層、一閘極電極與一硬罩幕，再沉積與硬罩幕材質相同之薄膜，繼而乾式電漿回蝕刻，使該閘極氧化層、閘極電極與硬罩幕外側壁形成一間隙壁，復對該井區進行斜角度方式高濃度絕緣離子植入，最後，進行一回火製程，使該閘極電極底側形成一電性絕緣底層。

六、英文發明摘要：

十、申請專利範圍：

1.一種具備電性絕緣底層之金氧半電晶體之製法，至少包含有以下步驟：

a)以淺溝渠隔離技術使一基底形成若干溝渠區與井區；

b)閘極堆疊，依序由下而上於該井區上形成一閘極氧化層、一閘極電極與一硬罩幕；

c)沉積與回蝕刻，使該閘極氧化層、閘極電極與硬罩幕外側壁形成一間隙壁；

d)對該井區進行斜角度方式高濃度之絕緣離子植入；及

e)進行一回火製程，使該閘極電極底側形成一電性絕緣底層。

2.如申請專利範圍第1項所述具備電性絕緣底層之金氧半電晶體之製法，其中更包含有一f)步驟，係移除該硬罩幕與間隙壁。

3.如申請專利範圍第2項所述具備電性絕緣底層之金氧半電晶體製法，其中更包含有一g)步驟，係施以淡離子植入，以在該閘極電極外側之井區二側形成一淡摻雜區域。

4.如申請專利範圍第3項所述具備電性絕緣底層之金氧半電晶體之製法，其中更包含有一h)步驟，係在該閘極結構的側壁形成一間隙壁。

5. 如申請專利範圍第 4 項所述具備電性絕緣底層之金氧半電晶體之製法，其中更包含有一 i) 步驟，係施以濃離子植入，以在該間隙壁外側之井區二側植入離子形成與淡摻雜區域重疊之一濃摻雜區域，而構成源極/汲極區。

6. 如申請專利範圍第 5 項所述具備電性絕緣底層之金氧半電晶體之製法，其中更包含有一 j) 步驟，係利用熱製程，以調整源極/汲極區的接合深度與摻雜輪廓。

7. 如申請專利範圍第 1 項所述具備電性絕緣底層之金氧半電晶體之製法，其中該基底係矽基底。

8. 如申請專利範圍第 1 項所述具備電性絕緣底層之金氧半電晶體之製法，其中 c) 步驟中，係沉積與硬罩幕相同材質之薄膜及進行乾式電漿回蝕刻，使該閘極氧化層、閘極電極與硬罩幕外側壁形成一間隙壁。

9. 如申請專利範圍第 1 項所述具備電性絕緣底層之金氧半電晶體之製法，其中 d) 步驟中，絕緣離子係氧離子。

10. 如申請專利範圍第 9 項所述具備電性絕緣底層之金氧半電晶體之製法，其中 e) 步驟中，該絕緣層係二氧化矽。

11. 如申請專利範圍第 1 項所述具備電性絕緣底層之金氧半電晶體之製法，其中 d) 步驟中，絕緣離子

係氮離子。

12. 如申請專利範圍第 11 項所述具備電性絕緣底層之金氧半電晶體之製法，其中 e) 步驟中，該絕緣底層係氮化矽。

13. 如申請專利範圍第 2 項所述具備電性絕緣底層之金氧半電晶體之製法，其中 f) 步驟中，係利用對該硬罩幕與間隙壁具有蝕刻能力之清洗液進行清洗製程，藉以去除該硬罩幕與間隙壁。

14. 如申請專利範圍第 13 項所述具備電性絕緣底層之金氧半電晶體之製法，其中該硬罩幕與間隙壁係氮化矽材質，清洗液係磷酸 (H_3PO_4)。

15. 如申請專利範圍第 13 項所述具備電性絕緣底層之金氧半電晶體之製法，其中該硬罩幕與間隙壁係氧化矽材質，清洗液係氫氟酸 (Hydrofluoric Acid, HF)。

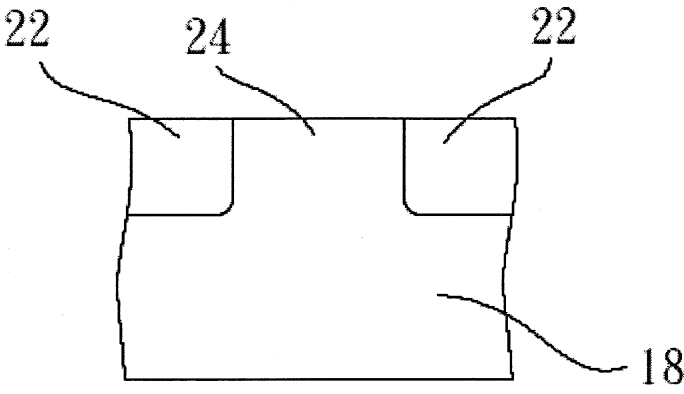


圖 一

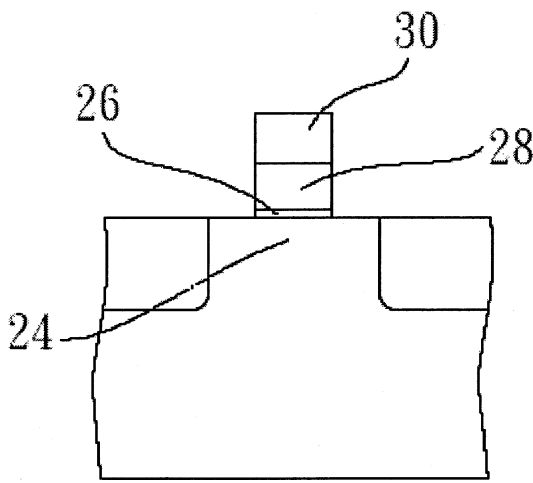


圖 二

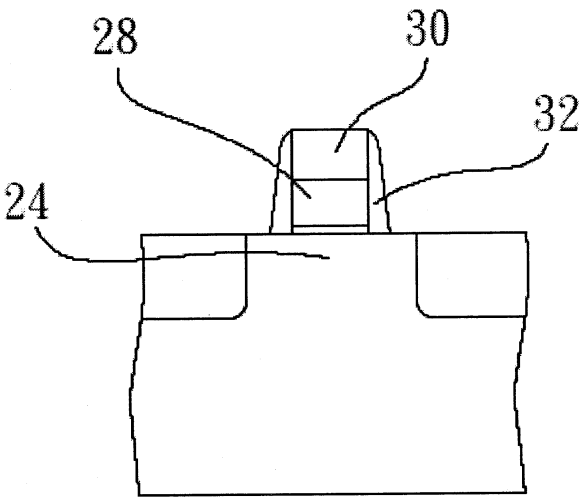


圖 三

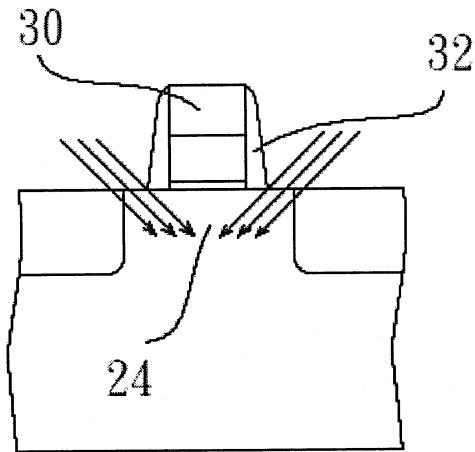


圖 四

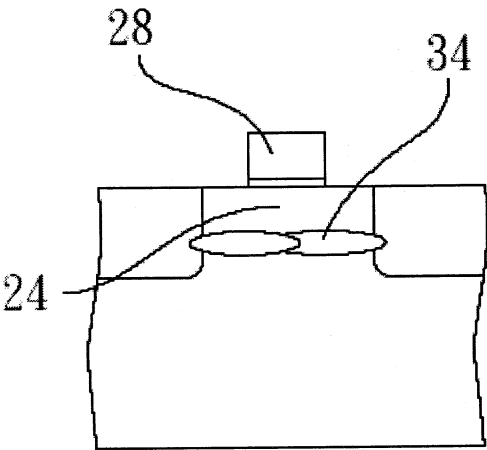


圖 五

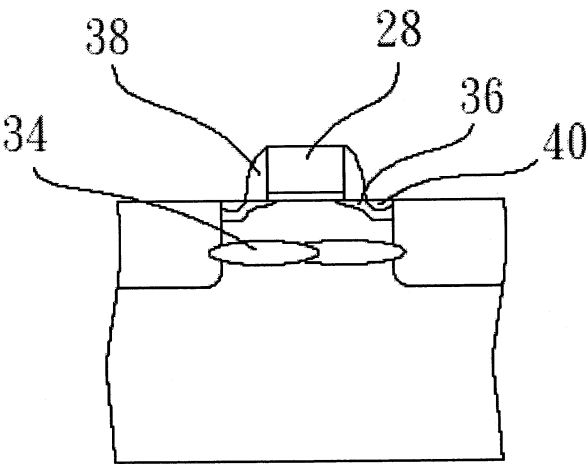


圖 六

七、指定代表圖：

(一)本案指定代表圖為：第（六）圖。

(二)本代表圖之元件符號簡單說明：

閘極電極 28

電性絕緣底層 34

淡摻雜區域 36

間隙壁 38

濃摻雜區域 40

八、本案若有化學式時，請揭示最能顯示發明特徵的化學式：