

(19)日本国特許庁(JP)

(12)特許公報(B2)

(11)特許番号

特許第7391875号

(P7391875)

(45)発行日 令和5年12月5日(2023.12.5)

(24)登録日 令和5年11月27日(2023.11.27)

(51)国際特許分類

F I

H 0 1 L 29/786 (2006.01)

H 0 1 L 29/78 6 1 8 C

H 0 1 L 27/00 (2006.01)

H 0 1 L 27/00 3 0 1 A

H 1 0 B 12/00 (2023.01)

H 0 1 L 29/78 6 1 8 E

H 1 0 B 41/40 (2023.01)

H 0 1 L 29/78 6 1 8 B

H 0 1 L 21/336 (2006.01)

H 1 0 B 12/00 8 0 1

請求項の数 3 (全86頁) 最終頁に続く

(21)出願番号 特願2020-559046(P2020-559046)

(86)(22)出願日 令和1年11月21日(2019.11.21)

(86)国際出願番号 PCT/IB2019/060011

(87)国際公開番号 WO2020/115595

(87)国際公開日 令和2年6月11日(2020.6.11)

審査請求日 令和4年11月16日(2022.11.16)

(31)優先権主張番号 特願2018-229973(P2018-229973)

(32)優先日 平成30年12月7日(2018.12.7)

(33)優先権主張国・地域又は機関

日本国(JP)

(73)特許権者 000153878

株式会社半導体エネルギー研究所

神奈川県厚木市長谷398番地

(72)発明者 山崎 舜平

神奈川県厚木市長谷398番地 株式会

社半導体エネルギー研究所内

(72)発明者 菅谷 健太郎

神奈川県厚木市長谷398番地 株式会

社半導体エネルギー研究所内

(72)発明者 方堂 涼太

神奈川県厚木市長谷398番地 株式会

社半導体エネルギー研究所内

(72)発明者 牧野 賢一郎

神奈川県厚木市長谷398番地 株式会

社半導体エネルギー研究所内

最終頁に続く

(54)【発明の名称】 半導体装置

(57)【特許請求の範囲】

【請求項1】

第1のトランジスタと、第2のトランジスタと、を有する半導体装置であって、

第1の絶縁膜と、

前記第1の絶縁膜の上面と接する領域を有する第1の酸化物層と、

前記第1の絶縁膜の上面と接する領域を有する第2の酸化物層と、

前記第1の酸化物層の上面と接する領域を有し、前記第1のトランジスタのチャンネル形成領域を有する第3の酸化物層と、

前記第2の酸化物層の上面と接する領域を有し、前記第2のトランジスタのチャンネル形成領域を有する第4の酸化物層と、

前記第3の酸化物層の上面と接する領域と、前記第4の酸化物層の上面と接する領域と、を有する第5の酸化物層と、

前記第5の酸化物層上の第2の絶縁膜と、

前記第2の絶縁膜上の導電膜と、を有し、

前記導電膜は、前記第1のトランジスタのゲート電極として機能する領域と、前記第2のトランジスタのゲート電極として機能する領域と、有し、

前記第1のトランジスタ及び前記第2のトランジスタのチャンネル幅方向の断面視において、前記第1の絶縁膜は、前記導電膜と重なり且つ前記第2の絶縁膜と接する領域を有し、

前記第1の絶縁膜は、前記第1の酸化物層と重なる領域において第1の膜厚と、前記第2の酸化物層と重なる領域において第2の膜厚と、前記第1の酸化物層および前記第2の

酸化物層と重ならない領域において第3の膜厚と、を有し、

前記第3の膜厚は、前記第1の膜厚および前記第2の膜厚より小さい、半導体装置。

【請求項2】

請求項1において、

前記第1のトランジスタ及び前記第2のトランジスタのチャンネル幅方向の断面視において、前記第5の酸化物層は分離した領域を有し、

前記分離した領域は、前記第1のトランジスタと前記第2のトランジスタとの間に位置する、半導体装置。

【請求項3】

請求項2において、

前記第1のトランジスタ及び前記第2のトランジスタのチャンネル幅方向の断面視において、前記第5の酸化物層は、前記第1の酸化物層の端部から突出した領域を有し、

前記第1の酸化物層の端部から突出した領域の幅に対する、前記分離した領域の幅は、0.1以上0.9以下である、半導体装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明の一態様は、トランジスタ、半導体装置、および電子機器に関する。また、本発明の一態様は、半導体装置の作製方法に関する。また、本発明の一態様は、半導体ウエハ、およびモジュールに関する。

【0002】

なお、本明細書等において半導体装置とは、半導体特性を利用することで機能し得る装置全般を指す。トランジスタなどの半導体素子をはじめ、半導体回路、演算装置、記憶装置は、半導体装置の一態様である。表示装置（液晶表示装置、発光表示装置など）、投影装置、照明装置、電気光学装置、蓄電装置、記憶装置、半導体回路、撮像装置、電子機器などは、半導体装置を有すると言える場合がある。

【0003】

なお、本発明の一態様は、上記の技術分野に限定されない。本明細書等で開示する発明の一態様は、物、方法、または、製造方法に関するものである。また、本発明の一態様は、プロセス、マシン、マニュファクチャ、または、組成物（コンビネーション・オブ・マター）に関するものである。

【背景技術】

【0004】

絶縁表面を有する基板上に形成された半導体薄膜を用いてトランジスタを構成する技術が注目されている。当該トランジスタは集積回路（IC）や画像表示装置（単に表示装置とも表記する。）のような電子デバイスに広く応用されている。トランジスタに適用可能な半導体薄膜としてシリコン系半導体材料が広く知られているが、その他の材料として酸化物半導体が注目されている。

【0005】

酸化物半導体において、単結晶でも非晶質でもない、CAAC（c-axis aligned crystalline）構造およびnc（nanocrystalline）構造が見出されている（非特許文献1及び非特許文献2参照）。

【0006】

非特許文献1および非特許文献2では、CAAC構造を有する酸化物半導体を用いてトランジスタを作製する技術が開示されている。

【0007】

また、近年、半導体集積回路などに代表される半導体装置の多機能化、高集積化、高速化、低消費電力化が強く求められている。これらの要求を実現するためには、半導体装置を構成するトランジスタの微細化や、高集積化が必要である。

【先行技術文献】

10

20

30

40

50

【非特許文献】

【0008】

【文献】S. Yamazaki et al., "SID Symposium Digest of Technical Papers", 2012, volume 43, issue 1, p. 183-186

【文献】S. Yamazaki et al., "Japanese Journal of Applied Physics", 2014, volume 53, Number 4S, p. 04ED18-1-04ED18-10

【発明の概要】

【発明が解決しようとする課題】

10

【0009】

本発明の一態様は、オン電流が大きい半導体装置を提供することを課題の一つとする。また、本発明の一態様は、良好な電気特性を有する半導体装置を提供することを課題の一つとする。また、本発明の一態様は、微細化または高集積化が可能な半導体装置を提供することを課題の一つとする。また、本発明の一態様は、信頼性が良好な半導体装置を提供することを課題の一つとする。また、本発明の一態様は、低消費電力の半導体装置を提供することを課題の一つとする。

【0010】

なお、これらの課題の記載は、他の課題の存在を妨げるものではない。なお、本発明の一態様は、これらの課題の全てを解決する必要はないものとする。なお、これら以外の課題は、明細書、図面、請求項などの記載から、自ずと明らかとなるものであり、明細書、図面、請求項などの記載から、これら以外の課題を抽出することが可能である。

20

【課題を解決するための手段】

【0011】

本発明の一態様は、第1の絶縁膜と、第1の絶縁膜上の、第1の酸化物層、および第2の酸化物層と、第1の酸化物層、および第1の絶縁膜上の、第3の酸化物層と、第2の酸化物層、および第1の絶縁膜上の、第4の酸化物層と、第3の酸化物層、第4の酸化物層、および第1の絶縁膜上の、第2の絶縁膜と、第2の絶縁膜上の導電膜と、を有し、導電膜は、第3の酸化物層、第4の酸化物層、および第1の絶縁膜と重なる、半導体装置である。

30

【0012】

上記半導体装置において、第2の絶縁膜は、第1の絶縁膜と接する領域を有する、ことが好ましい。

【0013】

また、本発明の他の一態様は、第1の絶縁膜と、第1の絶縁膜上の、第1の酸化物層、および第2の酸化物層と、第1の酸化物層、および第1の絶縁膜上の、第3の酸化物層と、第2の酸化物層、および第1の絶縁膜上の、第4の酸化物層と、第3の酸化物層、第4の酸化物層、および第1の絶縁膜上の、第5の酸化物層と、第5の酸化物層上の第2の絶縁膜と、第2の絶縁膜上の導電膜と、を有し、導電膜は、第2の絶縁膜を介して、第3の酸化物層、第4の酸化物層、および第1の絶縁膜と重なる、半導体装置である。

40

【0014】

上記半導体装置において、第5の酸化物層は、第1の絶縁膜と接する領域を有する、ことが好ましい。

【0015】

また、上記半導体装置において、第5の酸化物層における、主成分である金属元素に対するInの原子数比が、第3の酸化物層における、主成分である金属元素に対するInの原子数比より小さい、ことが好ましい。

【0016】

本発明の他の一態様は、第1の絶縁膜上に、第1の酸化膜を成膜する第1の工程と、第1の酸化膜を加工することで、島状の、第1の酸化物層、および第2の酸化物層を形成す

50

る第2の工程と、第1の酸化物層、第2の酸化物層、および第1の絶縁膜上に、第2の酸化膜を成膜する第3の工程と、第2の酸化膜を加工することで、第1の酸化物層上の第3の酸化物層と、第2の酸化物層上の第4の酸化物層と、を形成する第4の工程と、第1の絶縁膜、第3の酸化物層、および第4の酸化物層上の第2の絶縁膜、第2の絶縁膜上の導電膜を形成する第5の工程と、を有する、半導体装置の作製方法である。

【0017】

また、本発明の他の一態様は、第1の絶縁膜上に、第1の酸化膜を成膜する第1の工程と、第1の酸化膜を加工することで、島状の、第1の酸化物層、および第2の酸化物層を形成する第2の工程と、第1の酸化物層、第2の酸化物層、および第1の絶縁膜上に、第2の酸化膜を成膜する第3の工程と、第2の酸化膜を加工することで、第1の酸化物層上の第3の酸化物層と、第2の酸化物層上の第4の酸化物層と、を形成する第4の工程と、第1の絶縁膜、第3の酸化物層、および第4の酸化物層上の第5の酸化物層、第5の酸化物層上の第2の絶縁膜、第2の絶縁膜上の導電膜を形成する第5の工程と、を有する、半導体装置の作製方法である。

10

【0018】

上記半導体装置の作製方法において、第4の工程は、第2の酸化膜上に、リソグラフィ法により、マスクを形成し、マスクを用いて、ウェットエッチング法により、第2の酸化膜の少なくとも一部を除去する工程を有する、ことが好ましい。

【発明の効果】

【0019】

本発明の一態様により、オン電流が大きい半導体装置を提供することができる。また、本発明の一態様により、良好な電気特性を有する半導体装置を提供することができる。また、本発明の一態様により、微細化または高集積化が可能な半導体装置を提供することができる。また、本発明の一態様により、信頼性が良好な半導体装置を提供することができる。また、本発明の一態様により、低消費電力の半導体装置を提供することができる。

20

【0020】

なお、これらの効果の記載は、他の効果の存在を妨げるものではない。なお、本発明の一態様は、これらの効果の全てを有する必要はない。なお、これら以外の効果は、明細書、図面、請求項などの記載から、自ずと明らかとなるものであり、明細書、図面、請求項などの記載から、これら以外の効果を抽出することが可能である。

30

【図面の簡単な説明】

【0021】

図1Aは、本発明の一態様に係る半導体装置の上面図である。図1B乃至図1Dは、本発明の一態様に係る半導体装置の断面図である。

図2Aは、本発明の一態様に係る半導体装置の上面図である。図2B乃至図2Dは、本発明の一態様に係る半導体装置の断面図である。

図3Aは、本発明の一態様に係る半導体装置の上面図である。図3B乃至図3Dは、本発明の一態様に係る半導体装置の断面図である。

図4Aは、本発明の一態様に係る半導体装置の上面図である。図4B乃至図4Dは、本発明の一態様に係る半導体装置の断面図である。

40

図5Aは、本発明の一態様に係る半導体装置の作製方法を示す上面図である。図5B乃至図5Dは、本発明の一態様に係る半導体装置の作製方法を示す断面図である。

図6Aは、本発明の一態様に係る半導体装置の作製方法を示す上面図である。図6B乃至図6Dは、本発明の一態様に係る半導体装置の作製方法を示す断面図である。

図7Aは、本発明の一態様に係る半導体装置の作製方法を示す上面図である。図7B乃至図7Dは、本発明の一態様に係る半導体装置の作製方法を示す断面図である。

図8Aは、本発明の一態様に係る半導体装置の作製方法を示す上面図である。図8B乃至図8Dは、本発明の一態様に係る半導体装置の作製方法を示す断面図である。

図9Aは、本発明の一態様に係る半導体装置の作製方法を示す上面図である。図9B乃至図9Dは、本発明の一態様に係る半導体装置の作製方法を示す断面図である。

50

図 1 0 A は、本発明の一態様に係る半導体装置の作製方法を示す上面図である。図 1 0 B 乃至図 1 0 D は、本発明の一態様に係る半導体装置の作製方法を示す断面図である。

図 1 1 A は、本発明の一態様に係る半導体装置の作製方法を示す上面図である。図 1 1 B 乃至図 1 1 D は、本発明の一態様に係る半導体装置の作製方法を示す断面図である。

図 1 2 A は、本発明の一態様に係る半導体装置の作製方法を示す上面図である。図 1 2 B 乃至図 1 2 D は、本発明の一態様に係る半導体装置の作製方法を示す断面図である。

図 1 3 A は、本発明の一態様に係る半導体装置の作製方法を示す上面図である。図 1 3 B 乃至図 1 3 D は、本発明の一態様に係る半導体装置の作製方法を示す断面図である。

図 1 4 A は、本発明の一態様に係る半導体装置の作製方法を示す上面図である。図 1 4 B 乃至図 1 4 D は、本発明の一態様に係る半導体装置の作製方法を示す断面図である。

10

図 1 5 A は、本発明の一態様に係る半導体装置の作製方法を示す上面図である。図 1 5 B 乃至図 1 5 D は、本発明の一態様に係る半導体装置の作製方法を示す断面図である。

図 1 6 は、本発明の一態様に係る記憶装置の構成を示す断面図である。

図 1 7 は、本発明の一態様に係る記憶装置の構成を示す断面図である。

図 1 8 は、本発明の一態様に係る記憶装置の構成を示す断面図である。

図 1 9 A、図 1 9 B は、本発明の一態様に係る記憶装置の構成例を示すブロック図および斜視図である。

図 2 0 A 乃至図 2 0 H は、本発明の一態様に係る記憶装置の構成例を示す回路図である。

図 2 1 A、図 2 1 B は、本発明の一態様に係る半導体装置の模式図である。

図 2 2 A 乃至図 2 2 E は、本発明の一態様に係る記憶装置の模式図である。

20

図 2 3 A 乃至図 2 3 H は、本発明の一態様に係る電子機器を示す図である。

【発明を実施するための形態】

【0022】

以下、実施の形態について図面を参照しながら説明する。ただし、実施の形態は多くの異なる態様で実施することが可能であり、趣旨およびその範囲から逸脱することなくその形態および詳細を様々に変更し得ることは、当業者であれば容易に理解される。したがって、本発明は、以下の実施の形態の記載内容に限定して解釈されるものではない。

【0023】

また、図面において、大きさ、層の厚さ、または領域は、明瞭化のために誇張されている場合がある。よって、必ずしもそのスケールに限定されない。なお、図面は、理想的な例を模式的に示したものであり、図面に示す形状または値などに限定されない。例えば、実際の製造工程において、エッチングなどの処理により層やレジストマスクなどが意図せずに目減りすることがあるが、理解を容易とするため、図に反映しないことがある。また、図面において、同一部分または同様な機能を有する部分には同一の符号を異なる図面間で共通して用い、その繰り返しの説明は省略する場合がある。また、同様の機能を指す場合には、ハッチパターンを同じくし、特に符号を付さない場合がある。

30

【0024】

また、特に上面図（「平面図」ともいう。）や斜視図などにおいて、発明の理解を容易とするため、一部の構成要素の記載を省略する場合がある。また、一部の隠れ線などの記載を省略する場合がある。

40

【0025】

また、本明細書等において、第 1、第 2 等として付される序数詞は便宜上用いるものであり、工程順または積層順を示すものではない。そのため、例えば、「第 1 の」を「第 2 の」または「第 3 の」などと適宜置き換えて説明することができる。また、本明細書等に記載されている序数詞と、本発明の一態様を特定するために用いられる序数詞は一致しない場合がある。

【0026】

また、本明細書等において、「上に」、「下に」などの配置を示す語句は、構成同士的位置関係を、図面を参照して説明するために、便宜上用いている。また、構成同士的位置関係は、各構成を描写する方向に応じて適宜変化するものである。したがって、明細書で

50

説明した語句に限定されず、状況に応じて適切に言い換えることができる。

【0027】

例えば、本明細書等において、XとYとが接続されている、と明示的に記載されている場合は、XとYとが電氣的に接続されている場合と、XとYとが機能的に接続されている場合と、XとYとが直接的に接続されている場合とが、本明細書等に関示されているものとする。したがって、所定の接続関係、例えば、図または文章に示された接続関係に限定されず、図または文章に示された接続関係以外のものも、図または文章に関示されているものとする。ここで、X、Yは、対象物（例えば、装置、素子、回路、配線、電極、端子、導電膜、層、など）であるとする。

【0028】

また、本明細書等において、トランジスタとは、ゲートと、ドレインと、ソースとを含む少なくとも三つの端子を有する素子である。そして、ドレイン（ドレイン端子、ドレイン領域またはドレイン電極）とソース（ソース端子、ソース領域またはソース電極）の間にチャンネルが形成される領域（以下、チャンネル形成領域ともいう。）を有しており、チャンネル形成領域を介して、ソースとドレインとの間に電流を流すことができるものである。なお、本明細書等において、チャンネル形成領域とは、電流が主として流れる領域をいう。

【0029】

また、ソースやドレインの機能は、異なる極性のトランジスタを採用する場合や、回路動作において電流の方向が変化する場合などには入れ替わることがある。このため、本明細書等においては、ソースやドレインの用語は、入れ替えて用いることができる場合がある。

【0030】

なお、チャンネル長とは、例えば、トランジスタの上面図において、半導体（またはトランジスタがオン状態のときに半導体の中で電流の流れる部分）とゲート電極とが互いに重なる領域、またはチャンネル形成領域における、ソース（ソース領域またはソース電極）とドレイン（ドレイン領域またはドレイン電極）との間の距離をいう。なお、一つのトランジスタにおいて、チャンネル長が全ての領域で同じ値をとるとは限らない。すなわち、一つのトランジスタのチャンネル長は、一つの値に定まらない場合がある。そのため、本明細書では、チャンネル長は、チャンネル形成領域における、いずれか一の値、最大値、最小値または平均値とする。

【0031】

チャンネル幅とは、例えば、トランジスタの上面図において、半導体（またはトランジスタがオン状態のときに半導体の中で電流の流れる部分）とゲート電極とが互いに重なる領域、またはチャンネル形成領域における、チャンネル長方向を基準として垂直方向のチャンネル形成領域の長さをいう。なお、一つのトランジスタにおいて、チャンネル幅がすべての領域で同じ値をとるとは限らない。すなわち、一つのトランジスタのチャンネル幅は、一つの値に定まらない場合がある。そのため、本明細書では、チャンネル幅は、チャンネル形成領域における、いずれか一の値、最大値、最小値または平均値とする。

【0032】

なお、本明細書等において、トランジスタの構造によっては、実際にチャンネルの形成される領域におけるチャンネル幅（以下、「実効的なチャンネル幅」ともいう。）と、トランジスタの上面図において示されるチャンネル幅（以下、「見かけ上のチャンネル幅」ともいう。）と、が異なる場合がある。例えば、ゲート電極が半導体の側面を覆う場合、実効的なチャンネル幅が、見かけ上のチャンネル幅よりも大きくなり、その影響が無視できなくなる場合がある。例えば、微細かつゲート電極が半導体の側面を覆うトランジスタでは、半導体の側面に形成されるチャンネル形成領域の割合が大きくなる場合がある。その場合は、見かけ上のチャンネル幅よりも、実効的なチャンネル幅の方が大きくなる。

【0033】

このような場合、実効的なチャンネル幅の、実測による見積もりが困難となる場合がある。例えば、設計値から実効的なチャンネル幅を見積もるためには、半導体の形状が既知とい

10

20

30

40

50

う仮定が必要である。したがって、半導体の形状が正確にわからない場合には、実効的なチャンネル幅を正確に測定することは困難である。

【0034】

本明細書では、単にチャンネル幅と記載した場合には、見かけ上のチャンネル幅を指す場合がある。または、本明細書では、単にチャンネル幅と記載した場合には、実効的なチャンネル幅を指す場合がある。なお、チャンネル長、チャンネル幅、実効的なチャンネル幅、見かけ上のチャンネル幅などは、断面TEM像などを解析することなどによって、値を決定することができる。

【0035】

なお、半導体の不純物とは、例えば、半導体を構成する主成分以外をいう。例えば、濃度が0.1原子%未満の元素は不純物と言える。不純物が含まれることにより、例えば、半導体の欠陥準位密度が高くなることや、結晶性が低下することなどが起こる場合がある。半導体が酸化物半導体である場合、半導体の特性を変化させる不純物としては、例えば、第1族元素、第2族元素、第13族元素、第14族元素、第15族元素、酸化物半導体の主成分以外の遷移金属などがあり、例えば、水素、リチウム、ナトリウム、シリコン、ホウ素、リン、炭素、窒素などがある。なお、水も不純物として機能する場合がある。また、例えば不純物の混入によって、酸化物半導体に酸素欠損(V_O と表記する場合がある)が形成される場合がある。

【0036】

なお、本明細書等において、酸化窒化シリコンとは、その組成として、窒素よりも酸素の含有量が多いものである。また、窒化酸化シリコンとは、その組成として、酸素よりも窒素の含有量が多いものである。

【0037】

また、本明細書等において、「絶縁体」という用語を、絶縁膜または絶縁層と言い換えることができる。また、「導電体」という用語を、導電膜または導電層と言い換えることができる。また、「半導体」という用語を、半導体膜または半導体層と言い換えることができる。

【0038】

また、本明細書等において、「平行」とは、二つの直線が -10 度以上 10 度以下の角度で配置されている状態をいう。したがって、 -5 度以上 5 度以下の場合も含まれる。また、「概略平行」とは、二つの直線が -30 度以上 30 度以下の角度で配置されている状態をいう。また、「垂直」とは、二つの直線が 80 度以上 100 度以下の角度で配置されている状態をいう。したがって、 85 度以上 95 度以下の場合も含まれる。また、「概略垂直」とは、二つの直線が 60 度以上 120 度以下の角度で配置されている状態をいう。

【0039】

本明細書等において、金属酸化物(metal oxide)とは、広い意味での金属の酸化物である。金属酸化物は、酸化物絶縁体、酸化物導電体(透明酸化物導電体を含む。)、酸化物半導体(Oxide Semiconductorまたは単にOSともいう。)などに分類される。例えば、トランジスタの半導体層に金属酸化物を用いた場合、当該金属酸化物を酸化物半導体と呼称する場合がある。つまり、OSトランジスタと記載する場合においては、金属酸化物または酸化物半導体を有するトランジスタと換言することができる。

【0040】

また、本明細書等において、ノーマリーオフとは、ゲートに電位を印加しない、またはゲートに接地電位を与えたときに、トランジスタに流れるチャンネル幅 $1\mu m$ あたりのドレイン電流が、室温において $1 \times 10^{-20} A$ 以下、 $85^\circ C$ において $1 \times 10^{-18} A$ 以下、または $125^\circ C$ において $1 \times 10^{-16} A$ 以下であることをいう。

【0041】

(実施の形態1)

本実施の形態では、本発明の一態様である半導体装置の一例について説明する。

【0042】

＜半導体装置の構成例＞

図1A乃至図1Dは、本発明の一態様である半導体装置の上面図および断面図であり、当該半導体装置は複数のトランジスタ200を有する。図1Aは、当該半導体装置の上面図である。また、図1B乃至図1Dは、当該半導体装置の断面図である。ここで、図1Bは、図1AにA1-A2の一点鎖線で示す部位の断面図であり、トランジスタ200のチャネル長方向の断面図でもある。また、図1Cは、図1AにA3-A4の一点鎖線で示す部位の断面図であり、トランジスタ200のチャネル幅方向の断面図でもある。また、図1Dは、図1AにA5-A6の一点鎖線で示す部位の断面図である。なお、図1Aの上面図では、図の明瞭化のために一部の要素を省いている。

10

【0043】

本発明の一態様の半導体装置は、複数のトランジスタ200と、層間膜として機能する絶縁体214、絶縁体216、絶縁体280、絶縁体282、および絶縁体284と、を有する。

【0044】

なお、図1A、および図1Cでは、3のトランジスタ200がチャネル幅方向に配置されている構成を例示しているが、これに限られず、2または4以上のトランジスタ200が、チャネル幅方向に配置されていてもよい。

【0045】

また、図1A乃至図1Dに示すように、トランジスタ200は、基板（図示せず。）の上、かつ、絶縁体216に埋め込まれるように配置された導電体205と、絶縁体216の上および導電体205の上に配置された絶縁体222と、絶縁体222の上に配置された絶縁体224と、絶縁体224の上に配置された酸化物230（酸化物230a、酸化物230b、および酸化物230c）と、酸化物230の上に配置された絶縁体250と、絶縁体250上に配置された導電体260（導電体260a、および導電体260b）と、酸化物230bの上面の一部と接する導電体240aおよび導電体240bと、絶縁体224の上面、酸化物230aの側面、酸化物230bの側面、導電体240aの側面および上面、ならびに、導電体240bの側面および上面に接して配置された絶縁体254と、を有する。

20

【0046】

絶縁体280および絶縁体254には、酸化物230bに達する開口が設けられる。当該開口内に、酸化物230c、絶縁体250、および導電体260が配置されている。また、トランジスタ200のチャネル長方向において、導電体240aおよび導電体240bの間に導電体260、絶縁体250、および酸化物230cが設けられている。絶縁体250は、導電体260の側面と重なる領域と、導電体260の底面と重なる領域と、を有する。また、酸化物230cは、酸化物230bと接する領域と、絶縁体250を介して導電体260の側面と重なる領域と、絶縁体250を介して導電体260の底面と重なる領域と、を有する。

30

【0047】

トランジスタ200は、チャネル形成領域を含む酸化物230（酸化物230a、酸化物230b、および酸化物230c）に、半導体として機能する金属酸化物（以下、酸化物半導体ともいう。）を用いることが好ましい。

40

【0048】

また、半導体として機能する金属酸化物は、バンドギャップが2eV以上のものを用いることが好ましく、2.5eV以上のものを用いることがより好ましい。このように、バンドギャップの大きい金属酸化物を用いることで、トランジスタのオフ電流を低減することができる。

【0049】

チャネル形成領域に金属酸化物を用いたトランジスタ200は、非導通状態においてリーク電流が極めて小さいため、低消費電力の半導体装置を提供できる。また、金属酸化物

50

は、スパッタリング法などを用いて成膜できるため、高集積型の半導体装置を構成するトランジスタ200に用いることができる。

【0050】

酸化物230は、絶縁体224の上に配置された酸化物230aと、酸化物230aの上に配置された酸化物230bと、酸化物230bの上に配置され、少なくとも一部が酸化物230bの上面に接する酸化物230cと、を有することが好ましい。酸化物230b下に酸化物230aを有することで、酸化物230aよりも下方に形成された構造物から、酸化物230bへの不純物の拡散を抑制することができる。また、酸化物230b上に酸化物230cを有することで、酸化物230cよりも上方に形成された構造物から、酸化物230bへの不純物の拡散を抑制することができる。

10

【0051】

なお、トランジスタ200では、酸化物230が、酸化物230a、酸化物230b、および酸化物230cの3層を積層する構成について示しているが、本発明はこれに限られるものではない。例えば、酸化物230bの単層、酸化物230aと酸化物230bの2層構造、酸化物230bと酸化物230cの2層構造、または4層以上の積層構造を設ける構成にしてもよいし、酸化物230a、酸化物230b、酸化物230cのそれぞれが積層構造を有していてもよい。

【0052】

また、酸化物230aと酸化物230b、酸化物230bと酸化物230cが、酸素以外に共通の元素を主成分として有することが好ましい。これにより、酸化物230aと酸化物230bとの界面、および酸化物230bと酸化物230cとの界面における欠陥準位密度を低くすることができる。そのため、界面散乱によるキャリア伝導への影響が小さくなり、トランジスタ200は大きいオン電流、および高い周波数特性を得ることができる。

20

【0053】

複数のトランジスタ200がチャネル幅方向に配置されている半導体装置において、導電体260、絶縁体250、および酸化物230cが、隣接するトランジスタ200間で共通して用いられる場合がある。酸化物230cは、絶縁体250を介して、導電体260と重なり、かつ、酸化物230cは、トランジスタ200の酸化物230b、および当該トランジスタ200に隣接するトランジスタ200の酸化物230bと接している。このため、トランジスタ200と、当該トランジスタ200に隣接するトランジスタ200との間に、寄生トランジスタが生じる場合がある。当該寄生トランジスタが生じると、トランジスタ200の酸化物230bと、当該トランジスタ200に隣接するトランジスタ200の酸化物230bとが電氣的に接続され、導電体260に沿って、リークパスが生じる蓋然性が高い。

30

【0054】

そこで、酸化物230cは、トランジスタ200毎に設けられることが好ましい。つまり、トランジスタ200の酸化物230cと、当該トランジスタ200に隣接するトランジスタ200の酸化物230cと、は、接しないことが好ましい。また、トランジスタ200の酸化物230cと、当該トランジスタ200に隣接するトランジスタ200の酸化物230cと、を、距離的に離間することが好ましい。別言すると、酸化物230cが、トランジスタ200と、当該トランジスタ200に隣接するトランジスタ200との間に配置されない構成とすることが好ましい。

40

【0055】

例えば、図1Cに示すように、トランジスタ200のチャネル幅方向において、トランジスタ200の酸化物230cの側端部と、当該トランジスタ200に隣接するトランジスタ200の酸化物230cの側端部との距離を L_1 として表すと、 L_1 を0nmよりも大きくする。また、トランジスタ200のチャネル幅方向において、トランジスタ200の酸化物230aの側端部と、当該トランジスタ200に隣接するトランジスタ200の酸化物230aの側端部との距離を L_2 として表すと、 L_2 に対する L_1 の比(L_1/L_2)

50

)は、好ましくは0より大きく1未満、より好ましくは0.1以上0.9以下、さらに好ましくは0.2以上0.8以下である。なお、 L_2 は、トランジスタ200の酸化物230bの側端部と、当該トランジスタ200に隣接するトランジスタ200の酸化物230bの側端部との距離であってもよい。

【0056】

上記の L_2 に対する L_1 の比(L_1/L_2)を小さくすることで、酸化物230cが、トランジスタ200と、当該トランジスタ200に隣接するトランジスタ200との間に配置されない領域の位置ずれが生じて、トランジスタ200の酸化物230cと、当該トランジスタ200に隣接するトランジスタ200の酸化物230cと、を、距離的に離間することができる。

【0057】

また、上記の L_2 に対する L_1 の比(L_1/L_2)を大きくすることで、トランジスタ200と、当該トランジスタ200に隣接するトランジスタ200との間隔を狭めても、最小加工寸法の幅を確保することができ、半導体装置のさらなる微細化または高集積化を図ることができる。

【0058】

また、絶縁体280に設けられた開口の側壁において、酸化物230cが、トランジスタ200と、当該トランジスタ200に隣接するトランジスタ200との間に配置されない構成とすることが好ましい。例えば、酸化物230cを、絶縁体280に設けられた開口の側壁のうち、酸化物230bと重なる領域およびその近傍の領域にのみ設ける。つまり、絶縁体280に設けられた開口の側壁において、上記の L_2 に対する L_1 の比(L_1/L_2)を満たすとよい。なお、絶縁体280に設けられた開口の側壁においては、酸化物230cを設けなくてもよい。

【0059】

なお、導電体260、絶縁体250のそれぞれは、隣接するトランジスタ200間で共通して用いられてもよい。このとき、トランジスタ200の導電体260は、当該トランジスタ200に隣接するトランジスタ200の導電体260と連続して設けられた領域を有する。別言すると、トランジスタ200の導電体260と、当該トランジスタ200に隣接するトランジスタ200の導電体260とは、同一膜である。また、トランジスタ200の絶縁体250は、当該トランジスタ200に隣接するトランジスタ200の絶縁体250と連続して設けられた領域を有する。別言すると、トランジスタ200の絶縁体250と、当該トランジスタ200に隣接するトランジスタ200の絶縁体250とは、同一膜である。

【0060】

上記構成にすることで、トランジスタ200に酸化物230cがそれぞれ独立して設けられ、トランジスタ200は大きいオン電流、および高い周波数特性を得ることができる。さらに、トランジスタ200と、当該トランジスタ200に隣接するトランジスタ200との間に、寄生トランジスタが生じるのを抑制し、上記リークパスが生じるのを抑制することができる。したがって、良好な電気特性を有し、かつ、微細化または高集積化が可能な半導体装置を提供することができる。

【0061】

なお、上記構成とすることで、絶縁体250は、酸化物230c上および絶縁体224上に配置される。つまり、絶縁体250は、トランジスタ200と、当該トランジスタ200に隣接するトランジスタ200との間に、絶縁体224に接する領域を有する。

【0062】

<半導体装置の詳細な構成>

以下では、本発明の一態様に係る半導体装置、および当該半導体装置が有するトランジスタ200の詳細な構成について説明する。

【0063】

絶縁体214は、水、水素などの不純物が、基板側からトランジスタ200に拡散する

10

20

30

40

50

のを抑制する絶縁性バリア膜として機能することが好ましい。したがって、絶縁体 2 1 4 は、水素原子、水素分子、水分子、窒素原子、窒素分子、酸化窒素分子（ N_2O 、 NO 、 NO_2 など）、銅原子などの不純物の拡散を抑制する機能を有する絶縁性材料を用いることが好ましい。または、酸素（例えば、酸素原子、酸素分子などの少なくとも一）の拡散を抑制する機能を有する絶縁性材料を用いることが好ましい。

【0064】

なお、本明細書において、不純物、または酸素の拡散を抑制する機能とは、当該不純物、または当該酸素のいずれか一またはすべての拡散を抑制する機能とする。また、水素または酸素の拡散を抑制する機能を有する膜を、水素または酸素が透過しにくい膜、水素または酸素の透過性が低い膜、水素または酸素に対してバリア性を有する膜、水素または酸素に対するバリア膜などと呼ぶ場合がある。また、バリア膜に導電性を有する場合、当該バリア膜を導電性バリア膜と呼ぶことがある。

【0065】

例えば、絶縁体 2 1 4 として、酸化アルミニウム、窒化シリコンなどを用いることが好ましい。これにより、水、水素などの不純物が、絶縁体 2 1 4 よりも基板側からトランジスタ 2 0 0 側に拡散するのを抑制することができる。または、絶縁体 2 2 4 などに含まれる酸素が、絶縁体 2 1 4 よりも基板側に、拡散するのを抑制することができる。なお、絶縁体 2 1 4 は、2 層以上の積層構造を有していてもよい。その場合、同じ材料からなる積層構造に限定されず、異なる材料からなる積層構造でもよい。例えば、酸化アルミニウムと窒化シリコンとの積層としてもよい。

【0066】

また、例えば、絶縁体 2 1 4 として、スパッタリング法を用いて成膜した、窒化シリコンを用いることが好ましい。これにより、絶縁体 2 1 4 中の水素濃度を低くことができ、水、水素などの不純物が、絶縁体 2 1 4 よりも基板側からトランジスタ 2 0 0 側に拡散するのをより抑制することができる。

【0067】

層間膜として機能する絶縁体 2 1 6 は、絶縁体 2 1 4 よりも誘電率が低いことが好ましい。誘電率が低い材料を層間膜とすることで、配線間に生じる寄生容量を低減することができる。例えば、絶縁体 2 1 6 として、酸化シリコン、酸化窒化シリコン、窒化酸化シリコン、窒化シリコン、フッ素を添加した酸化シリコン、炭素を添加した酸化シリコン、炭素および窒素を添加した酸化シリコン、空孔を有する酸化シリコンなどを適宜用いればよい。

【0068】

また、絶縁体 2 1 6 は、水素濃度が低く、化学量論的組成よりも酸素が過剰に存在する領域（以下、過剰酸素領域ともいう。）、または加熱により離脱する酸素（以下、過剰酸素ともいう。）を有することが好ましい。例えば、絶縁体 2 1 6 として、スパッタリング法を用いて成膜した酸化シリコンを用いることが好ましい。これにより、酸化物 2 3 0 への水素の混入を抑制することができる、または、酸化物 2 3 0 に酸素を供給し、酸化物 2 3 0 中の酸素欠損を低減することができる。したがって、電気特性の変動が抑制され、安定した電気特性を有するとともに、信頼性を向上させたトランジスタを提供することができる。

【0069】

なお、絶縁体 2 1 6 を積層構造にしてもよい。例えば、絶縁体 2 1 6 において、少なくとも導電体 2 0 5 の側面と接する部分に、絶縁体 2 1 4 と同様の絶縁体を設ける構成にしてもよい。このような構成にすることで、絶縁体 2 1 6 に含まれる酸素によって、導電体 2 0 5 が酸化するのを抑制することができる。または、導電体 2 0 5 により、絶縁体 2 1 6 に含まれる酸素量が減少するのを抑制することができる。

【0070】

導電体 2 0 5 は、第 2 のゲート電極として機能する場合がある。その場合、導電体 2 0 5 に印加する電位を、導電体 2 6 0 に印加する電位と、連動させず、独立して変化させる

ことで、トランジスタ200のしきい値電圧(V_{th})を制御することができる。特に、導電体205に負の電位を印加することにより、トランジスタ200の V_{th} をより大きくし、オフ電流を低減することが可能となる。したがって、導電体205に負の電位を印加したほうが、印加しない場合よりも、導電体260に印加する電位が0Vのときのドレイン電流を小さくすることができる。

【0071】

導電体205は、酸化物230、および導電体260と、重なるように配置する。また、導電体205は、絶縁体214または絶縁体216に埋め込まれて設けることが好ましい。

【0072】

なお、導電体205は、図1Bに示すように、酸化物230におけるチャネル形成領域よりも、大きく設けるとよい。特に、図1Cに示すように、導電体205は、酸化物230のチャネル幅方向と交わる端部よりも外側の領域においても、延伸していることが好ましい。つまり、酸化物230のチャネル幅方向における側面の外側において、導電体205と、導電体260とは、絶縁体を介して重畳していることが好ましい。当該構成を有することで、第1のゲート電極として機能する導電体260の電界と、第2のゲート電極として機能する導電体205の電界によって、酸化物230のチャネル形成領域を電氣的に取り囲むことができる。本明細書において、第1のゲート、および第2のゲートの電界によって、チャネル形成領域を電氣的に取り囲むトランジスタの構造を、`surrounded channel (S-channel)` 構造とよぶ。

【0073】

なお、本明細書等において、`S-channel` 構造のトランジスタとは、一対のゲート電極の一方および他方の電界によって、チャネル形成領域を電氣的に取り囲むトランジスタの構造を表す。また、本明細書等において、`S-channel` 構造は、ソース電極およびドレイン電極として機能する導電体240aおよび導電体240bに接する酸化物230の側面及び周辺が、チャネル形成領域と同じくI型であるといった特徴を有する。また、導電体240aおよび導電体240bに接する酸化物230の側面及び周辺は、絶縁体280と接しているため、チャネル形成領域と同様にI型となりうる。なお、本明細書等において、I型とは後述する高純度真性と同様として扱うことができる。また、本明細書等で開示する`S-channel` 構造は、`Fin`型構造およびプレーナ型構造とは異なる。`S-channel` 構造を採用することで、短チャネル効果に対する耐性を高める、別言すると短チャネル効果が発生し難いトランジスタとすることができる。

【0074】

また、図1Cに示すように、導電体205は延伸させて、配線としても機能させている。ただし、これに限られることなく、導電体205の下に、配線として機能する導電体を設ける構成にしてもよい。また、導電体205は、必ずしも各トランジスタに一個ずつ設ける必要はない。例えば、導電体205を複数のトランジスタで共有する構成にしてもよい。

【0075】

なお、トランジスタ200では、導電体205の第1の導電体と導電体205の第2の導電体とを積層する構成について示しているが、本発明はこれに限られるものではない。例えば、導電体205は、単層、または3層以上の積層構造として設ける構成にしてもよい。構造体が積層構造を有する場合、形成順に序数を付与し、区別する場合がある。

【0076】

ここで、導電体205の第1の導電体は、水素原子、水素分子、水分子、窒素原子、窒素分子、酸化窒素分子(N_2O 、 NO 、 NO_2 など)、銅原子などの不純物の拡散を抑制する機能を有する導電性材料を用いることが好ましい。または、酸素(例えば、酸素原子、酸素分子などの少なくとも一)の拡散を抑制する機能を有する導電性材料を用いることが好ましい。

【0077】

導電体 205 の第 1 の導電体に、酸素の拡散を抑制する機能を有する導電性材料を用いることにより、導電体 205 の第 2 の導電体が酸化して導電率が低下することを抑制することができる。酸素の拡散を抑制する機能を有する導電性材料としては、例えば、タンタル、窒化タンタル、ルテニウム、酸化ルテニウムなどを用いることが好ましい。したがって、導電体 205 の第 1 の導電体としては、上記導電性材料を単層または積層とすればよい。例えば、導電体 205 の第 1 の導電体は、タンタル、窒化タンタル、ルテニウム、または酸化ルテニウムと、チタンまたは窒化チタンとの積層としてもよい。

【0078】

また、導電体 205 の第 2 の導電体は、タングステン、銅、またはアルミニウムを主成分とする導電性材料を用いることが好ましい。なお、導電体 205 の第 2 の導電体を単層で図示したが、積層構造としてもよく、例えば、チタンまたは窒化チタンと、当該導電性材料との積層としてもよい。

【0079】

絶縁体 222、および絶縁体 224 は、ゲート絶縁体として機能する。

【0080】

絶縁体 222 は、水素（例えば、水素原子、水素分子などの少なくとも一）の拡散を抑制する機能を有することが好ましい。また、絶縁体 222 は、酸素（例えば、酸素原子、酸素分子などの少なくとも一）の拡散を抑制する機能を有することが好ましい。例えば、絶縁体 222 は、絶縁体 224 よりも水素および酸素の一方または双方の拡散を抑制する機能を有することが好ましい。

【0081】

絶縁体 222 は、絶縁性材料であるアルミニウムおよびハフニウム的一方または双方の酸化物を含む絶縁体を用いるとよい。当該絶縁体として、酸化アルミニウム、酸化ハフニウム、アルミニウムおよびハフニウムを含む酸化物（ハフニウムアルミネート）などを用いることが好ましい。このような材料を用いて絶縁体 222 を形成した場合、絶縁体 222 は、酸化物 230 から基板側への酸素の放出や、トランジスタ 200 の周辺部から酸化物 230 への水素等の不純物の拡散を抑制する層として機能する。よって、絶縁体 222 を設けることで、水素等の不純物が、トランジスタ 200 の内側へ拡散することを抑制し、酸化物 230 中の酸素欠損の生成を抑制することができる。また、導電体 205 が、絶縁体 224 や、酸化物 230 が有する酸素と反応することを抑制することができる。

【0082】

または、上記絶縁体に、例えば、酸化アルミニウム、酸化ビスマス、酸化ゲルマニウム、酸化ニオブ、酸化シリコン、酸化チタン、酸化タングステン、酸化イットリウム、酸化ジルコニウムを添加してもよい。または、これらの絶縁体を窒化処理してもよい。また、絶縁体 222 は、これらの絶縁体に酸化シリコン、酸化窒化シリコンまたは窒化シリコンを積層して用いてもよい。

【0083】

また、絶縁体 222 は、例えば、酸化アルミニウム、酸化ハフニウム、酸化タンタル、酸化ジルコニウム、チタン酸ジルコン酸鉛（PZT）、チタン酸ストロンチウム（SrTiO₃）、（Ba, Sr）TiO₃（BST）などのいわゆる h i g h - k 材料を含む絶縁体を単層または積層で用いてもよい。トランジスタの微細化、および高集積化が進むと、ゲート絶縁体の薄膜化により、リーク電流などの問題が生じる場合がある。ゲート絶縁体として機能する絶縁体に h i g h - k 材料を用いることで、物理膜厚を保ちながら、トランジスタ動作時のゲート電位の低減が可能となる。

【0084】

酸化物 230 と接する絶縁体 224 は、加熱により酸素を脱離することが好ましい。例えば、絶縁体 224 は、酸化シリコン、酸化窒化シリコンなどを適宜用いればよい。酸素を含む絶縁体を酸化物 230 に接して設けることにより、酸化物 230 中の酸素欠損を低減し、トランジスタ 200 の信頼性を向上させることができる。

【0085】

絶縁体 224 として、具体的には、加熱により一部の酸素が脱離する酸化物材料、別言すると、過剰酸素領域を有する絶縁体材料を用いることが好ましい。加熱により酸素を脱離する酸化膜とは、TDS (Thermal Desorption Spectroscopy) 分析にて、酸素分子の脱離量が $1.0 \times 10^{18} \text{ molecules/cm}^3$ 以上、好ましくは $1.0 \times 10^{19} \text{ molecules/cm}^3$ 以上、さらに好ましくは $2.0 \times 10^{19} \text{ molecules/cm}^3$ 以上、または $3.0 \times 10^{20} \text{ molecules/cm}^3$ 以上である酸化膜である。なお、上記 TDS 分析時における膜の表面温度としては 100°C 以上 700°C 以下、または 100°C 以上 400°C 以下の範囲が好ましい。

【0086】

また、上記過剰酸素領域を有する絶縁体と、酸化物 230 と、を接して加熱処理、マイクロ波処理、または RF 処理のいずれか一または複数の処理を行っても良い。当該処理を行うことで、酸化物 230 中の水、または水素を除去することができる。例えば、酸化物 230 において、酸素欠損に水素が入った欠陥 ($\text{V}_\text{O}\text{H}$) の結合が切断される反応が起きる、別言すると「 $\text{V}_\text{O}\text{H} \rightarrow \text{V}_\text{O} + \text{H}$ 」という反応が起きて、脱水素化することができる。このとき発生した水素の一部は、酸素と結合して H_2O として、酸化物 230、または酸化物 230 近傍の絶縁体から除去される場合がある。また、水素の一部は、導電体 240 a および導電体 240 b に拡散または捕獲 (ゲッタリングともいう) される場合がある。

【0087】

上記マイクロ波処理は、例えば、高密度プラズマを発生させる電源を有する装置、または、基板側に RF を印加する電源を有する装置を用いると好適である。例えば、酸素を含むガスを用い、且つ高密度プラズマを用いることより、高密度の酸素ラジカルを生成することができる、基板側に RF を印加することで、高密度プラズマによって生成された酸素ラジカルを、効率よく酸化物 230、または酸化物 230 近傍の絶縁体中に導入することができる。また、上記マイクロ波処理は、圧力を 133 Pa 以上、好ましくは 200 Pa 以上、さらに好ましくは 400 Pa 以上とすればよい。また、マイクロ波処理を行う装置内に導入するガスとしては、例えば、酸素と、アルゴンとを用い、酸素流量比 ($\text{O}_2 / (\text{O}_2 + \text{Ar})$) が 50% 以下、好ましくは 10% 以上 30% 以下で行うとよい。

【0088】

また、トランジスタ 200 の作製工程中において、酸化物 230 の表面が露出した状態で、加熱処理を行うと好適である。当該加熱処理は、例えば、 100°C 以上 450°C 以下、より好ましくは 350°C 以上 400°C 以下で行えばよい。なお、加熱処理は、窒素ガスもしくは不活性ガスの雰囲気、または酸化性ガスを 10 ppm 以上、 1% 以上、もしくは 10% 以上含む雰囲気で行う。例えば、加熱処理は酸素雰囲気で行うことが好ましい。これにより、酸化物 230 に酸素を供給して、酸素欠損 (V_O) の低減を図ることができる。また、加熱処理は減圧状態で行ってもよい。または、加熱処理は、窒素ガスもしくは不活性ガスの雰囲気で行った後に、脱離した酸素を補うために、酸化性ガスを 10 ppm 以上、 1% 以上、または 10% 以上含む雰囲気で行ってもよい。または、酸化性ガスを 10 ppm 以上、 1% 以上、または 10% 以上含む雰囲気で行った後に、連続して窒素ガスもしくは不活性ガスの雰囲気で行ったとしてもよい。

【0089】

なお、酸化物 230 に加酸素化処理を行うことで、酸化物 230 中の酸素欠損を、供給された酸素により修復させる、別言すると「 $\text{V}_\text{O} + \text{O} \rightarrow \text{null}$ 」という反応を促進させることができる。さらに、酸化物 230 中に残存した水素に供給された酸素が反応することで、当該水素を H_2O として除去する (脱水化する) ことができる。これにより、酸化物 230 中に残存していた水素が酸素欠損に再結合して $\text{V}_\text{O}\text{H}$ が形成されるのを抑制することができる。

【0090】

また、絶縁体 224 は、水素濃度が低く、過剰酸素領域または過剰酸素を有することが好ましく、例えば、絶縁体 216 と同様の材料を用いて設けてもよい。

【0091】

なお、絶縁体 2 2 2、および絶縁体 2 2 4 が、2 層以上の積層構造を有していてもよい。その場合、同じ材料からなる積層構造に限定されず、異なる材料からなる積層構造でもよい。

【0092】

酸化物 2 3 0 として、例えば、 $I n-M-Z n$ 酸化物（元素 M は、アルミニウム、ガリウム、イットリウム、錫、銅、バナジウム、ベリリウム、ホウ素、チタン、鉄、ニッケル、ゲルマニウム、ジルコニウム、モリブデン、ランタン、セリウム、ネオジム、ハフニウム、タンタル、タングステン、またはマグネシウムなどから選ばれた一種、または複数種）等の金属酸化物を用いるとよい。また、酸化物 2 3 0 として、 $I n-G a$ 酸化物、 $I n-Z n$ 酸化物を用いてもよい。なお、トランジスタ 2 0 0 のオン電流を増大したい場合においては、酸化物 2 3 0 に $I n-Z n$ 酸化物を用いると好適である。酸化物 2 3 0 に $I n-Z n$ 酸化物を用いる場合、例えば、酸化物 2 3 0 a に $I n-Z n$ 酸化物を用い、酸化物 2 3 0 b および酸化物 2 3 0 c に $I n-M-Z n$ 酸化物を用いる積層構造、または、酸化物 2 3 0 a に $I n-M-Z n$ 酸化物を用い、酸化物 2 3 0 b および酸化物 2 3 0 c のいずれか一方に $I n-Z n$ 酸化物を用いる積層構造などが挙げられる。

10

【0093】

酸化物 2 3 0 は、化学組成が異なる複数の酸化物層の積層構造を有することが好ましい。具体的には、酸化物 2 3 0 a に用いる金属酸化物において、主成分である金属元素に対する元素 M の原子数比が、酸化物 2 3 0 b に用いる金属酸化物における、主成分である金属元素に対する元素 M の原子数比より、大きいことが好ましい。また、酸化物 2 3 0 a に用いる金属酸化物において、 $I n$ に対する元素 M の原子数比が、酸化物 2 3 0 b に用いる金属酸化物における、 $I n$ に対する元素 M の原子数比より大きいことが好ましい。また、酸化物 2 3 0 b に用いる金属酸化物において、元素 M に対する $I n$ の原子数比が、酸化物 2 3 0 a に用いる金属酸化物における、元素 M に対する $I n$ の原子数比より大きいことが好ましい。また、酸化物 2 3 0 c は、酸化物 2 3 0 a または酸化物 2 3 0 b に用いることができる金属酸化物を、用いることができる。

20

【0094】

また、酸化物 2 3 0 b および酸化物 2 3 0 c は、結晶性を有することが好ましい。例えば、後述する C A A C - O S (c - a x i s a l i g n e d c r y s t a l l i n e o x i d e s e m i c o n d u c t o r) を用いることが好ましい。C A A C - O S などの結晶性を有する酸化物は、不純物や欠陥（酸素欠損など）が少なく、結晶性の高い、緻密な構造を有している。よって、ソース電極またはドレイン電極による、酸化物 2 3 0 b からの酸素の引き抜きを抑制することができる。これにより、熱処理を行っても、酸化物 2 3 0 b から酸素が引き抜かれることを低減できるので、トランジスタ 2 0 0 は、製造工程における高い温度（所謂サーマルバジェット）に対して安定である。

30

【0095】

また、酸化物 2 3 0 c として、C A A C - O S を用いることが好ましく、酸化物 2 3 0 c が有する結晶の c 軸が、酸化物 2 3 0 c の被形成面または上面に概略垂直な方向を向いていることが好ましい。C A A C - O S は、c 軸と垂直方向に酸素を移動させやすい性質を有する。したがって、酸化物 2 3 0 c が有する酸素を、酸化物 2 3 0 b に効率的に供給することができる。

40

【0096】

また、酸化物 2 3 0 a および酸化物 2 3 0 c の伝導帯下端は、酸化物 2 3 0 b の伝導帯下端より真空準位に近いことが好ましい。言い換えると、酸化物 2 3 0 a および酸化物 2 3 0 c の電子親和力は、酸化物 2 3 0 b の電子親和力より小さいことが好ましい。この場合、酸化物 2 3 0 c は、酸化物 2 3 0 a に用いることができる金属酸化物を用いることが好ましい。このとき、キャリアの主たる経路は酸化物 2 3 0 b となる。

【0097】

ここで、酸化物 2 3 0 a、酸化物 2 3 0 b、および酸化物 2 3 0 c の接合部において、伝導帯下端はなだらかに変化する。換言すると、酸化物 2 3 0 a、酸化物 2 3 0 b、およ

50

び酸化物230cの接合部における伝導帯下端は、連続的に変化または連続接合するともいうことができる。このようにするためには、酸化物230aと酸化物230bとの界面、および酸化物230bと酸化物230cとの界面に形成される混合層の欠陥準位密度を低くするとよい。

【0098】

具体的には、酸化物230aと酸化物230b、酸化物230bと酸化物230cが、酸素以外に共通の元素を主成分として有することで、欠陥準位密度が低い混合層を形成することができる。例えば、酸化物230bがIn-Ga-Zn酸化物の場合、酸化物230aおよび酸化物230cとして、In-Ga-Zn酸化物、Ga-Zn酸化物、酸化ガリウムなどを用いてもよい。

10

【0099】

具体的には、酸化物230aとして、In:Ga:Zn=1:3:4 [原子数比]、または1:1:0.5 [原子数比]の金属酸化物を用いればよい。また、酸化物230bとして、In:Ga:Zn=1:1:1 [原子数比]、またはIn:Ga:Zn=4:2:3 [原子数比]の金属酸化物を用いればよい。また、酸化物230cとして、In:Ga:Zn=1:3:4 [原子数比]、In:Ga:Zn=4:2:3 [原子数比]、Ga:Zn=2:1 [原子数比]、またはGa:Zn=2:5 [原子数比]の金属酸化物を用いればよい。

【0100】

なお、金属酸化物をスパッタリング法により成膜する場合、上記の原子数比は、成膜された金属酸化物の原子数比に限られず、金属酸化物の成膜に用いるスパッタリングターゲットの原子数比であってもよい。

20

【0101】

酸化物230a、酸化物230cを上述の構成とすることで、酸化物230aと酸化物230bとの界面、および酸化物230bと酸化物230cとの界面における欠陥準位密度を低くすることができる。そのため、界面散乱によるキャリア伝導への影響が小さくなり、トランジスタ200は大きいオン電流、および高い周波数特性を得ることができる。

【0102】

導電体240a、および導電体240bとしては、例えば、タンタルを含む窒化物、チタンを含む窒化物、モリブデンを含む窒化物、タングステンを含む窒化物、タンタルおよびアルミニウムを含む窒化物、チタンおよびアルミニウムを含む窒化物などを用いることが好ましい。本発明の一態様においては、タンタルを含む窒化物が特に好ましい。また、例えば、酸化ルテニウム、窒化ルテニウム、ストロンチウムとルテニウムを含む酸化物、ランタンとニッケルを含む酸化物などを用いてもよい。これらの材料は、酸化しにくい導電性材料、または、酸素を吸収しても導電性を維持する材料であるため、好ましい。

30

【0103】

なお、導電体240aまたは導電体240bと、酸化物230bとが接することで、酸化物230b中の酸素が導電体240aおよび導電体240bへ拡散し、導電体240aおよび導電体240bが酸化する場合がある。導電体240aおよび導電体240bが酸化することで、導電体240aおよび導電体240bの導電率が低下する蓋然性が高い。なお、酸化物230b中の酸素が導電体240aおよび導電体240bへ拡散することを、導電体240aおよび導電体240bが酸化物230b中の酸素を吸収する、と言い換えることができる。

40

【0104】

また、酸化物230b中の酸素が導電体240aおよび導電体240bへ拡散することで、導電体240aと酸化物230bとの間、および、導電体240bと酸化物230bとの間に層が形成される場合がある。当該層は、導電体240aまたは導電体240bよりも酸素を多く含むため、当該層は絶縁性を有すると推定される。このとき、導電体240aまたは導電体240bと、当該層と、酸化物230bとの3層構造は、金属-絶縁体-半導体からなる3層構造とみなすことができ、MIS (Metal-Insulator-Semiconductor) 構造とみなすことができ、MIS (Metal-Insulator-Semiconductor) 構造とみなすことができ、MIS (Metal-Insulator-Semiconductor) 構造とみなすことができる。

50

r-Semiconductor) 構造、または M I S 構造を主としたダイオード接合構造とみることができる。

【0105】

なお、酸化物 230b などに含まれる水素が、導電体 240a または導電体 240b に拡散する場合がある。特に、導電体 240a および導電体 240b に、タンタルを含む窒化物を用いることで、酸化物 230b などに含まれる水素は、導電体 240a または導電体 240b に拡散しやすく、拡散した水素は、導電体 240a または導電体 240b が有する窒素と結合することがある。つまり、酸化物 230b などに含まれる水素は、導電体 240a または導電体 240b に吸い取られる場合がある。

【0106】

また、導電体 240a の側面と導電体 240a の上面との間、および導電体 240b の側面と導電体 240b の上面との間のそれぞれに、湾曲面を有する場合がある。つまり、側面の端部と上面の端部は、湾曲している場合がある（以下、ラウンド状ともいう）。湾曲面は、例えば、導電体 240a および導電体 240b の端部のそれぞれにおいて、曲率半径が、3nm 以上 10nm 以下、好ましくは、5nm 以上 6nm 以下とする。端部に角を有さないことで、以降の成膜工程における膜の被覆性が向上する。

【0107】

絶縁体 254 は、図 1B に示すように、導電体 240a の上面および側面、導電体 240b の上面および側面、酸化物 230a、および酸化物 230b の側面、ならびに絶縁体 224 の上面の一部に接することが好ましい。このような構成にすることで、絶縁体 280 は、絶縁体 254 によって、絶縁体 224、酸化物 230a および酸化物 230b と隔離されている。

【0108】

また、絶縁体 254 は、絶縁体 222 と同様に、水素および酸素の一方または双方の拡散を抑制する機能を有することが好ましい。例えば、絶縁体 254 は、絶縁体 224、および絶縁体 280 よりも水素および酸素の一方または双方の拡散を抑制する機能を有することが好ましい。これにより、絶縁体 280 に含まれる水素が、酸化物 230a および酸化物 230b に拡散するのを抑制することができる。さらに、絶縁体 222、および絶縁体 254 によって、絶縁体 224、酸化物 230 などを囲むことにより、水、水素などの不純物が、外方から絶縁体 224、および酸化物 230 に拡散することを抑制することができる。よって、トランジスタ 200 に良好な電気特性および信頼性を与えることができる。

【0109】

絶縁体 254 は、スパッタリング法を用いて成膜されることが好ましい。絶縁体 254 を、酸素を含む雰囲気中でスパッタリング法を用いて成膜することで、絶縁体 224 の絶縁体 254 と接する領域近傍に酸素を添加することができる。これにより、当該領域から、絶縁体 224 を介して酸化物 230 中に酸素を供給することができる。ここで、絶縁体 254 が、上方への酸素の拡散を抑制する機能を有することで、酸素が酸化物 230 から絶縁体 280 へ拡散することを防ぐことができる。また、絶縁体 222 が、下方への酸素の拡散を抑制する機能を有することで、酸素が酸化物 230 から基板側へ拡散することを防ぐことができる。このようにして、酸化物 230 のチャンネル形成領域に酸素が供給される。これにより、酸化物 230 の酸素欠損を低減し、トランジスタのノーマリーオン化を抑制することができる。

【0110】

絶縁体 254 としては、例えば、アルミニウムおよびハフニウム的一方または双方の酸化物を含む絶縁体を成膜するとよい。この場合、絶縁体 254 は、原子層堆積 (A L D : Atomic Layer Deposition) 法を用いて成膜されることが好ましい。A L D 法は、被覆性の良好な成膜法なので、絶縁体 254 の凹凸によって、段切れなどが形成されるのを防ぐことができる。

【0111】

また、絶縁体 254 としては、例えば、窒化アルミニウムを含む絶縁体を用いればよい。これにより、絶縁性に優れ、且つ熱伝導性に優れた膜とすることができるため、トランジスタ 200 を駆動したときに生じる熱の放熱性を高めることができる。また、窒化シリコン、窒化酸化シリコンなどを用いることもできる。

【0112】

また、絶縁体 254 としては、例えば、ガリウムを含む酸化物を用いてもよい。ガリウムを含む酸化物は、水素および酸素の一方または双方の拡散を抑制する機能を有する場合があるため好ましい。なお、ガリウムを含む酸化物として、酸化ガリウム、ガリウム亜鉛酸化物、インジウムガリウム亜鉛酸化物などを用いることができる。なお、絶縁体 254 としてインジウムガリウム亜鉛酸化物を用いる場合、インジウムに対するガリウムの原子数比は大きい方が好ましい。当該原子数比を大きくすることで、当該酸化物の絶縁性を高くすることができる。

【0113】

また、絶縁体 254 は、2 層以上の多層構造とすることができる。絶縁体 254 を 2 層の積層構造とする場合、絶縁体 254 の下層および上層の成膜には、上記方法を用いて行うことができ、絶縁体 254 の下層および上層の成膜は、同じ方法を用いてもよいし、異なる方法を用いてもよい。例えば、絶縁体 254 として、酸素を含む雰囲気でスパッタリング法を用いて絶縁体 254 の下層を成膜し、次に ALD 法を用いて絶縁体 254 の上層を成膜してもよい。ALD 法は、被覆性の良好な成膜法なので、1 層目の凹凸によって、段切れなどが形成されるのを防ぐことができる。

【0114】

また、絶縁体 254 の下層および上層には上記材料を用いることができ、絶縁体 254 の下層および上層は同じ材料としてもよいし、異なる材料としてもよい。例えば、酸化シリコン、酸化窒化シリコン、窒化酸化シリコンまたは窒化シリコンと、水素などの不純物および酸素の透過を抑制する機能を有する絶縁体と、の積層構造としてもよい。また、水素などの不純物および酸素の透過を抑制する機能を有する絶縁体として、例えば、アルミニウムおよびハフニウム的一方または双方の酸化物を含む絶縁体を用いることができる。

【0115】

絶縁体 250 は、ゲート絶縁体として機能する。絶縁体 250 は、酸化物 230 c の少なくとも一部に接して配置することが好ましい。絶縁体 250 は、酸化シリコン、酸化窒化シリコン、窒化酸化シリコン、窒化シリコン、フッ素を添加した酸化シリコン、炭素を添加した酸化シリコン、炭素および窒素を添加した酸化シリコン、空孔を有する酸化シリコンなどを用いることができる。特に、酸化シリコン、および酸化窒化シリコンは熱に対し安定であるため好ましい。

【0116】

絶縁体 250 は、絶縁体 224 と同様に、加熱により酸素が放出される絶縁体を用いて形成することが好ましい。加熱により酸素が放出される絶縁体を、絶縁体 250 として、酸化物 230 c の少なくとも一部に接して設けることにより、酸化物 230 b のチャネル形成領域に効果的に酸素を供給し、酸化物 230 b のチャネル形成領域の酸素欠損を低減することができる。したがって、電気特性の変動が抑制され、安定した電気特性を有するとともに、信頼性を向上させたトランジスタを提供することができる。また、絶縁体 224 と同様に、絶縁体 250 中の水、水素などの不純物濃度が低減されていることが好ましい。絶縁体 250 の膜厚は、1 nm 以上 20 nm 以下とするのが好ましい。

【0117】

また、酸化物 230 上に、絶縁体 250 を成膜した後に、酸素を含む雰囲気下、および減圧下にて、マイクロ波処理を行うとよい。マイクロ波処理を行うことにより、マイクロ波による電界が絶縁体 250、および酸化物 230 に与えられ、絶縁体 250 中、および酸化物 230 中の V_OH を V_O と水素とに分断することができる。この時分断された水素の一部は、酸素と結合して H_2O として、絶縁体 250 および酸化物 230 から除去される場合がある。また、水素の一部は、導電体 240 a および導電体 240 b にゲッターリン

グされる場合がある。このように、マイクロ波処理を行うことで、絶縁体 250 中および酸化物 230 中の水素濃度を低減することができる。また、酸化物 230 中の VOH を VO と水素とに分断した後に存在しうる VO に酸素が供給されることで VO を修復または補填することができる。

【0118】

また、マイクロ波処理後に減圧状態を保ったままで、加熱処理を行ってもよい。このような処理を行うことで、絶縁体 250 中、および酸化物 230 中の水素を効率よく除去することができる。また、加熱処理を繰り返し行うことで、絶縁体 250 中、および酸化物 230 中の水素をさらに効率よく除去することができる。なお、マイクロ波処理後に減圧状態を保ったままで、加熱処理を行うステップを複数回繰り返して行ってもよい。

10

【0119】

また、マイクロ波処理を行うことにより、絶縁体 250 の膜質を改質することで、水素、水、不純物等の拡散を抑制することができる。従って、導電体 260 となる導電膜の成膜などの後工程、または熱処理などの後処理により、絶縁体 250 を介して、水素、水、または不純物が、酸化物 230 へ拡散することを抑制することができる。

【0120】

以上のようにして、金属酸化物中でドナーとして機能する VOH を低減することができるので、チャンネル形成領域として機能する金属酸化物のキャリア濃度を低くすることができる。このような金属酸化物をチャンネル形成領域として用いたトランジスタは、ノーマリーオフ特性にすることができ、良好な電気特性および信頼性を有する半導体装置を構成することができる。

20

【0121】

また、絶縁体 250 と導電体 260 との間に金属酸化物を設けてもよい。当該金属酸化物は、絶縁体 250 から導電体 260 への酸素の拡散を抑制することが好ましい。酸素の拡散を抑制する金属酸化物を設けることで、絶縁体 250 から導電体 260 への酸素の拡散が抑制される。つまり、酸化物 230 へ供給する酸素量の減少を抑制することができる。また、絶縁体 250 の酸素による導電体 260 の酸化を抑制することができる。

【0122】

なお、上記金属酸化物は、ゲート絶縁体の一部としての機能を有する場合がある。したがって、絶縁体 250 に酸化シリコンや酸化窒化シリコンなどを用いる場合、上記金属酸化物は、比誘電率が高い high-k 材料である金属酸化物を用いることが好ましい。ゲート絶縁体を、絶縁体 250 と上記金属酸化物との積層構造とすることで、熱に対して安定、かつ比誘電率の高い積層構造とすることができる。したがって、ゲート絶縁体の物理膜厚を保持したまま、トランジスタ動作時に印加するゲート電位の低減化が可能となる。また、ゲート絶縁体として機能する絶縁体の等価酸化膜厚 (EOT) の薄膜化が可能となる。

30

【0123】

具体的には、ハフニウム、アルミニウム、ガリウム、イットリウム、ジルコニウム、タングステン、チタン、タンタル、ニッケル、ゲルマニウム、マグネシウムなどから選ばれた一種、または二種以上が含まれた金属酸化物を用いることができる。特に、アルミニウムおよびハフニウム的一方または双方の酸化物を含む絶縁体を用いることが好ましい。

40

【0124】

また、上記金属酸化物は、第 1 のゲート電極の一部としての機能を有してもよい。例えば、酸化物 230 として用いることができる金属酸化物を、上記金属酸化物として用いることができる。その場合、導電体 260 をスパッタリング法で成膜することで、上記金属酸化物の電気抵抗値を低下させて導電体とすることができる。

【0125】

上記金属酸化物を有することで、導電体 260 からの電界の影響を弱めることなく、トランジスタ 200 のオン電流の向上を図ることができる。また、絶縁体 250 と、上記金属酸化物との物理的な厚みにより、導電体 260 と、酸化物 230 との間の距離を保つこ

50

とで、導電体 260 と酸化物 230 との間のリーク電流を抑制することができる。また、絶縁体 250、および上記金属酸化物との積層構造を設けることで、導電体 260 と酸化物 230 との間の物理的な距離、および導電体 260 から酸化物 230 へかかる電界強度を、容易に適宜調整することができる。

【0126】

導電体 260 は、導電体 260 a と、導電体 260 a の上に配置された導電体 260 b と、を有することが好ましい。例えば、導電体 260 a は、導電体 260 b の底面および側面を包むように配置されることが好ましい。

【0127】

導電体 260 a は、水素原子、水素分子、水分子、窒素原子、窒素分子、酸化窒素分子、銅原子などの不純物の拡散を抑制する機能を有する導電性材料を用いることが好ましい。または、酸素（例えば、酸素原子、酸素分子などの少なくとも一）の拡散を抑制する機能を有する導電性材料を用いることが好ましい。

10

【0128】

また、導電体 260 a が酸素の拡散を抑制する機能を持つことにより、絶縁体 250 に含まれる酸素により、導電体 260 b が酸化して導電率が低下することを抑制することができる。酸素の拡散を抑制する機能を有する導電性材料としては、例えば、タンタル、窒化タンタル、ルテニウム、酸化ルテニウムなどを用いることが好ましい。

【0129】

また、導電体 260 は、配線としても機能するため、導電性が高い導電体を用いることが好ましい。例えば、導電体 260 b は、タングステン、銅、またはアルミニウムを主成分とする導電性材料を用いることができる。また、導電体 260 b は積層構造としてもよく、例えば、チタン又は窒化チタンと上記導電性材料との積層構造としてもよい。

20

【0130】

図 1 B 乃至図 1 D では、導電体 260 は、導電体 260 a と導電体 260 b の 2 層構造として示しているが、単層構造でもよいし、3 層以上の積層構造であってもよい。

【0131】

また、トランジスタ 200 では、導電体 260 は、絶縁体 280 などに形成されている開口を埋めるように自己整合的に形成される。導電体 260 をこのように形成することにより、導電体 240 a と導電体 240 b との間の領域に、導電体 260 を位置合わせすることなく確実に配置することができる。

30

【0132】

また、図 1 B に示すように、導電体 260 の上面は、絶縁体 250 の上面および酸化物 230 c の上面と略一致している。

【0133】

また、図 1 C に示すように、トランジスタ 200 のチャネル幅方向において、導電体 260 の、導電体 260 と酸化物 230 b とが重ならない領域の底面は、酸化物 230 b の底面より低いことが好ましい。ゲート電極として機能する導電体 260 が、絶縁体 250 などを介して、酸化物 230 b のチャネル形成領域の側面および上面を覆う構成とすることで、導電体 260 の電界を酸化物 230 b のチャネル形成領域全体に作用させやすくなる。よって、トランジスタ 200 のオン電流を増大させ、周波数特性を向上させることができる。絶縁体 222 の底面を基準としたとき、酸化物 230 a および酸化物 230 b と、導電体 260 とが、重ならない領域における導電体 260 の底面の高さ、と、酸化物 230 b の底面の高さ、との差は、0 nm 以上 100 nm 以下、好ましくは、3 nm 以上 50 nm 以下、より好ましくは、5 nm 以上 20 nm 以下とする。

40

【0134】

絶縁体 280 は、絶縁体 224、酸化物 230、導電体 240 a、導電体 240 b、および絶縁体 254 上に設けられる。また、絶縁体 280 の上面は、平坦化されていてもよい。

【0135】

50

層間膜として機能する絶縁体 280 は、誘電率が低いことが好ましい。誘電率が低い材料を層間膜とすることで、配線間に生じる寄生容量を低減することができる。絶縁体 280 は、例えば、絶縁体 216 と同様の材料を用いて設けることが好ましい。特に、酸化シリコンおよび酸化窒化シリコンは、熱的に安定であるため好ましい。特に、酸化シリコン、酸化窒化シリコン、空孔を有する酸化シリコンなどの材料は、加熱により脱離する酸素を含む領域を容易に形成することができるため好ましい。

【0136】

なお、金属酸化物を用いたトランジスタにおいて、トランジスタを構成する導電体 240a および導電体 240b に、金属酸化物の酸素が徐々に吸収され、継時的変化の一つとして、酸素欠損を生じる場合がある。また、導電体 240a および導電体 240b が酸化

10

【0137】

そこで、絶縁体 280 に、酸素を含む絶縁体を用いることが好ましい。特に、絶縁体 280 には、化学量論的組成を満たす酸素よりも多くの酸素を含む酸化物を用いることが好ましい。つまり、絶縁体 280 には、過剰酸素領域が形成されていることが好ましい。

【0138】

絶縁体 280 中の水、水素などの不純物濃度は低減されていることが好ましい。また、絶縁体 280 は、水素濃度が低く、過剰酸素領域または過剰酸素を有することが好ましく、例えば、絶縁体 216 と同様の材料を用いて設けてもよい。また、絶縁体 280 は、上記の材料が積層された構造でもよく、例えば、スパッタリング法で成膜した酸化シリコンと、その上に積層された化学気相成長 (CVD: Chemical Vapor Deposition) 法で成膜された酸化窒化シリコンの積層構造とすればよい。また、さらに上に窒化シリコンを積層してもよい。

20

【0139】

絶縁体 282 は、絶縁体 214 などと同様に、水、水素などの不純物が、上方から絶縁体 280 に拡散するのを抑制する絶縁性バリア膜として機能することが好ましい。また、絶縁体 282 は、絶縁体 214 などと同様に、水素濃度が低く、水素の拡散を抑制する機能を有することが好ましい。

【0140】

また、図 1B に示すように、絶縁体 282 は、導電体 260、絶縁体 250、および酸化物 230c のそれぞれの上面と接することが好ましい。これにより、絶縁体 284 などに含まれる水素などの不純物が、絶縁体 250 へ混入することを抑えることができる。したがって、トランジスタの電気特性およびトランジスタの信頼性への悪影響を抑制することができる。

30

【0141】

絶縁体 282 の上に、層間膜として機能する絶縁体 284 を設けることが好ましい。絶縁体 284 は、絶縁体 216 などと同様に、誘電率が低いことが好ましい。また、絶縁体 284 は、絶縁体 224 などと同様に、膜中の水、水素などの不純物濃度が低減されていることが好ましい。

【0142】

また、図示しないが、トランジスタ 200 と電氣的に接続するプラグ、または配線として機能する導電体を設けるとよい。このとき、当該導電体を覆うように、抵抗率が $1.0 \times 10^{13} \Omega \text{cm}$ 以上 $1.0 \times 10^{15} \Omega \text{cm}$ 以下、好ましくは $5.0 \times 10^{13} \Omega \text{cm}$ 以上 $5.0 \times 10^{14} \Omega \text{cm}$ 以下の絶縁体を設けることが好ましい。上記導電体上に上記のような抵抗率を有する絶縁体を設けることで、当該絶縁体は、絶縁性を維持しつつ、トランジスタ 200、上記導電体等の配線間に蓄積される電荷を分散し、該電荷によるトランジスタや、該トランジスタを有する電子機器の特性不良や静電破壊を抑制することができ、好ましい。

40

【0143】

<半導体装置の変形例>

50

以下では、図 2 A 乃至図 4 D を用いて、本発明の一態様である半導体装置の一例について説明する。

【0144】

ここで、図 2 A、図 3 A、および図 4 A は上面図を示す。また、図 2 B、図 3 B、および図 4 B はそれぞれ、図 2 A、図 3 A、および図 4 A に A 1 - A 2 の一点鎖線で示す部位に対応する断面図である。また、図 2 C、図 3 C、および図 4 C はそれぞれ、図 2 A、図 3 A、および図 4 A に A 3 - A 4 の一点鎖線で示す部位に対応する断面図である。また、図 2 D、図 3 D、および図 4 D はそれぞれ、図 2 A、図 3 A、および図 4 A に A 5 - A 6 の一点鎖線で示す部位に対応する断面図である。図 2 A、図 3 A、および図 4 A の上面図では、図の明瞭化のために一部の要素を省いている。

10

【0145】

なお、図 2 A 乃至図 4 D に示す半導体装置において、＜半導体装置の構成例＞などに示した半導体装置を構成する構造と同機能を有する構造には、同符号を付記する。なお、本項目においても、半導体装置の構成材料については＜半導体装置の構成例＞などで詳細に説明した材料を用いることができる。

【0146】

〔半導体装置の変形例 1〕

図 2 A 乃至図 2 D に示す半導体装置は、図 1 A 乃至図 1 D に示した半導体装置の変形例である。図 2 A 乃至図 2 D に示す半導体装置は、図 1 A 乃至図 1 D に示した半導体装置とは、酸化物 230 d、および酸化物 243（酸化物 243 a、および酸化物 243 b）を有することが異なる。

20

【0147】

図 2 A 乃至図 2 D に示す半導体装置において、トランジスタ 200 の酸化物 230 d は、当該トランジスタ 200 に隣接するトランジスタ 200 の酸化物 230 d と連続して設けられた領域を有する。

【0148】

また、絶縁体 224 と、酸化物 230 b とが重ならない領域のうち、酸化物 230 c が、トランジスタ 200 と、当該トランジスタ 200 に隣接するトランジスタ 200 との間に配置されない領域において、酸化物 230 d は、絶縁体 224 と接する領域を有する。

【0149】

酸化物 230 d は、酸化物 230 c に用いられる金属酸化物を構成する金属元素の少なくとも一つを含むことが好ましく、当該金属元素を全て含むことがより好ましい。例えば、酸化物 230 c として、 In-Ga-Zn 酸化物または In-Zn 酸化物を用い、酸化物 230 d として、 In-Ga-Zn 酸化物、 Ga-Zn 酸化物、または酸化ガリウムを用いるとよい。これにより、酸化物 230 c と酸化物 230 d との界面における欠陥準位密度を低くすることができる。

30

【0150】

また、酸化物 230 a および酸化物 230 d の伝導帯下端が、酸化物 230 b および酸化物 230 c の伝導帯下端より真空準位に近いことが好ましい。言い換えると、酸化物 230 a および酸化物 230 d の電子親和力は、酸化物 230 b および酸化物 230 c の電子親和力より小さいことが好ましい。この場合、酸化物 230 d は、酸化物 230 a に用いることができる金属酸化物を用い、酸化物 230 c は、酸化物 230 b に用いることができる金属酸化物を用いることが好ましい。このとき、キャリアの主たる経路は酸化物 230 b だけでなく、酸化物 230 c もキャリアの主たる経路となる場合がある。

40

【0151】

具体的には、酸化物 230 c として、 $\text{In:Ga:Zn}=4:2:3$ [原子数比] もしくは $\text{In:Ga:Zn}=5:1:6$ [原子数比] の金属酸化物、または In-Zn 酸化物を用い、酸化物 230 d として、 $\text{In:Ga:Zn}=1:3:4$ [原子数比]、 $\text{Ga:Zn}=2:1$ [原子数比]、もしくは $\text{Ga:Zn}=2:5$ [原子数比] の金属酸化物または酸化ガリウムを用いばよい。これにより、酸化物 230 c と酸化物 230 d との界面に

50

おける欠陥準位密度を低くすることができる。

【0152】

また、酸化物230dは、酸化物230cより、酸素の拡散または透過を抑制する金属酸化物であることが好ましい。絶縁体250と酸化物230cとの間に酸化物230dを設けることで、絶縁体280に含まれる酸素が、絶縁体250に拡散するのを抑制することができる。したがって、当該酸素は、酸化物230cを介して、酸化物230bに効率的に供給することができる。

【0153】

また、酸化物230dに用いる金属酸化物において、主成分である金属元素に対するInの原子数比が、酸化物230cに用いる金属酸化物における、主成分である金属元素に対するInの原子数比より小さくすることで、Inが絶縁体250側に拡散するのを抑制することができる。絶縁体250は、ゲート絶縁体として機能するため、Inが絶縁体250などに混入した場合、トランジスタの特性不良となる。したがって、酸化物230cと絶縁体250との間に酸化物230dを設けることで、信頼性の高い半導体装置を提供することが可能となる。

【0154】

図2A乃至図2Dに示す半導体装置は、導電体240aまたは導電体240bと、酸化物230との間に、酸素の透過を抑制する機能を有する酸化物243（酸化物243a、および酸化物243b）を有する。ソース電極やドレイン電極として機能する導電体240aまたは導電体240bと酸化物230bとの間に酸素の透過を抑制する機能を有する酸化物243を配置することで、導電体240aまたは導電体240bと、酸化物230bとの間の電気抵抗が低減されるので好ましい。このような構成とすることで、トランジスタ200の電気特性およびトランジスタ200の信頼性を向上させることができる。

【0155】

酸化物243として、元素Mを有する金属酸化物を用いてもよい。特に、元素Mは、アルミニウム、ガリウム、イットリウム、または錫を用いるとよい。酸化物243は、酸化物230bよりも元素Mの濃度が高いことが好ましい。また、酸化物243として、酸化ガリウムを用いてもよい。また、酸化物243として、In-M-Zn酸化物等の金属酸化物を用いてもよい。具体的には、酸化物243に用いる金属酸化物において、Inに対する元素Mの原子数比が、酸化物230bに用いる金属酸化物における、Inに対する元素Mの原子数比より大きいことが好ましい。また、酸化物243の膜厚は、0.5nm以上5nm以下が好ましく、より好ましくは1nm以上3nm以下、さらに好ましくは1nm以上2nm以下である。また、酸化物243は、結晶性を有すると好ましい。酸化物243が結晶性を有する場合、酸化物230中の酸素の放出を好適に抑制することが出来る。例えば、酸化物243としては、六方晶などの結晶構造であれば、酸化物230中の酸素の放出を抑制できる場合がある。

【0156】

〔半導体装置の変形例2〕

図3A乃至図3Dに示す半導体装置は、図2A乃至図2Dに示した半導体装置の変形例である。図3A乃至図3Dに示す半導体装置は、図2A乃至図2Dに示した半導体装置とは、酸化物230cの形状が異なる。具体的には、図2A乃至図2Dに示す半導体装置と比べて、図3A乃至図3Dに示す半導体装置は、チャネル幅方向における、酸化物230cと絶縁体224の上面とが接する領域が狭い構成である。つまり、上記の L_2 に対する L_1 の比(L_1/L_2)が大きい構成である。図3A乃至図3Dに示す半導体装置では、酸化物230bと重なる領域およびその近傍以外の酸化物230cを除去する。または、酸化物230cを酸化物230bと重なる領域およびその近傍に残存させる。

【0157】

上記構成にすることで、半導体装置のさらなる微細化または高集積化を図ることができる。また、酸化物230bと重ならない領域の導電体260の底面がより低くなり、導電体260が、酸化物230bの側面および上面を酸化物230cおよび絶縁体250を介

10

20

30

40

50

して覆う領域が拡がり、導電体 260 の電界を酸化物 230 b のチャネル形成領域全体に作用させやすくなる。よって、トランジスタ 200 のオン電流を増大させ、周波数特性を向上させることができる。

【0158】

また、図 3 A 乃至図 3 D に示す半導体装置は、図 2 A 乃至図 2 D に示した半導体装置とは、絶縁体 254 を有さず、絶縁体 245 a、および絶縁体 245 b を有することが異なる。

【0159】

絶縁体 245 a および絶縁体 245 b は、図 3 B に示すように、それぞれ、導電体 240 a および導電体 240 b の上面に接することが好ましい。また、絶縁体 245 a および絶縁体 245 b は、バリア層として機能することが好ましい。当該構成にすることで、導電体 240 a および導電体 240 b による、絶縁体 280 が有する過剰酸素の吸収を抑制することができる。また、導電体 240 a および導電体 240 b の酸化を抑制することで、トランジスタ 200 と配線とのコンタクト抵抗の増加を抑制することができる。よって、トランジスタ 200 に良好な電気特性および信頼性を与えることができる。

【0160】

従って、絶縁体 245 a および絶縁体 245 b は、酸素の拡散を抑制する機能を有することが好ましい。例えば、絶縁体 245 a および絶縁体 245 b は、絶縁体 280 よりも酸素の拡散を抑制する機能を有することが好ましい。

【0161】

絶縁体 245 a および絶縁体 245 b としては、例えば、アルミニウムおよびハフニウム的一方または双方の酸化物を含む絶縁体を成膜するとよい。特に、ALD 法により酸化アルミニウムを成膜するとよい。ALD 法を用いて形成することで、緻密な、クラックやピンホールなどの欠陥が低減された、または均一な厚さを備える膜を形成することができる。また、絶縁体 245 a および絶縁体 245 b としては、例えば、窒化アルミニウムを含む絶縁体を用いればよい。

【0162】

ここで、少なくとも酸化物 230 b の側面、導電体 240 a の側面、および導電体 240 b の側面は、絶縁体 222 の上面に対し、概略垂直であることが好ましい。具体的には、酸化物 230 b の側面、導電体 240 a の側面、または導電体 240 b の側面と、絶縁体 222 の上面とのなす角は、60 度以上 95 度以下、好ましくは、88 度以上 92 度以下とするとよい。酸化物 230 b の側面、導電体 240 a の側面、および導電体 240 b の側面が、絶縁体 222 の上面に対し、概略垂直であることで、複数のトランジスタ 200 を設ける際に、小面積化、高密度化が可能となる。また、導電体 240 a、および導電体 240 b を上記の形状とすることで、のちに形成される配線層との接触面積を向上させることができる。したがって、導電体 240 a および導電体 240 b と、配線層とのコンタクト抵抗の上昇を抑制することができる。

【0163】

また、トランジスタ 200 のチャネル幅方向において、導電体 240 a の下面の長さに対する導電体 240 a の上面の長さの比、および導電体 240 b の下面の長さに対する導電体 240 b の上面の長さの比のそれぞれが 0.7 以上 1.3 以下であると好適である。当該長さの比を上述の範囲とすることで、のちに形成される配線との接触抵抗を低減させることができる。

【0164】

また、上記長さの比を 0.7 以上 1.0 以下、好ましくは 0.8 以上 0.95 以下としてもよい。上記長さの比を上述の範囲とすることで、のちに形成される絶縁体 280 の被覆性（ステップカバレッジ）を保持することができる。

【0165】

絶縁体 224、酸化物 230 a、酸化物 230 b、導電体 240 a、導電体 240 b、絶縁体 245 a、および絶縁体 245 b と、絶縁体 280 との間に、絶縁体 254 を設け

10

20

30

40

50

てもよい。なお、絶縁体 2 5 4 を設ける場合、絶縁体 2 4 5 a および絶縁体 2 4 5 b は除去してもよい。

【0166】

絶縁体 2 8 0 は、絶縁体 2 2 4、酸化物 2 3 0、導電体 2 4 0 a、導電体 2 4 0 b、絶縁体 2 4 5 a、および絶縁体 2 4 5 b 上に設けられる。また、絶縁体 2 8 0 は、少なくとも、酸化物 2 3 0 の側面と接して設けられる。また、絶縁体 2 8 0 の上面は、平坦化されていてもよい。

【0167】

〔半導体装置の変形例 3〕

図 4 A 乃至図 4 D に示す半導体装置は、図 2 A 乃至図 2 D に示した半導体装置の変形例である。図 4 A 乃至図 4 D に示す半導体装置は、図 2 A 乃至図 2 D に示した半導体装置とは、絶縁体 2 8 0、絶縁体 2 8 2、絶縁体 2 5 4、絶縁体 2 2 4、絶縁体 2 2 2、および絶縁体 2 1 6 と、絶縁体 2 8 4 との間に、層間膜として機能する絶縁体 2 8 3 を有することが異なる。

【0168】

なお、図 4 A 乃至図 4 D に示すトランジスタ 2 0 0 では、絶縁体 2 1 4、絶縁体 2 5 4 のそれぞれを、2 層の積層構造として設ける構成について示している。また、図 4 A、および図 4 C では、2 のトランジスタ 2 0 0 がチャネル幅方向に配置されている構成を例示しているが、これに限られず、3 以上のトランジスタ 2 0 0 が、チャネル幅方向に配置されていてもよい。

【0169】

図 4 A 乃至図 4 D に示す半導体装置では、絶縁体 2 1 4 の上層、絶縁体 2 1 6、絶縁体 2 2 2、絶縁体 2 2 4、絶縁体 2 5 4、絶縁体 2 8 0、および絶縁体 2 8 2 がパターンニングされており、絶縁体 2 8 3 がこれらを覆う構造になっている。つまり、絶縁体 2 8 3 は、絶縁体 2 8 2 の上面および側面と、絶縁体 2 8 0 の側面と、絶縁体 2 5 4 の側面と、絶縁体 2 2 4 の側面と、絶縁体 2 2 2 の側面と、絶縁体 2 1 6 の側面と、絶縁体 2 1 4 の上層の側面と、絶縁体 2 1 4 の下層の上面と、に接する。これにより、酸化物 2 3 0 などを含む、絶縁体 2 1 4 の上層、絶縁体 2 1 6、絶縁体 2 2 2、絶縁体 2 2 4、絶縁体 2 5 4、絶縁体 2 8 0、および絶縁体 2 8 2 は、絶縁体 2 8 3 と絶縁体 2 1 4 の下層とによって、外部から隔離される。別言すると、トランジスタ 2 0 0 は、絶縁体 2 8 3 と絶縁体 2 1 4 の下層とで封止された領域内に配置される。

【0170】

絶縁体 2 1 4 の下層および絶縁体 2 8 3 は、水素（例えば、水素原子、水素分子などの少なくとも一）または水分子の拡散を抑制する機能が低いことが好ましい。例えば、絶縁体 2 1 4 の下層および絶縁体 2 8 3 としては、より水素バリア性が高い、窒化シリコンまたは窒化酸化シリコンを用いることが好ましい。

【0171】

上記構成にすることで、上記封止された領域外に含まれる水素が、上記封止された領域内に混入することを抑制することができる。

【0172】

また、図 4 A 乃至図 4 D に示すトランジスタ 2 0 0 では、絶縁体 2 1 4 を、2 層の積層構造として設ける構成について示しているが、本発明はこれに限られるものではない。例えば、絶縁体 2 1 4 を単層として設ける構成にし、絶縁体 2 1 4 に、水素（例えば、水素原子、水素分子などの少なくとも一）または水分子の拡散を抑制する機能が低い絶縁性材料を用いてもよい。また、例えば、絶縁体 2 1 4 を 3 層以上の積層構造として設ける構成にし、当該 3 層のいずれか一または複数に、水素（例えば、水素原子、水素分子などの少なくとも一）または水分子の拡散を抑制する機能が低い絶縁性材料を用いてもよい。

【0173】

＜半導体装置の構成材料＞

以下では、半導体装置に用いることができる構成材料について説明する。

【0174】

<<基板>>

トランジスタ200を形成する基板としては、例えば、絶縁体基板、半導体基板、または導電体基板を用いればよい。絶縁体基板としては、例えば、ガラス基板、石英基板、サファイア基板、安定化ジルコニア基板（イットリア安定化ジルコニア基板など）、樹脂基板などがある。また、半導体基板としては、例えば、シリコン、ゲルマニウムからなる半導体基板、または炭化シリコン、シリコンゲルマニウム、ヒ化ガリウム、リン化インジウム、酸化亜鉛、酸化ガリウムからなる化合物半導体基板などがある。さらには、前述の半導体基板内部に絶縁体領域を有する半導体基板、例えば、SOI（Silicon On Insulator）基板などがある。導電体基板としては、黒鉛基板、金属基板、合金基板、導電性樹脂基板などがある。または、金属の窒化物を有する基板、金属の酸化物を有する基板などがある。さらには、絶縁体基板に導電体または半導体が設けられた基板、半導体基板に導電体または絶縁体が設けられた基板、導電体基板に半導体または絶縁体が設けられた基板などがある。または、これらの基板に素子が設けられたものを用いてもよい。基板に設けられる素子としては、容量素子、抵抗素子、スイッチ素子、発光素子、記憶素子などがある。

10

【0175】

<<絶縁体>>

絶縁体としては、絶縁性を有する酸化物、窒化物、酸化窒化物、窒化酸化物、金属酸化物、金属酸化窒化物、金属窒化酸化物などがある。

20

【0176】

例えば、トランジスタの微細化、および高集積化が進むと、ゲート絶縁体の薄膜化により、リーク電流などの問題が生じる場合がある。ゲート絶縁体として機能する絶縁体に、high-k材料を用いることで物理膜厚を保ちながら、トランジスタ動作時の低電圧化が可能となる。一方、層間膜として機能する絶縁体には、比誘電率が低い材料を用いることで、配線間に生じる寄生容量を低減することができる。したがって、絶縁体の機能に応じて、材料を選択するとよい。

【0177】

また、比誘電率の高い絶縁体としては、酸化ガリウム、酸化ハフニウム、酸化ジルコニウム、アルミニウムおよびハフニウムを有する酸化物、アルミニウムおよびハフニウムを有する酸化窒化物、シリコンおよびハフニウムを有する酸化物、シリコンおよびハフニウムを有する酸化窒化物、またはシリコンおよびハフニウムを有する窒化物などがある。

30

【0178】

また、比誘電率が低い絶縁体としては、酸化シリコン、酸化窒化シリコン、窒化酸化シリコン、窒化シリコン、フッ素を添加した酸化シリコン、炭素を添加した酸化シリコン、炭素および窒素を添加した酸化シリコン、空孔を有する酸化シリコン、または樹脂などがある。

【0179】

また、金属酸化物を用いたトランジスタは、水素などの不純物および酸素の透過を抑制する機能を有する絶縁体（絶縁体214、絶縁体222、絶縁体254、および絶縁体282など）で囲うことによって、トランジスタの電気特性を安定にすることができる。水素などの不純物および酸素の透過を抑制する機能を有する絶縁体としては、例えば、ホウ素、炭素、窒素、酸素、フッ素、マグネシウム、アルミニウム、シリコン、リン、塩素、アルゴン、ガリウム、ゲルマニウム、イットリウム、ジルコニウム、ランタン、ネオジム、ハフニウム、またはタンタルを含む絶縁体を、単層で、または積層で用いればよい。具体的には、水素などの不純物および酸素の透過を抑制する機能を有する絶縁体として、酸化アルミニウム、酸化マグネシウム、酸化ガリウム、酸化ゲルマニウム、酸化イットリウム、酸化ジルコニウム、酸化ランタン、酸化ネオジム、酸化ハフニウム、酸化タンタルなどの金属酸化物、窒化アルミニウム、窒化酸化シリコン、窒化シリコンなどの金属窒化物を用いることができる。

40

50

【0180】

また、ゲート絶縁体として機能する絶縁体は、加熱により脱離する酸素を含む領域を有する絶縁体であることが好ましい。例えば、加熱により脱離する酸素を含む領域を有する酸化シリコンまたは酸化窒化シリコンを酸化物230と接する構造とすることで、酸化物230が有する酸素欠損を補償することができる。

【0181】

<<導電体>>

導電体としては、アルミニウム、クロム、銅、銀、金、白金、タンタル、ニッケル、チタン、モリブデン、タングステン、ハフニウム、バナジウム、ニオブ、マンガン、マグネシウム、ジルコニウム、ベリリウム、インジウム、ルテニウム、イリジウム、ストロンチウム、ランタンなどから選ばれた金属元素、または上述した金属元素を成分とする合金が、上述した金属元素を組み合わせた合金等を用いることが好ましい。例えば、窒化タンタル、窒化チタン、タングステン、チタンとアルミニウムを含む窒化物、タンタルとアルミニウムを含む窒化物、酸化ルテニウム、窒化ルテニウム、ストロンチウムとルテニウムを含む酸化物、ランタンとニッケルを含む酸化物などを用いることが好ましい。また、窒化タンタル、窒化チタン、チタンとアルミニウムを含む窒化物、タンタルとアルミニウムを含む窒化物、酸化ルテニウム、窒化ルテニウム、ストロンチウムとルテニウムを含む酸化物、ランタンとニッケルを含む酸化物は、酸化しにくい導電性材料、または、酸素を吸収しても導電性を維持する材料であるため、好ましい。また、リン等の不純物元素を含有させた多結晶シリコンに代表される、電気伝導度が高い半導体、ニッケルシリサイドなどのシリサイドを用いてもよい。

【0182】

また、上記の材料で形成される導電層を複数積層して用いてもよい。例えば、前述した金属元素を含む材料と、酸素を含む導電性材料と、を組み合わせた積層構造としてもよい。また、前述した金属元素を含む材料と、窒素を含む導電性材料と、を組み合わせた積層構造としてもよい。また、前述した金属元素を含む材料と、酸素を含む導電性材料と、窒素を含む導電性材料と、を組み合わせた積層構造としてもよい。

【0183】

なお、トランジスタのチャネル形成領域に酸化物を用いる場合において、ゲート電極として機能する導電体には、前述した金属元素を含む材料と、酸素を含む導電性材料と、を組み合わせた積層構造を用いることが好ましい。この場合は、酸素を含む導電性材料をチャネル形成領域側に設けるとよい。酸素を含む導電性材料をチャネル形成領域側に設けることで、当該導電性材料から離脱した酸素がチャネル形成領域に供給されやすくなる。

【0184】

特に、ゲート電極として機能する導電体として、チャネルが形成される金属酸化物に含まれる金属元素および酸素を含む導電性材料を用いることが好ましい。また、前述した金属元素および窒素を含む導電性材料を用いてもよい。例えば、窒化チタン、窒化タンタルなどの窒素を含む導電性材料を用いてもよい。また、インジウム錫酸化物、酸化タングステンを含むインジウム酸化物、酸化タングステンを含むインジウム亜鉛酸化物、酸化チタンを含むインジウム酸化物、酸化チタンを含むインジウム錫酸化物、インジウム亜鉛酸化物、シリコンを添加したインジウム錫酸化物を用いてもよい。また、窒素を含むインジウムガリウム亜鉛酸化物を用いてもよい。このような材料を用いることで、チャネルが形成される金属酸化物に含まれる水素を捕獲することができる場合がある。または、外方の絶縁体などから混入する水素を捕獲することができる場合がある。

【0185】

<<金属酸化物>>

酸化物230として、半導体として機能する金属酸化物（酸化物半導体）を用いることが好ましい。以下では、本発明に係る酸化物230に適用可能な金属酸化物について説明する。

【0186】

金属酸化物は、少なくともインジウムまたは亜鉛を含むことが好ましい。特に、インジウムおよび亜鉛を含むことが好ましい。また、それらに加えて、アルミニウム、ガリウム、イットリウム、錫などが含まれていることが好ましい。また、ホウ素、チタン、鉄、ニッケル、ゲルマニウム、ジルコニウム、モリブデン、ランタン、セリウム、ネオジム、ハフニウム、タンタル、タングステン、マグネシウムなどから選ばれた一種、または複数種が含まれていてもよい。

【0187】

ここでは、金属酸化物が、インジウム、元素Mおよび亜鉛を有するIn-M-Zn酸化物である場合を考える。なお、元素Mは、アルミニウム、ガリウム、イットリウム、または錫とする。そのほかの元素Mに適用可能な元素としては、ホウ素、チタン、鉄、ニッケル、ゲルマニウム、ジルコニウム、モリブデン、ランタン、セリウム、ネオジム、ハフニウム、タンタル、タングステン、マグネシウムなどがある。ただし、元素Mとして、前述の元素を複数組み合わせても構わない場合がある。

10

【0188】

なお、本明細書等において、窒素を有する金属酸化物も金属酸化物 (metal oxide) と総称する場合がある。また、窒素を有する金属酸化物を、金属酸窒化物 (metal oxynitride) と呼称してもよい。

【0189】

[金属酸化物の構造]

酸化物半導体 (金属酸化物) は、単結晶酸化物半導体と、それ以外の非単結晶酸化物半導体と、に分けられる。非単結晶酸化物半導体としては、例えば、CAAC-OS、多結晶酸化物半導体、nc-OS (nanocrystalline oxide semiconductor)、擬似非晶質酸化物半導体 (a-like OS: amorphous-like oxide semiconductor)、および非晶質酸化物半導体などがある。

20

【0190】

CAAC-OSは、c軸配向性を有し、かつa-b面方向において複数のナノ結晶が連結し、歪みを有した結晶構造となっている。なお、歪みとは、複数のナノ結晶が連結する領域において、格子配列の揃った領域と、別の格子配列の揃った領域と、の間で格子配列の向きが変化している箇所を指す。

30

【0191】

ナノ結晶は、六角形を基本とするが、正六角形状とは限らず、非正六角形状である場合がある。また、歪みにおいて、五角形、七角形などの格子配列を有する場合がある。なお、CAAC-OSにおいて、歪み近傍においても、明確な結晶粒界 (グレインバウンダリーともいう。) を確認することは難しい。すなわち、格子配列の歪みによって、結晶粒界の形成が抑制されていることがわかる。これは、CAAC-OSが、a-b面方向において酸素原子の配列が稠密でないことや、金属元素が置換することで原子間の結合距離が変化することなどによって、歪みを許容することができるためである。

【0192】

また、CAAC-OSは、インジウム、および酸素を有する層 (以下、In層) と、元素M、亜鉛、および酸素を有する層 (以下、(M, Zn) 層) とが積層した、層状の結晶構造 (層状構造ともいう) を有する傾向がある。なお、インジウムと元素Mは、互いに置換可能であり、(M, Zn) 層の元素Mがインジウムと置換した場合、(In, M, Zn) 層と表すこともできる。また、In層のインジウムが元素Mと置換した場合、(In, M) 層と表すこともできる。

40

【0193】

CAAC-OSは結晶性の高い金属酸化物である。一方、CAAC-OSは、明確な結晶粒界を確認することが難しいため、結晶粒界に起因する電子移動度の低下が起こりにくいといえる。また、金属酸化物の結晶性は不純物の混入や欠陥の生成などによって低下する場合があるため、CAAC-OSは不純物や欠陥 (酸素欠損など) の少ない金属酸化物

50

ともいえる。したがって、CAAC-OSを有する金属酸化物は、物理的性質が安定する。そのため、CAAC-OSを有する金属酸化物は熱に強く、信頼性が高い。

【0194】

nc-OSは、微小な領域（例えば、1 nm以上10 nm以下の領域、特に1 nm以上3 nm以下の領域）において原子配列に周期性を有する。また、nc-OSは、異なるナノ結晶間で結晶方位に規則性が見られない。そのため、膜全体で配向性が見られない。したがって、nc-OSは、分析方法によっては、a-like OSや非晶質酸化物半導体と区別が付かない場合がある。

【0195】

なお、インジウムと、ガリウムと、亜鉛と、を有する金属酸化物の一種である、In-Ga-Zn酸化物（以下、IGZO）は、上述のナノ結晶とすることで安定な構造をとる場合がある。特に、IGZOは、大気中では結晶成長がし難い傾向があるため、大きな結晶（ここでは、数mmの結晶、または数cmの結晶）よりも小さな結晶（例えば、上述のナノ結晶）とする方が、構造的に安定となる場合がある。

【0196】

a-like OSは、nc-OSと非晶質酸化物半導体との間の構造を有する金属酸化物である。a-like OSは、鬆または低密度領域を有する。すなわち、a-like OSは、nc-OSおよびCAAC-OSと比べて、結晶性が低い。

【0197】

酸化物半導体（金属酸化物）は、多様な構造をとり、それぞれが異なる特性を有する。本発明の一態様の酸化物半導体は、非晶質酸化物半導体、多結晶酸化物半導体、a-like OS、nc-OS、CAAC-OSのうち、二種以上を有していてもよい。

【0198】

〔不純物〕

ここで、金属酸化物中における各不純物の影響について説明する。

【0199】

酸化物半導体に不純物が混入すると、欠陥準位または酸素欠損が形成される場合がある。よって、酸化物半導体のチャネル形成領域に不純物が混入することで、酸化物半導体を用いたトランジスタの電気特性が変動しやすく、信頼性が悪くなる場合がある。また、チャネル形成領域に酸素欠損が含まれていると、トランジスタはノーマリーオン特性となりやすい。

【0200】

金属酸化物を用いたトランジスタは、金属酸化物中の不純物及び酸素欠損によって、その電気特性が変動し、ノーマリーオン特性（ゲート電極に電圧を印加しなくてもチャネルが存在し、トランジスタに電流が流れる特性）となりやすい。また、金属酸化物中に、適量値を超えた過剰な酸素を有した状態で、該トランジスタを駆動した場合、過剰な酸素原子の価数が増加し、該トランジスタの電気特性が変動することで、信頼性が悪くなる場合がある。

【0201】

したがって、トランジスタには、キャリア濃度の低い金属酸化物をチャネル形成領域に用いることが好ましい。金属酸化物のキャリア濃度を低くする場合においては、金属酸化物中の不純物濃度を低くし、欠陥準位密度を低くすればよい。本明細書等において、不純物濃度が低く、欠陥準位密度の低いことを高純度真性または実質的に高純度真性という。なお、本明細書等においては、チャネル形成領域の金属酸化物のキャリア濃度が $1 \times 10^{16} \text{ cm}^{-3}$ 以下の場合を実質的に高純度真性として定義する。

【0202】

また、チャネル形成領域の金属酸化物のキャリア濃度は、 $1 \times 10^{18} \text{ cm}^{-3}$ 以下であることが好ましく、 $1 \times 10^{17} \text{ cm}^{-3}$ 以下であることがより好ましく、 $1 \times 10^{16} \text{ cm}^{-3}$ 以下であることがさらに好ましく、 $1 \times 10^{13} \text{ cm}^{-3}$ 未満であることがさらに好ましく、 $1 \times 10^{12} \text{ cm}^{-3}$ 未満であることがさらに好ましい。なお、チャネル形成領域

10

20

30

40

50

の金属酸化物のキャリア濃度の下限値については、特に限定は無いが、例えば、 $1 \times 10^{-9} \text{ cm}^{-3}$ とすることができる。

【0203】

なお、金属酸化物中の不純物としては、例えば、水素、窒素、アルカリ金属、アルカリ土類金属、鉄、ニッケル、シリコン等がある。特に、金属酸化物に含まれる水素は、金属原子と結合する酸素と反応して水になるため、金属酸化物中に酸素欠損を形成する場合がある。金属酸化物中のチャンネル形成領域に酸素欠損が含まれていると、トランジスタはノーマリーオン特性となる場合がある。さらに、金属酸化物中の酸素欠損に水素が入った場合、酸素欠損と水素とが結合し VOH を形成する場合がある。酸素欠損に水素が入った欠陥(VOH)はドナーとして機能し、キャリアである電子が生成されることがある。また、水素の一部が金属原子と結合する酸素と結合して、キャリアである電子を生成する場合がある。従って、水素が多く含まれている金属酸化物を用いたトランジスタは、ノーマリーオン特性となりやすい。また、金属酸化物中の水素は、熱、電界などのストレスによって動きやすいため、金属酸化物に多くの水素が含まれると、トランジスタの信頼性が悪化する恐れもある。

10

【0204】

本発明の一態様においては、酸化物230中の VOH をできる限り低減し、高純度真性または実質的に高純度真性にすることが好ましい。このように、 VOH が十分低減された金属酸化物を得るには、金属酸化物中の水分、水素などの不純物を除去すること（脱水、脱水素化処理と記載する場合がある。）と、金属酸化物に酸素を供給して酸素欠損を補填すること（加酸素化処理と記載する場合がある。）が重要である。 VOH などの不純物が十分に低減された金属酸化物をトランジスタのチャンネル形成領域に用いることで、安定した電気特性を付与することができる。

20

【0205】

酸素欠損に水素が入った欠陥(VOH)は、金属酸化物のドナーとして機能しうる。しかしながら、当該欠陥を定量的に評価することは困難である。そこで、金属酸化物においては、ドナー濃度ではなく、キャリア濃度で評価される場合がある。よって、本明細書等では、金属酸化物のパラメータとして、ドナー濃度ではなく、電界が印加されない状態を想定したキャリア濃度を用いる場合がある。つまり、本明細書等に記載の「キャリア濃度」は、「ドナー濃度」と言い換えることができる場合がある。また、本明細書等に記載の「キャリア濃度」は、「キャリア密度」と言い換えることができる。

30

【0206】

よって、金属酸化物中の水素はできる限り低減されていることが好ましい。具体的には、金属酸化物において、二次イオン質量分析法($\text{SIMS: Secondary Ion Mass Spectrometry}$)により得られる水素濃度を、 $1 \times 10^{20} \text{ atoms/cm}^3$ 未満、好ましくは $1 \times 10^{19} \text{ atoms/cm}^3$ 未満、より好ましくは $5 \times 10^{18} \text{ atoms/cm}^3$ 未満、さらに好ましくは $1 \times 10^{18} \text{ atoms/cm}^3$ 未満とする。水素などの不純物が十分に低減された金属酸化物をトランジスタのチャンネル形成領域に用いることで、安定した電気特性を付与することができる。

【0207】

また、上記欠陥準位には、トラップ準位が含まれる場合がある。金属酸化物のトラップ準位に捕獲された電荷は、消失するまでに要する時間が長く、あたかも固定電荷のように振る舞うことがある。そのため、トラップ準位密度の高い金属酸化物をチャンネル形成領域に有するトランジスタは、電気特性が不安定となる場合がある。

40

【0208】

また、酸化物半導体のチャンネル形成領域に不純物が存在すると、チャンネル形成領域の結晶性が低くなる場合がある、また、チャンネル形成領域に接して設けられる酸化物の結晶性が低くなる場合がある。チャンネル形成領域の結晶性が低いと、トランジスタの安定性または信頼性が悪化する傾向がある。また、チャンネル形成領域に接して設けられる酸化物の結晶性が低いと、界面準位が形成され、トランジスタの安定性または信頼性が悪化する場合

50

がある。

【0209】

したがって、トランジスタの安定性または信頼性を向上させるには、酸化物半導体のチャネル形成領域およびその近傍の不純物濃度を低減することが有効である。不純物としては、水素、窒素、アルカリ金属、アルカリ土類金属、鉄、ニッケル、シリコン等がある。

【0210】

具体的には、当該酸化物半導体のチャネル形成領域およびその近傍において、SIMSにより得られる上記不純物の濃度を、 $1 \times 10^{18} \text{ atoms/cm}^3$ 以下、好ましくは $2 \times 10^{16} \text{ atoms/cm}^3$ 以下にする。または、当該酸化物半導体のチャネル形成領域およびその近傍において、エネルギー分散型X線分光法 (EDX: Energy Dispersive X-ray spectroscopy) を用いた元素分析により得られる上記不純物の濃度を、 $1.0 \text{ atomic\%}$ 以下にする。なお、当該酸化物半導体として元素Mを含む酸化物を用いる場合、当該酸化物半導体のチャネル形成領域およびその近傍において、元素Mに対する上記不純物の濃度比を、 0.10 未満、好ましくは 0.05 未満にする。ここで、上記濃度比を算出する際に用いる元素Mの濃度は、上記不純物の濃度を算出した領域と同じ領域の濃度でもよいし、当該酸化物半導体中の濃度でもよい。

【0211】

また、不純物濃度を低減した金属酸化物は、欠陥準位密度が低いため、トラップ準位密度も低くなる場合がある。

【0212】

<半導体装置の作製方法>

次に、図2A乃至図2Dに示す、本発明の一態様である半導体装置の作製方法を、図5A乃至図15Dを用いて説明する。

【0213】

図5A、図6A、図7A、図8A、図9A、図10A、図11A、図12A、図13A、図14A、および図15Aは上面図を示す。また、図5B、図6B、図7B、図8B、図9B、図10B、図11B、図12B、図13B、図14B、および図15Bはそれぞれ、図5A、図6A、図7A、図8A、図9A、図10A、図11A、図12A、図13A、図14A、および図15AにA1-A2の一点鎖線で示す部位に対応する断面図であり、トランジスタ200のチャネル長方向の断面図でもある。また、図5C、図6C、図7C、図8C、図9C、図10C、図11C、図12C、図13C、図14C、および図15Cはそれぞれ、図5A、図6A、図7A、図8A、図9A、図10A、図11A、図12A、図13A、図14A、および図15AにA3-A4の一点鎖線で示す部位に対応する断面図であり、トランジスタ200のチャネル幅方向の断面図でもある。また、図5D、図6D、図7D、図8D、図9D、図10D、図11D、図12D、図13D、図14D、および図15Dはそれぞれ、図5A、図6A、図7A、図8A、図9A、図10A、図11A、図12A、図13A、図14A、および図15AにA5-A6の一点鎖線で示す部位の断面図である。なお、図5A、図6A、図7A、図8A、図9A、図10A、図11A、図12A、図13A、図14A、および図15Aの上面図では、図の明瞭化のために一部の要素を省いている。

【0214】

まず、基板（図示しない。）を準備し、当該基板上に絶縁体214を成膜する。絶縁体214の成膜は、スパッタリング法、CVD法、分子線エピタキシー (MBE: Molecular Beam Epitaxy) 法、パルスレーザ堆積 (PLD: Pulsed Laser Deposition) 法、ALD法などを用いて行うことができる。

【0215】

なお、CVD法は、プラズマを利用するプラズマCVD (PECVD: Plasma Enhanced CVD) 法、熱を利用する熱CVD (TCVD: Thermal CVD) 法、光を利用する光CVD (Photo CVD) 法などに分類できる。さらに用いる原料ガスによって金属CVD (MCVD: Metal CVD) 法、有機金属CVD (

MOCVD: Metal Organic CVD) 法に分けることができる。

【0216】

プラズマCVD法は、比較的低温で高品質の膜が得られる。また、熱CVD法は、プラズマを用いないため、被処理物へのプラズマダメージが生じない成膜方法である。例えば、半導体装置に含まれる配線、電極、素子（トランジスタ、容量素子など）などは、プラズマから電荷を受け取ることでチャージアップする場合がある。このとき、蓄積した電荷によって、半導体装置に含まれる配線、電極、素子などが破壊される場合がある。一方、プラズマを用いない熱CVD法の場合、こういったプラズマダメージが生じないため、半導体装置の歩留まりを高くすることができる。また、熱CVD法では、成膜中のプラズマダメージが生じないため、欠陥の少ない膜が得られる。

10

【0217】

また、ALD法は、原子の性質である自己制御性を利用し、一層ずつ原子を堆積することができるので、極薄の成膜が可能、アスペクト比の高い構造への成膜が可能、ピンホールなどの欠陥の少ない成膜が可能、被覆性に優れた成膜が可能、低温での成膜が可能、などの効果がある。また、ALD法には、プラズマを利用するPEALD (Plasma Enhanced ALD) 法も含まれる。プラズマを利用することで、より低温での成膜が可能となり好ましい場合がある。なお、ALD法で用いるプリカーサには炭素などの不純物を含むものがある。このため、ALD法により設けられた膜は、他の成膜法により設けられた膜と比較して、炭素などの不純物を多く含む場合がある。なお、不純物の定量は、X線光電子分光法 (XPS: X-ray Photoelectron Spectroscopy) を用いて行うことができる。

20

【0218】

CVD法およびALD法は、ターゲットなどから放出される粒子が堆積する成膜方法とは異なり、被処理物の表面における反応により膜が形成される成膜方法である。したがって、被処理物の形状の影響を受けにくく、良好な段差被覆性を有する成膜方法である。特に、ALD法は、優れた段差被覆性と、優れた厚さの均一性を有するため、アスペクト比の高い開口部の表面を被覆する場合などに好適である。ただし、ALD法は、比較的成膜速度が遅いため、成膜速度の速いCVD法などの他の成膜方法と組み合わせて用いることが好ましい場合もある。

【0219】

CVD法およびALD法は、原料ガスの流量比によって、得られる膜の組成を制御することができる。例えば、CVD法およびALD法では、原料ガスの流量比によって、任意の組成の膜を成膜することができる。また、例えば、CVD法およびALD法では、成膜しながら原料ガスの流量比を変化させることによって、組成が連続的に変化した膜を成膜することができる。原料ガスの流量比を変化させながら成膜する場合、複数の成膜室を用いて成膜する場合と比べて、搬送や圧力調整に掛かる時間を要さない分、成膜に掛かる時間を短くすることができる。したがって、半導体装置の生産性を高めることができる場合がある。

30

【0220】

本実施の形態では、絶縁体214として、スパッタリング法によって、窒化シリコンと、その上に酸化アルミニウムを積層した膜を成膜する。また、絶縁体214は、単層構造としてもよい。

40

【0221】

次に、絶縁体214上に絶縁体216を成膜する。絶縁体216の成膜は、スパッタリング法、CVD法、MBE法、PLD法、ALD法などを用いて行うことができる。本実施の形態では、絶縁体216として、CVD法によって酸化窒化シリコンを成膜する。

【0222】

次に、絶縁体216に絶縁体214に達する開口を形成する。開口とは、例えば、溝やスリットなども含まれる。また、開口が形成された領域を指して開口部とする場合がある。開口の形成はウェットエッチングを用いてもよいが、ドライエッチングを用いるほうが

50

微細加工には好ましい。また、絶縁体 214 は、絶縁体 216 をエッチングして溝を形成する際のエッチングストップ膜として機能する絶縁体を選択することが好ましい。例えば、溝を形成する絶縁体 216 に酸化窒化シリコンを用いた場合は、絶縁体 214 は窒化シリコン、酸化アルミニウム、酸化ハフニウムを用いるとよい。

【0223】

ドライエッチング装置としては、平行平板型電極を有する容量結合型プラズマ（CCP：Capacitively Coupled Plasma）エッチング装置を用いることができる。平行平板型電極を有する容量結合型プラズマエッチング装置は、平行平板型電極の一方の電極に高周波電圧を印加する構成でもよい。または平行平板型電極の一方の電極に複数の異なった高周波電圧を印加する構成でもよい。または平行平板型電極それぞれに同じ周波数の高周波電圧を印加する構成でもよい。または平行平板型電極それぞれに周波数の異なる高周波電圧を印加する構成でもよい。または高密度プラズマ源を有するドライエッチング装置を用いることができる。高密度プラズマ源を有するドライエッチング装置は、例えば、誘導結合型プラズマ（ICP：Inductively Coupled Plasma）エッチング装置などを用いることができる。

【0224】

開口の形成後に、導電体 205 の第 1 の導電体となる導電膜を成膜する。該導電膜は、酸素の透過を抑制する機能を有する導電体を含むことが望ましい。たとえば、窒化タンタル、窒化タングステン、窒化チタンなどを用いることができる。または、酸素の透過を抑制する機能を有する導電体と、タンタル、タングステン、チタン、モリブデン、アルミニウム、銅、モリブデントングステン合金との積層膜とすることができる。該導電膜の成膜は、スパッタリング法、CVD 法、MBE 法、PLD 法、ALD 法などを用いて行うことができる。

【0225】

本実施の形態では、導電体 205 の第 1 の導電体となる導電膜として、スパッタリング法によって窒化タンタル膜、または、窒化タンタルの上に窒化チタンを積層した膜を成膜する。このような金属窒化物を導電体 205 の第 1 の導電体に用いることにより、後述する導電体 205 の第 2 の導電体として銅などの拡散しやすい金属を用いても、当該金属が導電体 205 の第 1 の導電体から外に拡散するのを防ぐことができる。

【0226】

次に、導電体 205 の第 1 の導電体となる導電膜上に、導電体 205 の第 2 の導電体となる導電膜を成膜する。該導電膜の成膜は、メッキ法、スパッタリング法、CVD 法、MBE 法、PLD 法、ALD 法などを用いて行うことができる。本実施の形態では、該導電膜として、タングステン膜を成膜する。

【0227】

次に、CMP（Chemical Mechanical Polishing）処理を行うことで、導電体 205 の第 1 の導電体となる導電膜、および導電体 205 の第 2 の導電体となる導電膜の一部を除去し、絶縁体 216 を露出する。その結果、開口部のみに、導電体 205 の第 1 の導電体となる導電膜、および導電体 205 の第 2 の導電体となる導電膜が残存する。これにより、上面が平坦な、導電体 205 の第 1 の導電体および導電体 205 の第 2 の導電体を含む導電体 205 を形成することができる（図 5 B 乃至図 5 D 参照。）。

【0228】

なお、導電体 205 を形成した後に、導電体 205 の第 2 の導電体の一部を除去して、導電体 205 の第 2 の導電体に溝を形成し、当該溝を埋め込むように導電体 205 および絶縁体 216 上に導電膜を成膜し、CMP 処理を行う工程を行ってもよい。当該 CMP 処理により、当該導電膜の一部を除去し、絶縁体 216 を露出する。なお、導電体 205 の第 2 の導電体の一部は、ドライエッチング法などを用いて除去するとよい。

【0229】

上記工程により、上面が平坦な、上記導電膜を含む導電体 205 を形成することができ

る。絶縁体 216 と導電体 205 の上面の平坦性を向上させることにより、酸化物 230 a、および酸化物 230 b の結晶性の向上を図ることができる。なお、上記導電膜には、導電体 205 の第 1 の導電体または導電体 205 の第 2 の導電体と同様の材料を用いるとよい。

【0230】

ここからは、上記と異なる導電体 205 の形成方法について以下に説明する。

【0231】

絶縁体 214 上に、導電体 205 となる導電膜を成膜する。該導電膜の成膜は、スパッタリング法、CVD 法、MBE 法、PLD 法、ALD 法などを用いて行うことができる。また、該導電膜は、多層膜とすることができる。例えば、該導電膜としてタングステン膜を成膜する。

10

【0232】

次に、リソグラフィー法を用いて、導電体 205 となる導電膜を加工し、導電体 205 を形成する。

【0233】

なお、リソグラフィー法では、まず、マスクを介してレジストを露光する。次に、露光された領域を、現像液を用いて除去または残存させてレジストマスクを形成する。次に、当該レジストマスクを介してエッチング処理することで導電体、半導体、絶縁体などを所望の形状に加工することができる。例えば、KrF エキシマレーザ光、ArF エキシマレーザ光、EUV (Extreme Ultraviolet) 光などを用いて、レジストを露光することでレジストマスクを形成すればよい。また、基板と投影レンズとの間に液体（例えば水）を満たして露光する、液浸技術を用いてもよい。また、前述した光に代えて、電子ビームやイオンビームを用いてもよい。なお、電子ビームやイオンビームを用いる場合には、マスクは不要となる。なお、レジストマスクは、アッシングなどのドライエッチング処理を行う、ウェットエッチング処理を行う、ドライエッチング処理後にウェットエッチング処理を行う、またはウェットエッチング処理後にドライエッチング処理を行うことで、除去することができる。

20

【0234】

また、レジストマスクの代わりに絶縁体や導電体からなるハードマスクを用いてもよい。ハードマスクを用いる場合、導電体 205 となる導電膜上にハードマスク材料となる絶縁膜や導電膜を形成し、その上にレジストマスクを形成し、ハードマスク材料をエッチングすることで所望の形状のハードマスクを形成することができる。導電体 205 となる導電膜のエッチングは、レジストマスクを除去してから行っても良いし、レジストマスクを残したまま行っても良い。後者の場合、エッチング中にレジストマスクが消失することがある。導電体 205 となる導電膜のエッチング後にハードマスクをエッチングにより除去しても良い。一方、ハードマスクの材料が後工程に影響が無い、あるいは後工程で利用できる場合、必ずしもハードマスクを除去する必要は無い。

30

【0235】

次に、絶縁体 214、および導電体 205 上に絶縁体 216 となる絶縁膜を成膜する。当該絶縁膜は、導電体 205 の上面、および側面と接するように形成する。当該絶縁膜の成膜は、スパッタリング法、CVD 法、MBE 法、PLD 法、ALD 法などを用いて行うことができる。

40

【0236】

ここで、絶縁体 216 となる絶縁膜の膜厚は、導電体 205 の膜厚以上とすることが好ましい。例えば、導電体 205 の膜厚を 1 とすると、当該絶縁膜の膜厚は、1 以上 3 以下とする。

【0237】

次に、絶縁体 216 となる絶縁膜に CMP 処理を行うことで、当該絶縁膜の一部を除去し、導電体 205 の表面を露出させる。これにより、上面が平坦な、導電体 205 と、絶縁体 216 とを形成することができる。以上が、導電体 205 の異なる形成方法である。

50

【0238】

次に、絶縁体216、および導電体205上に絶縁体222を成膜する。絶縁体222の成膜は、スパッタリング法、CVD法、MBE法、PLD法、ALD法などを用いて行うことができる。本実施の形態では、絶縁体222として、ALD法によって、酸化ハフニウムまたは酸化アルミニウムを成膜する。

【0239】

続いて、加熱処理を行うと好ましい。加熱処理は、250℃以上650℃以下、好ましくは300℃以上500℃以下、さらに好ましくは320℃以上450℃以下で行えばよい。なお、加熱処理は、窒素ガスもしくは不活性ガスの雰囲気、または酸化性ガスを10ppm以上、1%以上、もしくは10%以上含む雰囲気で行う。また、加熱処理は減圧状態で行ってもよい。または、加熱処理は、窒素ガスもしくは不活性ガスの雰囲気加熱処理した後に、脱離した酸素を補うために酸化性ガスを10ppm以上、1%以上、または10%以上含む雰囲気加熱処理を行ってもよい。

10

【0240】

本実施の形態では、加熱処理として、絶縁体222の成膜後に窒素雰囲気にて400℃の温度で1時間の処理を行った後に、連続して酸素雰囲気にて400℃の温度で1時間の処理を行う。当該加熱処理によって、絶縁体222に含まれる水、水素などの不純物を除去することなどができる。また、加熱処理は、絶縁体224の成膜後などのタイミングで行うこともできる。

【0241】

20

次に、絶縁体222上に絶縁体224を成膜する。絶縁体224の成膜は、スパッタリング法、CVD法、MBE法、PLD法、ALD法などを用いて行うことができる。本実施の形態では、絶縁体224として、CVD法によって酸化窒化シリコンを成膜する。

【0242】

ここで、絶縁体224に過剰酸素領域を形成するために、減圧状態で酸素を含むプラズマ処理を行ってもよい。酸素を含むプラズマ処理は、例えばマイクロ波を用いた高密度プラズマを発生させる電源を有する装置を用いることが好ましい。または、基板側にRF(Radio Frequency)を印加する電源を有してもよい。高密度プラズマを用いることより、高密度の酸素ラジカルを生成することができ、基板側にRFを印加することで、高密度プラズマによって生成された酸素ラジカルを効率よく絶縁体224内に導くことができる。または、この装置を用いて不活性ガスを含むプラズマ処理を行った後に、脱離した酸素を補うために酸素を含むプラズマ処理を行ってもよい。なお、当該プラズマ処理の条件を適宜選択することにより、絶縁体224に含まれる水、水素などの不純物を除去することができる。その場合、加熱処理は行わなくてもよい。

30

【0243】

ここで、絶縁体224上に、例えば、スパッタリング法によって、酸化アルミニウムを成膜した後、絶縁体224に達するまで、CMP処理を行ってもよい。当該CMP処理を行うことで絶縁体224表面の平坦化および平滑化を行うことができる。当該酸化アルミニウムを絶縁体224上に配置してCMP処理を行うことで、CMP処理の終点検出が容易となる。また、CMP処理によって、絶縁体224の一部が研磨されて、絶縁体224の膜厚が薄くなることがあるが、絶縁体224の成膜時に膜厚を調整すればよい。絶縁体224表面の平坦化および平滑化を行うことで、後に成膜する酸化物の被覆率の悪化を防止し、半導体装置の歩留りの低下を防ぐことができる場合がある。また、絶縁体224上に、スパッタリング法によって、酸化アルミニウムを成膜することにより、絶縁体224に酸素を添加することができるので好ましい。

40

【0244】

次に、絶縁体224上に、酸化膜230A、酸化膜230Bを順に成膜する(図5B乃至図5D参照)。なお、酸化膜230Aおよび酸化膜230Bは、大気環境にさらさずに連続して成膜することが好ましい。大気開放せずに成膜することで、酸化膜230A、および酸化膜230B上に大気環境からの不純物または水分が付着することを防ぐことが

50

でき、酸化膜 230A と酸化膜 230B との界面近傍を清浄に保つことができる。

【0245】

酸化膜 230A、および酸化膜 230B の成膜はスパッタリング法、CVD 法、MBE 法、PLD 法、ALD 法などを用いて行うことができる。

【0246】

例えば、酸化膜 230A、および酸化膜 230B をスパッタリング法によって成膜する場合は、スパッタリングガスとして酸素、または、酸素と希ガスの混合ガスを用いる。スパッタリングガスに含まれる酸素の割合を高めることで、成膜される酸化膜中の過剰酸素を増やすことができる。また、上記の酸化膜をスパッタリング法によって成膜する場合は、上記の In-M-Zn 酸化物ターゲットなどを用いることができる。

10

【0247】

特に、酸化膜 230A の成膜時に、スパッタリングガスに含まれる酸素の一部が絶縁体 224 に供給される場合がある。したがって、当該スパッタリングガスに含まれる酸素の割合は 70% 以上、好ましくは 80% 以上、より好ましくは 100% とすればよい。

【0248】

また、酸化膜 230B をスパッタリング法で形成する場合、スパッタリングガスに含まれる酸素の割合を、30% を超えて 100% 以下、好ましくは 70% 以上 100% 以下として成膜すると、酸素過剰型の酸化物半導体が形成される。酸素過剰型の酸化物半導体をチャネル形成領域に用いたトランジスタは、比較的高い信頼性が得られる。ただし、本発明の一態様はこれに限定されない。酸化膜 230B をスパッタリング法で形成する場合、スパッタリングガスに含まれる酸素の割合を 1% 以上 30% 以下、好ましくは 5% 以上 20% 以下として成膜すると、酸素欠乏型の酸化物半導体が形成される。酸素欠乏型の酸化物半導体をチャネル形成領域に用いたトランジスタは、比較的高い電界効果移動度が得られる。また、基板を加熱しながら成膜を行うことによって、当該酸化膜の結晶性を向上させることができる。

20

【0249】

本実施の形態では、酸化膜 230A として、スパッタリング法によって、In:Ga:Zn=1:3:4 [原子数比] の酸化物ターゲットを用いて成膜する。また、酸化膜 230B として、スパッタリング法によって、In:Ga:Zn=4:2:4.1 [原子数比] の酸化物ターゲットを用いて成膜する。なお、各酸化膜は、成膜条件、および原子数比を適宜選択することで、酸化物 230a、および酸化物 230b に求める特性に合わせて形成するとよい。

30

【0250】

なお、絶縁体 222、絶縁体 224、酸化膜 230A、および酸化膜 230B を、大気に暴露することなく成膜することが好ましい。例えば、マルチチャンバー方式の成膜装置を用いればよい。

【0251】

次に、加熱処理を行ってもよい。当該加熱処理は、上述した加熱処理条件を用いることができる。当該加熱処理によって、酸化膜 230A、および酸化膜 230B 中の水、水素などの不純物を除去することなどができる。本実施の形態では、窒素雰囲気にて 400℃ の温度で 1 時間の処理を行った後に、連続して酸素雰囲気にて 400℃ の温度で 1 時間の処理を行う。

40

【0252】

次に、酸化膜 230B 上に酸化膜 243A を成膜する（図 5B 乃至図 5D 参照。）。酸化膜 243A の成膜はスパッタリング法、CVD 法、MBE 法、PLD 法、ALD 法などを用いて行うことができる。酸化膜 243A は、In に対する Ga の原子数比が、酸化膜 230B の In に対する Ga の原子数比より大きいことが好ましい。本実施の形態では、酸化膜 243A として、スパッタリング法によって、In:Ga:Zn=1:3:4 [原子数比] の酸化物ターゲットを用いて成膜する。

【0253】

50

次に、酸化膜 243A 上に導電膜 240A を成膜する。導電膜 240A の成膜はスパッタリング法、CVD 法、MBE 法、PLD 法、ALD 法などを用いて行うことができる（図 5B 乃至図 5D 参照。）。なお、導電膜 240A の成膜前に、加熱処理を行ってもよい。当該加熱処理は、減圧下で行い、大気に暴露することなく、連続して導電膜 240A を成膜してもよい。このような処理を行うことによって、酸化膜 243A の表面などに吸着している水分および水素を除去し、さらに酸化膜 230A、酸化膜 230B、および酸化膜 243A 中の水分濃度および水素濃度を低減させることができる。加熱処理の温度は、100℃以上400℃以下が好ましい。本実施の形態では、加熱処理の温度を200℃とする。

【0254】

次に、リソグラフィー法を用いて、酸化膜 230A、酸化膜 230B、酸化膜 243A、および導電膜 240A を島状に加工して、酸化物 230a、酸化物 230b、酸化物層 243B、および導電層 240B を形成する。また、当該加工はドライエッチング法やウェットエッチング法を用いることができる。ドライエッチング法による加工は微細加工に適している。また、酸化膜 230A、酸化膜 230B、酸化膜 243A、および導電膜 240A の加工は、それぞれ異なる条件で加工してもよい。なお、当該工程において、絶縁体 224 の酸化物 230a と重ならない領域の膜厚が薄くなることがある（図 6A 乃至図 6C 参照。）。

【0255】

ここで、酸化物 230a、酸化物 230b、酸化物層 243B、および導電層 240B は、少なくとも一部が導電体 205 と重なるように形成する。また、酸化物 230a、酸化物 230b、酸化物層 243B、および導電層 240B の側面は、絶縁体 222 の上面に対し、概略垂直であることが好ましい。酸化物 230a、酸化物 230b、酸化物層 243B、および導電層 240B の側面が、絶縁体 222 の上面に対し、概略垂直であることで、複数のトランジスタ 200 を設ける際に、小面積化、高密度化が可能となる。または、酸化物 230a、酸化物 230b、酸化物層 243B、および導電層 240B の側面と、絶縁体 222 の上面とのなす角が低い角度になる構成にしてもよい。その場合、酸化物 230a、酸化物 230b、酸化物層 243B、および導電層 240B の側面と、絶縁体 222 の上面とのなす角は60度以上70度未満が好ましい。このような形状とすることで、これより後の工程において、絶縁体 254 などの被覆性が向上し、鬆などの欠陥を低減することができる。

【0256】

また、導電層 240B の側面と導電層 240B の上面との間に、湾曲面を有する。つまり、当該側面の端部と当該上面の端部は、湾曲していることが好ましい。湾曲面は、例えば、導電層 240B の端部において、曲率半径が、3nm以上10nm以下、好ましくは、5nm以上6nm以下とする。端部に角を有さないことで、以降の成膜工程における膜の被覆性が向上する。

【0257】

次に、絶縁体 224、酸化物 230a、酸化物 230b、酸化物層 243B、および導電層 240B の上に、絶縁膜 254A を成膜する（図 7B 乃至図 7D 参照。）。

【0258】

絶縁膜 254A の成膜は、スパッタリング法、CVD 法、MBE 法、PLD 法、ALD 法などを用いて行うことができる。絶縁膜 254A は、酸素の透過を抑制する機能を有する絶縁膜を用いることが好ましい。例えば、スパッタリング法またはALD法によって、酸化アルミニウム膜、窒化シリコン膜、酸化シリコン膜、または酸化ガリウム膜を成膜する。また、スパッタリング法によって酸化アルミニウム膜を成膜し、当該酸化アルミニウム膜上に、ALD法によって酸化アルミニウム膜を成膜してもよい。

【0259】

次に、絶縁膜 254A 上に、絶縁体 280 となる絶縁膜を成膜する。当該絶縁膜の成膜は、スパッタリング法、CVD 法、MBE 法、PLD 法、ALD 法などを用いて行うこと

10

20

30

40

50

ができる。本実施の形態では、当該絶縁膜として、CVD法、またはスパッタリング法によって酸化シリコン膜を成膜する。なお、当該絶縁膜の成膜前に、加熱処理を行ってもよい。加熱処理は、減圧下で行い、大気に暴露することなく、連続して当該絶縁膜を成膜してもよい。このような処理を行うことによって、絶縁膜254Aの表面などに吸着している水分および水素を除去し、さらに酸化物230a、酸化物230b、酸化物層243B、および絶縁体224中の水分濃度および水素濃度を低減させることができる。上述した加熱処理条件を用いることができる。

【0260】

また、上記絶縁膜は、多層構造としてもよい。例えば、スパッタリング法によって酸化シリコン膜を成膜し、当該酸化シリコン膜上に、CVD法によって酸化シリコン膜を成膜する構造としてもよい。

10

【0261】

次に、上記絶縁膜にCMP処理を行い、上面が平坦な絶縁体280を形成する（図7B乃至図7D参照。）。

【0262】

ここで、マイクロ波処理を行ってもよい。マイクロ波処理は、酸素を含む雰囲気下、および減圧下にて行うことが好ましい。マイクロ波処理を行うことにより、マイクロ波による電界が絶縁体280、酸化物層243B、酸化物230b、および酸化物230aに与えられ、酸化物230b、および酸化物230a中のV_{OH}を酸素欠損（V_O）と水素（H）に分断することができる。この時分断された水素の一部は、絶縁体280が有する酸素と結合して、水分子として除去される場合がある。また、水素の一部は、絶縁膜254Aを介して、導電膜240Bにゲッタリングされる場合がある。

20

【0263】

また、マイクロ波処理後に減圧状態を保ったままで、加熱処理を行ってもよい。このような処理を行うことで、絶縁体280、酸化物層243B、酸化物230b、および酸化物230a中の水素を効率よく除去することができる。なお、加熱処理温度は、300℃以上、500℃以下とすることが好ましい。

【0264】

また、マイクロ波処理を行うことにより、絶縁体280の膜質を改質することで、水素、水、不純物などの拡散を抑制することができる。したがって、絶縁体280形成以降の後工程、または熱処理などにより、絶縁体280を介して、水素、水、不純物などが、酸化物230へ拡散することを抑制することができる。

30

【0265】

次に、絶縁体280の一部、絶縁膜254Aの一部、導電層240Bの一部、および酸化物層243Bの一部を加工して、酸化物230bに達する開口を形成する。当該開口は、導電体205と重なるように形成することが好ましい。当該開口の形成によって、酸化物243a、酸化物243b、導電体240a、導電体240b、および絶縁体254を形成する（図8A乃至図8C参照。）。このとき、酸化物230bの当該開口と重なる領域の膜厚が薄くなる場合がある。

【0266】

40

また、絶縁体280の一部、絶縁膜254Aの一部、導電層240Bの一部、および酸化物層243Bの一部の加工は、それぞれ異なる条件で加工してもよい。例えば、絶縁体280の一部をドライエッチング法で加工し、絶縁膜254Aの一部をウェットエッチング法で加工し、導電層240Bの一部および酸化物層243Bの一部をドライエッチング法で加工してもよい。

【0267】

ここで、酸化物230a、酸化物230bなどの表面に付着または内部に拡散した不純物を除去することが好ましい。当該不純物としては、絶縁体280、絶縁膜254A、および導電層240Bに含まれる成分、上記開口を形成する際に用いられる装置に使われている部材に含まれる成分、エッチングに使用するガスまたは液体に含まれる成分などに起

50

困したものが挙げられる。当該不純物としては、例えば、アルミニウム、シリコン、タンタル、フッ素、塩素などがある。

【0268】

上記の不純物などを除去するために、洗浄処理を行ってもよい。洗浄方法としては、洗浄液など用いたウェット洗浄、プラズマを用いたプラズマ処理、熱処理による洗浄などがあり、上記洗浄を適宜組み合わせを行ってもよい。

【0269】

ウェット洗浄としては、アンモニア水、シュウ酸、リン酸、フッ化水素酸などを炭酸水または純水で希釈した水溶液、純水、炭酸水などを用いて洗浄処理を行ってもよい。また、これらの水溶液、純水、または炭酸水を用いた超音波洗浄を行ってもよい。また、これらの洗浄を適宜組み合わせを行ってもよい。

10

【0270】

次に加熱処理を行ってもよい。当該加熱処理は、酸素を含む雰囲気下で行うと好適である。また、当該加熱処理は、減圧下で行い、大気に暴露することなく、連続して酸化膜230Cを成膜してもよい（図9A乃至図9D参照。）。このような処理を行うことによって、酸化物230bの表面などに吸着している水分および水素を除去し、さらに酸化物230aおよび酸化物230b中の水分濃度および水素濃度を低減させることができる。加熱処理の温度は、100℃以上400℃以下が好ましい。本実施の形態では、加熱処理の温度を200℃とする。

【0271】

酸化膜230Cの成膜はスパッタリング法、CVD法、MBE法、PLD法、ALD法などを用いて行うことができる。酸化物230cに求める特性に合わせて、酸化膜230A、または酸化膜230Bと同様の成膜方法を用いて、酸化膜230Cを成膜すればよい。本実施の形態では、酸化膜230Cとして、スパッタリング法によって、In:Ga:Zn=4:2:4.1〔原子数比〕の酸化物ターゲットを用いて成膜する。

20

【0272】

特に、酸化膜230Cの成膜時に、スパッタリングガスに含まれる酸素の一部が酸化物230aおよび酸化物230bに供給される場合がある。したがって、酸化膜230Cのスパッタリングガスに含まれる酸素の割合は70%以上、好ましくは80%以上、より好ましくは100%とすればよい。

30

【0273】

次に、酸化膜230C上に、リソグラフィ法により、マスク293を形成する（図9A乃至図9D参照。）。なお、マスク293として、ハードマスクを用いてもよいし、レジストマスクを用いてもよい。

【0274】

次に、マスク293を用いて、酸化膜230Cの一部を選択的に除去する（図10A乃至図10D参照。）。なお、酸化膜230Cの一部は、ウェットエッチング法などを用いて除去するとよい。本工程により、チャネル幅方向に隣接するトランジスタ200の間に位置する酸化膜230Cの一部を除去することができる。このとき、酸化膜230Cの一部が除去された領域では、絶縁体224の表面が露出する。なお、絶縁体224の当該領域の膜厚が薄くなる場合がある。また、当該領域の絶縁体224が除去され、絶縁体222の表面が露出する場合がある。

40

【0275】

酸化膜230Cの一部の除去には、ウェットエッチング法を用いることが好ましいが、本発明の一態様はこれに限られない。酸化膜230Cの一部の除去には、例えば、ドライエッチング法を用いてもよいし、ドライエッチング法とウェットエッチング法とを組み合わせ用いてもよい。

【0276】

マスク293を形成する工程は、酸化膜230Cの一部を除去する工程を兼ねていてもよい。

50

【0277】

次に、マスク293を除去する（図11A乃至図11D参照。）。なお、マスク293は、エッチング法などを用いて除去するとよい。

【0278】

次に加熱処理を行ってもよい。当該加熱処理は、酸素を含む雰囲気下で行うと好適である。また、当該加熱処理は、減圧下で行い、大気に暴露することなく、連続して酸化膜230Dを成膜してもよい（図12A乃至図12D参照。）。このような処理を行うことによって、酸化膜230Cの表面などに吸着している水分および水素を除去し、さらに酸化物230a、酸化物230b、および酸化膜230C中の水分濃度および水素濃度を低減させることができる。加熱処理の温度は、100℃以上400℃以下が好ましい。本実施の形態では、加熱処理の温度を200℃とする。

10

【0279】

酸化膜230Dの成膜はスパッタリング法、CVD法、MBE法、PLD法、ALD法などを用いて行うことができる。酸化物230dに求める特性に合わせて、酸化膜230A、または酸化膜230Bと同様の成膜方法を用いて、酸化膜230Dを成膜すればよい。本実施の形態では、酸化膜230Dとして、スパッタリング法によって、In:Ga:Zn=1:3:4〔原子数比〕の酸化物ターゲットを用いて成膜する。

【0280】

特に、酸化膜230Dの成膜時に、スパッタリングガスに含まれる酸素の一部が酸化物230a、酸化物230b、および酸化膜230Cに供給される場合がある。したがって、酸化膜230Dのスパッタリングガスに含まれる酸素の割合は70%以上、好ましくは80%以上、より好ましくは100%とすればよい。

20

【0281】

次に加熱処理を行ってもよい。加熱処理は、減圧下で行い、大気に暴露することなく、連続して絶縁膜250Aを成膜してもよい。このような処理を行うことによって、酸化膜230Dの表面などに吸着している水分および水素を除去し、さらに酸化物230a、酸化物230b、酸化膜230C、および酸化膜230D中の水分濃度および水素濃度を低減させることができる。加熱処理の温度は、100℃以上400℃以下が好ましい。

【0282】

絶縁膜250Aは、スパッタリング法、CVD法、MBE法、PLD法、ALD法などを用いて成膜することができる（図12A乃至図12D参照。）。本実施の形態では、絶縁膜250Aとして、CVD法により、酸化窒化シリコン膜を成膜する。なお、絶縁膜250Aを成膜する際の成膜温度は、350℃以上450℃未満、特に400℃前後とすることが好ましい。絶縁膜250Aを、400℃で成膜することで、不純物が少ない絶縁膜を成膜することができる。

30

【0283】

ここで、絶縁膜250Aを成膜後に、酸素を含む雰囲気下、および減圧下にて、マイクロ波処理を行ってもよい（図13B乃至図13D参照。）。マイクロ波処理を行うことにより、マイクロ波291による電界が絶縁膜250A、酸化膜230D、酸化膜230C、酸化物230b、および酸化物230aに与えられ、酸化膜230D中、酸化膜230C中、酸化物230b中、および酸化物230a中のV_{OH}をV_Oと水素とに分断することができる。この時分断された水素の一部は、酸素と結合してH₂Oとして、絶縁膜250A、酸化膜230D、酸化膜230C、酸化物230b、および酸化物230aから除去される場合がある。また、水素の一部は、導電体240a、および導電体240bにゲッタリングされる場合がある。このように、マイクロ波処理を行うことで、絶縁膜250A中、酸化膜230D中、酸化膜230C中、酸化物230b中、および酸化物230a中の水素濃度を低減することができる。また、酸化物230a中、酸化物230b中、酸化膜230C中、および酸化膜230D中のV_{OH}をV_Oと水素とに分断した後に存在するV_Oに酸素が供給されることでV_Oを修復または補填することができる。

40

【0284】

50

また、マイクロ波処理後に減圧状態を保ったままで、加熱処理を行ってもよい。このような処理を行うことで、絶縁膜 250A 中、酸化膜 230D 中、酸化膜 230C 中、酸化物 230b 中、および酸化物 230a 中の水素を効率よく除去することができる。また、水素の一部は、導電体 240a、および導電体 240b にゲッタリングされる場合がある。または、マイクロ波処理後に減圧状態を保ったままで、加熱処理を行うステップを複数回繰り返して行ってもよい。加熱処理を繰り返し行うことで、絶縁膜 250A 中、酸化膜 230D 中、酸化膜 230C 中、酸化物 230b 中、および酸化物 230a 中の水素をさらに効率よく除去することができる。なお、加熱処理温度は、300℃以上500℃以下とすることが好ましい。

【0285】

また、マイクロ波処理を行うことにより、絶縁膜 250A の膜質を改質することで、水素、水、不純物等の拡散を抑制することができる。従って、導電体 260 となる導電膜の成膜などの後工程、または熱処理などの後処理により、絶縁体 250 を介して、水素、水、不純物等が、酸化物 230b、酸化物 230a などへ拡散することを抑制することができる。

【0286】

次に、導電膜 260A、導電膜 260B を順に成膜する。導電膜 260A および導電膜 260B の成膜は、スパッタリング法、CVD 法、MBE 法、PLD 法、ALD 法などを用いて行うことができる。本実施の形態では、ALD 法を用いて、導電膜 260A を成膜し、CVD 法を用いて導電膜 260B を成膜する（図 14A 乃至図 14D 参照。）。

【0287】

次に、CMP 処理によって、酸化膜 230C、酸化膜 230D、絶縁膜 250A、導電膜 260A、および導電膜 260B を絶縁体 280 が露出するまで研磨することによって、酸化物 230c、酸化物 230d、絶縁体 250、および導電体 260（導電体 260a、および導電体 260b）を形成する（図 15A 乃至図 15D 参照。）。これにより、酸化物 230c は、酸化物 230b に達する開口の内壁（側壁、および底面）の一部を覆うように配置される。また、酸化物 230d は、酸化物 230c を介して、上記開口の内壁を覆うように配置される。また、絶縁体 250 は、酸化物 230c および酸化物 230d を介して、上記開口の内壁を覆うように配置される。また、導電体 260 は、酸化物 230c、酸化物 230d、および絶縁体 250 を介して、上記開口を埋め込むように配置される。

【0288】

以上により、チャネル長方向およびチャネル幅方向の双方において、隣接するトランジスタ 200 間で、酸化物 230c が共有されない構成となる。よって、隣接するトランジスタ 200 間で、酸化物 230c を分離することができる。

【0289】

次に、加熱処理を行ってもよい。本実施の形態では、窒素雰囲気にて 400℃の温度で 1 時間の処理を行う。該加熱処理によって、絶縁体 250 および絶縁体 280 中の水分濃度および水素濃度を低減させることができる。

【0290】

次に、酸化物 230c、酸化物 230d、絶縁体 250、導電体 260、および絶縁体 280 上に、絶縁体 282 を成膜する。絶縁体 282 の成膜は、スパッタリング法、CVD 法、MBE 法、PLD 法、ALD 法などを用いて行うことができる。絶縁体 282 としては、例えば、スパッタリング法によって、酸化アルミニウム、または窒化シリコンを成膜することが好ましい。スパッタリング法によって、酸化アルミニウム、または窒化シリコンを成膜することによって、絶縁体 284 が有する水素を酸化物 230b、酸化物 230a などへ拡散することを抑制することができる。また、導電体 260 と接するように絶縁体 282 を形成することで、導電体 260 の酸化を抑制することができ、好ましい。

【0291】

また、絶縁体 282 として、スパッタリング法によって、酸化アルミニウムを形成する

10

20

30

40

50

ことで、絶縁体 280 に酸素を供給することができる。絶縁体 280 に供給された酸素は、酸化物 230c を介して、酸化物 230b が有するチャネル形成領域に供給される場合がある。また、絶縁体 280 に酸素が供給されることで、絶縁体 282 形成前に絶縁体 280 に含まれていた酸素が、酸化物 230c を介して、酸化物 230b が有するチャネル形成領域に供給される場合がある。

【0292】

また、絶縁体 282 は、多層構造としてもよい。例えば、スパッタリング法によって酸化アルミニウムを成膜し、当該酸化アルミニウム上に、スパッタリング法によって窒化シリコンを成膜する構造としてもよい。

【0293】

次に、加熱処理を行ってもよい。加熱処理は、前述の加熱処理条件を用いることができる。当該加熱処理によって、絶縁体 280 の水分濃度および水素濃度を低減させることができる。また、絶縁体 282 が有する酸素を絶縁体 280 に注入することができる。

【0294】

なお、絶縁体 282 を成膜する前に、はじめに、絶縁体 280 などの上に、スパッタリング法によって酸化アルミニウム膜を成膜し、次に、上述した加熱処理条件を用いて加熱処理を行い、次に、CMP 処理によって、当該酸化アルミニウム膜を除去する工程を行ってもよい。当該工程により、絶縁体 280 に過剰酸素領域をより多く形成することができる。なお、当該工程において、絶縁体 280 の一部、導電体 260 の一部、絶縁体 250 の一部、酸化物 230d の一部、および酸化物 230c の一部が除去される場合がある。

【0295】

また、絶縁体 280 と絶縁体 282 との間に、絶縁体を設けてもよい。当該絶縁体として、例えば、スパッタリング法を用いて成膜した酸化シリコンを用いればよい。当該絶縁体を設けることで、絶縁体 280 に過剰酸素領域を形成することができる。

【0296】

次に絶縁体 282 上に、絶縁体 284 を成膜してもよい。絶縁体 284 の成膜は、スパッタリング法、CVD 法、MBE 法、PLD 法、ALD 法などを用いて行うことができる（図 2B 乃至図 2D 参照。）。

【0297】

以上により、図 2A 乃至図 2D に示すトランジスタ 200 を有する半導体装置を作製することができる。

【0298】

また、トランジスタ 200 の形成後、トランジスタ 200 を囲むように開口を形成し、当該開口を覆うように、水素、または水に対するバリア性が高い絶縁体を形成してもよい。上述のバリア性の高い絶縁体でトランジスタ 200 を包み込むことで、外部から水分、および水素が侵入するのを防止することができる。または、複数のトランジスタ 200 をまとめて、水素、または水に対するバリア性が高い絶縁体で包み込んでもよい。なお、トランジスタ 200 を囲むように開口を形成する場合、例えば、絶縁体 214 または絶縁体 222 に達する開口を形成し、絶縁体 214 または絶縁体 222 に接するように上述のバリア性の高い絶縁体を形成すると、トランジスタ 200 の作製工程の一部を兼ねられるため、好適である。なお、水素、または水に対するバリア性が高い絶縁体としては、例えば、絶縁体 222 と同様の材料を用いればよい。

【0299】

本発明の一態様により、オン電流の大きい半導体装置を提供することができる。また、本発明の一態様により、良好な電気特性を有する半導体装置を提供することができる。また、本発明の一態様により、微細化または高集積化が可能な半導体装置を提供することができる。また、本発明の一態様により、信頼性が良好な半導体装置を提供することができる。また、本発明の一態様により、低消費電力の半導体装置を提供することができる。

【0300】

以上、本実施の形態に示す構成、方法などは、他の実施の形態に示す構成、方法などと

10

20

30

40

50

適宜組み合わせて用いることができる。

【0301】

(実施の形態2)

本実施の形態では、半導体装置（記憶装置）の一形態を、図16乃至図18を用いて説明する。

【0302】

〔記憶装置1〕

本発明の一態様である半導体装置を使用した、半導体装置（記憶装置）の一例を図16に示す。本発明の一態様の半導体装置は、トランジスタ200はトランジスタ300の上方に設けられ、容量素子100はトランジスタ200の上方に設けられている。容量素子100、またはトランジスタ300は、少なくとも一部がトランジスタ200と重畳することが好ましい。これにより、容量素子100、トランジスタ200、およびトランジスタ300の上面視における占有面積を低減することができるので、本実施の形態に係る記憶装置を微細化または高集積化させることができる。なお、本実施の形態に係る記憶装置は、例えば、CPU（Central Processing Unit）またはGPU（Graphics Processing Unit）に代表されるロジック回路、あるいはDRAM（Dynamic Random Access Memory）またはNVM（Non-Volatile Memory）に代表されるメモリ回路に適用することができる。

【0303】

なお、トランジスタ200として、先の実施の形態で説明したトランジスタ200を用いることができる。よって、トランジスタ200、およびトランジスタ200を含む層については、先の実施の形態の記載を参酌することができる。

【0304】

トランジスタ200は、酸化物半導体を有する半導体層にチャネルが形成されるトランジスタである。トランジスタ200は、オフ電流が小さいため、これを記憶装置に用いることにより長期にわたり記憶内容を保持することが可能である。つまり、リフレッシュ動作を必要としない、あるいは、リフレッシュ動作の頻度が極めて少ないため、記憶装置の消費電力を十分に低減することができる。また、半導体層にシリコンを用いるトランジスタと比較して、トランジスタ200は、高温における電気特性が良好である。例えば、トランジスタ200は、125℃乃至150℃の温度範囲においても良好な電気特性を示す。また、125℃乃至150℃の温度範囲において、トランジスタ200は、トランジスタのオン／オフ比が10桁以上を有する。別言すると、半導体層にシリコンを用いるトランジスタと比較して、トランジスタ200は、トランジスタ特性の一例であるオン電流、周波数特性などが高温になるほど優れた特性を有する。

【0305】

図16に示す半導体装置において、配線1001はトランジスタ300のソースと電氣的に接続され、配線1002はトランジスタ300のドレインと電氣的に接続され、配線1007はトランジスタ300のゲートと電氣的に接続されている。また、配線1003はトランジスタ200のソースおよびドレインの一方と電氣的に接続され、配線1004はトランジスタ200の第1のゲートと電氣的に接続され、配線1006はトランジスタ200の第2のゲートと電氣的に接続されている。そして、トランジスタ200のソースおよびドレインの他方は、容量素子100の電極の一方と電氣的に接続され、配線1005は容量素子100の電極の他方と電氣的に接続されている。

【0306】

図16に示す半導体装置は、トランジスタ200のスイッチングによって、容量素子100の電極の一方に充電された電荷が保持可能という特性を有することで、情報の書き込み、保持、読み出しが可能である。また、トランジスタ200は、ソース、ゲート（トップゲート）、ドレインに加え、バックゲートが設けられた素子である。すなわち、4端子素子であるため、MTJ（Magnetic Tunnel Junction）特性を利

用したMRAM (Magnetoresistive Random Access Memory)、ReRAM (Resistive Random Access Memory)、相変化メモリ (Phase-change memory) などに代表される2端子素子と比較して、入出力の独立制御が簡便に行うことができるといった特徴を有する。また、MRAM、ReRAM、相変化メモリは、情報の書き換えの際に、原子レベルで構造変化が生じる場合がある。一方で図16に示す半導体装置は、情報の書き換えの際にトランジスタ及び容量素子を利用した電子のチャージ、またはディスチャージにより動作するため、繰り返し書き換え耐性に優れ、構造変化も少ないといった特徴を有する。

【0307】

また、図16に示す半導体装置は、マトリクス状に配置することで、メモリセルアレイを構成することができる。この場合、トランジスタ300は、当該メモリセルアレイに接続される読み出し回路、または駆動回路などとして用いることができる。また、図16に示す半導体装置は、上述のようにメモリセルアレイを構成している。図16に示す半導体装置をメモリ素子として用いた場合、例えば、駆動電圧が2.5V、評価環境温度が-40℃乃至85℃の範囲において、200MHz以上の動作周波数を実現することができる。

【0308】

<トランジスタ300>

トランジスタ300は、基板311上に設けられ、ゲート電極として機能する導電体316、ゲート絶縁体として機能する絶縁体315、基板311の一部からなる半導体領域313、ならびにソース領域またはドレイン領域として機能する低抵抗領域314a、および低抵抗領域314bを有する。

【0309】

ここで、半導体領域313の上に絶縁体315が配置され、絶縁体315の上に導電体316が配置される。また、同じ層に形成されるトランジスタ300は、素子分離絶縁層として機能する絶縁体312によって、電気的に分離されている。絶縁体312は、後述する絶縁体326などと同様の絶縁体を用いることができる。トランジスタ300は、pチャネル型、あるいはnチャネル型のいずれでもよい。

【0310】

基板311は、半導体領域313のチャネルが形成される領域、その近傍の領域、ソース領域、またはドレイン領域となる低抵抗領域314a、および低抵抗領域314bなどにおいて、シリコン系半導体などの半導体を含むことが好ましく、単結晶シリコンを含むことが好ましい。または、Ge (ゲルマニウム)、SiGe (シリコンゲルマニウム)、GaAs (ガリウムヒ素)、GaAlAs (ガリウムアルミニウムヒ素) などを有する材料で形成してもよい。結晶格子に応力を与え、格子間隔を変化させることで有効質量を制御したシリコンを用いた構成としてもよい。またはGaAsとGaAlAs等を用いることで、トランジスタ300をHEMT (High Electron Mobility Transistor) としてもよい。

【0311】

低抵抗領域314a、および低抵抗領域314bは、半導体領域313に適用される半導体材料に加え、ヒ素、リンなどのn型の導電性を付与する元素、またはホウ素などのp型の導電性を付与する元素を含む。

【0312】

ゲート電極として機能する導電体316は、ヒ素、リンなどのn型の導電性を付与する元素、もしくはホウ素などのp型の導電性を付与する元素を含むシリコンなどの半導体材料、金属材料、合金材料、または金属酸化物材料などの導電性材料を用いることができる。

【0313】

なお、導電体の材料により、仕事関数が定まるため、導電体の材料を変更することで、しきい値電圧を調整することができる。具体的には、導電体に窒化チタンや窒化タンタルなどの材料を用いることが好ましい。さらに導電性と埋め込み性を両立するために導電体にタングステンやアルミニウムなどの金属材料を積層として用いることが好ましく、特に

10

20

30

40

50

タングステンをを用いることが耐熱性の点で好ましい。

【0314】

ここで、図16に示すトランジスタ300はチャネルが形成される半導体領域313（基板311の一部）が凸形状を有する。また、半導体領域313の側面および上面を、絶縁体315を介して、導電体316が覆うように設けられている。このようなトランジスタ300は半導体基板の凸部を利用していることからF I N型トランジスタとも呼ばれる。なお、凸部の上部に接して、凸部を形成するためのマスクとして機能する絶縁体を有していてもよい。また、ここでは半導体基板の一部を加工して凸部を形成する場合を示したが、S O I基板を加工して凸形状を有する半導体膜を形成してもよい。

【0315】

なお、図16に示すトランジスタ300は一例であり、その構造に限定されず、回路構成や駆動方法に応じて適切なトランジスタを用いればよい。

【0316】

また、図16に示すように半導体装置は、トランジスタ300と、トランジスタ200とを、積層して設けている。例えば、トランジスタ300をシリコン系半導体材料で形成し、トランジスタ200を酸化物半導体で形成することができる。このように、図16に示す半導体装置は、シリコン系半導体材料と、酸化物半導体とを、異なるレイヤーに混載して形成することが可能である。また、図16に示す半導体装置は、シリコン系半導体材料で用いる製造装置と同様のプロセスで作製することが可能であり、高集積化することも可能である。

【0317】

<容量素子>

容量素子100は、絶縁体160上の絶縁体114と、絶縁体114上の絶縁体140と、絶縁体114および絶縁体140に形成された開口の中に配置された導電体110と、導電体110および絶縁体140上の絶縁体130と、絶縁体130上の導電体120と、導電体120および絶縁体130上の絶縁体150と、を有する。ここで、絶縁体114および絶縁体140に形成された開口の中に導電体110、絶縁体130、および導電体120の少なくとも一部が配置される。

【0318】

導電体110は容量素子100の下部電極として機能し、導電体120は容量素子100の上部電極として機能し、絶縁体130は、容量素子100の誘電体として機能する。容量素子100は、絶縁体114および絶縁体140の開口において、底面だけでなく、側面においても上部電極と下部電極とが誘電体を挟んで対向する構成となっており、単位面積当たりの静電容量を大きくすることができる。よって、当該開口の深さを深くするほど、容量素子100の静電容量を大きくすることができる。このように容量素子100の単位面積当たりの静電容量を大きくすることにより、半導体装置の微細化または高集積化を推し進めることができる。

【0319】

絶縁体114、および絶縁体150は、絶縁体280に用いることができる絶縁体を用いればよい。また、絶縁体140は、絶縁体114の開口を形成するときのエッチングストップパとして機能することが好ましく、絶縁体214に用いることができる絶縁体を用いればよい。

【0320】

絶縁体114および絶縁体140に形成された開口を上面から見た形状は、四角形としてもよいし、四角形以外の多角形状としてもよいし、多角形状において角部を湾曲させた形状としてもよいし、楕円を含む円形状としてもよい。ここで、上面視において、当該開口とトランジスタ200の重なる面積が多い方が好ましい。このような構成にすることにより、容量素子100とトランジスタ200を有する半導体装置の占有面積を低減することができる。

【0321】

導電体 110 は、絶縁体 140、および絶縁体 114 に形成された開口に接して配置される。導電体 110 の上面は、絶縁体 140 の上面と略一致することが好ましい。また、導電体 110 の下面には、絶縁体 160 上に設けられた導電体 152 が接する。導電体 110 は、ALD 法または CVD 法などを用いて成膜することが好ましく、例えば、導電体 205 に用いることができる導電体を用いればよい。

【0322】

絶縁体 130 は、導電体 110 および絶縁体 140 を覆うように配置される。例えば、ALD 法または CVD 法などを用いて絶縁体 130 を成膜することが好ましい。絶縁体 130 は、例えば、酸化シリコン、酸化窒化シリコン、窒化酸化シリコン、窒化シリコン、酸化ジルコニウム、酸化アルミニウム、酸化窒化アルミニウム、窒化酸化アルミニウム、窒化アルミニウム、酸化ハフニウム、酸化窒化ハフニウム、窒化酸化ハフニウム、窒化ハフニウムなどを用いればよく、積層または単層で設けることができる。例えば、絶縁体 130 として、酸化ジルコニウム、酸化アルミニウム、酸化ジルコニウムの順番で積層された絶縁膜を用いることができる。

10

【0323】

また、絶縁体 130 には、酸化窒化シリコンなどの絶縁耐力が大きい材料、または高誘電率 (high-k) 材料を用いることが好ましい。または、絶縁耐力が大きい材料と高誘電率 (high-k) 材料の積層構造を用いてもよい。

【0324】

なお、高誘電率 (high-k) 材料 (高い比誘電率の材料) としては、酸化ガリウム、酸化ハフニウム、酸化ジルコニウム、アルミニウムおよびハフニウムを有する酸化物、アルミニウムおよびハフニウムを有する酸化窒化物、シリコンおよびハフニウムを有する酸化物、シリコンおよびハフニウムを有する酸化窒化物、シリコンおよびハフニウムを有する窒化物などがある。このような high-k 材料を用いることで、絶縁体 130 を厚くしても容量素子 100 の静電容量を十分確保することができる。絶縁体 130 を厚くすることにより、導電体 110 と導電体 120 の間に生じるリーク電流を抑制することができる。

20

【0325】

一方、絶縁耐力が大きい材料としては、酸化シリコン、酸化窒化シリコン、窒化酸化シリコン、窒化シリコン、フッ素を添加した酸化シリコン、炭素を添加した酸化シリコン、炭素および窒素を添加した酸化シリコン、空孔を有する酸化シリコン、樹脂などがある。例えば、ALD 法を用いて成膜した窒化シリコン (SiN_x)、PEALD 法を用いて成膜した酸化シリコン (SiO_x)、ALD 法を用いて成膜した窒化シリコン (SiN_x) の順番で積層された絶縁膜を用いることができる。このような、絶縁耐力が大きい絶縁体を用いることで、絶縁耐力が向上し、容量素子 100 の静電破壊を抑制することができる。

30

【0326】

導電体 120 は、絶縁体 140 および絶縁体 114 に形成された開口を埋めるように配置される。また、導電体 120 は、導電体 112、および導電体 153 を介して配線 1005 と電気的に接続している。導電体 120 は、ALD 法または CVD 法などを用いて成膜することが好ましく、例えば、導電体 205 に用いることができる導電体を用いればよい。

40

【0327】

また、トランジスタ 200 は、酸化物半導体を用いる構成であるため、容量素子 100 との相性が優れている。具体的には、酸化物半導体を用いるトランジスタ 200 は、オフ電流が小さいため、容量素子 100 と組み合わせて用いることで長期にわたり記憶内容を保持することが可能である。

【0328】

<配線層>

各構造体の間には、層間膜、配線、およびプラグ等が設けられた配線層が設けられていてもよい。また、配線層は、設計に応じて複数層設けることができる。ここで、プラグま

50

たは配線として機能する導電体は、複数の構造をまとめて同一の符号を付与する場合がある。また、本明細書等において、配線と、配線と電氣的に接続するプラグとが一体物であってもよい。すなわち、導電体の一部が配線として機能する場合、および導電体の一部がプラグとして機能する場合もある。

【0329】

例えば、トランジスタ300上には、層間膜として、絶縁体320、絶縁体322、絶縁体324、および絶縁体326が順に積層して設けられている。また、絶縁体320、絶縁体322、絶縁体324、および絶縁体326には、端子として機能する導電体153と電氣的に接続する導電体328、および導電体330等が埋め込まれている。なお、導電体328、および導電体330はプラグ、または配線として機能する。

10

【0330】

また、層間膜として機能する絶縁体は、その下方の凹凸形状を被覆する平坦化膜として機能してもよい。例えば、絶縁体322の上面は、平坦性を高めるために化学機械研磨（CMP）法等を用いた平坦化处理により平坦化されていてもよい。

【0331】

絶縁体326、および導電体330上に、配線層を設けてもよい。例えば、図16において、絶縁体350、絶縁体352、および絶縁体354が順に積層して設けられている。また、絶縁体350、絶縁体352、および絶縁体354には、導電体356が形成されている。導電体356は、プラグ、または配線として機能する。

【0332】

絶縁体354、および導電体356上には、絶縁体210、絶縁体212、絶縁体214、および絶縁体216が順に積層して設けられている。また、絶縁体210、絶縁体212、絶縁体214、および絶縁体216には、導電体218、及びトランジスタ200を構成する導電体（導電体205）等が埋め込まれている。なお、導電体218は、トランジスタ300と電氣的に接続するプラグ、または配線として機能する。

20

【0333】

また、絶縁体114、絶縁体140、絶縁体130、絶縁体150、および絶縁体154には、導電体112、および容量素子100を構成する導電体（導電体120、導電体110）等が埋め込まれている。なお、導電体112は、容量素子100、トランジスタ200、またはトランジスタ300と、端子として機能する導電体153と、を電氣的に接続するプラグ、または配線として機能する。

30

【0334】

また、絶縁体154上に導電体153が設けられ、導電体153は、絶縁体156に覆われている。ここで、導電体153は導電体112の上面に接しており、容量素子100、トランジスタ200、またはトランジスタ300の端子として機能する。

【0335】

なお、層間膜として用いることができる絶縁体としては、絶縁性を有する酸化物、窒化物、酸化窒化物、窒化酸化物、金属酸化物、金属酸化窒化物、金属窒化酸化物などがある。例えば、層間膜として機能する絶縁体は、比誘電率が低い材料を用いることで、配線間に生じる寄生容量を低減することができる。したがって、絶縁体の機能に応じて、材料を選択するとよい。

40

【0336】

例えば、絶縁体320、絶縁体322、絶縁体326、絶縁体352、絶縁体354、絶縁体212、絶縁体114、絶縁体150、絶縁体156等は、比誘電率の低い絶縁体を有することが好ましい。例えば、当該絶縁体は、酸化シリコン、酸化窒化シリコン、窒化酸化シリコン、窒化シリコン、フッ素を添加した酸化シリコン、炭素を添加した酸化シリコン、炭素および窒素を添加した酸化シリコン、空孔を有する酸化シリコン、樹脂などを有することが好ましい。または、当該絶縁体は、酸化シリコン、酸化窒化シリコン、窒化酸化シリコン、窒化シリコン、フッ素を添加した酸化シリコン、炭素を添加した酸化シリコン、炭素および窒素を添加した酸化シリコンまたは空孔を有する酸化シリコンと、樹

50

脂と、の積層構造を有することが好ましい。酸化シリコンおよび酸化窒化シリコンは、熱的に安定であるため、樹脂と組み合わせることで、熱的に安定かつ比誘電率の低い積層構造とすることができる。樹脂としては、例えば、ポリエステル、ポリオレフィン、ポリアミド（ナイロン、アラミドなど）、ポリイミド、ポリカーボネート、アクリルなどがある。

【0337】

また、導電体152または導電体153の上または下に設けられる絶縁体の抵抗率は、 $1.0 \times 10^{12} \Omega \text{cm}$ 以上 $1.0 \times 10^{15} \Omega \text{cm}$ 以下、好ましくは $5.0 \times 10^{12} \Omega \text{cm}$ 以上 $1.0 \times 10^{14} \Omega \text{cm}$ 以下、より好ましくは $1.0 \times 10^{13} \Omega \text{cm}$ 以上 $5.0 \times 10^{13} \Omega \text{cm}$ 以下である。導電体152または導電体153の上または下に設けられる絶縁体の抵抗率を上記の範囲にすることで、当該絶縁体は、絶縁性を維持しつつ、トランジスタ200、トランジスタ300、容量素子100、および導電体152等の配線間に蓄積される電荷を分散し、該電荷によるトランジスタ、該トランジスタを有する半導体装置の特性不良や静電破壊を抑制することができ、好ましい。このような絶縁体として、窒化シリコン、または窒化酸化シリコンを用いることができる。例えば、絶縁体160または絶縁体154の抵抗率を上記の範囲にすればよい。

【0338】

また、酸化物半導体を用いたトランジスタは、水素などの不純物および酸素の透過を抑制する機能を有する絶縁体で囲うことによって、トランジスタの電気特性を安定にすることができる。従って、絶縁体324、絶縁体350、絶縁体210等には、水素などの不純物および酸素の透過を抑制する機能を有する絶縁体を用いればよい。

【0339】

水素などの不純物および酸素の透過を抑制する機能を有する絶縁体としては、例えば、ホウ素、炭素、窒素、酸素、フッ素、マグネシウム、アルミニウム、シリコン、リン、塩素、アルゴン、ガリウム、ゲルマニウム、イットリウム、ジルコニウム、ランタン、ネオジム、ハフニウムまたはタンタルを含む絶縁体を、単層で、または積層で用いればよい。具体的には、水素などの不純物および酸素の透過を抑制する機能を有する絶縁体として、酸化アルミニウム、酸化マグネシウム、酸化ガリウム、酸化ゲルマニウム、酸化イットリウム、酸化ジルコニウム、酸化ランタン、酸化ネオジム、酸化ハフニウムまたは酸化タンタルなどの金属酸化物、窒化酸化シリコンまたは窒化シリコンなどを用いることができる。

【0340】

配線、プラグに用いることができる導電体としては、アルミニウム、クロム、銅、銀、金、白金、タンタル、ニッケル、チタン、モリブデン、タングステン、ハフニウム、バナジウム、ニオブ、マンガン、マグネシウム、ジルコニウム、ベリリウム、インジウム、ルテニウムなどから選ばれた金属元素を1種以上含む材料を用いることができる。また、リン等の不純物元素を含有させた多結晶シリコンに代表される、電気伝導度が高い半導体、ニッケルシリサイドなどのシリサイドを用いてもよい。

【0341】

例えば、導電体328、導電体330、導電体356、導電体218、導電体112、導電体152、導電体153等としては、上記の材料で形成される金属材料、合金材料、金属窒化物材料、または金属酸化物材料などの導電性材料を、単層または積層して用いることができる。耐熱性と導電性を両立するタングステンやモリブデンなどの高融点材料を用いることが好ましく、タングステンを用いることが好ましい。または、アルミニウムや銅などの低抵抗導電性材料で形成することが好ましい。低抵抗導電性材料を用いることで配線抵抗を低くすることができる。

【0342】

<酸化物半導体が設けられた層の配線、またはプラグ>

なお、トランジスタ200に、酸化物半導体を用いる場合、酸化物半導体の近傍に過剰酸素領域を有する絶縁体が設けられることがある。その場合、該過剰酸素領域を有する絶縁体と、該過剰酸素領域を有する絶縁体に設ける導電体との間に、バリア性を有する絶縁体を設けることが好ましい。

【0343】

例えば、図16では、過剰酸素を有する絶縁体280と、導電体248との間に、絶縁体247を設けるとよい。絶縁体247と、絶縁体282とが接して設けられることで、導電体248、およびトランジスタ200が、バリア性を有する絶縁体によって、封止される構造とすることができる。

【0344】

つまり、絶縁体247を設けることで、絶縁体280が有する過剰酸素が、導電体248に吸収されることを抑制することができる。また、絶縁体247を有することで、不純物である水素が、導電体248を介して、トランジスタ200へ拡散することを抑制することができる。

10

【0345】

ここで、導電体248は、トランジスタ200、またはトランジスタ300と電氣的に接続するプラグ、または配線としての機能を有する。

【0346】

具体的には、絶縁体284、絶縁体282、および絶縁体280の開口の側壁に接して、絶縁体247が設けられ、その側面に接して導電体248が形成されている。当該開口の底部の少なくとも一部には導電体240aまたは導電体240bが位置しており、導電体248が導電体240aまたは導電体240bと接する。

【0347】

導電体248は、タングステン、銅、またはアルミニウムを主成分とする導電性材料を用いることが好ましい。また、導電体248は積層構造としてもよい。なお、トランジスタ200では、導電体248を、2層の積層構造として設ける構成について示しているが、本発明はこれに限られるものではない。例えば、導電体248を単層、または3層以上の積層構造として設ける構成にしてもよい。

20

【0348】

また、導電体248を積層構造とする場合、導電体240aまたは導電体240bと接し、かつ、絶縁体280、絶縁体282、および絶縁体284と、絶縁体247を介して接する導電体には、水、水素などの不純物の透過を抑制する機能を有する導電性材料を用いることが好ましい。例えば、タンタル、窒化タンタル、チタン、窒化チタン、ルテニウム、酸化ルテニウムなどを用いることが好ましい。また、水、水素などの不純物の透過を抑制する機能を有する導電性材料は、単層または積層で用いてもよい。当該導電性材料を用いることで、絶縁体280に添加された酸素が導電体248に吸収されるのを防ぐことができる。また、絶縁体284より上層に含まれる、水、水素などの不純物が、導電体248を通じて酸化物230に拡散するのを抑制することができる。

30

【0349】

絶縁体247としては、例えば、絶縁体214等を用いることができる絶縁体を用いればよい。絶縁体247は、絶縁体280などに含まれる水、水素などの不純物が、導電体248を通じて酸化物230に拡散するのを抑制することができる。また、絶縁体280に含まれる酸素が導電体248に吸収されるのを防ぐことができる。

【0350】

また、導電体248の上面に接して配線として機能する導電体152を配置してもよい。配線として機能する導電体は、タングステン、銅、またはアルミニウムを主成分とする導電性材料を用いることが好ましい。また、当該導電体は、積層構造としてもよく、例えば、チタン又は窒化チタンと上記導電性材料との積層としてもよい。なお、当該導電体は、絶縁体に設けられた開口に埋め込むように形成してもよい。

40

【0351】

以上が構成例についての説明である。本構成を用いることで、酸化物半導体を有するトランジスタを用いた半導体装置を微細化または高集積化させることができる。また、酸化物半導体を有するトランジスタを用いた半導体装置において、電気特性の変動を抑制すると共に、信頼性を向上させることができる。また、オン電流が大きい酸化物半導体を有す

50

るトランジスタを提供することができる。また、オフ電流が小さい酸化物半導体を有するトランジスタを提供することができる。また、消費電力が低減された半導体装置を提供することができる。

【0352】

〔記憶装置2〕

本発明の一態様である半導体装置を使用した、半導体装置（記憶装置）の一例を図17に示す。図17に示す半導体装置は、図16で示した半導体装置と同様に、トランジスタ200、トランジスタ300、および容量素子100を有する。ただし、図17に示す半導体装置は、容量素子100がプレーナ型である点、およびトランジスタ200とトランジスタ300が電氣的に接続されている点において、図16に示す半導体装置と異なる。

【0353】

本発明の一態様の半導体装置は、トランジスタ200はトランジスタ300の上方に設けられ、容量素子100はトランジスタ300、およびトランジスタ200の上方に設けられている。容量素子100、またはトランジスタ300は、少なくとも一部がトランジスタ200と重畳することが好ましい。これにより、容量素子100、トランジスタ200、およびトランジスタ300の上面視における占有面積を低減することができるので、本実施の形態に係る半導体装置を微細化または高集積化させることができる。

【0354】

なお、トランジスタ200およびトランジスタ300として、上記のトランジスタ200およびトランジスタ300を用いることができる。よって、トランジスタ200、トランジスタ300、およびこれらを含む層については、上記の記載を参酌することができる。

【0355】

図17に示す半導体装置において、配線2001はトランジスタ300のソースと電氣的に接続され、配線2002はトランジスタ300のドレインと電氣的に接続されている。また、配線2003はトランジスタ200のソースおよびドレインの一方と電氣的に接続され、配線2004はトランジスタ200の第1のゲートと電氣的に接続され、配線2006はトランジスタ200の第2のゲートと電氣的に接続されている。そして、トランジスタ300のゲート、およびトランジスタ200のソースおよびドレインの他方は、容量素子100の電極の一方と電氣的に接続され、配線2005は容量素子100の電極の他方と電氣的に接続されている。なお、以下において、トランジスタ300のゲートと、トランジスタ200のソースおよびドレインの他方と、容量素子100の電極の一方と、が接続されたノードをノードFGと呼ぶ場合がある。

【0356】

図17に示す半導体装置は、トランジスタ200のスイッチングによって、トランジスタ300のゲート（ノードFG）の電位が保持可能という特性を有することで、情報の書き込み、保持、読み出しが可能である。

【0357】

また、図17に示す半導体装置は、マトリクス状に配置することで、メモリセルアレイを構成することができる。

【0358】

トランジスタ300を含む層は、図16に示す半導体装置と同様の構造を有するので、絶縁体354より下の構造は、上記の記載を参酌することができる。

【0359】

絶縁体354の上に、絶縁体210、絶縁体212、絶縁体214、および絶縁体216が配置される。ここで、絶縁体210は、絶縁体350などと同様に、水素などの不純物および酸素の透過を抑制する機能を有する絶縁体を用いればよい。

【0360】

絶縁体210、絶縁体212、絶縁体214、および絶縁体216には、導電体218が埋め込まれている。導電体218は、容量素子100、トランジスタ200、またはトランジスタ300と電氣的に接続するプラグ、または配線として機能する。例えば、導電

10

20

30

40

50

体 2 1 8 は、トランジスタ 3 0 0 のゲート電極として機能する導電体 3 1 6 と電氣的に接続されている。

【 0 3 6 1 】

また、導電体 2 4 8 は、トランジスタ 2 0 0、またはトランジスタ 3 0 0 と電氣的に接続するプラグ、または配線として機能する。例えば、導電体 2 4 8 は、トランジスタ 2 0 0 のソースおよびドレインの他方として機能する導電体 2 4 0 b と、容量素子 1 0 0 の電極の一方として機能する導電体 1 1 0 を、電氣的に接続している。

【 0 3 6 2 】

また、プレーナ型の容量素子 1 0 0 は、トランジスタ 2 0 0 の上方に設けられる。容量素子 1 0 0 は、第 1 の電極として機能する導電体 1 1 0、第 2 の電極として機能する導電体 1 2 0、および誘電体として機能する絶縁体 1 3 0 を有する。なお、導電体 1 1 0、導電体 1 2 0、および絶縁体 1 3 0 は、上述の記憶装置 1 で記載したものをを用いることができる。

10

【 0 3 6 3 】

導電体 2 4 8 の上面に接して導電体 1 5 3 および導電体 1 1 0 が設けられる。導電体 1 5 3 は、導電体 2 4 8 の上面に接しており、トランジスタ 2 0 0 またはトランジスタ 3 0 0 の端子として機能する。

【 0 3 6 4 】

導電体 1 5 3 および導電体 1 1 0 は絶縁体 1 3 0 に覆われており、絶縁体 1 3 0 を介して導電体 1 1 0 と重なるように導電体 1 2 0 が配置される。さらに、導電体 1 2 0、および絶縁体 1 3 0 上には、絶縁体 1 1 4 が配置されている。

20

【 0 3 6 5 】

また、図 1 7 において、容量素子 1 0 0 として、プレーナ型の容量素子を用いる例について示したが、本実施の形態に示す半導体装置はこれに限られるものではない。例えば、容量素子 1 0 0 として、図 1 6 に示すようなシリンダ型の容量素子 1 0 0 を用いてもよい。

【 0 3 6 6 】

〔記憶装置 3〕

本発明の一態様である半導体装置を使用した、記憶装置の一例を図 1 8 に示す。図 1 8 に示す記憶装置は、図 1 7 で示したトランジスタ 2 0 0、トランジスタ 3 0 0、および容量素子 1 0 0 を有する半導体装置に加え、トランジスタ 4 0 0 を有している。

30

【 0 3 6 7 】

トランジスタ 4 0 0 は、トランジスタ 2 0 0 の第 2 のゲート電圧を制御することができる。例えば、トランジスタ 4 0 0 の第 1 のゲート及び第 2 のゲートをソースとダイオード接続し、トランジスタ 4 0 0 のソースと、トランジスタ 2 0 0 の第 2 のゲートを接続する構成とする。当該構成でトランジスタ 2 0 0 の第 2 のゲートの負電位を保持するとき、トランジスタ 4 0 0 の第 1 のゲートーソース間の電圧および、第 2 のゲートーソース間の電圧は、0 V になる。トランジスタ 4 0 0 において、第 2 のゲート電圧及び第 1 のゲート電圧が 0 V のときのドレイン電流が非常に小さいため、トランジスタ 2 0 0 およびトランジスタ 4 0 0 に電源供給をしなくても、トランジスタ 2 0 0 の第 2 のゲートの負電位を長時間維持することができる。これにより、トランジスタ 2 0 0、およびトランジスタ 4 0 0 を有する記憶装置は、長期にわたり記憶内容を保持することが可能である。

40

【 0 3 6 8 】

従って、図 1 8 において、配線 2 0 0 1 はトランジスタ 3 0 0 のソースと電氣的に接続され、配線 2 0 0 2 はトランジスタ 3 0 0 のドレインと電氣的に接続されている。また、配線 2 0 0 3 はトランジスタ 2 0 0 のソースおよびドレインの一方と電氣的に接続され、配線 2 0 0 4 はトランジスタ 2 0 0 の第 1 のゲートと電氣的に接続され、配線 2 0 0 6 はトランジスタ 2 0 0 の第 2 のゲートと電氣的に接続されている。そして、トランジスタ 3 0 0 のゲート、およびトランジスタ 2 0 0 のソースおよびドレインの他方は、容量素子 1 0 0 の電極の一方と電氣的に接続され、配線 2 0 0 5 は容量素子 1 0 0 の電極の他方と電氣的に接続されている。配線 2 0 0 7 はトランジスタ 4 0 0 のソースと電氣的に接続され

50

、配線 2008 はトランジスタ 400 の第 1 のゲートと電氣的に接続され、配線 2009 はトランジスタ 400 の第 2 のゲートと電氣的に接続され、配線 2010 はトランジスタ 400 のドレインと電氣的に接続されている。ここで、配線 2006、配線 2007、配線 2008、及び配線 2009 が電氣的に接続されている。

【0369】

また、図 18 に示す記憶装置は、図 16 及び図 17 に示す記憶装置と同様に、マトリクス状に配置することで、メモリセルアレイを構成することができる。なお、1 個のトランジスタ 400 は、複数のトランジスタ 200 の第 2 のゲート電圧を制御することができる。そのため、トランジスタ 400 は、トランジスタ 200 よりも、少ない個数を設けるとよい。

【0370】

<トランジスタ 400>

トランジスタ 400 は、トランジスタ 200 と、同じ層に形成されており、並行して作製することができるトランジスタである。トランジスタ 400 は、第 1 のゲート電極として機能する導電体 460（導電体 460a、および導電体 460b）と、第 2 のゲート電極として機能する導電体 405 と、ゲート絶縁層として機能する絶縁体 222、絶縁体 224、および絶縁体 450 と、チャネルが形成される領域を有する酸化物 430c と、ソースまたはドレインの一方として機能する導電体 440a、酸化物 431b、および酸化物 431a と、ソースまたはドレインの他方として機能する導電体 440b、酸化物 432b、および酸化物 432a と、バリア層として機能する絶縁体 254 と、を有する。

【0371】

導電体 405 と、導電体 205 とは、同じ層に形成される。酸化物 431a、および酸化物 432a と、酸化物 230a とは、同じ層に形成され、酸化物 431b、および酸化物 432b と、酸化物 230b とは、同じ層に形成される。導電体 440a、および導電体 440b と、導電体 240a、および導電体 240b とは、同じ層に形成される。酸化物 430c と、酸化物 230c とは、同じ層に形成される。絶縁体 450 と、絶縁体 250 とは、同じ層に形成される。導電体 460 と、導電体 260 とは、同じ層に形成される。

【0372】

なお、同じ層に形成された構造体は、同時に形成することができる。例えば、酸化物 430c は、酸化物 230c となる酸化膜を加工することで、形成することができる。

【0373】

トランジスタ 400 の活性層として機能する酸化物 430c は、酸化物 230 などと同様に、酸素欠損が低減され、水素または水などの不純物が低減されている。これにより、トランジスタ 400 のしきい値電圧をより大きくし、オフ電流を低減し、第 2 のゲート電圧及び第 1 のゲート電圧が 0V のときのドレイン電流を非常に小さくすることができる。

【0374】

本実施の形態は、他の実施の形態などに記載した構成と適宜組み合わせることで実施することが可能である。

【0375】

（実施の形態 3）

本実施の形態では、図 19A、および図 19B、ならびに図 20A 乃至図 20H を用いて、本発明の一態様に係る、酸化物を半導体に用いたトランジスタ（以下、OS トランジスタと呼ぶ場合がある。）、および容量素子が適用されている記憶装置（以下、OS メモリ装置と呼ぶ場合がある。）について説明する。OS メモリ装置は、少なくとも容量素子と、容量素子の充放電を制御する OS トランジスタを有する記憶装置である。OS トランジスタのオフ電流は極めて小さいので、OS メモリ装置は優れた保持特性をもち、不揮発性メモリとして機能させることができる。

【0376】

<記憶装置の構成例>

図 19A に OS メモリ装置の構成の一例を示す。記憶装置 1400 は、周辺回路 141

10

20

30

40

50

1、およびメモリセルアレイ1470を有する。周辺回路1411は、行回路1420、列回路1430、出力回路1440、およびコントロールロジック回路1460を有する。

【0377】

列回路1430は、例えば、列デコーダ、プリチャージ回路、センスアンプ、書き込み回路等を有する。プリチャージ回路は、配線をプリチャージする機能を有する。センスアンプは、メモリセルから読み出されたデータ信号を増幅する機能を有する。なお、上記配線は、メモリセルアレイ1470が有するメモリセルに接続されている配線であり、詳しくは後述する。増幅されたデータ信号は、出力回路1440を介して、データ信号RDATAとして記憶装置1400の外部に出力される。また、行回路1420は、例えば、行デコーダ、ワード線ドライバ回路等を有し、アクセスする行を選択することができる。

10

【0378】

記憶装置1400には、外部から電源電圧として低電源電圧(VSS)、周辺回路1411用の高電源電圧(VDD)、メモリセルアレイ1470用の高電源電圧(VIL)が供給される。また、記憶装置1400には、制御信号(CE、WE、RE)、アドレス信号ADDR、データ信号WDATAが外部から入力される。アドレス信号ADDRは、行デコーダおよび列デコーダに入力され、データ信号WDATAは書き込み回路に入力される。

【0379】

コントロールロジック回路1460は、外部から入力される制御信号(CE、WE、RE)を処理して、行デコーダ、列デコーダの制御信号を生成する。制御信号CEは、チップイネーブル信号であり、制御信号WEは、書き込みイネーブル信号であり、制御信号REは、読み出しイネーブル信号である。コントロールロジック回路1460が処理する信号は、これに限定されるものではなく、必要に応じて、他の制御信号を入力すればよい。

20

【0380】

メモリセルアレイ1470は、行列状に配置された、複数のメモリセルMCと、複数の配線を有する。なお、メモリセルアレイ1470と行回路1420とを接続している配線の数、メモリセルMCの構成、一行に有するメモリセルMCの数などによって決まる。また、メモリセルアレイ1470と列回路1430とを接続している配線の数、メモリセルMCの構成、一行に有するメモリセルMCの数などによって決まる。

【0381】

なお、図19Aにおいて、周辺回路1411とメモリセルアレイ1470を同一平面上に形成する例について示したが、本実施の形態はこれに限られるものではない。例えば、図19Bに示すように、周辺回路1411の一部の上に、メモリセルアレイ1470が重なるように設けられてもよい。例えば、メモリセルアレイ1470の下に重なるように、センスアンプを設ける構成にしてもよい。

30

【0382】

図20A乃至図20Hに上述のメモリセルMCに適用できるメモリセルの構成例について説明する。

【0383】

[DOSRAM]

図20A乃至図20Cに、DRAMのメモリセルの回路構成例を示す。本明細書等において、1Oストランジスタ1容量素子型のメモリセルを用いたDRAMを、DOSRAM(Dynamic Oxide Semiconductor Random Access Memory)と呼ぶ場合がある。図20Aに示す、メモリセル1471は、トランジスタM1と、容量素子CAと、を有する。なお、トランジスタM1は、ゲート(トップゲートと呼ぶ場合がある。)、及びバックゲートを有する。

40

【0384】

トランジスタM1の第1端子は、容量素子CAの第1端子と接続され、トランジスタM1の第2端子は、配線BILと接続され、トランジスタM1のゲートは、配線WOLと接続され、トランジスタM1のバックゲートは、配線BGLと接続されている。容量素子C

50

Aの第2端子は、配線CALと接続されている。

【0385】

配線BILは、ビット線として機能し、配線WOLは、ワード線として機能する。配線CALは、容量素子CAの第2端子に所定の電位を印加するための配線として機能する。データの書き込み時、及び読み出し時において、配線CALには、低レベル電位を印加するのが好ましい。配線BGLは、トランジスタM1のバックゲートに電位を印加するための配線として機能する。配線BGLに任意の電位を印加することによって、トランジスタM1のしきい値電圧を増減することができる。

【0386】

ここで、図20Aに示すメモリセル1471は、図16に示す記憶装置に対応している。つまり、トランジスタM1はトランジスタ200に、容量素子CAは容量素子100に、配線BILは配線1003に、配線WOLは配線1004に、配線BGLは配線1006に、配線CALは配線1005に対応している。なお、図16に記載のトランジスタ300は、図19A、および図19Bに示す記憶装置1400の周辺回路1411に設けられるトランジスタに対応する。

【0387】

また、メモリセルMCは、メモリセル1471に限定されず、回路構成の変更を行うことができる。例えば、メモリセルMCは、図20Bに示すメモリセル1472のように、トランジスタM1のバックゲートが、配線BGLでなく、配線WOLと接続される構成にしてもよい。また、例えば、メモリセルMCは、図20Cに示すメモリセル1473ように、シングルゲート構造のトランジスタ、つまりバックゲートを有さないトランジスタM1で構成されたメモリセルとしてもよい。

【0388】

上記実施の形態に示す半導体装置をメモリセル1471等に用いる場合、トランジスタM1としてトランジスタ200を用い、容量素子CAとして容量素子100を用いることができる。トランジスタM1としてOSTランジスタを用いることによって、トランジスタM1のリーク電流を非常に小さくすることができる。つまり、書き込んだデータをトランジスタM1によって長時間保持することができるため、メモリセルのリフレッシュの頻度を少なくすることができる。または、メモリセルのリフレッシュ動作を不要にすることができる。また、リーク電流が非常に小さいため、メモリセル1471、メモリセル1472、メモリセル1473に対して多値データ、又はアナログデータを保持することができる。

【0389】

また、DOSRAMにおいて、上記のように、メモリセルアレイ1470の下に重なるように、センスアンプを設ける構成にすると、ビット線を短くすることができる。これにより、ビット線容量が小さくなり、メモリセルの保持容量を低減することができる。

【0390】

[NOSRAM]

図20D乃至図20Gに、2トランジスタ1容量素子のゲインセル型のメモリセルの回路構成例を示す。図20Dに示す、メモリセル1474は、トランジスタM2と、トランジスタM3と、容量素子CBと、を有する。なお、トランジスタM2は、トップゲート（単にゲートと呼ぶ場合がある。）、及びバックゲートを有する。本明細書等において、トランジスタM2にOSTランジスタを用いたゲインセル型のメモリセルを有する記憶装置を、NOSRAM（Nonvolatile Oxide Semiconductor RAM）と呼ぶ場合がある。

【0391】

トランジスタM2の第1端子は、容量素子CBの第1端子と接続され、トランジスタM2の第2端子は、配線WBLと接続され、トランジスタM2のゲートは、配線WOLと接続され、トランジスタM2のバックゲートは、配線BGLと接続されている。容量素子CBの第2端子は、配線CALと接続されている。トランジスタM3の第1端子は、配線R

B Lと接続され、トランジスタM 3の第2端子は、配線S Lと接続され、トランジスタM 3のゲートは、容量素子C Bの第1端子と接続されている。

【0392】

配線W B Lは、書き込みビット線として機能し、配線R B Lは、読み出しビット線として機能し、配線W O Lは、ワード線として機能する。配線C A Lは、容量素子C Bの第2端子に所定の電位を印加するための配線として機能する。データの書き込み時、データ保持の最中、データの読み出し時において、配線C A Lには、低レベル電位を印加するのが好ましい。配線B G Lは、トランジスタM 2のバックゲートに電位を印加するための配線として機能する。配線B G Lに任意の電位を印加することによって、トランジスタM 2のしきい値電圧を増減することができる。

10

【0393】

ここで、図20Dに示すメモリセル1474は、図17に示す記憶装置に対応している。つまり、トランジスタM 2はトランジスタ200に、容量素子C Bは容量素子100に、トランジスタM 3はトランジスタ300に、配線W B Lは配線2003に、配線W O Lは配線2004に、配線B G Lは配線2006に、配線C A Lは配線2005に、配線R B Lは配線2002に、配線S Lは配線2001に対応している。

【0394】

また、メモリセルM Cは、メモリセル1474に限定されず、回路の構成を適宜変更することができる。例えば、メモリセルM Cは、図20Eに示すメモリセル1475のように、トランジスタM 2のバックゲートが、配線B G Lでなく、配線W O Lと接続される構成にしてもよい。また、例えば、メモリセルM Cは、図20Fに示すメモリセル1476のように、シングルゲート構造のトランジスタ、つまりバックゲートを有さないトランジスタM 2で構成されたメモリセルとしてもよい。また、例えば、メモリセルM Cは、図20Gに示すメモリセル1477のように、配線W B Lと配線R B Lを一本の配線B I Lとしてまとめた構成であってもよい。

20

【0395】

上記実施の形態に示す半導体装置をメモリセル1474等に用いる場合、トランジスタM 2としてトランジスタ200を用い、トランジスタM 3としてトランジスタ300を用い、容量素子C Bとして容量素子100を用いることができる。トランジスタM 2としてO Sトランジスタを用いることによって、トランジスタM 2のリーク電流を非常に小さくすることができる。これにより、書き込んだデータをトランジスタM 2によって長時間保持することができるため、メモリセルのリフレッシュの頻度を少なくすることができる。または、メモリセルのリフレッシュ動作を不要にすることができる。また、リーク電流が非常に小さいため、メモリセル1474に多値データ、又はアナログデータを保持することができる。メモリセル1475乃至メモリセル1477も同様である。

30

【0396】

なお、トランジスタM 3は、チャネル形成領域にシリコンを有するトランジスタ（以下、S iトランジスタと呼ぶ場合がある）であってもよい。S iトランジスタの導電型は、nチャネル型としてもよいし、pチャネル型としてもよい。S iトランジスタは、O Sトランジスタよりも電界効果移動度が高くなる場合がある。よって、読み出しトランジスタとして機能するトランジスタM 3として、S iトランジスタを用いてもよい。また、トランジスタM 3にS iトランジスタを用いることで、トランジスタM 3の上に積層してトランジスタM 2を設けることができるので、メモリセルの占有面積を低減し、記憶装置の高集積化を図ることができる。

40

【0397】

また、トランジスタM 3はO Sトランジスタであってもよい。トランジスタM 2およびトランジスタM 3にO Sトランジスタを用いた場合、メモリセルアレイ1470をn型トランジスタのみを用いて回路を構成することができる。

【0398】

また、図20Hに3トランジスタ1容量素子のゲインセル型のメモリセルの一例を示す

50

。図20Hに示すメモリセル1478は、トランジスタM4乃至トランジスタM6、および容量素子CCを有する。容量素子CCは適宜設けられる。メモリセル1478は、配線BIL、配線RWL、配線WWL、配線BGL、および配線GNDLに電氣的に接続されている。配線GNDLは低レベル電位を与える配線である。なお、メモリセル1478を、配線BILに代えて、配線RBL、配線WBLに電氣的に接続してもよい。

【0399】

トランジスタM4は、バックゲートを有するOSTランジスタであり、バックゲートは配線BGLに電氣的に接続されている。なお、トランジスタM4のバックゲートとゲートとを互いに電氣的に接続してもよい。あるいは、トランジスタM4はバックゲートを有さなくてもよい。

【0400】

なお、トランジスタM5、トランジスタM6はそれぞれ、nチャネル型Siトランジスタまたはpチャネル型Siトランジスタでもよい。或いは、トランジスタM4乃至トランジスタM6がOSTランジスタでもよい。この場合、メモリセルアレイ1470をn型トランジスタのみを用いて回路を構成することができる。

【0401】

上記実施の形態に示す半導体装置をメモリセル1478に用いる場合、トランジスタM4としてトランジスタ200を用い、トランジスタM5、トランジスタM6としてトランジスタ300を用い、容量素子CCとして容量素子100を用いることができる。トランジスタM4としてOSTランジスタを用いることによって、トランジスタM4のリーク電流を非常に小さくすることができる。

【0402】

なお、本実施の形態に示す、周辺回路1411、メモリセルアレイ1470等の構成は、上記に限定されるものではない。これらの回路、および当該回路に接続される配線、回路素子等の、配置または機能は、必要に応じて、変更、削除、または追加してもよい。

【0403】

本実施の形態に示す構成は、他の実施の形態などに示す構成と適宜組み合わせて用いることができる。

【0404】

(実施の形態4)

本実施の形態では、図21A、および図21Bを用いて、本発明の半導体装置が実装されたチップ1200の一例を示す。チップ1200には、複数の回路（システム）が実装されている。このように、複数の回路（システム）を一つのチップに集積する技術を、システムオンチップ（System on Chip: SoC）と呼ぶ場合がある。

【0405】

図21Aに示すように、チップ1200は、CPU1211、GPU1212、一または複数のアナログ演算部1213、一または複数のメモリコントローラ1214、一または複数のインターフェース1215、一または複数のネットワーク回路1216等を有する。

【0406】

チップ1200には、バンプ（図示しない）が設けられ、図21Bに示すように、プリント基板（Printed Circuit Board: PCB）1201の第1の面と接続する。また、PCB1201の第1の面の裏面には、複数のバンプ1202が設けられており、マザーボード1203と接続する。

【0407】

マザーボード1203には、DRAM1221、フラッシュメモリ1222等の記憶装置が設けられていてもよい。例えば、DRAM1221に先の実施の形態に示すDOSRAMを用いることができる。また、例えば、フラッシュメモリ1222に先の実施の形態に示すNOSRAMを用いることができる。

【0408】

10

20

30

40

50

CPU1211は、複数のCPUコアを有することが好ましい。また、GPU1212は、複数のGPUコアを有することが好ましい。また、CPU1211、およびGPU1212は、それぞれ一時的にデータを格納するメモリを有していてもよい。または、CPU1211、およびGPU1212に共通のメモリが、チップ1200に設けられていてもよい。該メモリには、前述したNOSRAMや、DOSRAMを用いることができる。また、GPU1212は、多数のデータの並列計算に適しており、画像処理や積和演算に用いることができる。GPU1212に、本発明の酸化物半導体を用いた画像処理回路や、積和演算回路を設けることで、画像処理、および積和演算を低消費電力で実行することが可能になる。

【0409】

また、CPU1211、およびGPU1212が同一チップに設けられていることで、CPU1211およびGPU1212間の配線を短くすることができ、CPU1211からGPU1212へのデータ転送、CPU1211、およびGPU1212が有するメモリ間のデータ転送、およびGPU1212での演算後に、GPU1212からCPU1211への演算結果の転送を高速に行うことができる。

【0410】

アナログ演算部1213はA/D（アナログ／デジタル）変換回路、およびD/A（デジタル／アナログ）変換回路の一、または両方を有する。また、アナログ演算部1213に上記積和演算回路を設けてもよい。

【0411】

メモリコントローラ1214は、DRAM1221のコントローラとして機能する回路、およびフラッシュメモリ1222のインターフェースとして機能する回路を有する。

【0412】

インターフェース1215は、表示装置、スピーカー、マイクロフォン、カメラ、コントローラなどの外部接続機器とのインターフェース回路を有する。コントローラとは、マウス、キーボード、ゲーム用コントローラなどを含む。このようなインターフェースとして、USB（Universal Serial Bus）、HDMI（登録商標）（High-Definition Multimedia Interface）などを用いることができる。

【0413】

ネットワーク回路1216は、LAN（Local Area Network）などのネットワーク用の回路を有する。また、ネットワークセキュリティ用の回路を有してもよい。

【0414】

チップ1200には、上記回路（システム）を同一の製造プロセスで形成することが可能である。そのため、チップ1200に必要な回路の数が増えても、製造プロセスを増やす必要が無く、チップ1200を低コストで作製することができる。

【0415】

GPU1212を有するチップ1200が設けられたPCB1201、DRAM1221、およびフラッシュメモリ1222が設けられたマザーボード1203は、GPUモジュール1204と呼ぶことができる。

【0416】

GPUモジュール1204は、SoC技術を用いたチップ1200を有しているため、そのサイズを小さくすることができる。また、画像処理に優れていることから、スマートフォン、タブレット端末、ラップトップPC、携帯型（持ち出し可能な）ゲーム機などの携帯型電子機器に用いることが好適である。また、GPU1212を用いた積和演算回路により、ディープニューラルネットワーク（DNN）、畳み込みニューラルネットワーク（CNN）、再帰型ニューラルネットワーク（RNN）、自己符号化器、深層ボルツマンマシン（DBM）、深層信念ネットワーク（DBN）などの手法を実行することができるため、チップ1200をAIチップ、またはGPUモジュール1204をAIシステムモ

10

20

30

40

50

ジュールとして用いることができる。

【0417】

本実施の形態に示す構成は、他の実施の形態などに示す構成と適宜組み合わせて用いることができる。

【0418】

(実施の形態5)

本実施の形態では、先の実施の形態に示す半導体装置を用いた記憶装置の応用例について説明する。先の実施の形態に示す半導体装置は、例えば、各種電子機器（例えば、情報端末、コンピュータ、スマートフォン、電子書籍端末、デジタルカメラ（ビデオカメラも含む）、録画再生装置、ナビゲーションシステムなど）の記憶装置に適用できる。なお、ここで、コンピュータとは、タブレット型のコンピュータ、ノート型のコンピュータ、デスクトップ型のコンピュータの他、サーバシステムのような大型のコンピュータを含むものである。または、先の実施の形態に示す半導体装置は、メモ리카ード（例えば、SDカード）、USBメモリ、SSD（ソリッド・ステート・ドライブ）等の各種のリムーバブル記憶装置に適用される。図22A乃至図22Eにリムーバブル記憶装置の幾つかの構成例を模式的に示す。例えば、先の実施の形態に示す半導体装置は、パッケージングされたメモリチップに加工され、様々なストレージ装置、リムーバブルメモリに用いられる。

【0419】

図22AはUSBメモリの模式図である。USBメモリ1100は、筐体1101、キャップ1102、USBコネクタ1103および基板1104を有する。基板1104は、筐体1101に収納されている。例えば、基板1104には、メモリチップ1105、コントローラチップ1106が取り付けられている。メモリチップ1105などに先の実施の形態に示す半導体装置を組み込むことができる。

【0420】

図22BはSDカードの外観の模式図であり、図22Cは、SDカードの内部構造の模式図である。SDカード1110は、筐体1111、コネクタ1112および基板1113を有する。基板1113は筐体1111に収納されている。例えば、基板1113には、メモリチップ1114、コントローラチップ1115が取り付けられている。基板1113の裏面側にもメモリチップ1114を設けることで、SDカード1110の容量を増やすことができる。また、無線通信機能を備えた無線チップを基板1113に設けてもよい。これによって、ホスト装置とSDカード1110間の無線通信によって、メモリチップ1114のデータの読み出し、書き込みが可能となる。メモリチップ1114などに先の実施の形態に示す半導体装置を組み込むことができる。

【0421】

図22DはSSDの外観の模式図であり、図22Eは、SSDの内部構造の模式図である。SSD1150は、筐体1151、コネクタ1152および基板1153を有する。基板1153は筐体1151に収納されている。例えば、基板1153には、メモリチップ1154、メモリチップ1155、コントローラチップ1156が取り付けられている。メモリチップ1155はコントローラチップ1156のワークメモリであり、例えばDOSRAMチップを用いればよい。基板1153の裏面側にもメモリチップ1154を設けることで、SSD1150の容量を増やすことができる。メモリチップ1154などに先の実施の形態に示す半導体装置を組み込むことができる。

【0422】

本実施の形態は、他の実施の形態などに記載した構成と適宜組み合わせて実施することが可能である。

【0423】

(実施の形態6)

本発明の一態様に係る半導体装置は、CPUやGPUなどのプロセッサ、またはチップに用いることができる。図23A乃至図23Hに、本発明の一態様に係るCPUやGPUなどのプロセッサ、またはチップを備えた電子機器の具体例を示す。

【0424】

＜電子機器・システム＞

本発明の一態様に係るGPUまたはチップは、様々な電子機器に搭載することができる。電子機器の例としては、例えば、テレビジョン装置、デスクトップ型またはノート型の情報端末用などのモニタ、デジタルサイネージ（Digital Signage：電子看板）、パチンコ機などの大型ゲーム機、などの比較的大きな画面を備える電子機器の他、デジタルカメラ、デジタルビデオカメラ、デジタルフォトフレーム、電子ブックリーダー、携帯電話機、携帯型ゲーム機、携帯情報端末、音響再生装置、などが挙げられる。また、本発明の一態様に係るGPUまたはチップを電子機器に設けることにより、電子機器に人工知能を搭載することができる。

10

【0425】

本発明の一態様の電子機器は、アンテナを有していてもよい。アンテナで信号を受信することで、表示部で映像や情報等の表示を行うことができる。また、電子機器がアンテナ及び二次電池を有する場合、アンテナを、非接触電力伝送に用いてもよい。

【0426】

本発明の一態様の電子機器は、センサ（力、変位、位置、速度、加速度、角速度、回転数、距離、光、液、磁気、温度、化学物質、音声、時間、硬度、電場、電流、電圧、電力、放射線、流量、湿度、傾度、振動、にのみまたは赤外線を測定する機能を含むもの）を有していてもよい。

【0427】

本発明の一態様の電子機器は、様々な機能を有することができる。例えば、様々な情報（静止画、動画、テキスト画像など）を表示部に表示する機能、タッチパネル機能、カレンダー、日付または時刻などを表示する機能、様々なソフトウェア（プログラム）を実行する機能、無線通信機能、記録媒体に記録されているプログラムまたはデータを読み出す機能等を有することができる。図23A乃至図23Hに、電子機器の例を示す。

20

【0428】

[情報端末]

図23Aには、情報端末の一種である携帯電話（スマートフォン）が図示されている。情報端末5100は、筐体5101と、表示部5102と、を有しており、入力用インターフェースとして、タッチパネルが表示部5102に備えられ、ボタンが筐体5101に備えられている。

30

【0429】

情報端末5100は、本発明の一態様のチップを適用することで、人工知能を利用したアプリケーションを実行することができる。人工知能を利用したアプリケーションとしては、例えば、会話を認識してその会話内容を表示部5102に表示するアプリケーション、表示部5102に備えるタッチパネルに対してユーザが入力した文字、図形などを認識して、表示部5102に表示するアプリケーション、指紋や声紋などの生体認証を行うアプリケーションなどが挙げられる。

【0430】

図23Bには、ノート型情報端末5200が図示されている。ノート型情報端末5200は、情報端末の本体5201と、表示部5202と、キーボード5203と、を有する。

40

【0431】

ノート型情報端末5200は、先述した情報端末5100と同様に、本発明の一態様のチップを適用することで、人工知能を利用したアプリケーションを実行することができる。人工知能を利用したアプリケーションとしては、例えば、設計支援ソフトウェア、文章添削ソフトウェア、献立自動生成ソフトウェアなどが挙げられる。また、ノート型情報端末5200を用いることで、新規の人工知能の開発を行うことができる。

【0432】

なお、上述では、電子機器としてスマートフォン、およびノート型情報端末を例として、それぞれ図23A、図23Bに図示したが、スマートフォン、およびノート型情報端末

50

以外の情報端末を適用することができる。スマートフォン、およびノート型情報端末以外の情報端末としては、例えば、PDA (Personal Digital Assistant)、デスクトップ型情報端末、ワークステーションなどが挙げられる。

【0433】

[ゲーム機]

図23Cは、ゲーム機の一例である携帯ゲーム機5300を示している。携帯ゲーム機5300は、筐体5301、筐体5302、筐体5303、表示部5304、接続部5305、操作キー5306等を有する。筐体5302、および筐体5303は、筐体5301から取り外すことが可能である。筐体5301に設けられている接続部5305を別の筐体（図示せず）に取り付けることで、表示部5304に出力される映像を、別の映像機器（図示せず）に出力することができる。このとき、筐体5302、および筐体5303は、それぞれ操作部として機能することができる。これにより、複数のプレイヤーが同時にゲームを行うことができる。筐体5301、筐体5302、および筐体5303の基板に設けられているチップなどに先の実施の形態に示すチップを組み込むことができる。

10

【0434】

また、図23Dは、ゲーム機の一例である据え置き型ゲーム機5400を示している。据え置き型ゲーム機5400には、無線または有線でコントローラ5402が接続されている。

【0435】

携帯ゲーム機5300、据え置き型ゲーム機5400などのゲーム機に本発明の一態様のGPUまたはチップを適用することによって、低消費電力のゲーム機を実現することができる。また、低消費電力により、回路からの発熱を低減することができるため、発熱によるその回路自体、周辺回路、およびモジュールへの影響を少なくすることができる。

20

【0436】

更に、携帯ゲーム機5300に本発明の一態様のGPUまたはチップを適用することによって、人工知能を有する携帯ゲーム機5300を実現することができる。

【0437】

本来、ゲームの進行、ゲーム上に登場する生物の言動、ゲーム上で発生する現象などの表現は、そのゲームが有するプログラムによって定められているが、携帯ゲーム機5300に人工知能を適用することにより、ゲームのプログラムに限定されない表現が可能になる。例えば、プレイヤーが問いかける内容、ゲームの進行状況、時刻、ゲーム上に登場する人物の言動が変化するという表現が可能となる。

30

【0438】

また、携帯ゲーム機5300で複数のプレイヤーが必要なゲームを行う場合、人工知能によって擬人的にゲームプレイヤーを構成することができるため、対戦相手を人工知能によるゲームプレイヤーとすることによって、1人でもゲームを行うことができる。

【0439】

図23C、図23Dでは、ゲーム機の一例として携帯ゲーム機、および据え置き型ゲーム機を図示しているが、本発明の一態様のGPUまたはチップを適用するゲーム機はこれに限定されない。本発明の一態様のGPUまたはチップを適用するゲーム機としては、例えば、娯楽施設（ゲームセンター、遊園地など）に設置されるアーケードゲーム機、スポーツ施設に設置されるバッティング練習用の投球マシンなどが挙げられる。

40

【0440】

[大型コンピュータ]

本発明の一態様のGPUまたはチップは、大型コンピュータに適用することができる。

【0441】

図23Eは、大型コンピュータの一例である、スーパーコンピュータ5500を示す図である。図23Fは、スーパーコンピュータ5500が有するラックマウント型の計算機5502を示す図である。

【0442】

50

スーパーコンピュータ５５００は、ラック５５０１と、複数のラックマウント型の計算機５５０２と、を有する。なお、複数の計算機５５０２は、ラック５５０１に格納されている。また、計算機５５０２には、複数の基板５５０４が設けられ、当該基板上に上記実施の形態で説明したGPUまたはチップを搭載することができる。

【０４４３】

スーパーコンピュータ５５００は、主に科学技術計算に利用される大型コンピュータである。科学技術計算では、膨大な演算を高速に処理する必要があるため、消費電力が高く、チップの発熱が大きい。スーパーコンピュータ５５００に本発明の一態様のGPUまたはチップを適用することによって、低消費電力のスーパーコンピュータを実現することができる。また、低消費電力により、回路からの発熱を低減することができるため、発熱によるその回路自体、周辺回路、およびモジュールへの影響を少なくすることができる。

10

【０４４４】

図２３Ｅ、図２３Ｆでは、大型コンピュータの一例としてスーパーコンピュータを図示しているが、本発明の一態様のGPUまたはチップを適用する大型コンピュータはこれに限定されない。本発明の一態様のGPUまたはチップを適用する大型コンピュータとしては、例えば、サービスを提供するコンピュータ（サーバー）、大型汎用コンピュータ（メインフレーム）などが挙げられる。

【０４４５】

〔移動体〕

本発明の一態様のGPUまたはチップは、移動体である自動車、および自動車の運転席周辺に適用することができる。

20

【０４４６】

図２３Ｇは、移動体の一例である自動車の室内におけるフロントガラス周辺を示す図である。図２３Ｇでは、ダッシュボードに取り付けられた表示パネル５７０１、表示パネル５７０２、表示パネル５７０３の他、ピラーに取り付けられた表示パネル５７０４を図示している。

【０４４７】

表示パネル５７０１乃至表示パネル５７０３は、スピードメーターやタコメーター、走行距離、燃料計、ギア状態、エアコンの設定などを表示することで、その他様々な情報を提供することができる。また、表示パネルに表示される表示項目やレイアウトなどは、ユーザの好みに合わせて適宜変更することができ、デザイン性を高めることが可能である。表示パネル５７０１乃至表示パネル５７０３は、照明装置として用いることも可能である。

30

【０４４８】

表示パネル５７０４には、自動車に設けられた撮像装置（図示しない。）からの映像を映し出すことによって、ピラーで遮られた視界（死角）を補完することができる。すなわち、自動車の外側に設けられた撮像装置からの画像を表示することによって、死角を補い、安全性を高めることができる。また、見えない部分を補完する映像を映すことによって、より自然に違和感なく安全確認を行うことができる。表示パネル５７０４は、照明装置として用いることもできる。

【０４４９】

本発明の一態様のGPUまたはチップは人工知能の構成要素として適用できるため、例えば、当該チップを自動車の自動運転システムに用いることができる。また、当該チップを道路案内、危険予測などを行うシステムに用いることができる。表示パネル５７０１乃至表示パネル５７０４には、道路案内、危険予測などの情報を表示する構成としてもよい。

40

【０４５０】

なお、上述では、移動体の一例として自動車について説明しているが、移動体は自動車に限定されない。例えば、移動体としては、電車、モノレール、船、飛行体（ヘリコプター、無人航空機（ドローン）、飛行機、ロケット）なども挙げることができ、これらの移動体に本発明の一態様のチップを適用して、人工知能を利用したシステムを付与することができる。

50

【0451】

〔電化製品〕

図23Hは、電化製品の一例である電気冷凍冷蔵庫5800を示している。電気冷凍冷蔵庫5800は、筐体5801、冷蔵室用扉5802、冷凍室用扉5803等を有する。

【0452】

電気冷凍冷蔵庫5800に本発明の一態様のチップを適用することによって、人工知能を有する電気冷凍冷蔵庫5800を実現することができる。人工知能を利用することによって電気冷凍冷蔵庫5800は、電気冷凍冷蔵庫5800に保存されている食材、その食材の消費期限などを基に献立を自動生成する機能や、電気冷凍冷蔵庫5800に保存されている食材に合わせた温度に自動的に調節する機能などを有することができる。

10

【0453】

電化製品の一例として電気冷凍冷蔵庫について説明したが、その他の電化製品としては、例えば、掃除機、電子レンジ、電子オーブン、炊飯器、湯沸かし器、IH調理器、ウォーターサーバ、エアーコンディショナーを含む冷暖房器具、洗濯機、乾燥機、オーディオビジュアル機器などが挙げられる。

【0454】

本実施の形態で説明した電子機器、その電子機器の機能、人工知能の応用例、その効果などは、他の電子機器の記載と適宜組み合わせることができる。

【0455】

本実施の形態は、他の実施の形態などに記載した構成と適宜組み合わせて実施することが可能である。

20

【符号の説明】

【0456】

：100：容量素子、110：導電体、112：導電体、114：絶縁体、120：導電体、130：絶縁体、140：絶縁体、150：絶縁体、152：導電体、153：導電体、154：絶縁体、156：絶縁体、160：絶縁体、200：トランジスタ、205：導電体、210：絶縁体、212：絶縁体、214：絶縁体、216：絶縁体、218：導電体、222：絶縁体、224：絶縁体、230：酸化物、230a：酸化物、230A：酸化膜、230b：酸化物、230B：酸化膜、230c：酸化物、230C：酸化膜、230d：酸化物、230D：酸化膜、240a：導電体、240A：導電膜、240b：導電体、240B：導電層、243：酸化物、243a：酸化物、243A：酸化膜、243b：酸化物、243B：酸化物層、245a：絶縁体、245b：絶縁体、247：絶縁体、248：導電体、250：絶縁体、250A：絶縁膜、254：絶縁体、254A：絶縁膜、260：導電体、260a：導電体、260A：導電膜、260b：導電体、260B：導電膜、280：絶縁体、282：絶縁体、283：絶縁体、284：絶縁体、291：マイクロ波、293：マスク、300：トランジスタ、311：基板、312：絶縁体、313：半導体領域、314a：低抵抗領域、314b：低抵抗領域、315：絶縁体、316：導電体、320：絶縁体、322：絶縁体、324：絶縁体、326：絶縁体、328：導電体、330：導電体、350：絶縁体、352：絶縁体、354：絶縁体、356：導電体、400：トランジスタ、405：導電体、430c：酸化物、431a：酸化物、431b：酸化物、432a：酸化物、432b：酸化物、440a：導電体、440b：導電体、450：絶縁体、460：導電体、460a：導電体、460b：導電体、1001：配線、1002：配線、1003：配線、1004：配線、1005：配線、1006：配線、1007：配線、1100：USBメモリ、1101：筐体、1102：キャップ、1103：USBコネクタ、1104：基板、1105：メモリチップ、1106：コントローラチップ、1110：SDカード、1111：筐体、1112：コネクタ、1113：基板、1114：メモリチップ、1115：コントローラチップ、1150：SSD、1151：筐体、1152：コネクタ、1153：基板、1154：メモリチップ、1155：メモリチップ、1156：コントローラチップ、1200：チップ、1201：PCB、1202：バンプ、1203：マザ

30

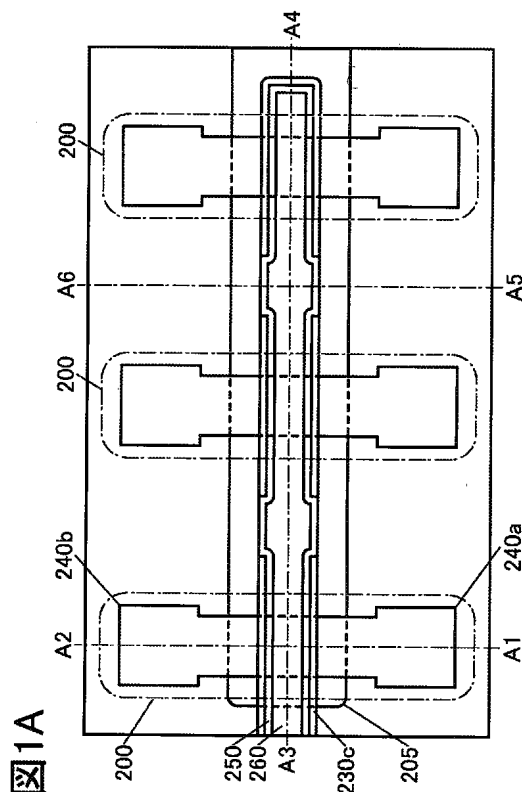
40

50

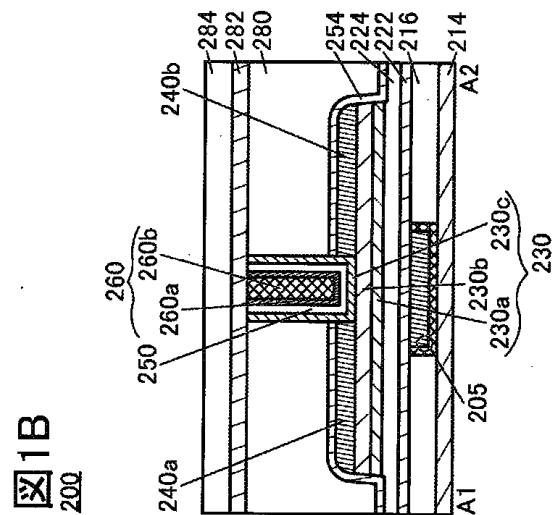
ーボード、1204：GPUモジュール、1211：CPU、1212：GPU、1213：アナログ演算部、1214：メモリコントローラ、1215：インターフェース、1216：ネットワーク回路、1221：DRAM、1222：フラッシュメモリ、1400：記憶装置、1411：周辺回路、1420：行回路、1430：列回路、1440：出力回路、1460：コントロールロジック回路、1470：メモリセルアレイ、1471：メモリセル、1472：メモリセル、1473：メモリセル、1474：メモリセル、1475：メモリセル、1476：メモリセル、1477：メモリセル、1478：メモリセル、2001：配線、2002：配線、2003：配線、2004：配線、2005：配線、2006：配線、2007：配線、2008：配線、2009：配線、2010：配線、5100：情報端末、5101：筐体、5102：表示部、5200：ノート型情報端末、5201：本体、5202：表示部、5203：キーボード、5300：携帯ゲーム機、5301：筐体、5302：筐体、5303：筐体、5304：表示部、5305：接続部、5306：操作キー、5400：据え置き型ゲーム機、5402：コントローラ、5500：スーパーコンピュータ、5501：ラック、5502：計算機、5504：基板、5701：表示パネル、5702：表示パネル、5703：表示パネル、5704：表示パネル、5800：電気冷凍冷蔵庫、5801：筐体、5802：冷蔵室用扉、5803：冷凍室用扉

【図面】

【図1A】



【図1B】



10

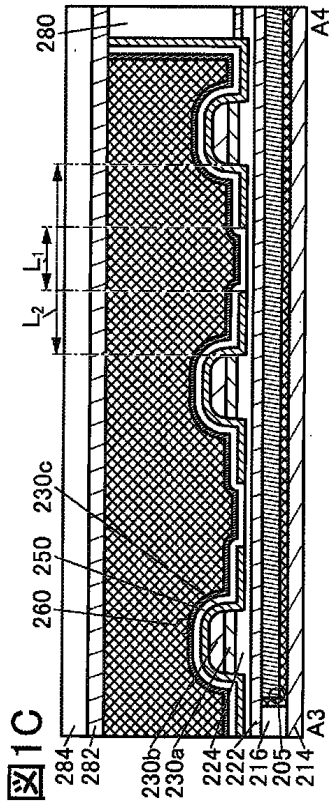
20

30

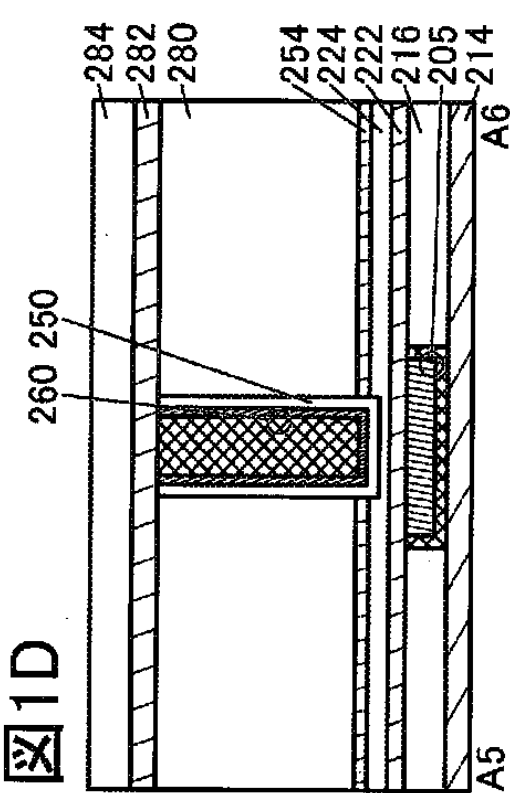
40

50

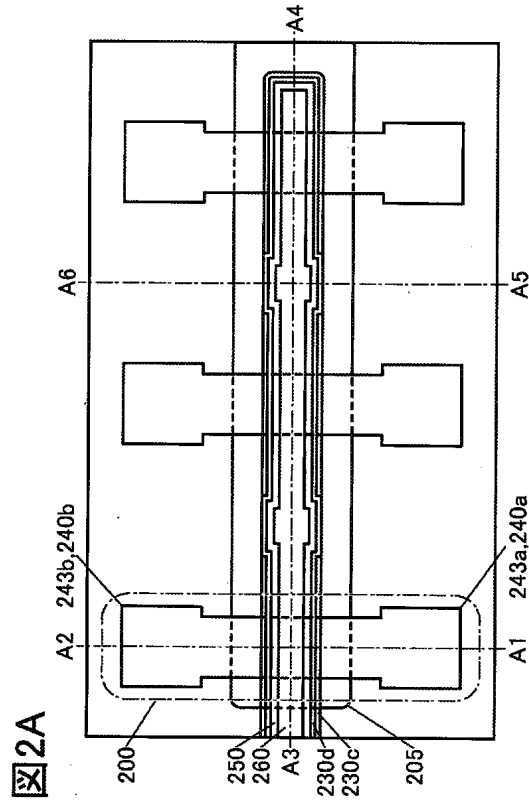
【図 1 C】



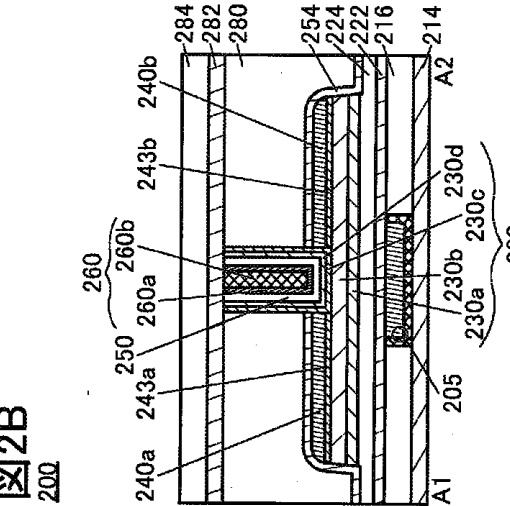
【図 1 D】



【図 2 A】



【図 2 B】



10

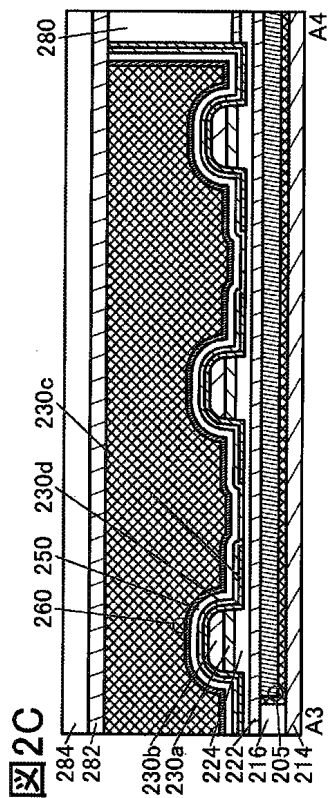
20

30

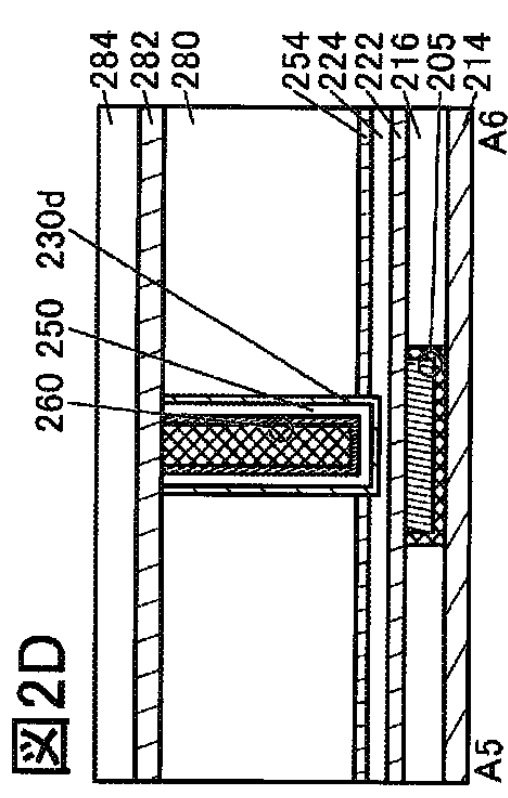
40

50

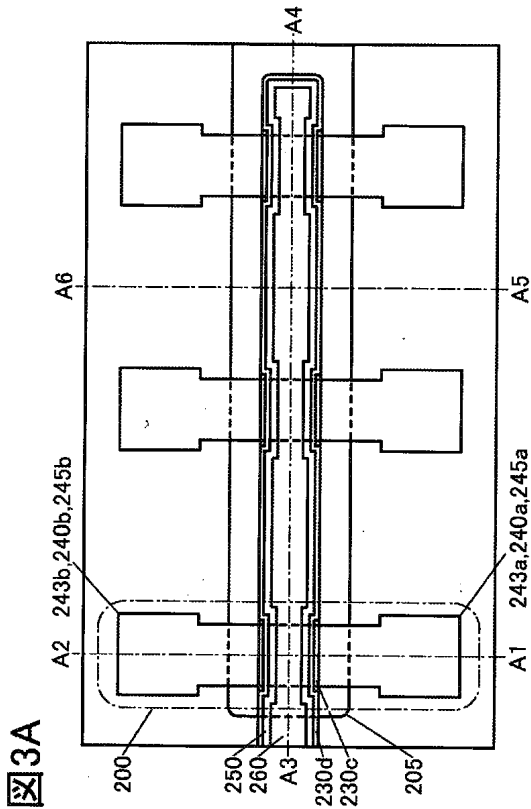
【図 2 C】



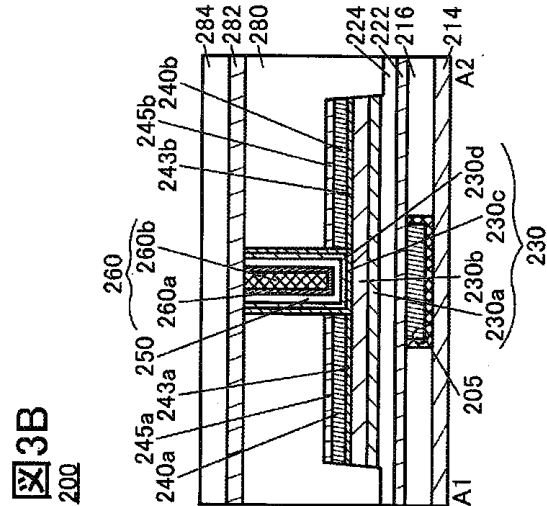
【図 2 D】



【図 3 A】



【図 3 B】



10

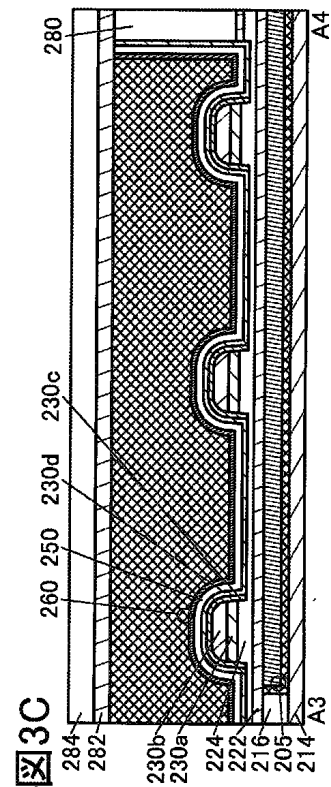
20

30

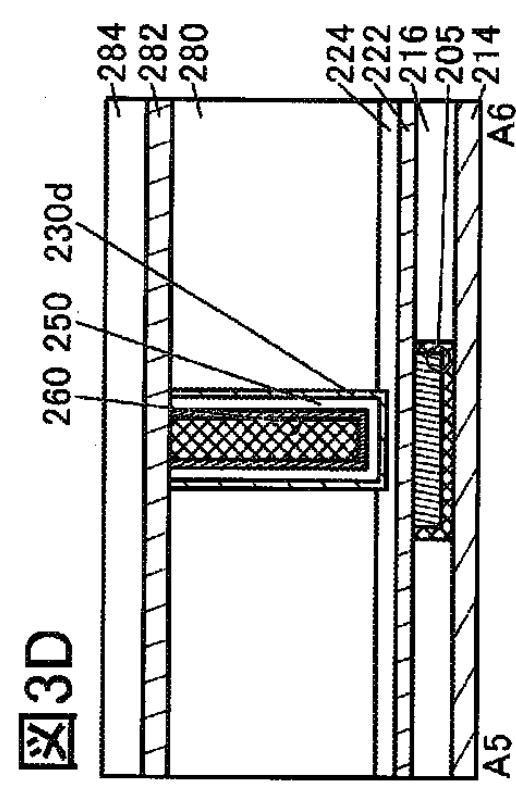
40

50

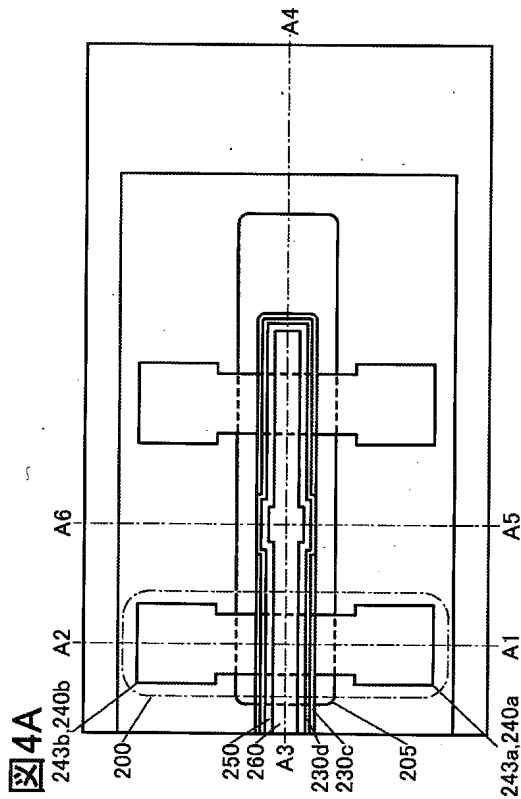
【図 3 C】



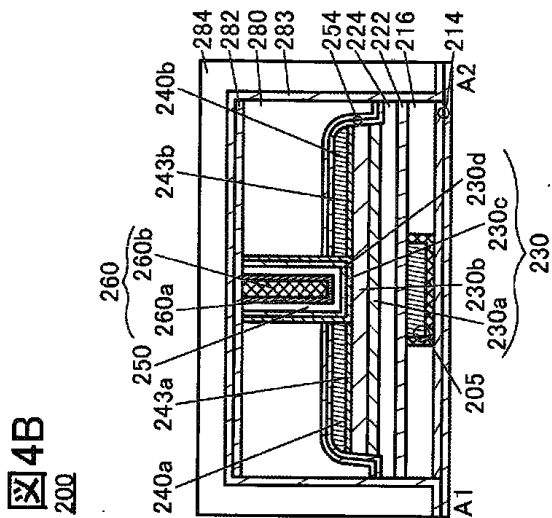
【図 3 D】



【図 4 A】



【図 4 B】



10

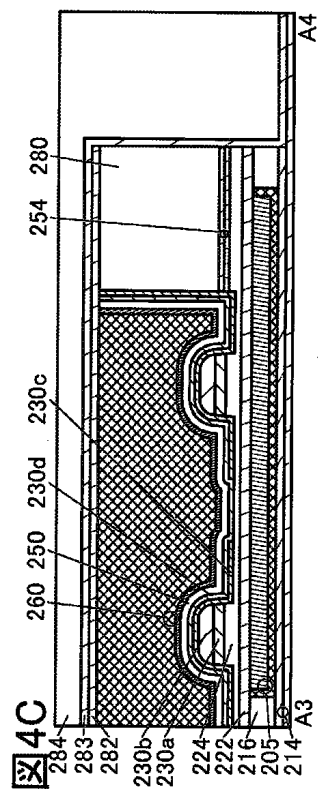
20

30

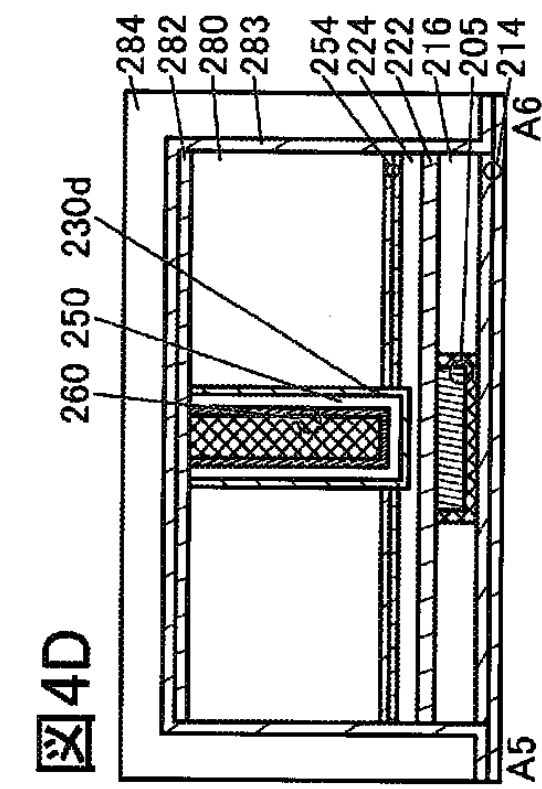
40

50

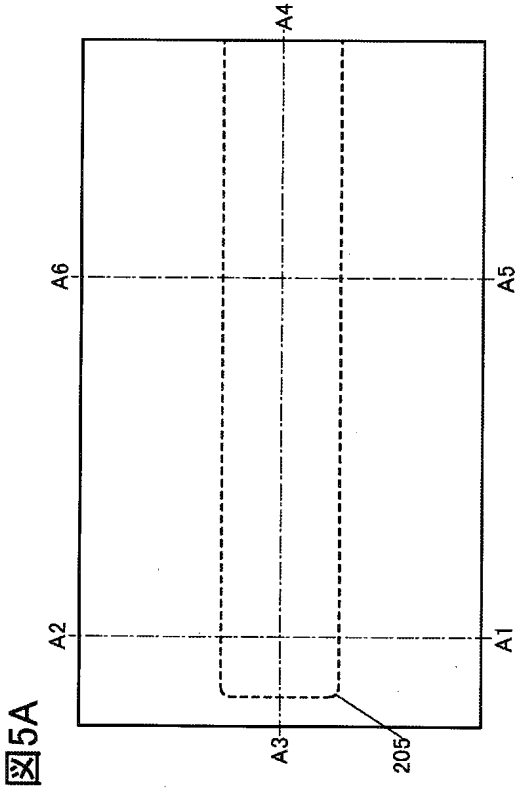
【図 4 C】



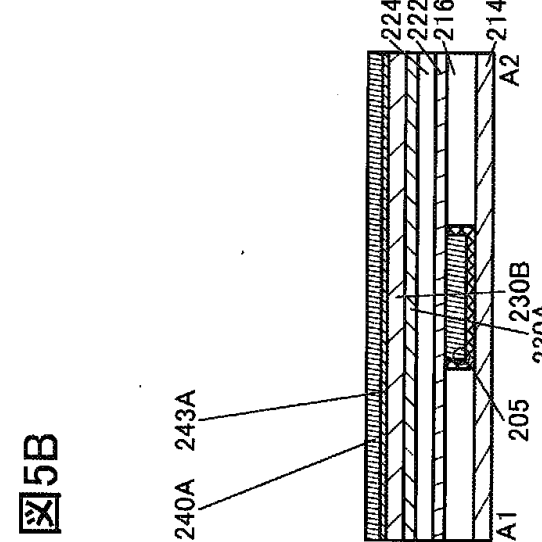
【図 4 D】



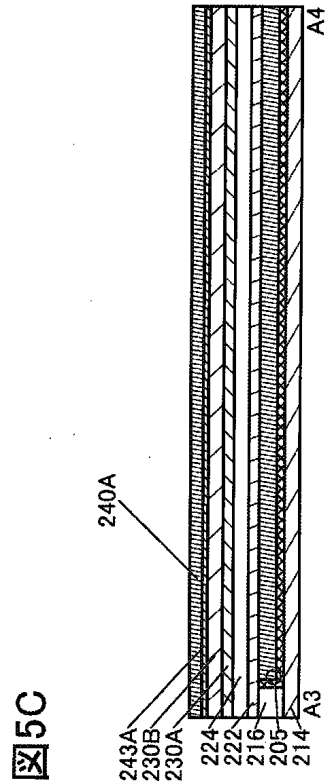
【図 5 A】



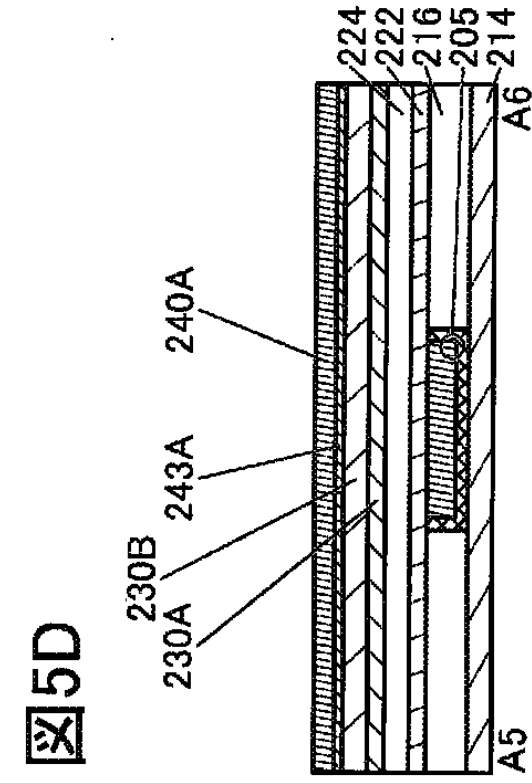
【図 5 B】



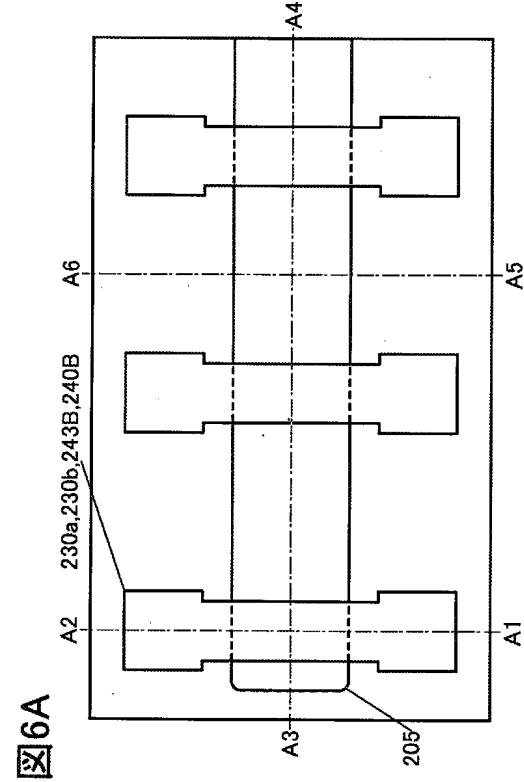
【図 5 C】



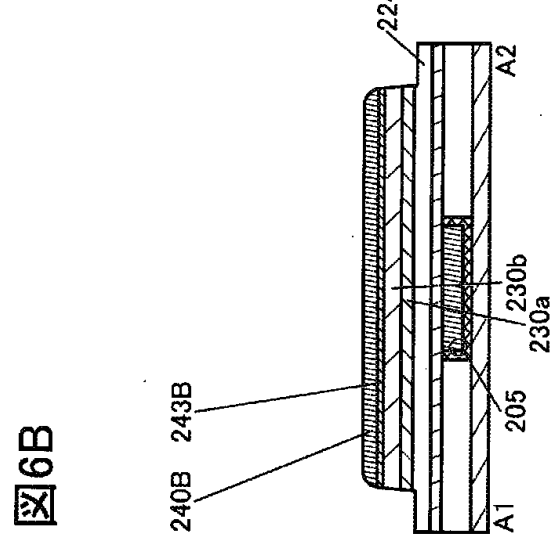
【図 5 D】



【図 6 A】



【図 6 B】



10

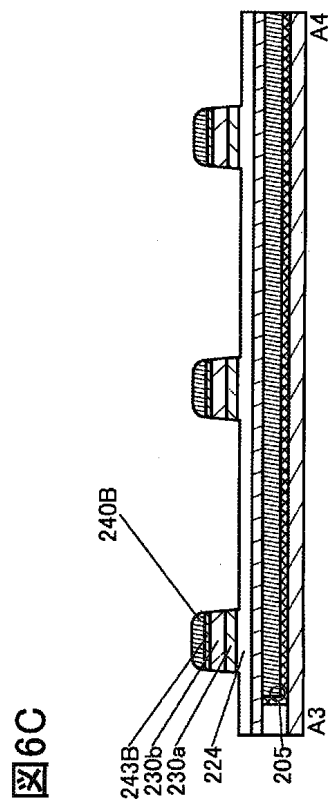
20

30

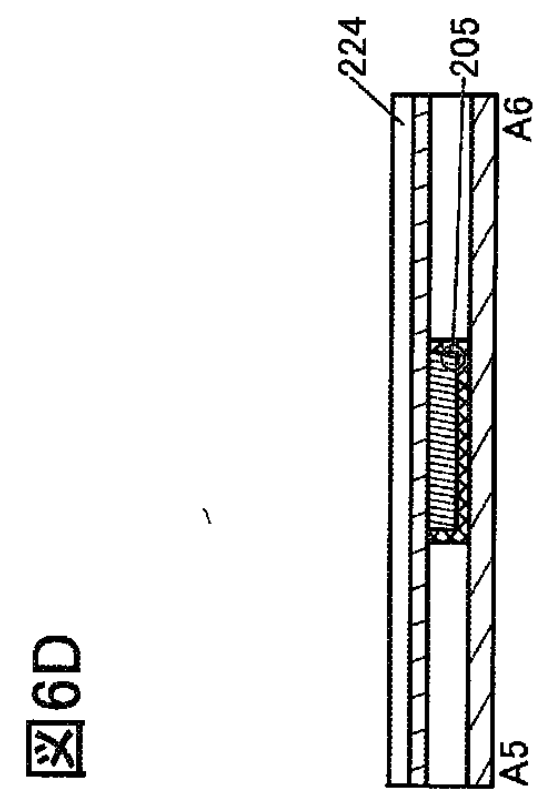
40

50

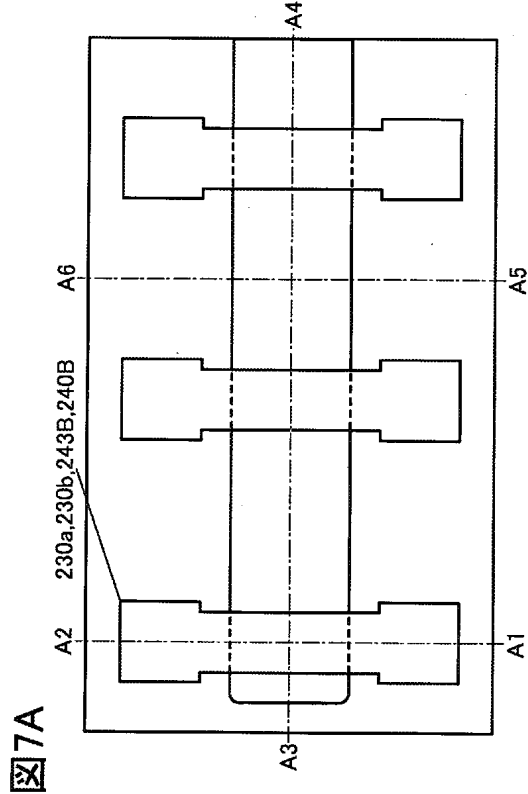
【図 6 C】



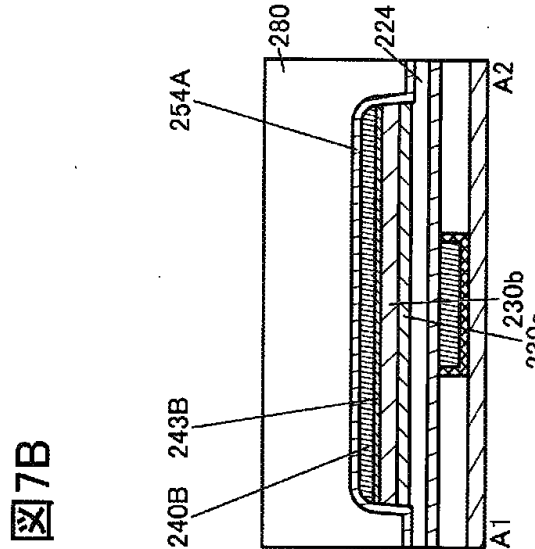
【図 6 D】



【図 7 A】



【図 7 B】



10

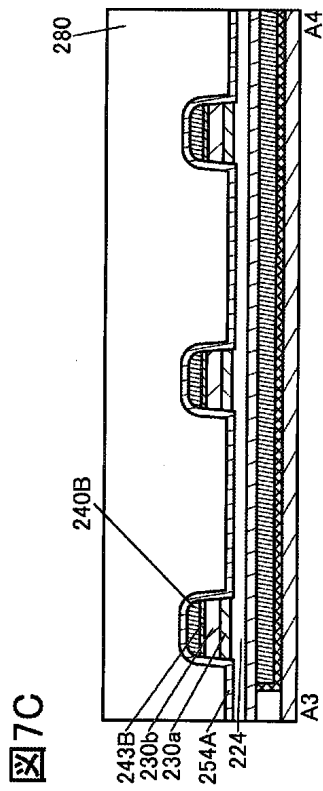
20

30

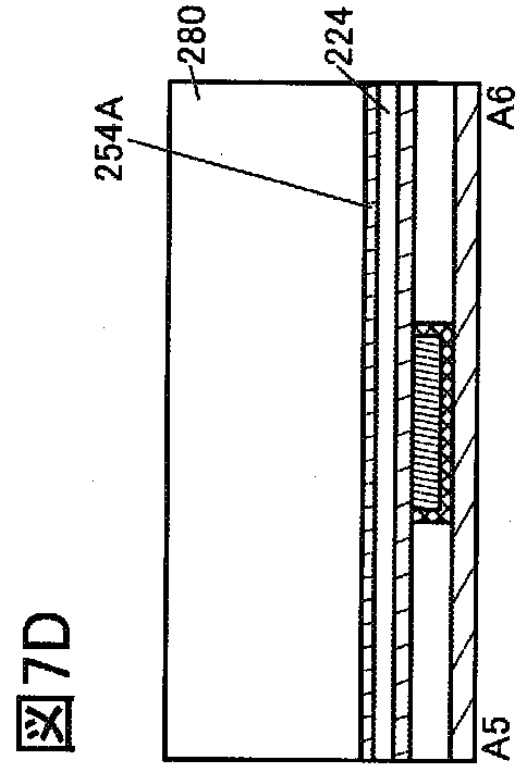
40

50

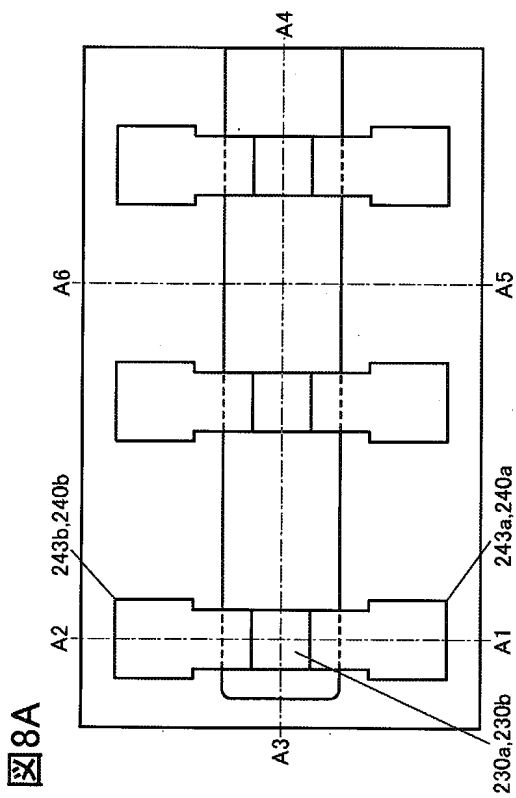
【図 7 C】



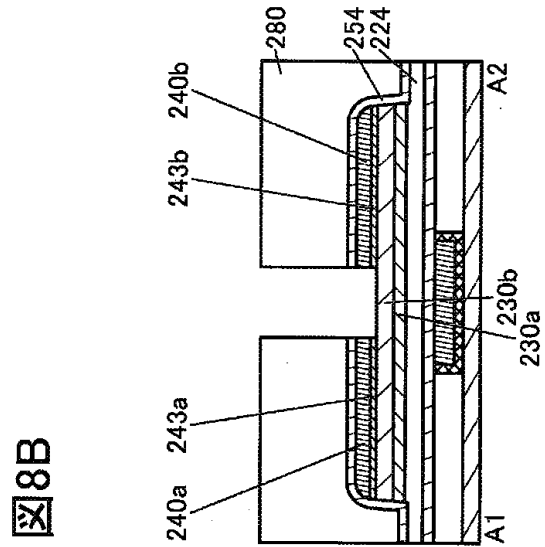
【図 7 D】



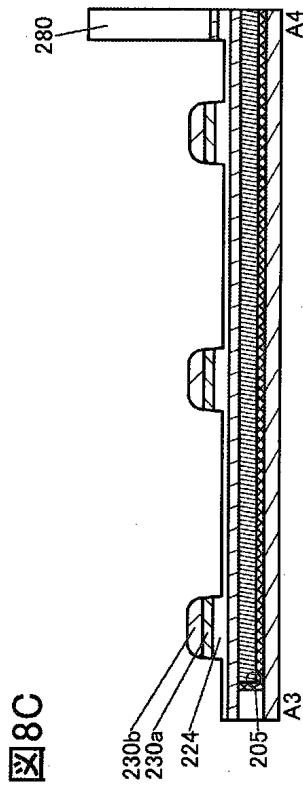
【図 8 A】



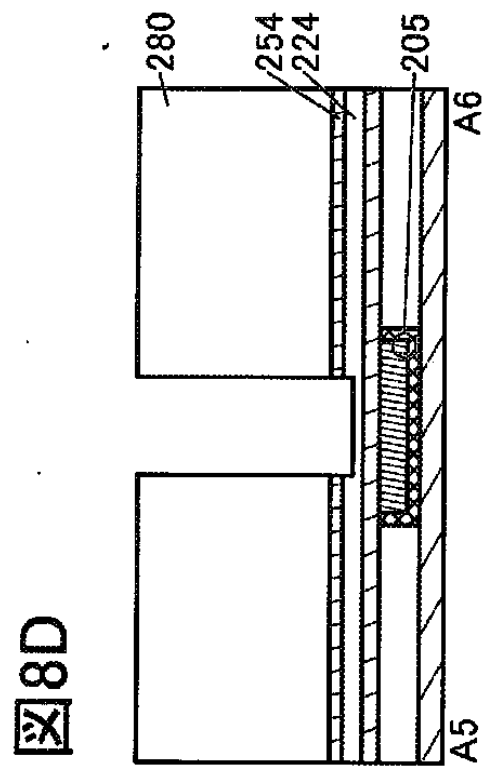
【図 8 B】



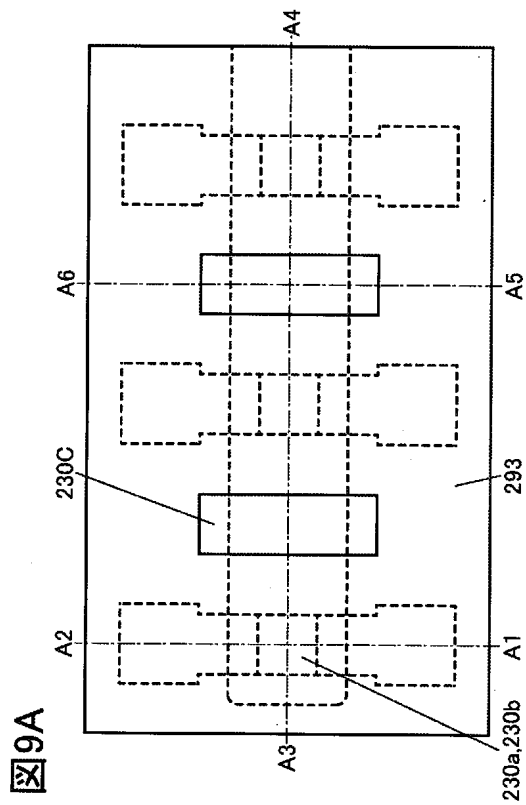
【図 8 C】



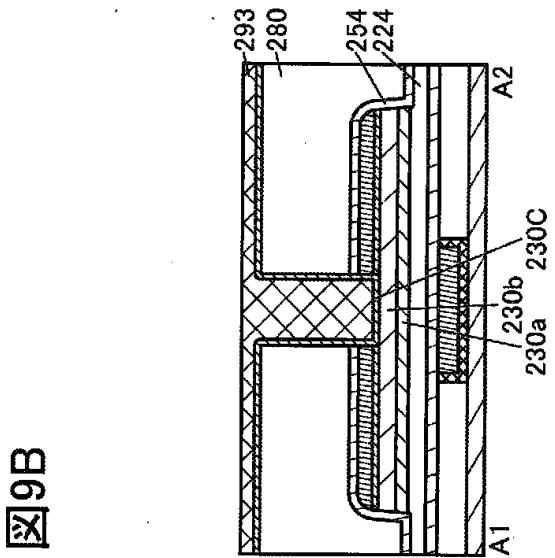
【図 8 D】



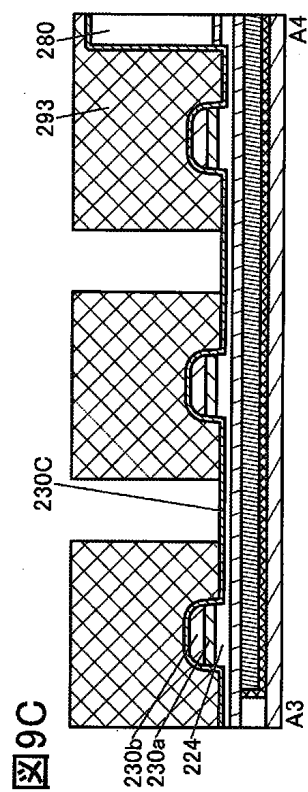
【図 9 A】



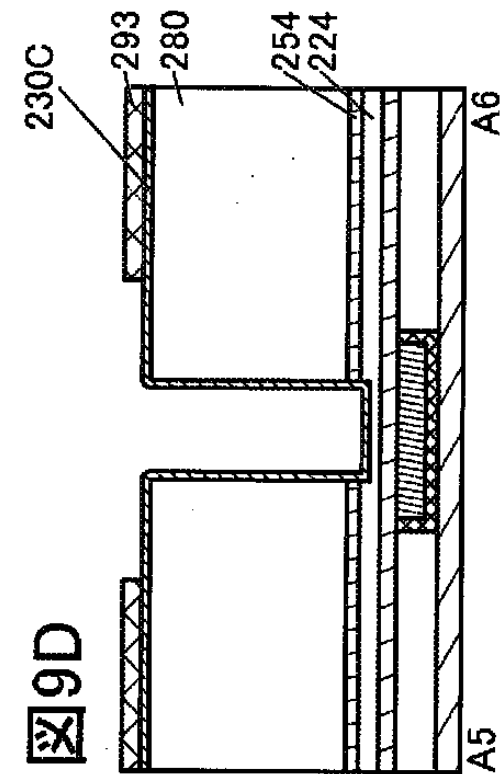
【図 9 B】



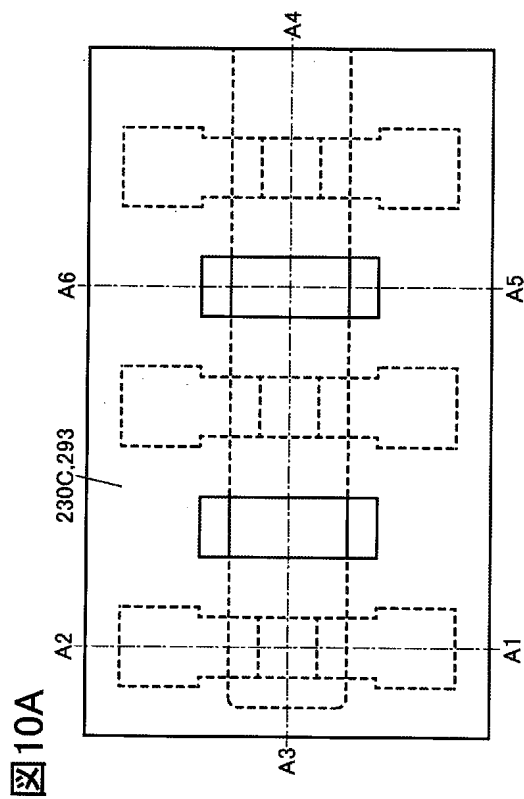
【図 9 C】



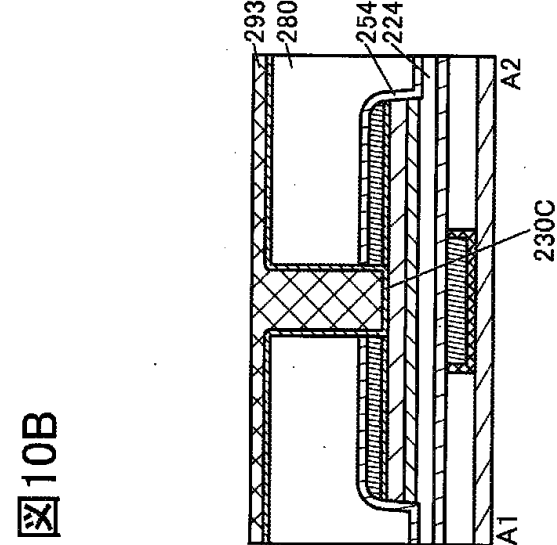
【図 9 D】



【図 10 A】



【図 10 B】



10

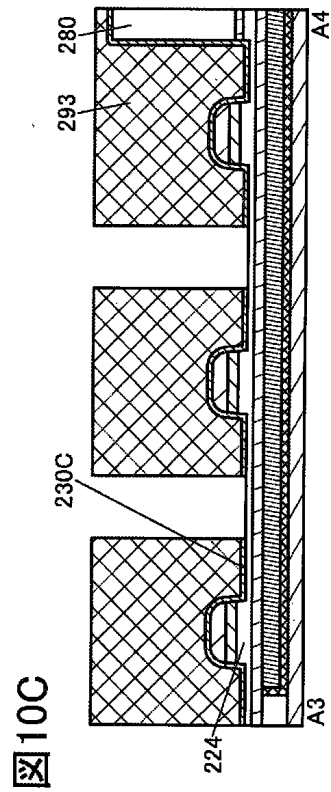
20

30

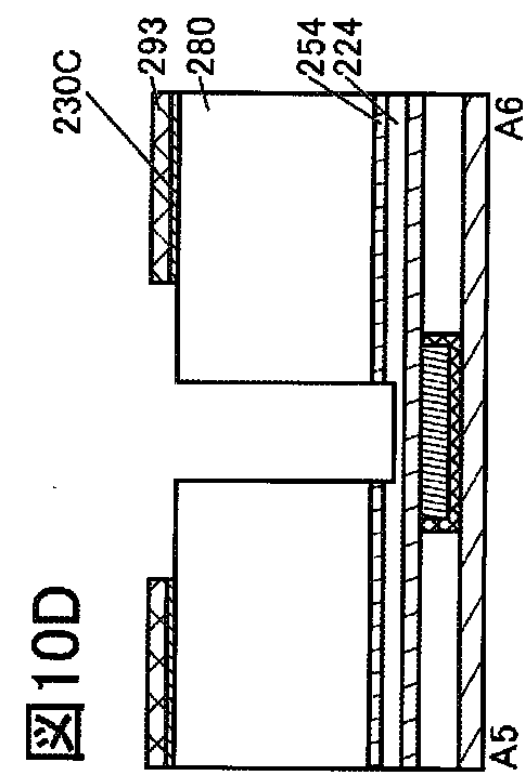
40

50

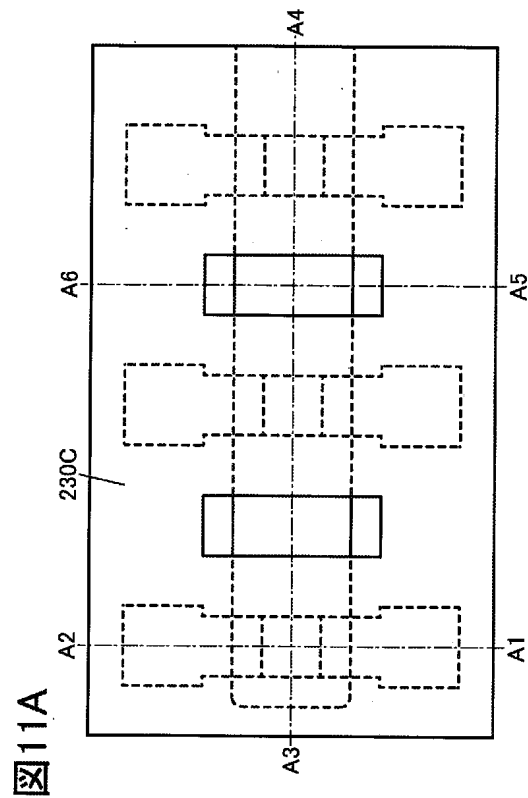
【図10C】



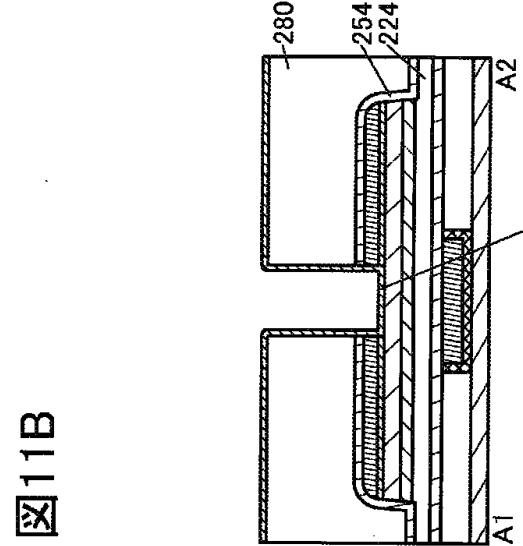
【図10D】



【図11A】



【図11B】



10

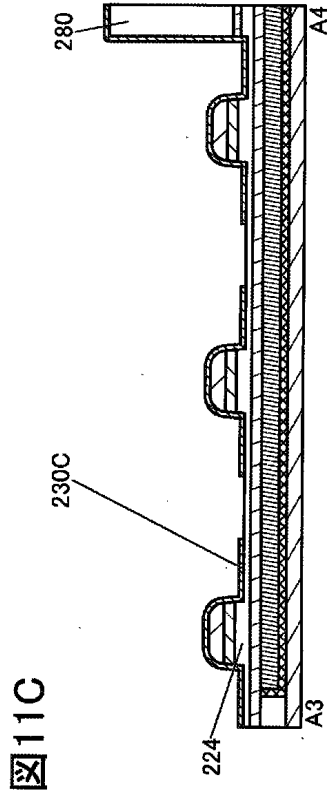
20

30

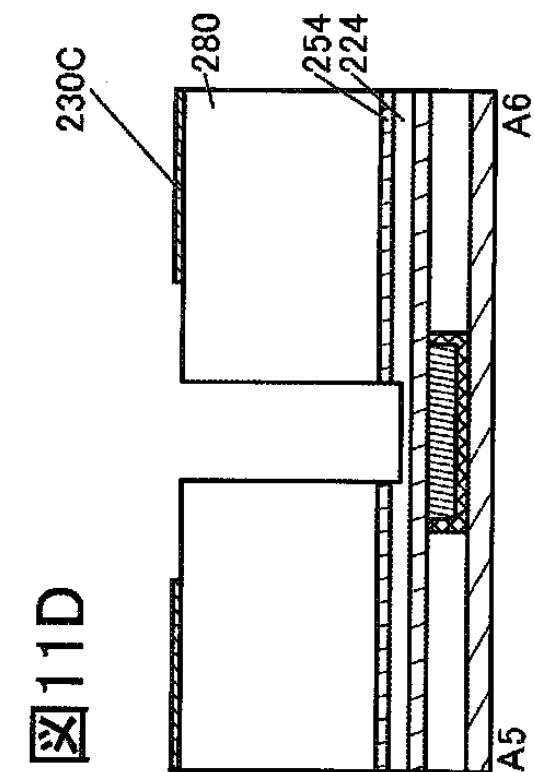
40

50

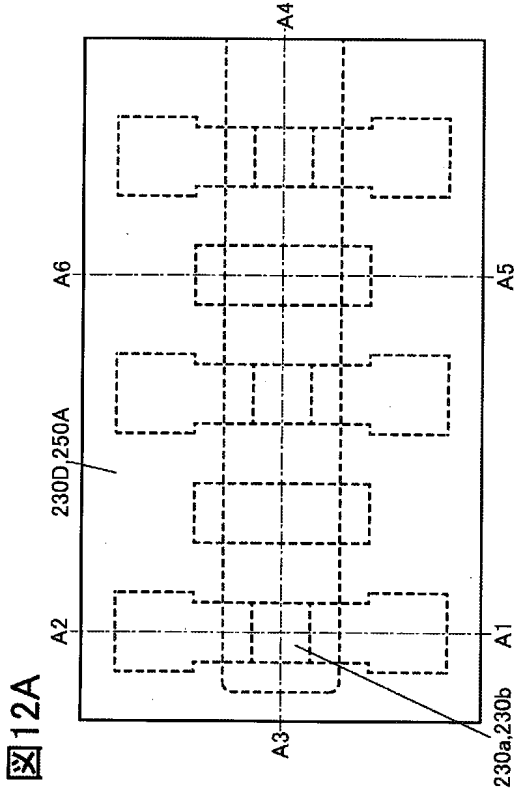
【図 1 1 C】



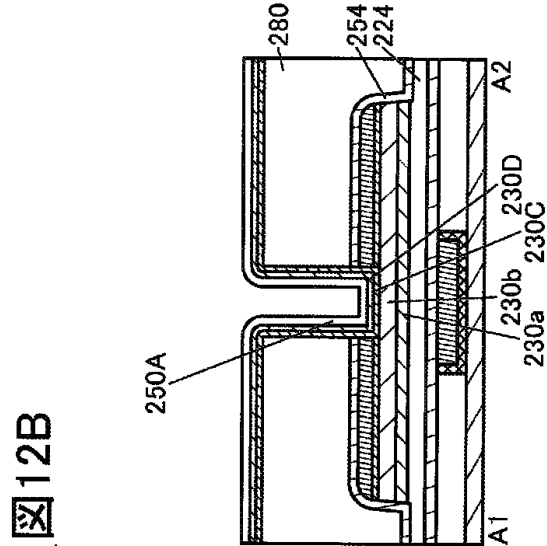
【図 1 1 D】



【図 1 2 A】



【図 1 2 B】



10

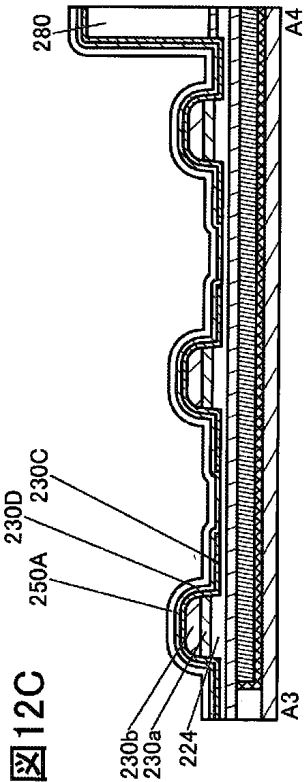
20

30

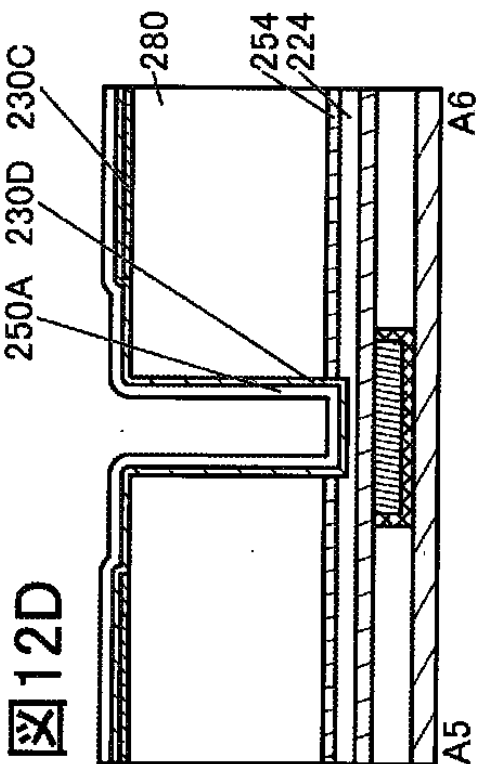
40

50

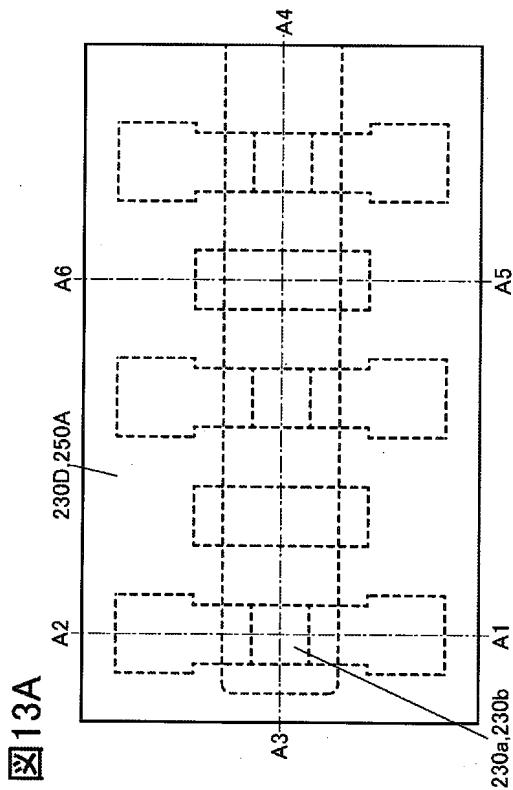
【図 1 2 C】



【図 1 2 D】



【図 1 3 A】



【図 1 3 B】

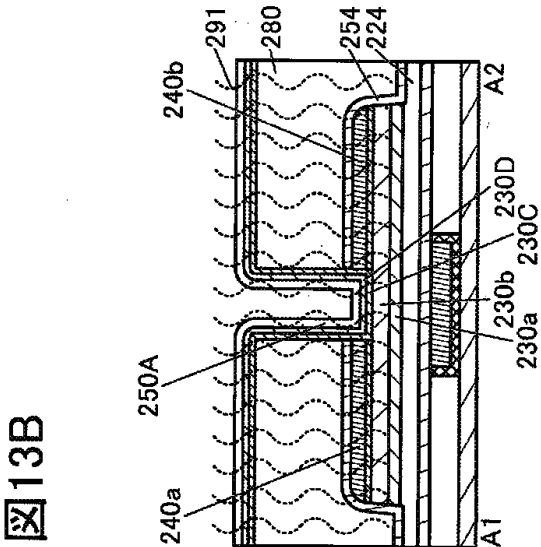


図13B

10

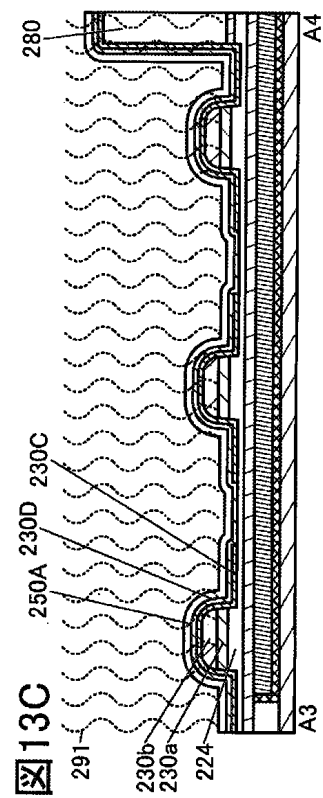
20

30

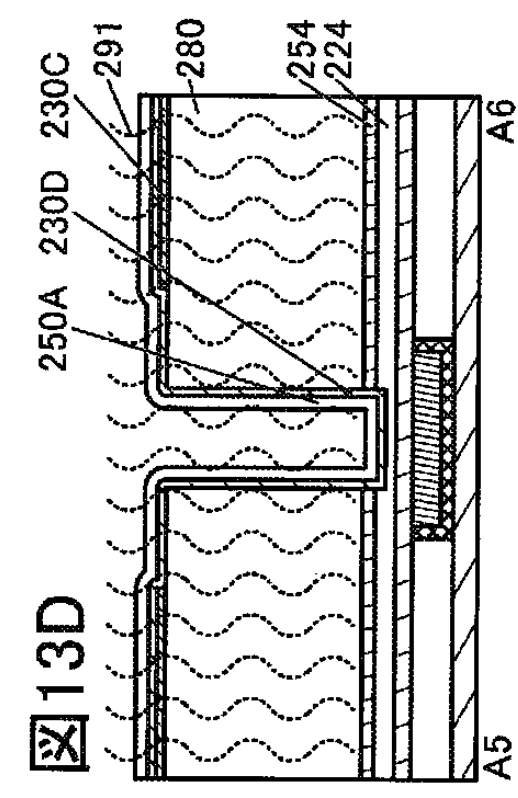
40

50

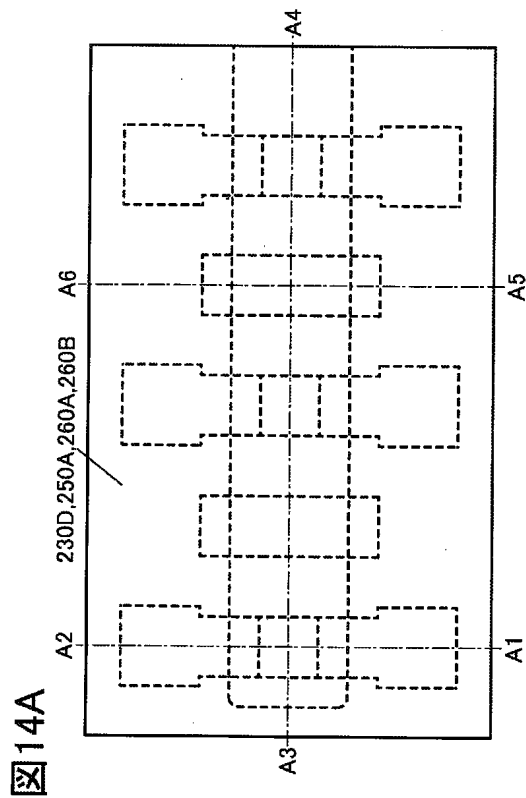
【図 1 3 C】



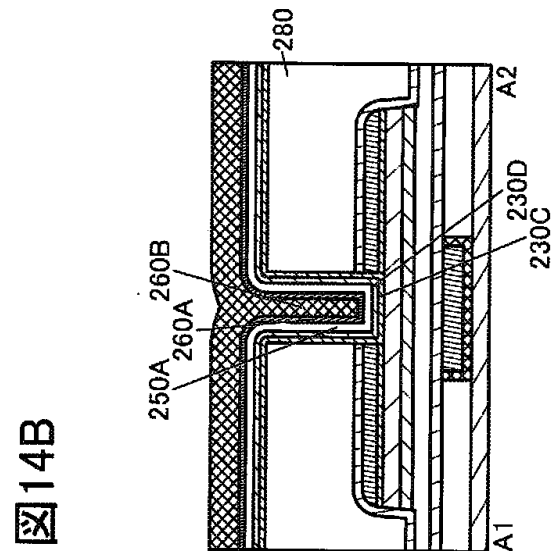
【図 1 3 D】



【図 1 4 A】



【図 1 4 B】



10

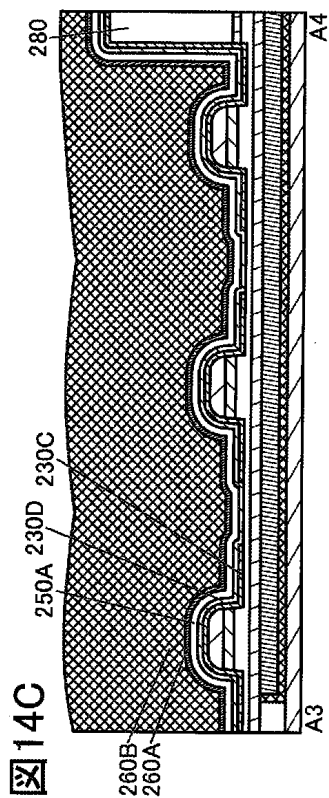
20

30

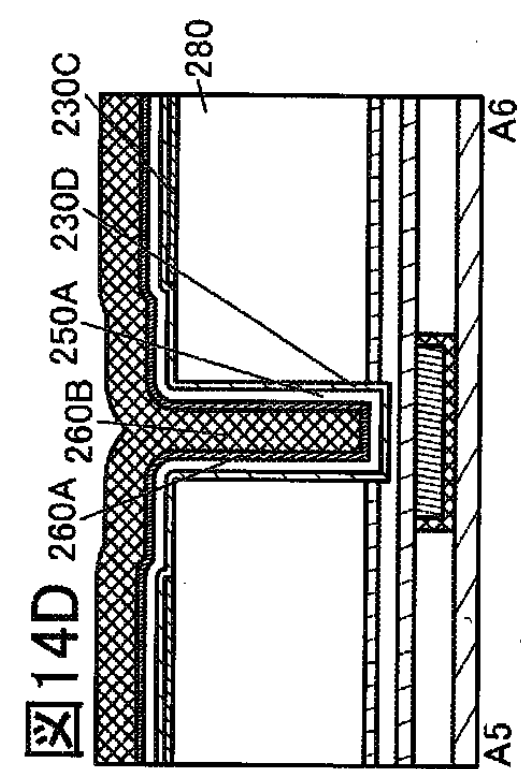
40

50

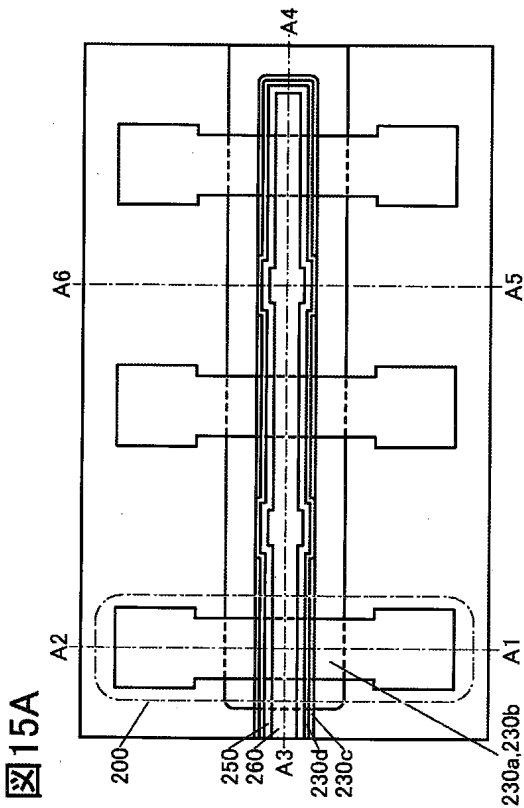
【図 1 4 C】



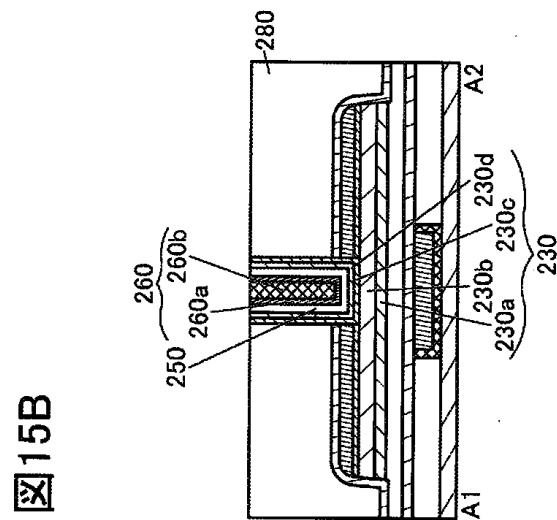
【図 1 4 D】



【図 1 5 A】



【図 1 5 B】



10

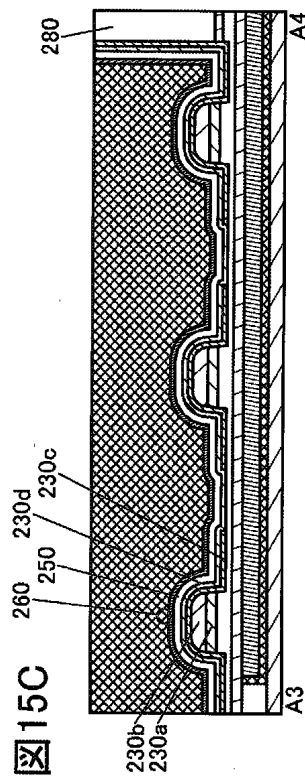
20

30

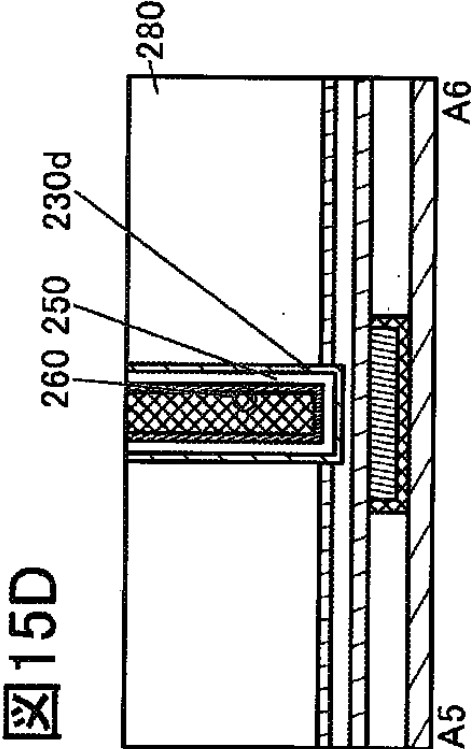
40

50

【図 15 C】

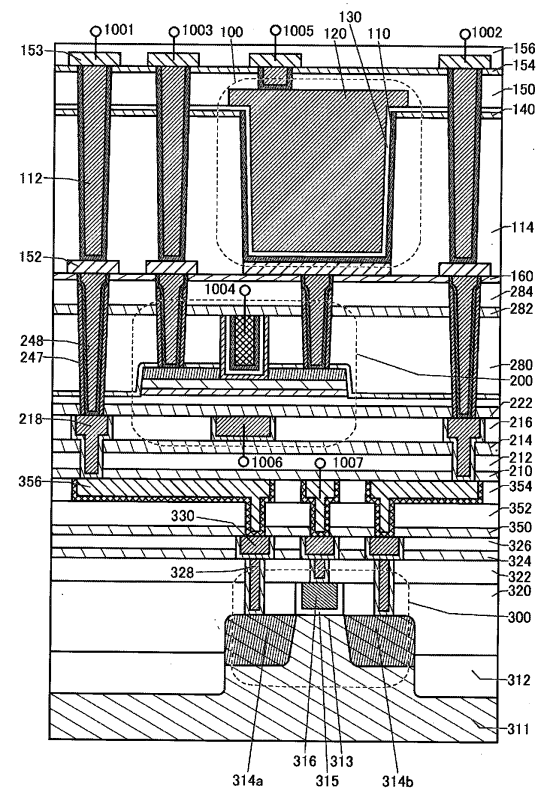


【図 15 D】



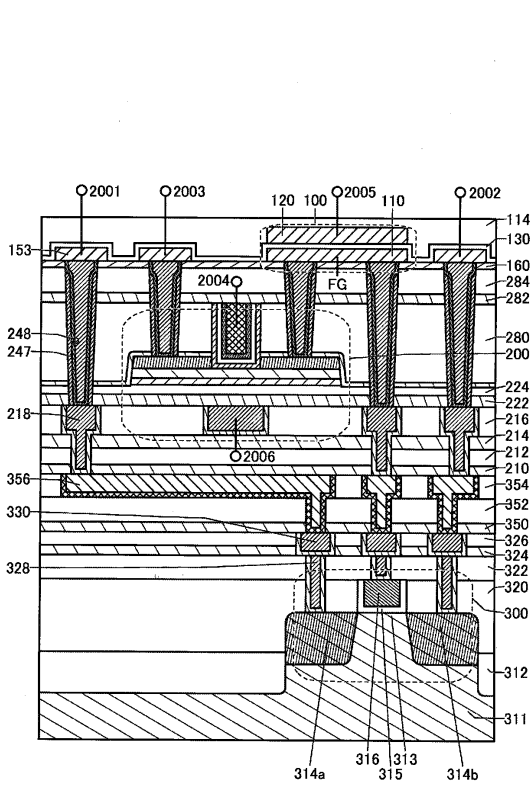
【図 16】

図16



【図 17】

図17



10

20

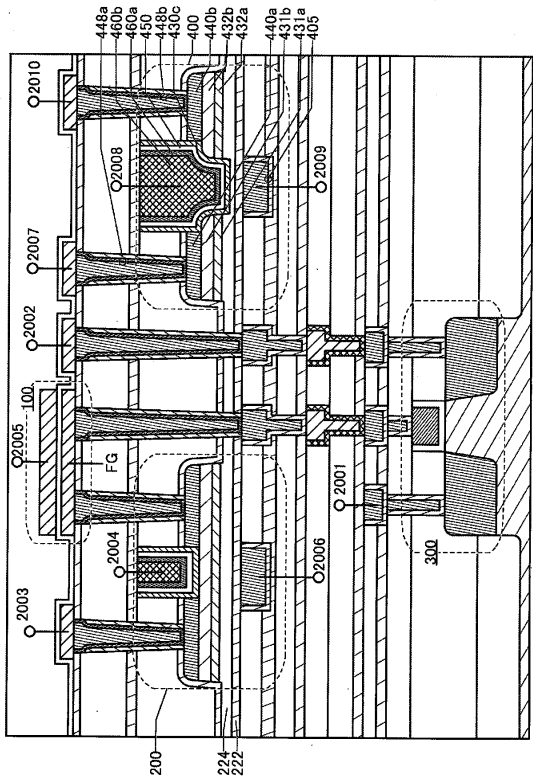
30

40

50

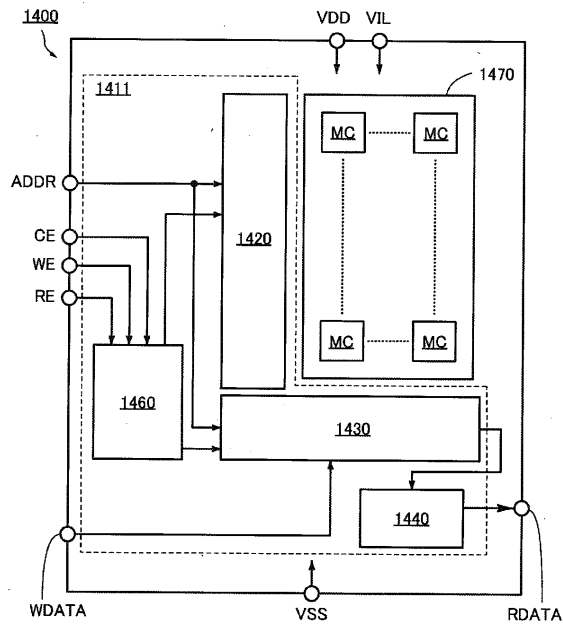
【図 18】

図18



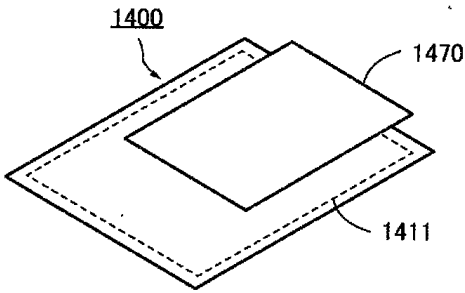
【図 19 A】

図19A



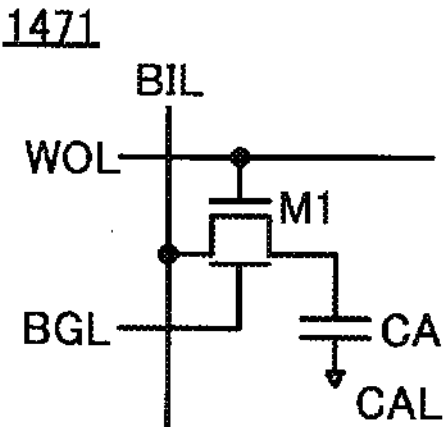
【図 19 B】

図19B



【図 20 A】

図20A



10

20

30

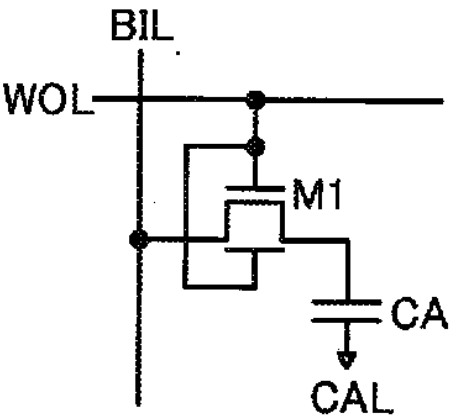
40

50

【図 20 B】

図20B

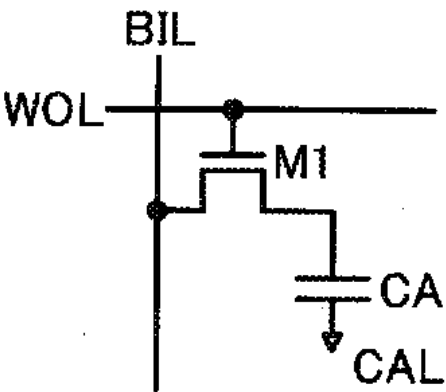
1472



【図 20 C】

図20C

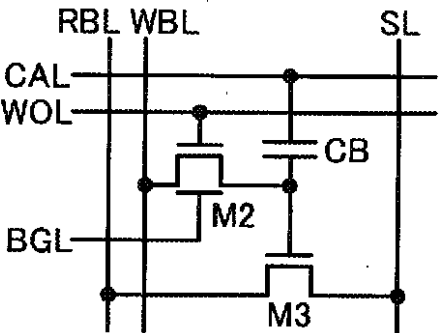
1473



【図 20 D】

図20D

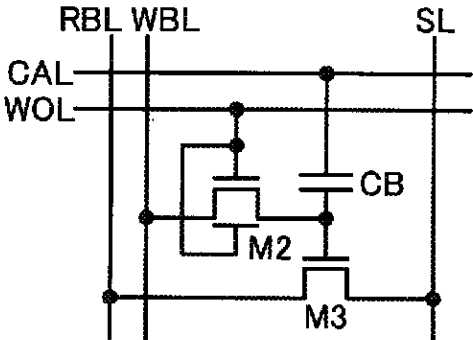
1474



【図 20 E】

図20E

1475



10

20

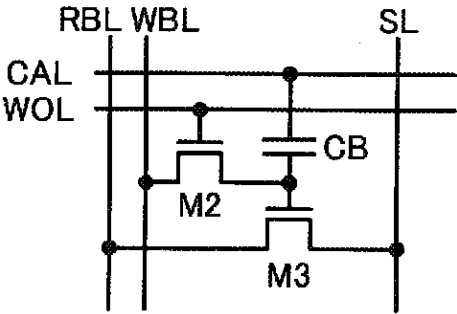
30

40

50

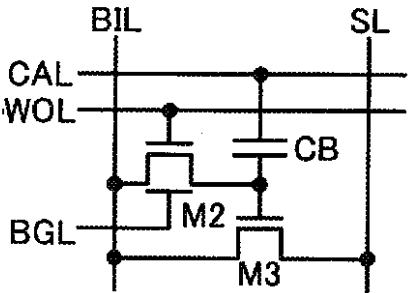
【図 20 F】

図20F
1476



【図 20 G】

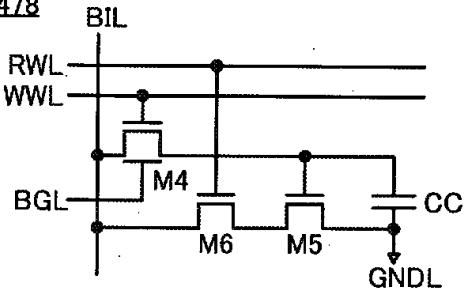
図20G
1477



10

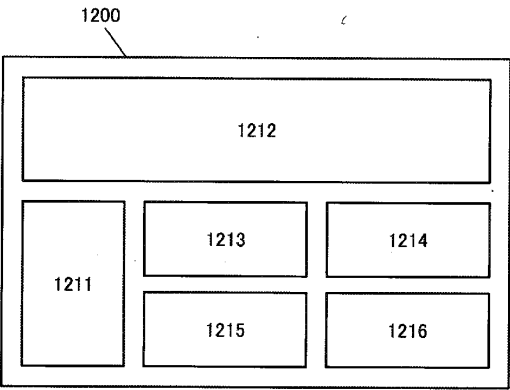
【図 20 H】

図20H
1478



【図 21 A】

図21A



20

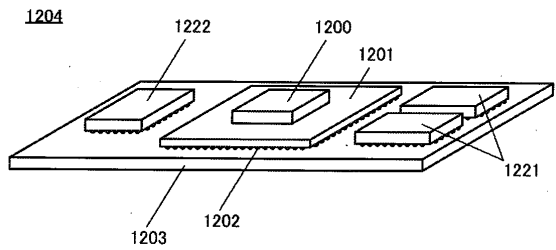
30

40

50

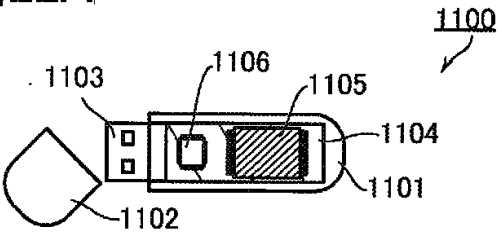
【図 2 1 B】

図21B



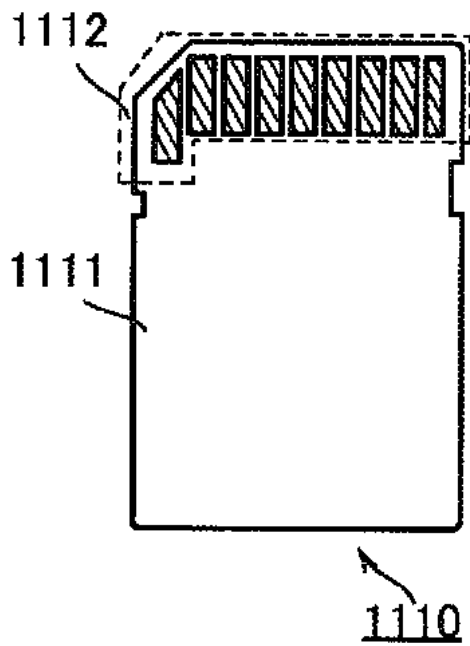
【図 2 2 A】

図22A



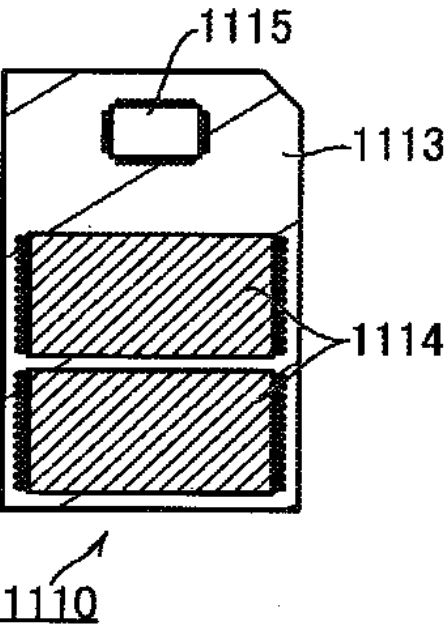
【図 2 2 B】

図22B



【図 2 2 C】

図22C



10

20

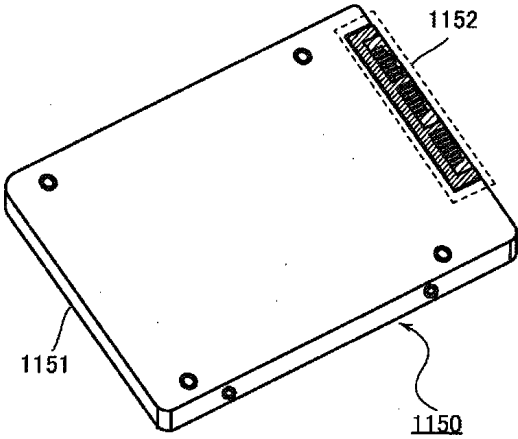
30

40

50

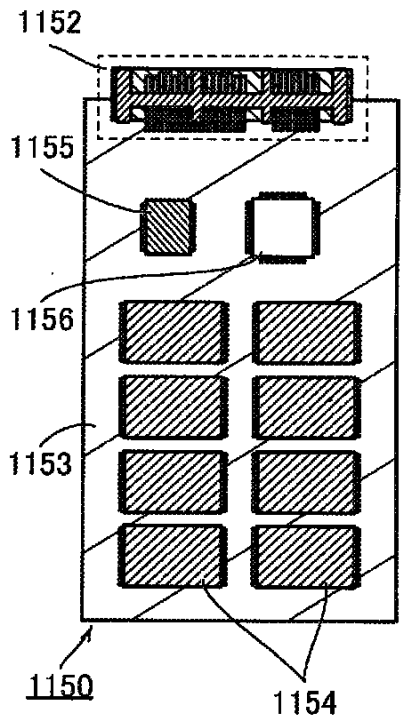
【図 2 2 D】

図22D



【図 2 2 E】

図22E

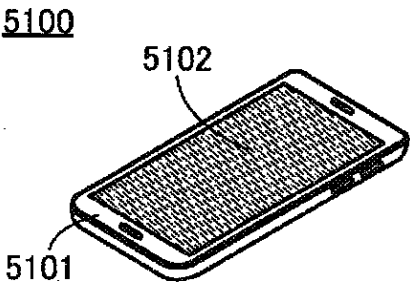


10

20

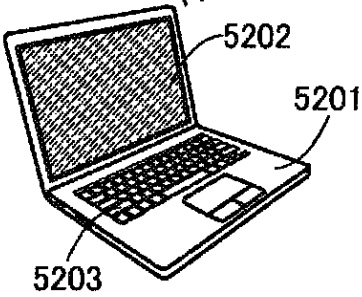
【図 2 3 A】

図23A



【図 2 3 B】

図23B



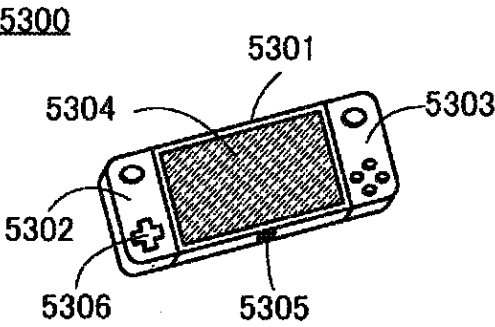
30

40

50

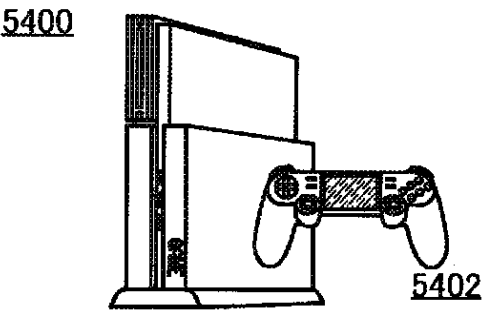
【図 2 3 C】

図23C



【図 2 3 D】

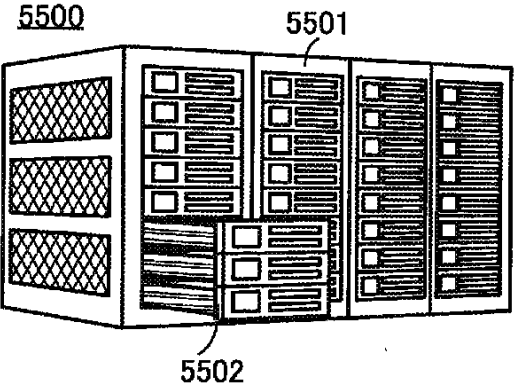
図23D



10

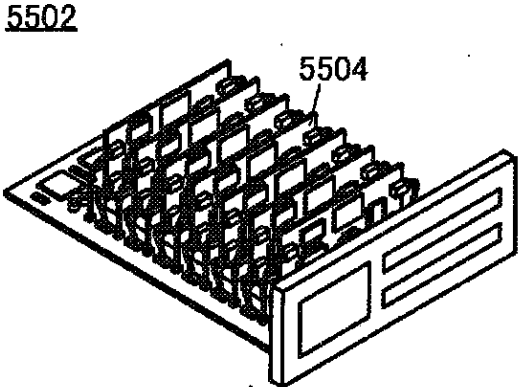
【図 2 3 E】

図23E



【図 2 3 F】

図23F



20

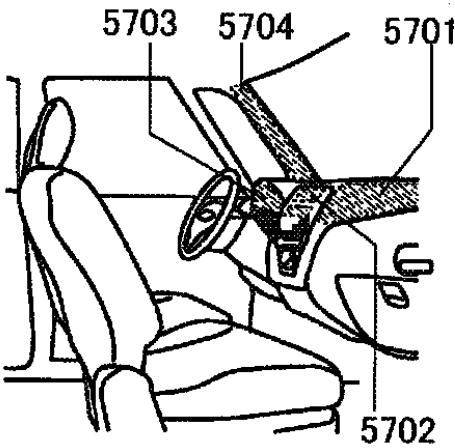
30

40

50

【図 2 3 G】

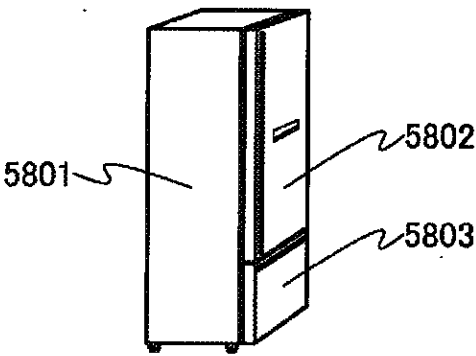
図23G



【図 2 3 H】

図23H

5800



10

20

30

40

50

フロントページの続き

(51)国際特許分類	F I			
H 0 1 L 29/788 (2006.01)	H 1 0 B	41/40		
H 0 1 L 29/792 (2006.01)	H 1 0 B	12/00	6 2 1 Z	
	H 1 0 B	12/00	6 7 1 C	
	H 1 0 B	12/00	6 7 1 Z	
	H 0 1 L	29/78	3 7 1	

(72)発明者 長塚 修平
神奈川県厚木市長谷 3 9 8 番地 株式会社半導体エネルギー研究所内

審査官 山口 祐一郎

- (56)参考文献 特開 2 0 1 6 - 1 0 5 4 7 4 (J P , A)
特開 2 0 1 6 - 1 5 7 9 4 3 (J P , A)
特開 2 0 1 6 - 1 6 7 5 9 5 (J P , A)
特開 2 0 1 5 - 0 7 3 0 3 9 (J P , A)
特開 2 0 1 4 - 1 9 5 0 6 3 (J P , A)

- (58)調査した分野 (Int.Cl., D B 名)
H 0 1 L 2 9 / 7 8 6
H 0 1 L 2 7 / 0 0
H 1 0 B 1 2 / 0 0
H 1 0 B 4 1 / 7 0
H 0 1 L 2 1 / 3 3 6