

(19) 日本国特許庁(JP)

(12) 公表特許公報(A)

(11) 特許出願公表番号

特表2005-531224

(P2005-531224A)

(43) 公表日 平成17年10月13日(2005. 10. 13)

(51) Int.Cl.⁷

H03F 1/32

F I

H03F 1/32

テーマコード (参考)

5J500

審査請求 未請求 予備審査請求 未請求 (全 13 頁)

(21) 出願番号 特願2004-516186 (P2004-516186)
 (86) (22) 出願日 平成15年6月25日 (2003. 6. 25)
 (85) 翻訳文提出日 平成17年2月24日 (2005. 2. 24)
 (86) 国際出願番号 PCT/US2003/019849
 (87) 国際公開番号 W02004/001956
 (87) 国際公開日 平成15年12月31日 (2003. 12. 31)
 (31) 優先権主張番号 60/391, 084
 (32) 優先日 平成14年6月25日 (2002. 6. 25)
 (33) 優先権主張国 米国 (US)

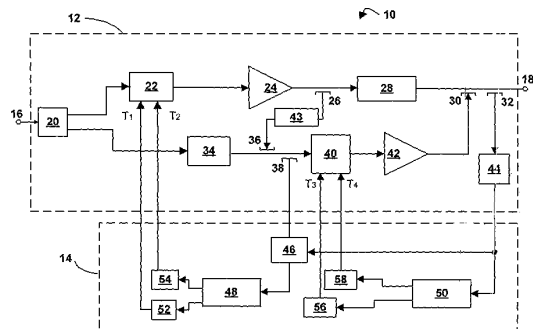
(71) 出願人 505002255
 ソマ ネットワークス インコーポレイテッド
 カナダ国 エム5 ヴイ 1 アール2 オン
 タリオ州 トロント スウィート 700
 アデレード ストリート ウェスト 3
 12
 (74) 代理人 100079049
 弁理士 中島 淳
 (74) 代理人 100084995
 弁理士 加藤 和詳
 (74) 代理人 100085279
 弁理士 西元 勝一

最終頁に続く

(54) 【発明の名称】 フォワード増幅器

(57) 【要約】

信号取消及び相互変調取消ループが最初にゼロにされた後に、フィードフォワード増幅器の出力における相互変調を最小にするように、両方のループが制御されるようにフィードフォワード増幅器が作動される、フィードフォワード増幅器を作動するための装置及び方法。



【特許請求の範囲】

【請求項 1】

信号取消ループと相互変調取消ループとを具備する、フィードフォワード増幅器であって、フィードフォワード増幅器は、起動時にフィードフォワード経路内の信号電力を最小にするように信号取消ループが平衡され、その後、フィードフォワード増幅器の出力における相互変調を最小にするように作動されるように構成された、フィードフォワード増幅器。

【請求項 2】

フィードフォワード増幅器であって、

入力ポート 16 と、

出力ポート 18 と、

第 1 の主経路スプリッタ 20 であって、入力信号が入力ポート 16 に適用された時に入力信号が第 1 の主経路スプリッタ 20 によって主信号とフィードフォワード信号とに分割されるように、入力が入力ポート 16 に接続された、第 1 の主経路スプリッタ 20 と、

入力が第 1 の主経路スプリッタ 20 の第 1 の出力に接続された、主信号経路利得及び位相調整器 22 であって、タップ上の電圧レベルが主信号の利得と位相とを制御するように構成された、利得制御入力タップ T_1 と位相制御入力タップ T_2 とを有する、主信号経路利得及び位相調整器 22 と、

入力が主信号経路利得及び位相調整器 22 の出力に接続された、主増幅器 24 と、

入力が主増幅器 24 の出力に接続された、第 2 の主経路スプリッタ 26 と、

入力が第 2 の主経路スプリッタ 26 の第 1 の出力に接続された、主信号経路遅延エレメント 28 と、

第 1 の入力が主信号経路遅延エレメント 28 の出力に接続された、第 1 の主経路カプラ 30 と、

入力が第 1 の主経路カプラ 30 の出力に接続され、第 1 の出力が出力ポート 18 に接続された、第 3 の主経路スプリッタ 32 と、

入力が第 3 の主経路スプリッタ 32 の第 2 の出力に接続された、相互変調受信器 44 と

、
入力が第 1 の主経路スプリッタ 20 の第 2 の出力に接続された、フィードフォワード信号経路遅延エレメント 34 であって、主増幅器 24 によって引き起こされた主信号内の遅延に略適合するように選択された遅延がフィードフォワード信号経路遅延エレメント 34 によって負荷される、フィードフォワード信号経路遅延エレメント 34 と、

第 1 の入力がフィードフォワード信号経路遅延エレメント 34 の出力に接続された、フィードフォワード経路カプラ 36 と、

第 2 の主経路スプリッタ 26 の第 2 の出力をフィードフォワード経路カプラ 36 の第 2 の入力に接続する、減衰器 43 であって、フィードフォワード経路カプラ 36 に提供された主信号の無ひずみ部分がフィードフォワード信号によって略取り消されるように減衰が選択される、減衰器 43 と、

入力がフィードフォワード経路カプラ 36 の出力に接続された、フィードフォワード経路スプリッタ 38 と、

第 1 の行程がフィードフォワード経路スプリッタ 38 の第 2 の出力に接続され、第 2 の行程が相互変調受信器 44 の出力に接続された、S P D T スイッチ 46 と、

入力が S P D T スイッチ 46 の極に接続された、信号電力検出器／プロセッサ 48 であって、入力に示された信号を最小にするために、利得制御入力タップ T_1 と位相制御入力タップ T_2 とをどのように導くかを示す入力に示された信号からデータを引き出して処理するように構成された、信号電力検出器／プロセッサ 48 と、

入力が信号電力検出器／プロセッサ 48 の第 1 の出力に接続された、信号電力利得コントローラ 52 であって、信号電力検出器／プロセッサ 48 の入力をフィードフォワード経路スプリッタ 38 の第 2 の出力に接続するために S P D T スイッチ 46 が設定されている時のフィードフォワード経路スプリッタ 38 における信号電力を最小にして、信号電力検

10

20

30

40

50

出器／プロセッサ４８の入力を相互変調受信器４４の出力に接続するためにＳＰＤＴスイッチ４６が設定されている時の相互変調受信器４４によって受け取られた相互変調を最小にするために、信号電力検出器／プロセッサ４８によって提供されたデータに対応して利得制御入力タップＴ_１を導くように構成された、信号電力利得コントローラ５２と、

入力が信号電力検出器／プロセッサ４８の第２の出力に接続された、信号電力位相コントローラ５４であって、信号電力検出器／プロセッサ４８の入力をフィードフォワード経路スプリッタ３８の第２の出力に接続するためにＳＰＤＴスイッチ４６が設定されている時のフィードフォワード経路スプリッタ３８における信号電力を最小にして、信号電力検出器／プロセッサ４８の入力を相互変調受信器４４の出力に接続するためにＳＰＤＴスイッチ４６が設定されている時の相互変調受信器４４によって受け取られた相互変調を最小にするために、信号検出器／プロセッサ４８によって提供されたデータに対応して位相制御入力タップＴ_２を導くように構成された、信号電力位相コントローラ５４と、

入力がフィードフォワード経路スプリッタ３８の第１の出力に接続された、フィードフォワード信号経路利得及び位相調整器４０であって、利得制御入力タップＴ_３と位相制御入力タップＴ_４とを有する、フィードフォワード信号経路利得及び位相調整器４０と、

入力がフィードフォワード信号経路利得及び位相調整器４０の出力に接続され、出力が第１の主経路カプラ３０の第２の入力に接続された、補正増幅器４２であって、主信号経路遅延エレメント２８が補正増幅器４２内の遅延に略等しい遅延を有する、補正増幅器４２と、

入力が相互変調受信器４４の出力に接続された、相互変調検出器／プロセッサ５０であって、入力に示された信号を最小にするために、利得制御入力タップＴ_３と位相制御入力タップＴ_４とをどのように導くかを示す入力に示された信号からのデータを引き出して処理するように構成された、相互変調検出器／プロセッサ５０と、

入力が相互変調検出器／プロセッサ５０の第１の出力に接続された、相互変調利得コントローラ５６であって、相互変調受信器４４によって受け取られた相互変調を最小にするために、相互変調検出器／プロセッサ５０によって提供されたデータに対応して、利得制御入力タップＴ_３を導く、相互変調利得コントローラ５６と、

入力が相互変調検出器／プロセッサ５０の第１の出力に接続された、相互変調位相コントローラ５８であって、相互変調受信器４４によって受け取られた相互変調を最小にするために、相互変調検出器／プロセッサ５０によって提供されたデータに対応して、位相制御入力タップＴ_４を導く、相互変調位相コントローラ５８と、を含み、

フィードフォワード増幅器１０の起動時に、フィードフォワード経路内の総パワーが最小にされて相互変調受信器４４によって受け取られた相互変調が最小にされるまで、フィードフォワード経路スプリッタ３８を信号電力検出器／プロセッサ４８に接続するように、ＳＰＤＴスイッチ４６が設定され、次に、相互変調受信器４４を信号電力検出器／プロセッサ４８に接続するように設定される、フィードフォワード増幅器。

【請求項３】

信号取消ループと相互変調取消ループとを有するフィードフォワード増幅器を作動するための方法であって、

起動時に、フィードフォワード経路内の信号電力を最小にするように信号取消ループが平衡するように、フィードフォワード増幅器を作動することと、

次に、フィードフォワード増幅器の出力における相互変調を最小にするように、フィードフォワード増幅器を作動することと、を備えた、

方法。

【請求項４】

第１の利得及び位相調整器と、主信号経路の一部を形成する主増幅器と、フィードフォワード信号を提供するためのフィードフォワード信号経路出力と、を具備する信号取消ループと、第２の利得及び位相調整器と、補正増幅器と、補正増幅器の出力を主増幅器の下流の主信号経路に結合するための補正カプラと、を具備する相互変調取消ループと、を有する、フィードフォワード増幅器を作動するための方法であって、

フィードフォワード信号経路出力における信号電力を最小にするように第1の利得及び位相調整器を導き、カプラの下流の相互変調を最小にするように第2の利得及び位相調整器を導くことと、

次に、フィードフォワード信号経路出力における信号電力と補正カプラの下流の相互変調とが最小に達する時に、補正カプラの下流の相互変調を最小にするように、両方の利得及び位相調整器を導くことと、を具備した、

方法。

【発明の詳細な説明】

【技術分野】

【0001】

10

本発明は、フィードフォワード増幅器に関する。より詳細には、本発明は、フィードフォワード増幅器内で利得及び位相調整を制御するための装置及び方法に関する。

【背景技術】

【0002】

周知の種類の増幅器として、フィードフォワード増幅器がある。フィードフォワード増幅器内の線形性を実現するために、増幅器回路の注意深い制御が要求される。特に、フィードフォワード増幅器では、2つ以上の利得及び位相調整器がしばしば用いられており、増幅器を通じて線形性を実現するために、これらの調整器のタッパは注意深く導かれる。

【0003】

フィードフォワード増幅器の技術分野では、検出器・制御器回路を使用することが知られており、1つは各利得及び位相調整器についてである。主増幅器によって引き起こされる誤差を減らすために、主増幅器と補正増幅器とが適切に協働可能であるように、各検出器・制御器回路は、フィードフォワード増幅器内の、それぞれの利得及び位相調整器のタッパを導くために動作可能である。

20

【0004】

フィードフォワード増幅器内で使用される検出器・制御器回路は、信号及び相互変調取消ループ内の位相及び利得調整を制御するために、多数の異なる技術を使用する。典型的には、信号取消ループは、取消ノードにおける総パワーを測定して適切に最小にすることによってゼロにされる。無ひずみの入力信号は合成信号から除去される（取り消される）から、これは当然である。総パワーは、この取消が最大の時に最小にされる。相互変調取消ループは、パイロット信号、相互変調検出器、ベクトル信号解析、及び多くの他の技術を含む多数の技術を使用して、ゼロにできる。

30

【0005】

フィードフォワード増幅器の一次又はテキストブック解析は、望ましくないひずみ積のみが補正増幅器によって増幅されるべきである、と提案していた。実際には、これは不可能か又は望ましくないことがわかる。補正増幅器信号内には、オリジナルの無ひずみの信号の、ある残留物が常に存在する。これは、(1) 合計ノードでの信号取消が完全ではない、(2) 信号取消ループ内の主増幅器は特徴的には信号のピーク上で非線形的に駆動されループの不均衡を生じさせる、からである。完全な取消は、完全に線形的なシステムでのみ実現可能である。

40

【0006】

従来常識では、信号取消ループは、信号のダイナミックレンジが使用されている場合には、出来る限り最高の全体的な取消をするように調整すべきであるとしていた。さらに、これは、パイロット信号零位法 (nulling) 等の他の技術によって実行されてもよいが、合計ノードにおける総出力を最小にすることによって特徴的に実行される。

【0007】

補正増幅器は、典型的には、補正信号によってそれに要求されたピークのパワーを処理できるような大きさの、いくらか大きな増幅器である。ここで、フィードフォワード増幅器の何度も名が挙がっている短所の1つ対他のアプローチを考える。それは、補正増幅器で無駄に消費された、パワーとコストとである。

50

【発明の開示】

【発明が解決しようとする課題】

【0008】

最も良く設計されたフィードフォワード増幅器は、信号取消ループ内の主増幅器の正面で、利得及び位相調整器を直列に使用する。これを行なうための最も重要な理由は、温度変化及び部品の経時変化等の要因によって生じる、主増幅器内のドリフトに直面して、フィードフォワード増幅器の一定の利得を維持することである。信号取消ループ内の遅延した経路における損失は、一般的には温度と共に変化しないと考えられているから、増幅器で連続的に利得調整をして、一定の信号取消を維持すると、一定の利得を生じさせる。厳密に言う必要ではないが、システムの観点からは、これは非常に有用である。

10

【0009】

本発明では、信号取消ループ内の最大の取消が一般的には望ましくないとしている。フィードフォワード増幅器の出力に追加のパワーを与えるために、補正増幅器を使用することによって性能を向上させるように、信号取消ループを最適に不均衡にするための装置及び方法が開示されている。

【0010】

本発明者は、主増幅器と直列に利得及び位相調整器を置き、信号取消ループを不均衡にすることによって、フィードフォワード増幅器の全体の出力を増加できることを見出した。そうすると、当然のことながら、主増幅器の出力と相互変調生成のレベルとを変化させる。次に、問題は、フィードフォワード増幅器の最高の全体的性能を提供しつつ、補正増幅器に信号とひずみ積との最適な結合を提供するためには、どのようにして信号取消ループを不均衡にするかである。一見したところ、両方のループ内の利得及び位相調整器は、最高の性能を発揮するように丁度調整可能であるようであった（最小の相互変調）。これには2つの理由がある。第一に、他の要因が与えられていない場合には、出力が最小にされた時に、主増幅器は最小にされるからである。しかしながら、本発明者は、信号取消ループは、最初に、従来技術を使用してゼロにされるべきであることを見出した（すなわち、合計ノードにおける総パワーを最小にする）。それゆえ、コールドスタートから、丁度相互変調を最小にするために、信号取消ループの利得調整は最小に駆動され、それは非常に有用な結果ではない。第二に、補正増幅器に示された信号がそれを圧倒したりそれを飽和させるように駆動させることがないように、最小レベルの取消がある必要がある。

20

30

【0011】

解決法は、驚くべき程単純である。第一に、信号取消ループは、合計ノードにおける総パワーを最小にすることによって均衡すべきである。第二に、相互変調取消ループは、相互変調検出器又は相互変調取消ループを均衡するための他の従来手段を使用して均衡すべきである。第三に、遷移は、相互変調検出器を使用して信号取消ループを均衡することによって行なわれるべきである。次に、1つの測定に基づいて4つの調整が行なわれることに注意されたい（フィードフォワード増幅器の出力における相互変調）。主増幅器から来る相互変調を最小にするために、信号取消ループ内の利得調整は最早ゼロに駆動されない。それは、そうすると補正増幅器への信号が非常に増加し、フィードフォワード増幅器からのより大きな全体的な相互変調を引き起こすからである。特徴的には、主増幅器への駆動は極くわずかに減少し、補正増幅器の入力において所望の信号の部品を引き出し、増幅された時に、主増幅器からの信号に同期させる。フィードフォワード増幅器の出力において最大の所望の信号と最小の相互変調とを引き起こすために、最適なレベルで駆動される主及び補正増幅器を用いて、次に良好な平衡動作が行なわれる。フィードフォワード増幅器の利得におけるあるわずかな変化が、この平衡動作から生ずるが、それは、システムの観点からは無視しうる。

40

【0012】

本発明の1つの態様によると、信号取消ループと相互変調取消ループとを具備する、フィードフォワード増幅器が提供される。フィードフォワード増幅器は、起動時にフィードフォワード経路内の信号電力を最小にするように信号取消ループが最初に平衡され、その

50

後フィードフォワード増幅器の出力における相互変調を最小にするように作動されるように構成されている。

【0013】

本発明の他の態様によると、入力ポートと、出力ポートと、第1の主経路スプリッタと、主信号経路利得及び位相調整器と、主増幅器と、第2の主経路スプリッタと、主信号経路遅延エレメントと、第1の主経路カプラと、第3の主経路スプリッタと、相互変調受信器と、フィードフォワード信号経路遅延エレメントと、フィードフォワード経路カプラと、減衰器と、フィードフォワード経路スプリッタと、SPDTスイッチと、信号電力検出器／プロセッサと、信号電力利得コントローラと、信号電力位相コントローラと、フィードフォワード信号経路利得及び位相調整器と、補正増幅器と、相互変調検出器／プロセッサと、相互変調利得コントローラと、相互変調位相コントローラと、を含む、フィードフォワード増幅器が提供される。

10

【0014】

入力信号が入力ポートに適用された時に入力信号が第1の主経路スプリッタによって主信号とフィードフォワード信号とに分割されるように、第1の主経路スプリッタは、入力ポートに接続されている。主信号経路利得及び位相調整器の入力は、第1の主経路スプリッタの第1の出力に接続され、タップ上の電圧レベルが主信号の利得と位相とを制御するように構成された、信号電力利得制御入力タップと信号電力位相制御入力タップとを有する。主増幅器の入力は、主信号経路利得及び位相調整器の出力に接続されている。第2の主経路スプリッタの入力は、主増幅器の出力に接続されている。主信号経路遅延エレメントの入力は、第2の主経路スプリッタの第1の出力に接続されている。第1の主経路カプラの第1の入力は、主信号経路遅延エレメントの出力に接続されている。第3の主経路スプリッタの入力は、第1の主経路カプラの出力に接続され、第3の主経路スプリッタの第1の出力は、出力ポートに接続されている。相互変調受信器の入力は、第3の主経路スプリッタの第2の出力に接続されている。フィードフォワード信号経路遅延エレメントの入力は、第1の主経路スプリッタの第2の出力に接続され、主増幅器によって引き起こされた主信号内の遅延に略適合するように選択された遅延を負荷する。フィードフォワード経路カプラの第1の入力は、フィードフォワード信号経路遅延エレメントの出力に接続されている。減衰器は、第2の主経路スプリッタの第2の出力をフィードフォワード経路カプラの第2の入力に接続する。提供された減衰は、フィードフォワード経路カプラに提供された主信号の無ひずみ部分がフィードフォワード信号によって略取り消されるように、選択される。フィードフォワード経路スプリッタの入力は、フィードフォワード経路カプラの出力に接続されている。SPDTスイッチの第1の行程はフィードフォワード経路スプリッタの第2の出力に接続され、第2の行程は相互変調受信器の出力に接続されている。信号電力検出器／プロセッサの入力は、SPDTスイッチの極に接続されている。入力に示された信号を最小にするために、信号電力検出器／プロセッサは、信号電力利得制御入力タップと信号電力位相制御入力タップとをどのように導くかを示す入力に示された信号からデータを引き出して処理するように構成されている。信号電力利得コントローラの入力は、信号電力検出器／プロセッサの第1の出力に接続されている。信号電力検出器／プロセッサの入力をフィードフォワード経路スプリッタの第2の出力に接続するためにSPDTスイッチが設定されている時のフィードフォワード経路スプリッタにおける信号電力を最小にして、信号電力検出器／プロセッサの入力を相互変調受信器の出力に接続するためにSPDTスイッチが設定されている時の相互変調受信器によって受け取られた相互変調を最小にするために、信号電力検出器／プロセッサによって提供されたデータに対応して信号電力利得制御入力タップを導くように、信号電力利得コントローラが構成されている。信号電力位相コントローラの入力は、信号電力検出器／プロセッサの第2の出力に接続されている。信号電力検出器／プロセッサの入力をフィードフォワード経路スプリッタの第2の出力に接続するためにSPDTスイッチが設定されている時のフィードフォワード経路スプリッタにおける信号電力を最小にして、信号電力検出器／プロセッサの入力を相互変調受信器の出力に接続するためにSPDTスイッチが設定されている時の相互変調

20

30

40

50

受信器によって受け取られた相互変調を最小にするために、信号電力検出器／プロセッサによって提供されたデータに対応して信号電力位相制御入力タップを導くように、信号電力位相コントローラが構成されている。フィードフォワード信号経路利得及び位相調整器の入力は、フィードフォワード経路スプリッタの第1の出力に接続されている。フィードフォワード信号経路利得及び位相調整器は、利得制御入力タップと位相制御入力タップとを有する。補正増幅器の入力は、フィードフォワード信号経路利得及び位相調整器の出力に接続されている。出力は、第1の主経路カプラの第2の入力に接続されている。主信号経路遅延エレメントは、補正増幅器内の遅延に略等しい遅延を提供する。相互変調検出器／プロセッサの入力は、相互変調受信器の出力に接続されている。入力に示された信号を最小にするために、相互変調検出器／プロセッサは、相互変調利得制御入力タップと相互変調位相制御入力タップとをどのように導くかを示す入力に示された信号からデータを引き出して処理するように構成されている。相互変調利得コントローラの入力は、相互変調検出器／プロセッサの第1の出力に接続されている。相互変調受信器によって受け取られた相互変調を最小にするために、相互変調検出器／プロセッサによって提供されたデータに対応して、相互変調利得コントローラは、相互変調利得制御入力タップを導く。相互変調位相コントローラの入力は、相互変調検出器／プロセッサの第1の出力に接続されている。相互変調受信器によって受け取られた相互変調を最小にするために、相互変調検出器／プロセッサによって提供されたデータに対応して、相互変調位相コントローラは、相互変調位相制御入力タップを導く。フィードフォワード増幅器の起動時に、フィードフォワード経路内の総パワーが最小にされて相互変調受信器によって受け取られた相互変調が最小にされるまで、フィードフォワード経路スプリッタを信号電力検出器／プロセッサに接続するように、SPDTスイッチが設定され、次に、相互変調受信器を信号電力検出器／プロセッサに接続するように設定される。

【0015】

本発明の他の態様によると、信号取消ループと相互変調取消ループとを有するフィードフォワード増幅器を作動するための方法が提供される。起動時に、フィードフォワード経路内の信号電力を最小にするように信号取消ループが平衡するように、フィードフォワード増幅器は作動される。次に、フィードフォワード増幅器の出力における相互変調を最小にするように、フィードフォワード増幅器は作動される。

【0016】

本発明の他の態様によると、フィードフォワード増幅器を作動するための方法が提供される。本方法は、第1の利得及び位相調整器と、主信号経路の一部を形成する主増幅器と、フィードフォワード信号を提供するためのフィードフォワード信号経路出力と、を具備する信号取消ループと、第2の利得及び位相調整器と、補正増幅器と、補正増幅器の出力を主増幅器の下流の主信号経路に結合するための補正カプラと、を具備する相互変調取消ループと、を有する。フィードフォワード信号経路出力における信号電力とを最小にするように第1の利得及び位相調整器は導かれており、カプラの下流の相互変調を最小にするように第2の利得及び位相調整器は導かれている。次に、フィードフォワード信号経路出力における信号電力と補正カプラの下流の相互変調とが最小に達する時に、補正カプラの下流の相互変調を最小にするように、両方の利得及び位相調整器が導かれる。

【0017】

添付の図を参照して、本発明の好ましい実施の形態を例示的にのみ説明する。

【発明を実施するための最良の形態】

【0018】

図1を参照すると、本発明の実施の形態によるフィードフォワード増幅器が、参照数字10によって一般的に示されている。フィードフォワード増幅器10は、増幅器部12と、検出器制御部14と、を備える。

【0019】

増幅器部12は、入力ポート16と、出力ポート18と、を有する。主信号経路は、入力ポート16と出力ポート18との間を走り、第1の主経路スプリッタ20と、主信号経

10

20

30

40

50

路利得及び位相調整器 22 と、主増幅器 24 と、第 2 の主経路スプリッタ 26 と、主信号経路遅延エレメント 28 と、第 1 の主経路カプラ 30 と、第 3 の主経路スプリッタ 32 と、の直列の接続から成る。

【0020】

第 1 の主経路スプリッタ 20 の 1 つの出力が主信号経路に沿って続くと共に、第 1 の主経路スプリッタ 20 の他の出力は、フィードフォワード信号経路遅延エレメント 34 と、フィードフォワード経路カプラ 36 と、フィードフォワード経路スプリッタ 38 と、フィードフォワード信号経路利得及び位相調整器 40 と、補正増幅器 42 と、から成るフィードフォワード経路に沿って進む。補正増幅器 42 の出力は、第 2 の主経路カプラ 30 の入力に続く。第 2 の主経路スプリッタ 26 の出力は、減衰器 43 によって、フィードフォワード経路カプラ 36 の入力に接続されている。 10

【0021】

主信号経路及び位相調整器 22 は、利得制御入力タップ T_1 と、位相制御入力タップ T_2 と、を有する。同様に、フィードフォワード信号経路利得及び位相調整器 40 は、利得制御入力タップ T_3 と、位相制御入力タップ T_4 と、を有する。各々の場合に、利得制御入力タップ T_1 、 T_3 は大きさを制御するために導かれることができ、入力タップ T_2 、 T_4 は、それぞれの利得及び位相調整器を通過する信号の位相を制御するために導かれることができる。ここで使用されているように、用語「導く」「導かれる」(「steer」、「steered」及び「steering」)は、利得及び位相調整器のタップの調整又は制御のすべての最適な方法を備えることが意図されている。 20

【0022】

増幅器部 12 には、相互変調受信器 44 も含まれており、その入力は、第 3 の主経路スプリッタ 32 に接続されている。

【0023】

検出器制御部 14 は、SPDT スイッチ 46 を備え、その 1 つの行程はフィードフォワード経路スプリッタ 38 の出力に接続され、他の行程は相互変調受信器 44 の出力に接続されている。検出器制御部 14 は、さらに、信号電力検出器／プロセッサ 48 と、相互変調検出器／プロセッサ 50 と、を備え、各検出器／プロセッサは、1 つの入力と、2 つの出力と、を有する。信号電力検出／プロセッサ 48 の入力は、SPDT スイッチ 46 の極に接続されている。相互変調検出器／プロセッサ 50 の入力は、相互変調受信器 44 の出力に接続されている。信号電力検出器／プロセッサ 48 は、それによって、SPDT スイッチ 46 の設定に従って、フィードフォワード経路スプリッタ 38 の出力からの信号又は相互変調受信器 44 の出力からの信号のいずれかを受け取ることに注意されたい。さらに、本発明の本実施の形態では、SPDT スイッチ 46 は、デジタル信号プロセッサ内のファームウェア内で実行される。当然のことながら、相互変調検出器／プロセッサ 50 は、常に、相互変調受信器 44 の出力を受け取る。 30

【0024】

信号電力検出器／プロセッサ 48 の 1 つの出力は信号電力利得コントローラ 52 の入力に接続されており、他の出力は信号電力位相コントローラ 54 の入力に接続されている。信号電力利得コントローラ 52 の出力は利得制御入力タップ T_1 に接続されており、信号電力位相コントローラ 54 の出力は位相制御入力タップ T_2 に接続されている。同様に、相互変調検出器／プロセッサ 50 の出力は、それぞれ、相互変調利得コントローラ 56 と相互変調位相コントローラ 58 との入力に接続されている。相互変調利得コントローラ 56 の出力は、同様に、利得制御入力タップ T_3 に接続されており、相互変調位相コントローラ 58 の出力は位相制御入力タップ T_4 に接続されている。 40

【0025】

本技術分野における通常の知識を有する者は、フィードフォワード増幅器 10 が、主として、SPDT スイッチ 46 が存在しているという点で、従来のフィードフォワード増幅器と異なることを認識するであろう。SPDT スイッチ 46 が信号電力検出器／プロセッサ 48 をフィードフォワード経路スプリッタ 38 の出力に接続する時には、フィードフォ 50

ワード増幅器 10 は、次の従来方法で動作する。入力ポート 16 に適用された入力信号は、第 1 の主経路スプリッタ 20 によって、主信号経路とフィードフォワード経路とに分割される。主信号経路を進む入力信号の部分は利得及び位相調整器 22 を通り、次に、主増幅器 24 によって増幅される。主増幅器 24 内の非線形性は、増幅された信号にひずみを加えることがある。主増幅器 24 から出て来る信号の一部は、第 2 の主経路スプリッタ 26 によって主信号経路から分割され、減衰器 43 によって減衰され、フィードフォワード経路カプラ 36 によって、フィードフォワード経路内に結合される。その間に、第 1 の主経路スプリッタ 20 からフィードフォワード経路を進む入力信号の一部は、フィードフォワード経路カプラ 36 に入る前に、フィードフォワード信号経路遅延エレメント 34 を通っている。フィードフォワード信号経路遅延エレメント 34 によって負荷された遅延は、主信号経路内で主増幅器 24 によって引き起こされた遅延に適切に適合するために、フィードフォワード増幅器 10 の設計内で選ばれる。さらに、減衰器 43 によって提供された減衰が選ばれ、入力信号に起因する減衰された信号の部分が、フィードフォワード信号経路遅延エレメント 34 からフィードフォワード経路カプラ 36 に入る信号を略取り消すようにする。あるいは、減衰器 43 によって提供された減衰は、第 2 の主経路スプリッタ 26 内で提供されても良く、その場合には、減衰器 43 は必要でない。最終結果は、フィードフォワード経路スプリッタ 38 における信号が、主として主増幅器 24 によって導入されたひずみであることである。しかしながら、フィードフォワード信号経路遅延エレメント 34 によって負荷された遅延と減衰器 43 によって提供された減衰とが正確でなければ、入力信号のいくつかは、一般的にはフィードフォワード経路スプリッタ 38 にも存在する。遅延と減衰とが最初に正確に選ばれたとしても、主増幅器 24 は、温度変化、経時変化、等が原因で、必然的にドリフトする。

【0026】

フィードフォワード経路スプリッタ 38 に残存する入力信号が最小にできるように、主増幅器 24 の上流の主信号経路に、主信号経路利得及び位相調整器 22 等の利得及び位相調整器を追加することによって、主増幅器 24 内のこのようなドリフトを修正することは、周知である。あるいは、利得及び位相調整器は、同じ結果を達成するために、フィードフォワード経路カプラ 36 の上流のフィードフォワード経路内に、又は減衰器 43 と直列あるいは代わりに、追加されても良い。フィードフォワード経路スプリッタ 38 を信号電力検出器／プロセッサ 48 に接続するように S P D T スイッチ 46 が設定されていると仮定すると、フィードフォワード経路スプリッタ 38 に存在する信号は、信号電力検出器／プロセッサ 48 に示される。信号電力検出器／プロセッサ 48 は、加えられた信号の総パワーを測定し、信号電力検出器／プロセッサ 48 によって測定された総パワーを最小にするように、利得制御入力タップ T_1 と位相制御入力タップ T_2 とを導くように、信号電力利得コントローラ 52 と信号出力位相コントローラ 54 とに指示する。その結果、フィードフォワード経路スプリッタ 38 に存在する入力信号の部分が最小になる傾向がある。利得制御入力タップ T_1 と位相制御入力タップ T_2 とをどのように導くかを、信号電力利得コントローラ 52 と信号電力位相コントローラ 54 とがどのように決定するかの詳細は、本発明の範囲外である。本技術分野における通常の知識を有する者ならば、そうするための多数のアルゴリズムを知っているであろう。

【0027】

ところで、フィードフォワード経路スプリッタ 38 にある、主増幅器 24 によって導入された主としてひずみである信号は、フィードフォワード信号経路利得及び位相調整器 40 を通り、補正増幅器 42 によって増幅され、第 2 の主経路カプラ 30 の入力に示される。フィードフォワード経路からの信号は、主増幅器 24 によって導入されたひずみの略逆極性の複製であり、主信号内に存在するひずみを、略取り消す。取消を増やすために、第 3 の主経路スプリッタ 32 は、第 2 の主経路カプラ 30 の下流の主信号を分割し、その信号の一部を相互変調受信器 44 に示し、同様に、その信号内に存在する相互変調ひずみを相互変調検出器／プロセッサ 50 に提供する。相互変調検出器／プロセッサ 50 は、相互変調受信器 44 によって受け取られた相互変調を最小にするように、利得制御入力タップ

T_3 と位相制御入力タップ T_4 とを導くように、相互変調利得コントローラ56と相互変調位相コントローラ58とに指示する。利得制御入力タップ T_3 と位相制御入力タップ T_4 とをどのように導くかを、相互変調利得コントローラ56と相互変調位相コントローラ58とがどのように決定するかの詳細は、本発明の範囲外である。当業者ならば、そうするための多数のアルゴリズムを知っているであろう。

【0028】

上述のフィードフォワード増幅器10の動作は（フィードフォワード経路スプリッタ38を信号電力検出器／プロセッサ48に接続するようにSPDTスイッチ46が設定されていると仮定する）、従来のものである。しかしながら、本発明者は、フィードフォワード増幅器10を次の従来のものでない方法で作動させると、かなり大きな全体的な利得が実現できることを見出した。第一に、フィードフォワード増幅器10は、パワーアップされるべきである。信号電力検出器／プロセッサ48によって測定された総パワーと相互変調検出器／プロセッサ50によって測定された相互変調ひずみとは、上述の従来方法では最小にすべきである。しかしながら、SPDTスイッチ46は、次に、相互変調受信器44を信号電力検出器／プロセッサ48に接続するために作動されるべきである。その時から、信号電力検出器／プロセッサ48は、フィードフォワード経路スプリッタ38における総パワーではなく、相互変調受信器44によって受け取られた相互変調を最小にするように、利得制御入力タップ T_1 と位相制御入力タップ T_2 とを導くように、信号電力利得コントローラ52と信号電力位相コントローラ54とに指示する。相互変調検出器／プロセッサ50が、相互変調受信器44によって受け取られた相互変調を最小にするように、利得制御入力タップ T_3 と位相制御入力タップ T_4 とを導くように、相互変調利得コントローラ56と相互変調位相コントローラ58とに同時に指示することに注意されたい。

【0029】

本発明者は、相互変調受信器44の出力を信号電力検出器／プロセッサ48に送るよう、SPDTスイッチ46が切換えられた後に安定性を維持するために、どのくらいコントローラ52、54、56、58が速くループをゼロにしようとするかという点を優先しないことが望ましいことであることを見出した。通常は、コントローラ52、54、56、58内で使用されるアルゴリズムは、利得又は位相への変更についての固定したステップ寸法を含む。利得制御入力タップ T_1 、 T_3 の設定を変化させることにおける、利得コントローラ52、56と信号電力位相コントローラ54、58とによって使用されるステップサイズは、位相変調受信器44の出力を信号電力検出器／プロセッサ48に送るよう、SPDTスイッチ46が切換えられた後に、減らされるべきであると、本発明者は提案する。

【0030】

本発明をフィードフォワード増幅器10に適用した最終結果によると、フィードフォワード経路スプリッタ38においては完全な入力信号の取消は行なわれず、主増幅器24の利得はわずかに減り、フィードフォワード経路スプリッタ38に存在する入力信号の部分は、フィードフォワード信号経路遅延エレメント34から出てくるフィードフォワード信号よりも少なくされる。その結果、入力ポート16に示された信号の一部は補正増幅器42に入り、増幅され、第1の主経路カプラ30において、主経路信号に同期して加えられる。

【0031】

上記本発明の実施の形態は試験され、信号取消ノードにおけるパワーを最小にするフィードフォワード増幅器と増幅器の出力における相互変調とに比べて、同じ相互変調ひずみに対して略1dB高い出力を提供することを見出した。より高い出力に加え、効率が向上された。1dBの10分のいくつかに到達する苦労や、それらを提供するコストを仮定すると、本技術分野における通常の知識を有する者は、これらの結果が顕著であることを認識するであろう。

【0032】

フィードフォワード増幅器設計の技術分野における通常の知識を有する者は、また、信

10

20

30

40

50

号をゼロにする性能測定手段と、相互変調取消ループとを使用する、他の種類のフィードフォワード増幅器の全体的な利得を増すために、本発明が使用可能であっても良いことを理解するであろう。

【0033】

本発明の上述の実施の形態は、本発明の例であることを意図しており、変更及び及び修正は、もっぱら本明細書に添付された特許請求の範囲によって定義される本発明の範囲から逸脱せずに、本技術分野における通常の知識を有する者によって実行されても良い。

【図面の簡単な説明】

【0034】

【図1】 本発明の実施の形態によるフィードフォワード増幅器のブロック図である。

10

【図1】

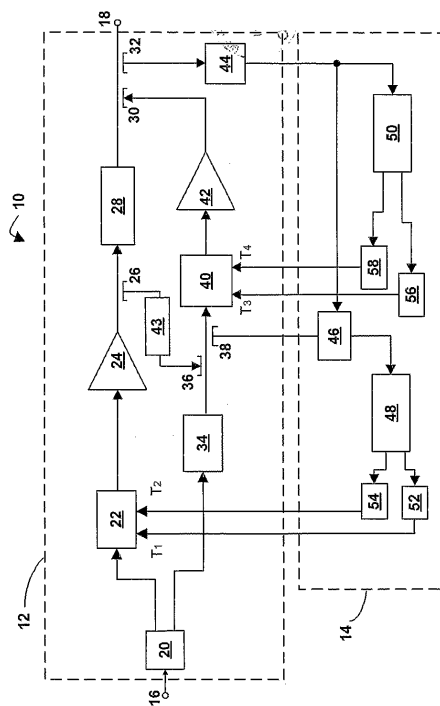


Figure 1

【国際調査報告】

INTERNATIONAL SEARCH REPORT		International application No. PCT/US03/19849						
A. CLASSIFICATION OF SUBJECT MATTER IPC(7) : H03F 1/26 US CL : 330/52; 149; 151 According to International Patent Classification (IPC) or to both national classification and IPC								
B. FIELDS SEARCHED Minimum documentation searched (classification system followed by classification symbols) U.S. : 330/52; 149; 151 Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched None Electronic data base consulted during the international search (name of data base and, where practicable, search terms used) EAST (US-PGPUB; USPAT; USOCR; EPO; JPO; DERWENT; IBM_TDB)								
C. DOCUMENTS CONSIDERED TO BE RELEVANT <table border="1"> <thead> <tr> <th>Category *</th> <th>Citation of document, with indication, where appropriate, of the relevant passages</th> <th>Relevant to claim No.</th> </tr> </thead> <tbody> <tr> <td>X --- A</td> <td>US 6,091,297 A (BAR-DAVID ET AL) 18 July 2000 (18.07.2000), column 4, lines 35-65.</td> <td>1, 3, 4 2</td> </tr> </tbody> </table>			Category *	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.	X --- A	US 6,091,297 A (BAR-DAVID ET AL) 18 July 2000 (18.07.2000), column 4, lines 35-65.	1, 3, 4 2
Category *	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.						
X --- A	US 6,091,297 A (BAR-DAVID ET AL) 18 July 2000 (18.07.2000), column 4, lines 35-65.	1, 3, 4 2						
☐ Further documents are listed in the continuation of Box C. ☐ See patent family annex.								
<table border="0"> <tr> <td colspan="2"> * Special categories of cited documents: "A" document defining the general state of the art which is not considered to be of particular relevance "E" earlier application or patent published on or after the international filing date "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) "O" document referring to an oral disclosure, use, exhibition or other means "P" document published prior to the international filing date but later than the priority date claimed </td> <td> "T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art "&" document member of the same patent family </td> </tr> </table>			* Special categories of cited documents: "A" document defining the general state of the art which is not considered to be of particular relevance "E" earlier application or patent published on or after the international filing date "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) "O" document referring to an oral disclosure, use, exhibition or other means "P" document published prior to the international filing date but later than the priority date claimed		"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art "&" document member of the same patent family			
* Special categories of cited documents: "A" document defining the general state of the art which is not considered to be of particular relevance "E" earlier application or patent published on or after the international filing date "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) "O" document referring to an oral disclosure, use, exhibition or other means "P" document published prior to the international filing date but later than the priority date claimed		"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art "&" document member of the same patent family						
Date of the actual completion of the international search 04 January 2005 (04.01.2005)		Date of mailing of the international search report 28 JAN 2005						
Name and mailing address of the ISA/US Mail Stop PCT, Attn: ISA/US Commissioner for Patents P.O. Box 1450 Alexandria, Virginia 22313-1450 Facsimile No. (703) 305-3230		Authorized officer Khanh V. Nguyen Telephone No. (571) 272-1767						

フロントページの続き

(81)指定国 AP(GH,GM,KE,LS,MW,MZ,SD,SL,SZ,TZ,UG,ZM,ZW),EA(AM,AZ,BY,KG,KZ,MD,RU,TJ,TM),EP(AT, BE,BG,CH,CY,CZ,DE,DK,EE,ES,FI,FR,GB,GR,HU,IE,IT,LU,MC,NL,PT,RO,SE,SI,SK,TR),OA(BF,BJ,CF,CG,CI,CM,GA, GN,GQ,GW,ML,MR,NE,SN,TD,TG),AE,AG,AL,AM,AT,AU,AZ,BA,BB,BG,BR,BY,BZ,CA,CH,CN,CO,CR,CU,CZ,DE,DK,DM,DZ, EC,EE,ES,FI,GB,GD,GE,GH,GM,HR,HU,ID,IL,IN,IS,JP,KE,KG,KP,KR,KZ,LC,LK,LR,LS,LT,LU,LV,MA,MD,MG,MK,MN,M W,MX,MZ,NI,NO,NZ,OM,PG,PH,PL,PT,RO,RU,SC,SD,SE,SG,SK,SL,TJ,TM,TN,TR,TT,TZ,UA,UG,US,UZ,VC,VN,YU,ZA,ZM ,ZW

(72)発明者 ブロジット、ジェイムズ、アール.

アメリカ合衆国 94598 カリフォルニア州 ウォールナット クリーク キャッスル ロッ
ク ロード 73

Fターム(参考) 5J500 AA01 AC21 AF07 AK15 AK16 AK68 AS14 AT01 CK06 NG07