



(21)申请号 201280037936.0

(22)申请日 2012.06.04

(30)优先权数据

13/153,190 2011.06.03 US

(85)PCT国际申请进入国家阶段日

2014.01.28

(86)PCT国际申请的申请数据

PCT/US2012/040718 2012.06.04

(87)PCT国际申请的公布数据

W02012/167239 EN 2012.12.06

(73)专利权人 德克萨斯仪器股份有限公司

地址 美国德克萨斯州

(72)发明人 M·U·厄尔多甘

(74)专利代理机构 北京纪凯知识产权代理有限公司 11245

代理人 赵蓉民

(51)Int.Cl.

H03K 5/131(2014.01)

H03K 5/133(2014.01)

H03L 7/081(2006.01)

H03L 7/16(2006.01)

(56)对比文件

US 2009/0179674 A1,2009.07.16,

US 2003/0179027 A1,2003.09.25,

CN 101030770 A,2007.09.05,

US 6125157 A,2000.09.26,

审查员 王敏

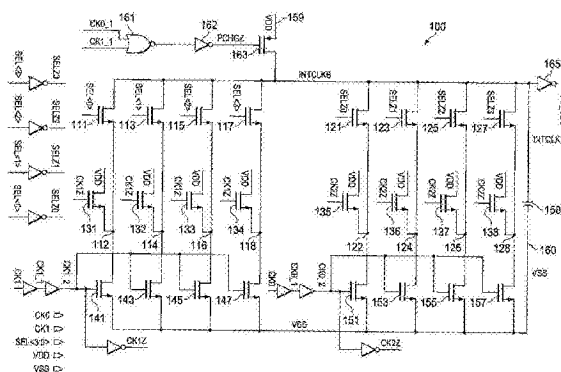
权利要求书2页 说明书7页 附图4页

(54)发明名称

用于具有改善线性度的数字相位插值器的装置和系统

(57)摘要

一种装置,其包括:由第一位值驱动的第一控制开关(111);由第一时钟信号驱动的第一加权开关(141);耦合在第一控制开关与第二加权开关之间的第一中间节点(112);耦合到第一中间节点的第一预充电晶体管(131),其中预充电晶体管由时钟信号的逆驱动;由逻辑单元的位的逆驱动的第二控制开关(121);由第二时钟信号驱动的第二加权开关(151);耦合在第二控制开关与第二加权开关之间的第二中间节点(122);耦合到第二中间节点的第二预充电晶体管(135),其中第二预充电晶体管(135)由第二时钟信号的逆驱动;以及耦合到第一控制开关、第二控制开关、第一加权开关和第二加权开关的电容器(159)。



1. 一种数字相位插值器,其包括:
由位值驱动的控制开关;
由时钟信号驱动的加权开关;
耦合在所述控制开关与所述加权开关之间的中间节点;以及
耦合到所述中间节点的预充电晶体管,其中所述预充电晶体管由所述时钟信号的反相信号驱动。
2. 根据权利要求1所述的数字相位插值器,其中所述控制开关和所述加权开关被耦合到电容器。
3. 根据权利要求2所述的数字相位插值器,其进一步包括被耦合到所述电容器的电容器预充电晶体管,其可以对所述电容器预充电。
4. 根据权利要求1所述的数字相位插值器,其中当所述控制开关和所述加权开关被驱动为断开状态时,所述预充电晶体管被变换为导通状态。
5. 根据权利要求2所述的数字相位插值器,其进一步包括:
由所述位值的反相信号驱动的第二控制开关;
由第二时钟信号驱动的第二加权开关;
耦合在所述第二控制开关与所述第二加权开关之间的第二中间节点;以及
耦合到所述第二中间节点的第二预充电晶体管,其中所述第二预充电晶体管由所述第二时钟信号的反相信号驱动,
其中所述加权开关具有与所述第二加权开关相同的电容。
6. 根据权利要求5所述的数字相位插值器,其中所述电容器耦合到反相器,以生成所述时钟信号和所述第二时钟信号的混合相位输出。
7. 一种数字相位插值器,其包括:
由第一位值驱动的第一控制开关;
由第一时钟信号驱动的第一加权开关;
耦合在所述第一控制开关与所述第一加权开关之间的第一中间节点;
耦合到所述第一中间节点的第一预充电晶体管,其中所述第一预充电晶体管由所述第一时钟信号的反相信号驱动;
由第二位值驱动的第二控制开关;
由第二时钟信号驱动的第二加权开关;
耦合在所述第二控制开关与所述第二加权开关之间的第二中间节点;
耦合到所述第二中间节点的第二预充电晶体管,其中所述第二预充电晶体管由所述第二时钟信号的反相信号驱动;以及
耦合到所述第一控制开关、所述第二控制开关、所述第一预充电晶体管和所述第二预充电晶体管的电容器。
8. 根据权利要求7所述的数字相位插值器,其进一步包括耦合到所述电容器的电容器预充电晶体管,其可以对所述电容器预充电。
9. 根据权利要求8所述的数字相位插值器,其中当所述第一控制开关和所述第一加权开关被驱动为断开状态时,所述第一预充电晶体管被变换为导通状态。
10. 根据权利要求7所述的数字相位插值器,其进一步包括:

由第三位值驱动的第三控制开关；
由所述第一时钟信号驱动的第三加权开关；
耦合在所述第三控制开关与所述第三加权开关之间的第三中间节点；
耦合到所述第三中间节点的第三预充电晶体管，其中所述预充电晶体管由所述第一时钟信号的反相信号驱动；
由所述第二位值的反相信号驱动的第四控制开关；
由所述第二时钟信号驱动的第四加权开关；
耦合在所述第四控制开关与所述第四加权开关之间的第四中间节点；
耦合到所述第四中间节点的第四预充电晶体管，其中所述第四预充电晶体管由所述第二时钟信号的反相信号驱动；以及
耦合到所述第三控制开关、所述第四控制开关、所述第三预充电晶体管和所述第四预充电晶体管的所述电容器，
并且其中所述第一加权开关具有是所述第三加权开关的电容两倍的电容。

11. 一种分频器系统，其包括：

具有多个分接头的延迟锁相环即DLL；
耦合以从所述DLL的连续分接头接收信号的相位混合器，所述相位混合器包括：
由位值驱动的控制开关；
由时钟信号驱动的加权开关；
耦合在所述控制开关与所述加权开关之间的中间节点；
以及
耦合到所述中间节点的预充电晶体管，其中所述预充电晶体管由所述时钟信号的反相信号驱动；
被耦合到所述相位混合器以向所述相位混合器提供控制字的状态机；
耦合到所述相位混合器和所述状态机的触发器电路；
耦合到所述触发器电路的占空比校正电路；以及
耦合到所述触发器电路和状态机的 $\Sigma-\Delta$ 调制器。

12. 根据权利要求11所述的分频器系统，所述相位混合器进一步包括：

由第二位值驱动的第二控制开关；
由第二时钟信号驱动的第二加权开关；
耦合在所述第二控制开关与所述第二加权开关之间的第二中间节点；以及
耦合到所述第二中间节点的第二预充电晶体管，其中所述第二预充电晶体管由所述第二时钟信号的反相信号驱动，
其中所述加权开关具有与所述第二加权开关相同的电容。

用于具有改善线性度的数字相位插值器的装置和系统

技术领域

[0001] 本申请一般涉及数字相位插值器,并且更具体地涉及具有改善的线性响应的数字相位插值器。

背景技术

[0002] 锁相环(PLL)已经被用于许多常规电路的频率合成,并且这些PLL通常包括内部和/或外部分频器。这些PLL(和对应的分频器)也已经被用于生成分数频率,但是通常是有代价的(即,杂散和抖动)。因此,需要可以与PLL或基准时钟发生器一起使用或在PLL或基准时钟发生器内使用的改善的分数的分频器。还需要具有改善的线性度的数字相位插值器用于这种分数的分频器和中间精确相位跃变需要从可用时钟相位获得的其他电路的设计。

[0003] 常规电路的一些示例是:美国专利No.6617909;美国专利公开No.2005/0093594;美国专利No.5945862;美国专利No.6114914;美国专利No.6236703;美国专利No.6807552;美国专利No.7295077;美国专利No.7417510;美国专利No.7595670;美国专利No.7764134;美国专利No.7800451;Yang等人的“A High-Frequency Phase-Compensation Fractional N-Frequency Synthesizer”,IEEE International Symposium of Circuits and Systems,2005ISCAS,2005年5月23-25日,5091-5094页;Garlepp等人的“A Portable Digital DLL for High-Speed CMOS Interface Circuits”,IEEE Journal of Solid-State Circuits,Vol.34,No.5,1999年5月,632-644页;Garlepp等人的“A Portable Digital DLL Architecture for CMOS Interface Circuits”,IEEE1998Symposium on VLSI Circuits Digest of Technical papers,214-215页;Saeki等人的“A1.3-Cycle Lock Time,Non-PLL/DLL Clock Multiplier Based on Direct Clock Cycle Interpolation for'Clock on Demand'”,IEEE Journal of Solid-State Circuits,Vol.35,2000年11月,1581-1590页;以及Chang等人的“A0.7-2-GHz Self-Calibrated Multiphase Delay-Locked Loop”,IEEE Journal of Solid State Circuits,Vol.41,No.5,2006年5月,1051-1061页。

发明内容

[0004] 第一方面提供一种装置,其包括:由位值驱动的控制开关;由时钟信号驱动的加权开关;耦合在控制开关与加权开关之间的中间节点;以及耦合到中间节点的预充电晶体管,其中预充电晶体管由时钟信号的反相信号驱动。

[0005] 第一方面进一步提供,其中控制开关和加权开关被耦合到电容器。电路预充电晶体管耦合到电容器,其可以对该电容器预充电。当控制开关和加权开关被驱动断开时,预充电晶体管被变换为接通。

[0006] 第一方面仍然进一步提供:由取反/求逆的位值驱动的第二控制开关;由第二时钟信号驱动的第二加权开关;耦合在第二控制开关与第二加权开关之间的第二中间节点;以及耦合到中间节点的第二预充电晶体管,其中预充电晶体管由第二时钟信号的反相信号驱

动,其中第一加权开关具有与第二加权开关基本相同的电容。电容器耦合到反相器,以生成第一时钟信号和第二时钟信号的混合相位输出。位值是控制字的一部分。

[0007] 第二方面提供一种装置,其包括:由第一位值驱动的第一控制开关;由第一时钟信号驱动的第一加权开关;耦合在第一控制开关与第二加权开关之间的第一中间节点;耦合到第一中间节点的第一预充电晶体管,其中该预充电晶体管由时钟信号的反相信号驱动;由逻辑单元的位的反相信号驱动的第二控制开关;由第二时钟信号驱动的第二加权开关;耦合在第二控制开关与第二加权开关之间的第二中间节点;耦合到第二中间节点的第二预充电晶体管,其中第二预充电晶体管由第二时钟信号的反相信号驱动;以及耦合到第一控制开关、第二控制开关、第一预充电晶体管和第二预充电晶体管的电容器。

[0008] 第二方面进一步提供耦合到该电容器的电路预充电晶体管,其可以对该电容器进行预充电。在控制开关和加权开关都被驱动断开后,该预充电晶体管被变换。该电容器被耦合到反相器,以生成第一时钟信号和第二时钟信号的混合相位输出。第一位值是控制字的一部分。

[0009] 第三方面提供一种系统,其包括:具有多个分接头的延迟锁相环(DLL);被耦合以从DLL的连续分接头接收信号的相位混合器,该相位混合器包括:由位值驱动的控制开关;由时钟信号驱动的加权开关;耦合在控制开关与加权开关之间的中间节点;以及耦合到中间节点的预充电晶体管,其中预充电晶体管由时钟信号的反相信号驱动;耦合到相位混合器以向相位混合器提供控制字的状态机;耦合到相位混合器和状态机的触发器电路;耦合到触发器电路的占空比校正电路;以及耦合到触发器电路和状态机的 $\Sigma-\Delta$ 调制器。

[0010] 第三方面进一步提供,其中控制开关和加权开关耦合到电容器。电路预充电晶体管耦合到电容器,其可以对电容器预充电。当控制开关和加权开关被驱动断开时,预充电晶体管被变换为接通。

[0011] 第三方面仍然进一步提供:由第二位值驱动的第二控制开关;由第二时钟信号驱动的第二加权开关;耦合在第二控制开关与第二加权开关之间的第二中间节点;以及耦合到中间节点的第二预充电晶体管,其中预充电晶体管由第二时钟信号的反相信号驱动,其中第一加权开关具有与第二加权开关基本相同的电容。电容器被耦合到反相器以生成第一时钟信号和第二时钟信号的混合相位输出。位值是控制字的一部分。

附图说明

[0012] 参考附图描述示例实施例,附图中:

[0013] 图1示出使用预充电晶体管的相位混合器电路的实施例,其中预充电晶体管耦合到其相应的中间节点;

[0014] 图2是图1的相位混合器的时序图示;

[0015] 图3是使用图1的相位混合器电路的数字相位插值器的实施例;

[0016] 图4是使用和不使用图1的相位混合器的插值误差的图形;

[0017] 图5A是现有技术的插值电路的抖动的曲线图;以及

[0018] 图5B是使用图1的相位混合器电路的插值电路的抖动图形。

具体实施方式

[0019] 图1示出采用示例性数字相位插值器(“插值器”)100形式的相位混合器。一般而言,插值器100的重要参数是其线性度,即在插值器100工作期间混合输出时钟信号(例如INT_CLK信号)接近理想期望相位的程度。

[0020] 插值器100使用分别由控制字:“SEL”和“SELZ”(即,反相的SEL)控制的多个nMOS晶体管开关(“控制开关”)111、113、115、117,以及控制开关121、123、125、127。多个二进制加权时钟nMOS晶体管开关(“加权开关”)141、143、145、147和加权开关151、153、155以及157分别由时钟输入:CK0和CK1控制,其中加权开关141-157与控制开关111-127串联耦合。

[0021] 多个nMOS中间节点预充电晶体管(“中间节点预充电晶体管”)131-134以及多个中间节点预充电晶体管135-138中的每个分别耦合到其自己的相应的中间节点112-118和中间节点122-128。换句话说,中间节点112-118耦合在其对应的控制开关111-127与其加权开关141-157之间,以便对中间节点112-118和中间节点122-128预充电。在一个实施例中,此预充电是低于电源电压VDD159一个阈值电压,正如下面将要更详细描述。

[0022] 还在输出中间节点160,INTCLKB处提供电容器C0158。电容C0158被耦合到电源电压VDD159的pMOS预充电晶体管(“电路预充电晶体管”)163在时钟输入CK0和CK1的低循环中预充电。

[0023] 在插值器100中,电路预充电晶体管163的栅极由两个时钟相位CK0和CK1的OR(“或”)控制。一旦这两个时钟CK0和CK1均走低,在CLK0和CK1的下一个上升沿到来之前,电路预充电晶体管163将被闭合并拉高INTCKB。换句话说,一旦CK0和CK1两者均为低,电路预充电晶体管163的电源电压VDD159的电压Vdd施加在C0158两端。在一个实施例中,OR体现为耦合到反相器162的输入端的NOR栅极161的输出。

[0024] 插值器100将两个时钟信号和控制字作为输入,时钟信号例如CK0和CK1,控制字例如“SEL”(以及其逻辑反“SELZ”),并且之后产生混合相位输出时钟信号INT_CLK,其中INT_CLK的相位是控制字的线性函数。一般而言,插值器100可以用于需要时钟信号的中间相位的各个方面。可以使用相位插值器的示例是分数分频器电路,其在Erdogan提交的题为“Alto2n-1 fractional divider circuit with fine fractional resolution”的美国专利申请公开No.:2012/0092051中描述,其全文通过引用合并于此。

[0025] 在常规技术中,在常规相位混合器电路中的两个nMOS晶体管之间的拉低路径中的中间节点的电压会不利地取决于控制字并受控制字影响。这可能是由于内部节点处寄生电容(晶体管寄生和布局寄生两者)的存在和来自开关时钟信号的容性耦合的原因。

[0026] 在常规技术中,如果施加到字开关的控制信号是高,则由于当对应的时钟也走高时,从输出电容器到地将存在完整的路径,因此寄生电容可以基本毫无妨碍地被放电至地。换句话说,如果给定加权支路的时钟开关接通并且字开关接通,则线路中会存在短路,并且内部节点的寄生电容被放电。

[0027] 不过,在常规技术中,由于来自输入时钟的上升沿的寄生耦合,内部节点会被首先充电到零以上的电压,并且之后在控制信号为低的情况下,由于拉低路径不完整,通过预期的ON路径被放电。在时钟晶体管可以被布置在顶部并且控制开关可以与其串联布置在底部的常规系统中,当时钟输入变换为高时,由时钟输入变换使能的晶体管被导通。在顶部的时钟晶体管导通而下面的控制开关晶体管由于特定的控制字值被断开的部分中,他们之间的节点因而是不利地浮动的。

[0028] 在常规技术中,当时钟变换为高时,由于时钟晶体管栅极与现有浮动内部节点之间的容性耦合,这会将有限的电荷量放置在该节点上。由于在底部的控制晶体管被断开,因此电荷无法通过该控制晶体管被放电到地。然而,顶部的时钟晶体管导通,并且存在一条通过至少一个或多个nMOS拉低部分接地的路径。该接地路径从内部节点穿过耦合接地的时钟晶体管。结果,内部节点上的电荷通过此路径被除去。不过,由于除了中间拉低节点(其现在也电串联到电容器)处存储的蓄意电荷以外,时钟走高时存在于内部节点上的电荷量现在取决于控制字和内部节点上的先前电压,因此输出相位变得非线性。

[0029] 这可能是因为在常规技术中在未选中内部节点上仍然存在内部电容和电荷。此电荷量取决于控制字SEL。该内部电容及其上的电荷影响由给定加权支路所提供的有效权重。结果,输出相位与控制字SEL不具有所期待的线性关系。这导致增加的抖动。

[0030] 边界处会发生一些最糟糕的偏差,即当从控制0切换到15,或反之亦然。结果,常规的相位混合器可呈现出记忆效应,这不仅引入相位插值器输出相位对电流控制字的相关性,还引入对先前控制字的相关性。当用于例如美国专利申请公开No.: 2012/0092051中示例的分数分频器的块中时,这会引入额外的抖动,即时钟边沿在时间上的不理想布置。

[0031] 有利地,与常规技术不同,分别通过预充电晶体管131-134和135-138的使用,分别在控制开关111-117与加权开关141-147之间的拉低路径以及控制开关121-127与加权开关151-157之间的拉低路径中的中间节点112-118和122-128处的电压不取决于之前的控制字。在一个实施例中,这些中间节点112-118和122-128被预充电到低于电源159预充电晶体管131-138的一个阈值电压。在一个实施例中,这些预充电晶体管131-138的栅极由反相的时钟输入CK0Z和CK1Z控制。

[0032] 在插值器100的一个实施例中,用于控制加权开关141-157的栅极的多个延迟的时钟信号CK0_1和CK1_1也相对于CK0_2和CK1_2延迟。CK0_2和CK1_2用于控制电路预充电晶体管163的栅极。这样做是为了避免电容器159的预充电路径与拉低路径之间的任何争用(即,拉低路径是当控制开关111-127与其加权开关141-157两者均被接通时)。

[0033] 在常规插值器中,如果当拉低路径接通时,pMOS预充电晶体管接通并且导电,则由pMOS电容器预充电晶体管同时提供的上拉路径在导电时会阻止现有技术中间节点的放电。在常规电路中,上拉路径可以是其栅极总是接地的pMOS晶体管。结果,上拉路径总是接通。在这种情况下,中间节点的放电时间不完全由下拉路径控制,因此并不是完全由数字控制字控制。由于这将使现有技术插值器的最后输出相位不与控制字输入成正比,并且是非线性的,因此是不期望的。

[0034] 在插值器100的一个实施例中,可以通过仅在输入时钟CK0_1和CK1_1两者均变换到低状态后(此时,拉低路径已经断开)激活电路预充电晶体管163来避免这种不期望情形。

[0035] 在一个实施例中,在时钟输入的上升沿之前,控制字SEL和SELZ被设置并准备好,并被分别施加到控制开关111-117和121-127。一旦CK0和CK1的上升沿到达加权开关141-147,控制字SEL控制较早(CK0)和较晚(CK1)时钟输入对电容器C0159的放电时序的相对贡献。

[0036] 在一个实施例中,在时钟输入的上升沿之前,控制字SEL和SELZ被设置并准备好,并被分别施加到控制开关111-117和121-127。一旦CK0和CK1的上升沿到达加权开关141-147,控制字SEL控制较早(CK0)和较晚(CK1)时钟输入对电容器C0159的放电时序的相对贡

献。

[0037] 在电路100中,当取反的输入时钟CK0Z和CK1Z走低时,CK0与CK1时钟信号之间的上升沿的插值完成。现在存在一条通过加权开关141-147与151-157的通路。然而,基本与取反的输入时钟CK0Z和CK1Z走低同时地,取反的时钟CK0Z和CK1Z走高,允许中间节点112-118和中间节点122-128全部预充电到相同电压,而不管任何先前给出的控制字或这些中间节点处的寄生电容的幅值为何值。之后,当时钟信号CK0和CK1走高时,CK0Z和CK1Z走低并断开预充电晶体管131-138,允许基于现有的控制字输入和相同的内部电荷状态进行插值,而不管控制字的值。

[0038] 在一个实施例中,时钟信号被耦合到加权开关141-147和151-157,其被放置在插入器100的nMOS堆叠的底部,并且控制开关111-117和121-127放置在顶部。这样做使得由于其对应的预充电晶体管131-138和底部nMOS晶体管加权开关141-157同时接通而不存在短路电流。在一个实施例中,基于控制字,例如SEL,控制开关111-117中的某些是接通的,而某些是断开的,并且基于取反的控制字,例如SELZ,控制开关121-127被接通和断开。

[0039] 在插入器100中,预充电晶体管131-138在低时钟相位期间即有一半时间是接通的。假设,如果控制开关放置在放电路径的底部,那么只要预充电晶体管为高并且这些预充电晶体管也是接通的,那么针对特定控制字而接通的控制开关将提供与预充电晶体管串联的从电源到地完整的短路路径。不过,为了避免这个假设的短路路径,加权开关141-157被放置在导电路径的底部,并且预充电晶体管131-138被驱动加权开关141-157的时钟信号的反相信号控制。

[0040] 在一个实施例中,插入器100中的加权开关141-157的大小设计为与其对应的控制开关111-127的二进制控制位成正比,例如,如果加权开关141的宽度是一个单位,则加权开关143被设计为具有2个单位的宽度,加权开关145被设计为具有4个单位的宽度,以及加权开关147被设计为具有8个单位的宽度。加权开关151-157的大小以相同方式设计为与他们的控制字成正比。这允许对由nMOS晶体管组成的整个拉低路径的强度的数字控制,其中nMOS晶体管是加权开关141-157。一般来说,加权开关141-157的每个具有与其个体尺寸成正比的电容。这相应地允许对节点160的放电时间的数字控制,其相应控制输出时序。在一个实施例中,为了一致性,加权开关141-157的晶体管栅极长度保持相同,并且其宽度被调节成与其在控制字中表示的对应二进制位置成正比。

[0041] 在下列描述中,为了便于描述,特定元件被编号。不过,需要注意的是,可以使用标号集合的其他适当编号元件。在一个实施例中,控制开关被位值驱动,例如控制开关111,而加权开关被时钟信号驱动,例如加权开关141。中间节点被耦合在控制开关111与加权开关141之间,例如中间节点112。例如预充电晶体管131的预充电晶体管耦合到中间节点112,其中预充电晶体管131被时钟信号的反相信号驱动。控制开关111和加权开关141耦合至电容器158。电容器预充电晶体管163耦合到电容器158,其可以预充电电容器158。当控制开关111和加权开关141被驱动至断开状态时,预充电晶体管131变换为导通状态。

[0042] 在进一步的实施例中,电路100进一步包括由取反的位值驱动的第二控制开关,例如控制开关121;由第二时钟信号驱动的第二加权开关,例如加权开关151;耦合在第二控制开关121与第二加权开关151之间的第二中间节点,例如中间节点122;以及耦合到中间节点122的第二预充电晶体管,例如预充电晶体管135,其中预充电晶体管135由第二时钟信号的

反相信号驱动。第一加权开关141具有与第二加权开关151基本相同的电容。电容器158耦合到第一控制开关111、第二控制开关121、第一加权晶体管141以及第二加权晶体管151。电容器158耦合到反相器165,以生成第一时钟信号和第二时钟信号的混合相位输出。该位值是控制字的一部分。

[0043] 在又一实施例中,第三控制开关例如控制开关113被第二位值驱动。第三加权开关例如加权开关143被时钟信号驱动。第三中间节点例如节点114耦合在第三控制开关113与第三加权开关143之间。第三预充电晶体管例如预充电晶体管132耦合到第三中间节点114,其中第三预充电晶体管132被时钟信号的反相信号驱动。第四控制开关例如控制开关123被第二位的反相信号驱动。第四加权开关例如加权开关151由第二时钟信号驱动。第四中间节点例如节点124耦合在第四控制开关123与第四加权开关153之间。第四预充电晶体管例如预充电晶体管136耦合到第四中间节点124,其中第四预充电晶体管136被第二时钟信号的反相信号驱动。电容器158耦合到第三控制开关113、第四控制开关123、第三预充电晶体管132以及第四预充电晶体管136。在进一步的实施例中,第一加权开关141的电容是第三加权开关143的电容的两倍。

[0044] 现转向图2,其示出时序图200的一个实施例。一般来说,当CK0Z和CK1Z时钟走低时,中间节点112-118和中间节点122-128全部被预充电到低于电源电压159一个阈值电压。在输入时钟CK0和CK1的高循环期间基于SEL,中间节点112-118和中间节点122-128选择性地对地放电。节点112-118和122-128的这种方式的预充电具有以下效果:无论控制字为何值,所有中间节点的电荷状态对每个插值都是相同的。因此,记忆和历史效应被消除或基本消除。

[0045] 在时序图200中,CK0信号被施加到加权开关141-147,以及CK1信号被施加到开关151-157。PCHGZ是被施加到pMOS预充电晶体管163的信号。PCHGZ是低有效信号,即当PCHGZ为低时,是pMOS器件的预充电晶体管163被激活并导通。这在CK0和CK1两者均走低时发生。

[0046] 如图所示的INTCLKB节点是施加CLK1和CLK2时下降的电压值。这种情形的发生是因为基于SEL(和SELZ)命令,或者加权开关141-147导通,或者加权开关151-157导通。内部节点158处的负变换在CK0的上升沿后开始,并继续通过上升沿CK1,正如SEL命令所确定的。类似地,在CK0和CK1两者均下降边沿后,INTCLKB开始走高。

[0047] 如图2所示,在输入时钟从高变换到低后,即,正边沿的插值完成后,INTCLKB节点158通过电路预充电晶体管如预充电晶体管163被预充电至VDD。电路预充电晶体管163的栅极由PCHGZ控制。当该信号在CK0_1和CK1_1走低后走低时,电路预充电晶体管163将INTCLKB节点158拉高,将其设置用于上升沿插入。同时,内部节点112-128也被预充电,高至VDD-V_t(nMOS预充电晶体管131-138的阈值电压)。

[0048] 现转向图3,从分数分频器300可以看到,其将图1的相位混合器100用作相位混合器312。分频器300通常包括预分频器302、延迟锁相环(DLL)304、多路复用器或复用器306和320、状态机308、锁存器310-1到310-R、相位混合器或插值器312、触发器电路314、占空比校正电路或DCC以及 $\Sigma-\Delta$ 调制器或SDM316以及分频器322。

[0049] 在操作中,分频器接收PLL的时钟信号PCLK,并基于指示分频的幅值的控制字DIV生成分频的时钟信号CLKOUT。通常,控制字DIV可以是例如30位长,其具有用于整数设置的

10位,用于粗略分数设置的8位,以及用于精细分数设置的12位。一般来说,预分频器302将时钟信号PCLK分频,供DLL304使用(例如,二分频)。具有若干分接头(即,16)的DLL304可以在这些分接头处生成预分频的时钟信号(来自预分频器302)的若干相位CLK1到CLKR。预分频的时钟信号的这些相位CLK1到CLKR中的每个通常被提供给复用器306和状态机308的输入端。每个相位CLK1到CLKR也可以被提供给相应的锁存器310-1到310-R(其可以配置为根据分频比率的分数部分作为D触发器或锁存器操作)。状态机308(其可以从控制字DIV接收整数设置和粗略分数设置)控制复用器306(通过锁存器310-1到310-R使用选择信号SEL1到SELR),以从输入到复用器306的相位CLK1到CLKR中选择连续的相位MCLK1和MCLK2(其可对应于相位CLK(i)和CLK(i+1))。

[0050] 相位混合器312通常通过插入连续相位CK0和CK1来生成更精细的中间相位,并且之后相位混合器312的输出INT_CLK可以用作由状态机308(其可以提供使能信号EN)使能的触发器电路314(其可以是D触发器)的时钟信号。之后,来自触发器电路314的输出信号FRAC_DIV可以提供给DCC318和分频器322。之后,复用器320可以在分频器322(其可以是例如二分频分频器)与DCC318(其可以基于控制字DIV)的输出之间选择,以精化(refine)输出时钟信号CLKOUT。此外,触发器电路314的输出信号FRAC_DIV可以被提供给SDM316(其还可以从控制字DIV接收精细的分数设置,并且其可以是一阶SDM),使得SDM316可以向状态机308提供使输出时钟信号CLKOUT在从连续相位CK0和CK1获得的两个混合相位之间抖动的控制信号,从而生成精细的分频比并且一般保持低确定性抖动。

[0051] 现转向图4,其示出当与先前的技术相比,当使用电路100时作为相位混合器312时抖动降低的一个示例。如图所示,对于极端情况,抖动噪声可以降低到例如五分之一。微分非线性(DNL)以微微秒(ps)示出($=10^{-12}$ 秒)。该曲线图从SPICE®仿真结果构造。

[0052] 现转向图5A,其示出抖动的现有描述。该图示出多个周期的输出时钟在彼此的顶部被折回的眼图。对于理想的输出,所有的边沿将位于彼此顶部。在实际情况下,由于不理想的时序,会存在折回边沿的扩大。这是与该信号关联的时序抖动的指示。因此,具有较低的折回边沿的扩大即较低的抖动是可取的。

[0053] 图5A示出使用相位插值器的先前实现用于分数分频器输出的眼图以及与其关联的抖动。为了示出相位插值器对抖动的影响,在此仿真中使用了理想的DLL(延迟锁相环)。因此,整个抖动是因相位插值器的非线性而产生的。

[0054] 图5B示出使用如图1所述的相位插值器时的对应眼图和产生的抖动。可以看出,由于大大改善的线性度,在本申请中描述的相位插值器导致分数分频器的输出抖动明显降低。该图从SPICE®仿真结果构造。

[0055] 本申请涉及的领域的技术人员应当明白可以对上述实施例进行其他和进一步的添加、删除、替换和更改。

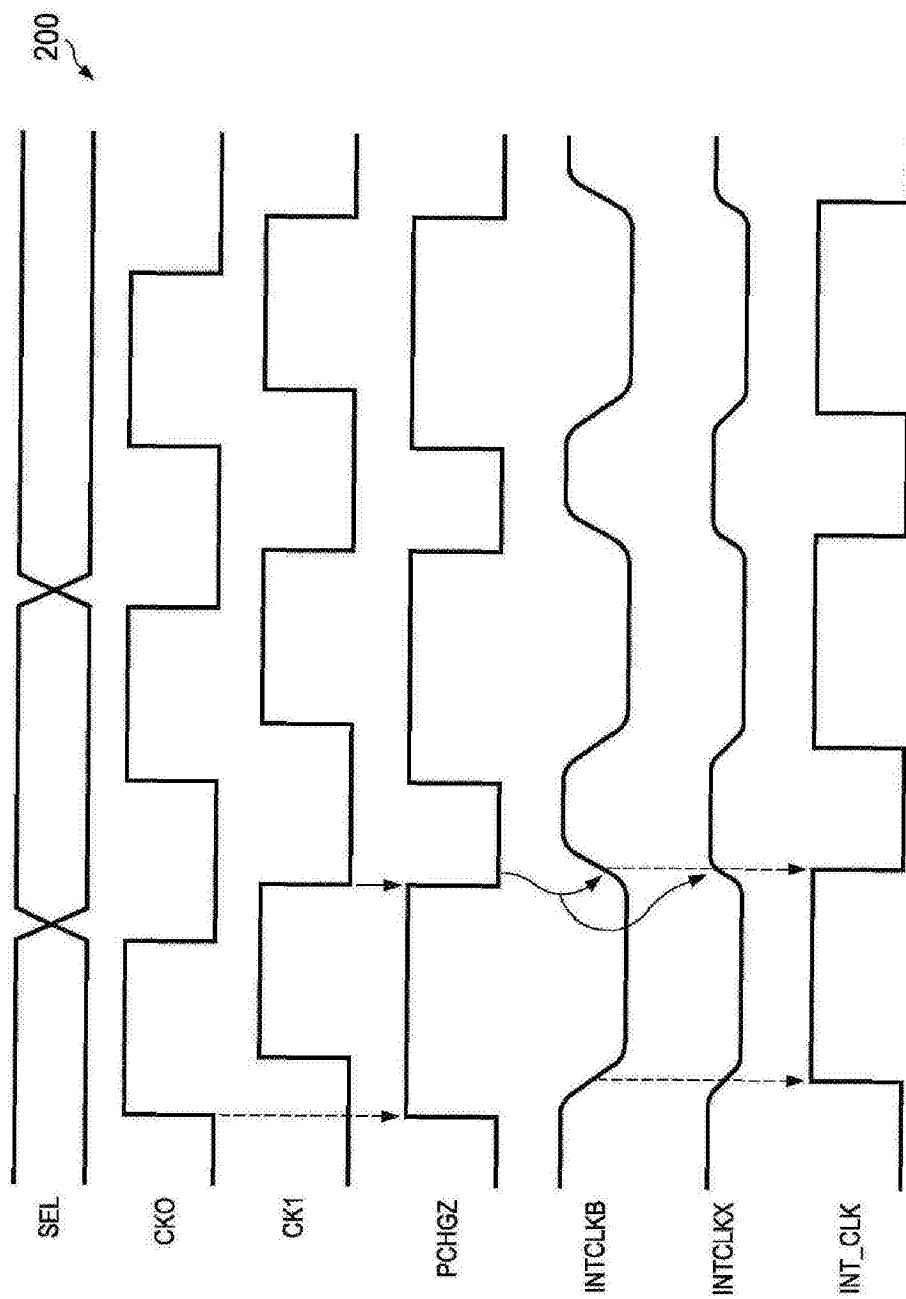


图2

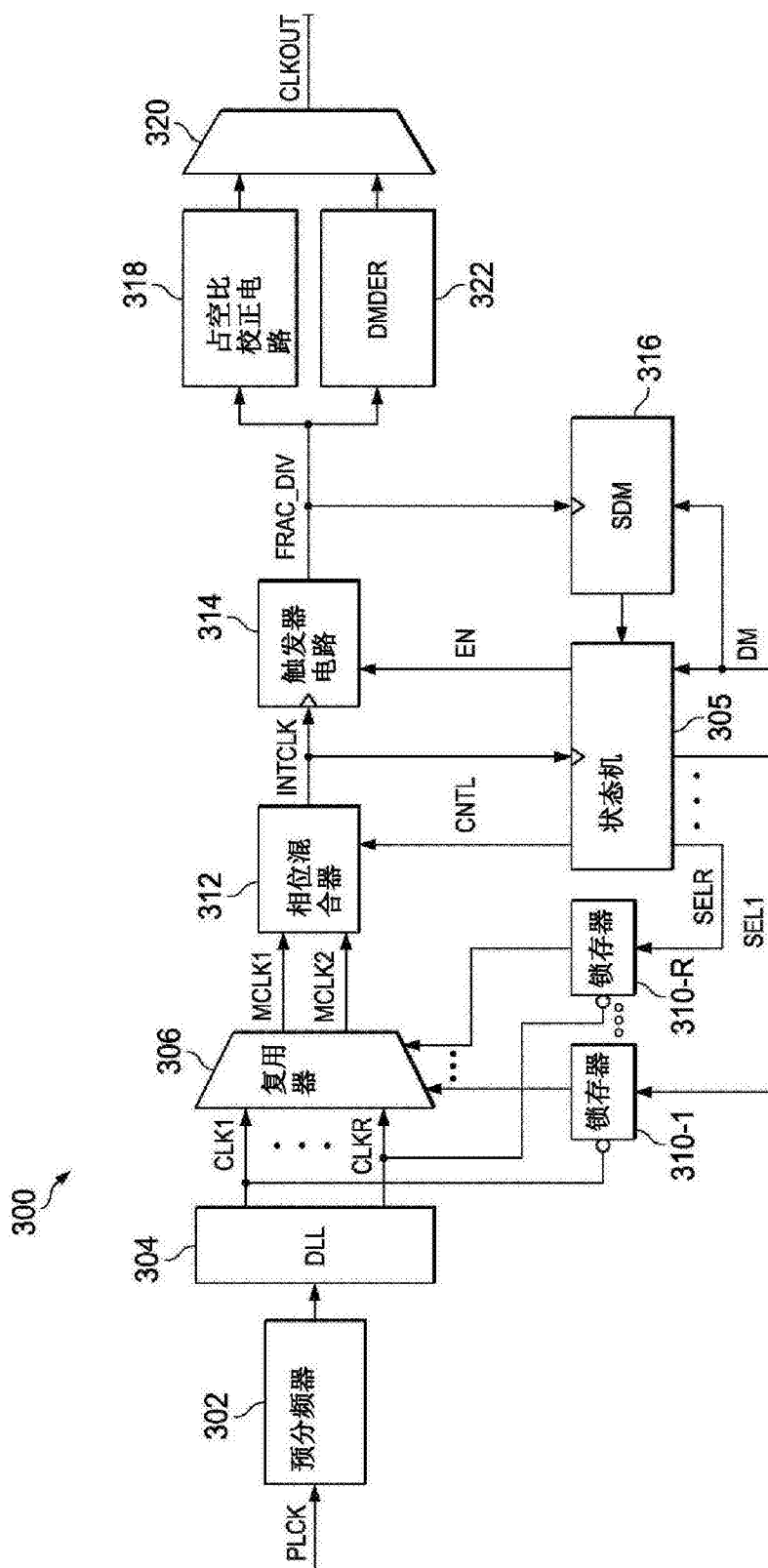


图3

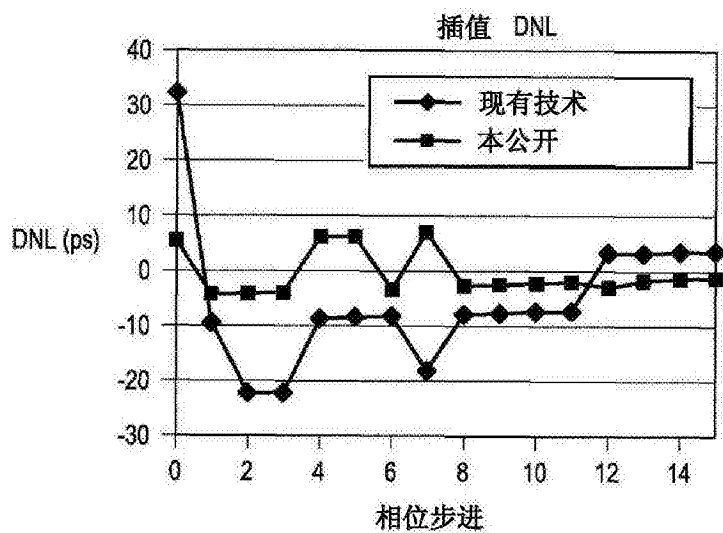


图4

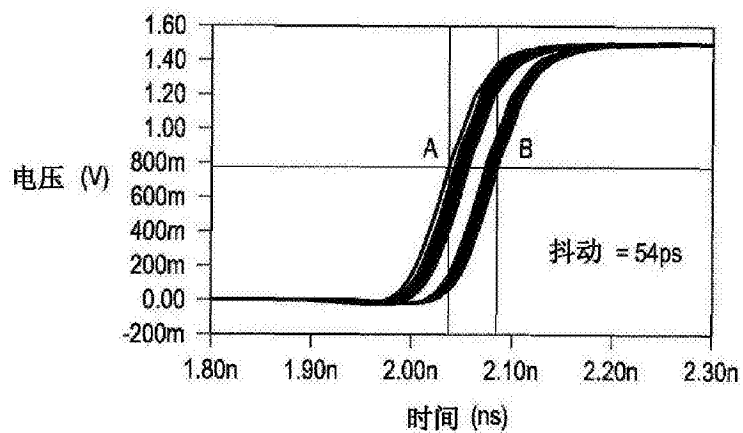


图5A(现有技术)

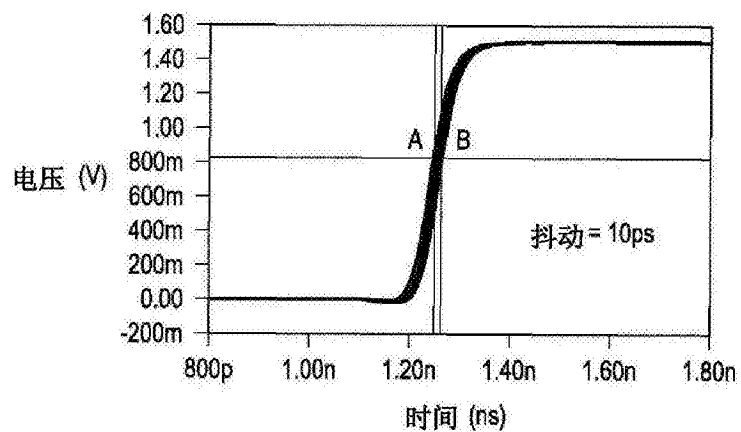


图5B