

(12) 按照专利合作条约所公布的国际申请

(19) 世界知识产权组织
国际局

(43) 国际公布日
2019 年 11 月 14 日 (14.11.2019)



(10) 国际公布号
WO 2019/214093 A1

(51) 国际专利分类号:
G09G 3/36 (2006.01)

(21) 国际申请号: PCT/CN2018/098215

(22) 国际申请日: 2018 年 8 月 2 日 (02.08.2018)

(25) 申请语言: 中文

(26) 公布语言: 中文

(30) 优先权:
201810443743.4 2018 年 5 月 10 日 (10.05.2018) CN

(71) 申请人: 武汉华星光电半导体显示技术有限公司(WUHAN CHINA STAR OPTOELECTRONICS SEMICONDUCTOR DISPLAY TECHNOLOGY CO., LTD.) [CN/CN]; 中国湖北省武汉市东湖新技术开发区高新大道 666 号光谷生物创新园 C5 栋 305 室, Hubei 430079 (CN)。

(72) 发明人: 川岛进吾(KAWASHIMA, Shingo); 中国湖北省武汉市东湖新技术开发区高新大道 666 号光谷生物创新园 C5 栋 305 室, Hubei 430079 (CN)。 李光(LI, Guang); 中国湖北省武汉市东

湖新技术开发区高新大道 666 号光谷生物创新园 C5 栋 305 室, Hubei 430079 (CN)。

(74) 代理人: 深圳翼盛智成知识产权事务所(普通合伙)(ESSEN PATENT & TRADEMARK AGENCY); 中国广东省深圳市福田区深南大道 6021 号喜年中心 A 座 1709-1711, Guangdong 518040 (CN)。

(81) 指定国(除另有指明, 要求每一种可提供的国家保护): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW。

(84) 指定国(除另有指明, 要求每一种可提供的地区保护): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), 欧亚 (AM, AZ, BY, KG, KZ, RU, TJ, TM), 欧洲 (AL, AT, BE, BG,

(54) Title: DRIVE CIRCUIT

(54) 发明名称: 一种驱动电路

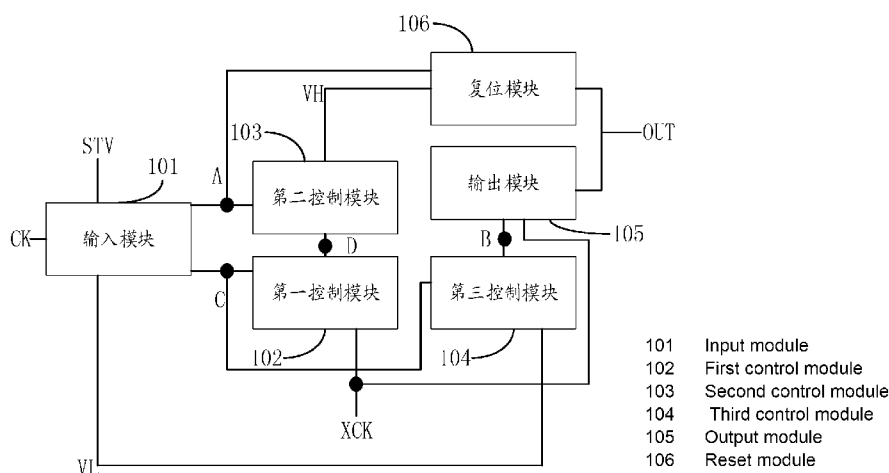


图 1

(57) Abstract: The present invention provides a drive circuit and a liquid crystal display panel. The drive circuit comprises an input module, a first control module, a second control module, a third control module, an output module, and a reset module. The structure of the drive circuit can be simplified under the premise of ensuring the normal operation of the liquid crystal display panel.

(57) 摘要: 本发明提供一种驱动电路及液晶显示面板, 包括输入模块、第一控制模块、第二控制模块、第三控制模块、输出模块和复位模块, 能够在保证液晶显示面板正常工作的前提下, 简化驱动电路结构。

CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU,
IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT,
RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI,
CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG)。

本国际公布:

— 包括国际检索报告(条约第21条(3))。

一种驱动电路

技术领域

[0001] 本发明涉及显示技术领域，尤其涉及一种驱动电路。

背景技术

[0002] 随着电子技术的发展，液晶显示面板的驱动电路越来越广泛的应用于显示设备，提高液晶显示面板的驱动电路的输出信号的可靠性变得越来越重要。然而，现有的液晶显示面板的驱动电路结构较为复杂。

发明概述

技术问题

[0003] 本发明提供一种驱动电路，能够在保证液晶显示面板正常工作的前提下，简化驱动电路结构。

问题的解决方案

技术解决方案

[0004] 本发明提供一种驱动电路，其包括：输入模块、第一控制模块、第二控制模块、第三控制模块、输出模块和复位模块；

[0005] 所述输入模块连接级传信号输入端、第一时钟信号端、低电平端、第一节点和第三节点，用于在所述第一时钟信号端的第一时钟信号的控制下，将所述第一节点的电压与所述低电平端的电压拉齐，以及将所述第三节点的电压与所述级传信号端的电压拉齐；

[0006] 所述第一控制模块连接所述第三节点、第四节点和第二时钟信号端，用于在所述第三节点的电压的控制下，将所述第四节点的电压与所述第二时钟信号端的电压拉齐；

[0007] 所述第二控制模块连接所述第四节点、所述第一节点和高电平端，用于在所述第四节点的电压的控制下，将所述第一节点的电压与所述高电平端的电压拉齐；

[0008] 所述第三控制模块连接所述低电平端、所述第三节点和第二节点，用于在所述

低电平端的电压的控制下，将所述第二节点的电压与所述第三节点的电压拉齐；

[0009] 所述输出模块连接所述第二节点、所述第二时钟信号端和输出信号端，用于在所述第二节点的电压的控制下，将所述第二时钟信号端的第二时钟信号在所述输出信号端输出；

[0010] 所述复位模块连接所述第一节点、所述高电平端和所述输出信号端，用于在所述第一节点的电压的控制下，将所述输出信号端的电压与所述高电平端的电压拉齐；

[0011] 其中，所述输入模块包括：第一晶体管和第二晶体管；

[0012] 所述第一晶体管的第一端连接低电平端，所述第一晶体管的第二端连接第一节点，所述第一晶体管的栅极连接第一时钟信号端；

[0013] 所述第二晶体管的第一端连接级传信号端，所述第二晶体管的第二端连接第三节点，所述第二晶体管的栅极连接所述第一时钟信号端；

[0014] 所述第一控制模块包括：第三晶体管；

[0015] 所述第三晶体管的第一端连接第二时钟信号端，所述第三晶体管的第二端连接第四节点，所述第三晶体管的栅极连接所述第三节点。

[0016] 在本发明的驱动电路中，所述第二控制模块包括：第四晶体管和第一电容；

[0017] 所述第四晶体管的第一端连接高电平端，所述第四晶体管的第二端连接所述第一节点，所述第四晶体管的栅极连接所述第四节点；

[0018] 所述第一电容的第一极连接所述高电平端，所述第一电容的第二极连接所述第四节点。

[0019] 在本发明的驱动电路中，所述第一电容为可调电容。

[0020] 在本发明的驱动电路中，所述第三控制模块包括：第五晶体管；

[0021] 所述第五晶体管的第一端连接所述第三节点，所述第五晶体管的第二端连接第二节点，所述第五晶体管的栅极连接所述低电平端。

[0022] 在本发明的驱动电路中，所述输出模块包括：第六晶体管和第三电容；

[0023] 所述第六晶体管的第一端连接所述第二时钟信号端，所述第六晶体管的第二端连接输出信号端，所述第六晶体管的栅极连接所述第二节点；

- [0024] 所述第三电容的第一极连接所述第二节点，所述第三电容的第二极连接所述输出信号端。
- [0025] 在本发明的驱动电路中，所述复位模块包括：第七晶体管和第二电容；
- [0026] 所述第七晶体管的第一端连接所述高电平端，所述第七晶体管的第二端连接所述输出信号端，所述第七晶体管的栅极连接所述第一节点；
- [0027] 所述第二电容的第一极连接所述高电平端，所述第二电容的第二极连接所述第一节点。
- [0028] 本发明还提供一种驱动电路，其包括：输入模块、第一控制模块、第二控制模块、第三控制模块、输出模块和复位模块；
- [0029] 所述输入模块连接级传信号输入端、第一时钟信号端、低电平端、第一节点和第三节点，用于在所述第一时钟信号端的第一时钟信号的控制下，将所述第一节点的电压与所述低电平端的电压拉齐，以及将所述第三节点的电压与所述级传信号端的电压拉齐；
- [0030] 所述第一控制模块连接所述第三节点、第四节点和第二时钟信号端，用于在所述第三节点的电压的控制下，将所述第四节点的电压与所述第二时钟信号端的电压拉齐；
- [0031] 所述第二控制模块连接所述第四节点、所述第一节点和高电平端，用于在所述第四节点的电压的控制下，将所述第一节点的电压与所述高电平端的电压拉齐；
- [0032] 所述第三控制模块连接所述低电平端、所述第三节点和第二节点，用于在所述低电平端的电压的控制下，将所述第二节点的电压与所述第三节点的电压拉齐；
- [0033] 所述第一输出模块连接所述第二节点、所述第二时钟信号端和输出信号端，用于在所述第二节点的电压的控制下，将所述第二时钟信号端的第二时钟信号在所述输出信号端输出；
- [0034] 所述复位模块连接所述第一节点、所述高电平端和所述输出信号端，用于在所述第一节点的电压的控制下，将所述输出信号端的电压与所述高电平端的电压拉齐。

[0035] 在本发明的驱动电路中，所述输入模块包括：第一晶体管和第二晶体管；

[0036] 所述第一晶体管的第一端连接低电平端，所述第一晶体管的第二端连接第一节点，所述第一晶体管的栅极连接第一时钟信号端；

[0037] 所述第二晶体管的第一端连接级传信号端，所述第二晶体管的第二端连接第三节点，所述第二晶体管的栅极连接所述第一时钟信号端。

[0038] 在本发明的驱动电路中，所述第一控制模块包括：第三晶体管；

[0039] 所述第三晶体管的第一端连接第二时钟信号端，所述第三晶体管的第二端连接第四节点，所述第三晶体管的栅极连接所述第三节点。

[0040] 在本发明的驱动电路中，所述第二控制模块包括：第四晶体管和第一电容；

[0041] 所述第四晶体管的第一端连接高电平端，所述第四晶体管的第二端连接所述第一节点，所述第四晶体管的栅极连接所述第四节点；

[0042] 所述第一电容的第一极连接所述高电平端，所述第一电容的第二极连接所述第四节点。

[0043] 在本发明的驱动电路中，所述第一电容为可调电容。

[0044] 在本发明的驱动电路中，所述第三控制模块包括：第五晶体管；

[0045] 所述第五晶体管的第一端连接所述第三节点，所述第五晶体管的第二端连接第二节点，所述第五晶体管的栅极连接所述低电平端。

[0046] 在本发明的驱动电路中，所述输出模块包括：第六晶体管和第三电容；

[0047] 所述第六晶体管的第一端连接所述第二时钟信号端，所述第六晶体管的第二端连接输出信号端，所述第六晶体管的栅极连接所述第二节点；

[0048] 所述第三电容的第一极连接所述第二节点，所述第三电容的第二极连接所述输出信号端。

[0049] 在本发明的驱动电路中，所述复位模块包括：第七晶体管和第二电容；

[0050] 所述第七晶体管的第一端连接所述高电平端，所述第七晶体管的第二端连接所述输出信号端，所述第七晶体管的栅极连接所述第一节点；

[0051] 所述第二电容的第一极连接所述高电平端，所述第二电容的第二极连接所述第一节点。

[0052] 在本发明的驱动电路中，各个晶体管均为PMOS管。

- [0053] 本发明还提供一种驱动电路，其包括：第一晶体管、第二晶体管、第三晶体管、第四晶体管、第五晶体管、第六晶体管、第七晶体管、第一电容、第二电容和第三电容；
- [0054] 所述第一晶体管的第一端连接低电平端，所述第一晶体管的第二端连接第一节点，所述第一晶体管的栅极连接第一时钟信号端；
- [0055] 所述第二晶体管的第一端连接级传信号端，所述第二晶体管的第二端连接第三节点，所述第二晶体管的栅极连接所述第一时钟信号端；
- [0056] 所述第三晶体管的第一端连接第二时钟信号端，所述第三晶体管的第二端连接第四节点，所述第三晶体管的栅极连接所述第三节点；
- [0057] 所述第四晶体管的第一端连接高电平端，所述第四晶体管的第二端连接所述第一节点，所述第四晶体管的栅极连接所述第四节点；
- [0058] 所述第一电容的第一极连接所述高电平端，所述第一电容的第二极连接所述第四节点；
- [0059] 所述第五晶体管的第一端连接所述第三节点，所述第五晶体管的第二端连接第二节点，所述第五晶体管的栅极连接所述低电平端；
- [0060] 所述第六晶体管的第一端连接所述第二时钟信号端，所述第六晶体管的第二端连接输出信号端，所述第六晶体管的栅极连接所述第二节点；
- [0061] 所述第三电容的第一极连接所述第二节点，所述第三电容的第二极连接所述输出信号端；
- [0062] 所述第七晶体管的第一端连接所述高电平端，所述第七晶体管的第二端连接所述输出信号端，所述第七晶体管的栅极连接所述第一节点；
- [0063] 所述第二电容的第一极连接所述高电平端，所述第二电容的第二极连接所述第一节点。

发明的有益效果

有益效果

- [0064] 本发明的有益效果为：本发明提供的驱动电路，包括输入模块、第一控制模块、第二控制模块、第三控制模块、输出模块和复位模块，能够在保证液晶显示面板正常工作的前提下，简化液晶显示面板结构。

对附图的简要说明

附图说明

[0065] 为了更清楚地说明实施例或现有技术中的技术方案，下面将对实施例或现有技术描述中所需要使用的附图作简单介绍，显而易见地，下面描述中的附图仅仅是发明的一些实施例，对于本领域普通技术人员来讲，在不付出创造性劳动的前提下，还可以根据这些附图获得其他的附图。

[0066] 图1为本发明实施例提供的驱动电路的示意性结构图；

[0067] 图2为本发明实施例提供的驱动电路的电路图；

[0068] 图3为本发明实施例提供的驱动电路的驱动时序图；

[0069] 图4为本发明实施例提供的液晶显示面板的结构示意图。

实施该发明的最佳实施例

本发明的最佳实施方式

[0070] 下面将结合本发明实施例中的附图，对本发明实施例中的技术方案进行清楚、完整地描述，显然，所描述的实施例仅仅是本发明一部分实施例，而不是全部的实施例。基于本发明中的实施例，本领域普通技术人员在没有做出创造性劳动前提下所获得的所有其他实施例，都属于本发明保护的范围。

[0071] 本发明所有实施例中采用的晶体管均可以为薄膜晶体管或场效应管或其他特性相同的器件，根据在电路中的作用本发明的实施例所采用的晶体管主要为开关晶体管。由于这里采用的开关晶体管的源极、漏极是对称的，所以其源极、漏极是可以互换的。在本发明实施例中，为区分晶体管除栅极之外的两极，将其中源极称为第一端，漏极称为第二端。按附图中的形态规定晶体管的中间端为栅极、输入信号端为源极、输出信号端为漏极。此外本发明实施例所采用的开关晶体管为在栅极为高电平时导通，在栅极为低电平时截止。

[0072] 需要说明的是，需要说明的是，本申请中的“第一”、“第二”等字样仅仅是为了对功能和作用基本相同的相同项或相似项进行区分，“第一”、“第二”等字样并不是在对数量和执行次序进行限定。

[0073] 请参阅图1，图1为本发明实施例提供的驱动电路的示意性结构图。如图1所示，本发明实施例提供一种驱动电路，其包括：输入模块101、第一控制模块102

、第二控制模块103、第三控制模块104、输出模块105和复位模块106；

[0074] 输入模块101连接级传信号输入端STV、第一时钟信号端CK、低电平端VL、第一节点A和第三节点C，用于在第一时钟信号端CK的第一时钟信号的控制下，将第一节点A的电压与低电平端VL的电压拉齐，以及将第三节点C的电压与级传信号端的电压拉齐；

[0075] 第一控制模块102连接第三节点C、第四节点D和第二时钟信号端XCK，用于在第三节点C的电压的控制下，将第四节点D的电压与第二时钟信号端XCK的电压拉齐；

[0076] 第二控制模块103连接第四节点D、第一节点A和高电平端VH，用于在第四节点D的电压的控制下，将第一节点A的电压与高电平端VH的电压拉齐；

[0077] 第三控制模块104连接低电平端VL、第三节点C和第二节点B，用于在低电平端VL的电压的控制下，将第二节点B的电压与第三节点C的电压拉齐；

[0078] 输出模块105连接第二节点B、第二时钟信号端XCK和输出信号端，用于在第二节点B的电压的控制下，将第二时钟信号端XCK的第二时钟信号在输出信号端OUT输出；

[0079] 复位模块106连接第一节点A、高电平端VH和输出信号端OUT，用于在第一节点A的电压的控制下，将输出信号端OUT的电压与高电平端VH的电压拉齐。

[0080] 需要说明的是，上述实施例中，多个模块共用一个信号端(例如：第一控制模块102和输出模块105共用第二时钟信号端XCK)可以减少液晶显示面板中信号端的数量，当然，这些模块还可以分别连接不同的信号端，只要该信号端可以提供类似的信号即可。

[0081] 请参阅图2，图2为本发明实施例提供的驱动电路的电路图。具体的，输入模块101包括：第一晶体管T1和第二晶体管T2；第一晶体管T1的第一端连接低电平端VL，第一晶体管T1的第二端连接第一节点A，第一晶体管T1的栅极连接第一时钟信号端CK；第二晶体管T2的第一端连接级传信号端STV，第二晶体管T2的第二端连接第三节点C，第二晶体管T2的栅极连接第一时钟信号端CK。

[0082] 第一控制模块102包括：第三晶体管T3；第三晶体管T3的第一端连接第二时钟信号端XCK，第三晶体管T3的第二端连接第四节点D，第三晶体管T3的栅极连

接第三节点C。

[0083] 第二控制模块103包括：第四晶体管T4和第一电容C1；第四晶体管T4的第一端连接高电平端VH，第四晶体管T4的第二端连接第一节点A，第四晶体管T4的栅极连接第四节点D；第一电容C1的第一极连接高电平端VH，第一电容C1的第二极连接第四节点D。其中，该第一电容C1为可调电容。

[0084] 第三控制模块104包括：第五晶体管T5；第五晶体管T5的第一端连接第三节点C，第五晶体管T5的第二端连接第二节点B，第五晶体管T5的栅极连接低电平端VL。

[0085] 输出模块105包括：第六晶体管T6和第三电容C3；第六晶体管T6的第一端连接第二时钟信号端XCK，第六晶体管T6的第二端连接输出信号端OUT，第六晶体管T6的栅极连接第二节点B；第三电容C3的第一极连接第二节点B，第三电容C3的第二极连接输出信号端OUT。

[0086] 复位模块106包括：第七晶体管T7和第二电容C2；第七晶体管T7的第一端连接高电平端VH，第七晶体管T7的第二端连接输出信号端OUT，第七晶体管T7的栅极连接第一节点A；第二电容C2的第一极连接高电平端VH，第二电容C2的第二极连接第一节点A。

[0087] 进一步的，本发明实施例中的各个晶体管均为PMOS管，即第一晶体管T1、第二晶体管T2、第三晶体管T3、第四晶体管T4、第五晶体管T5、第六晶体管T6以及第七晶体管T7均为PMOS管，PMOS管在栅极为低电平时导通，在栅极为高电平时截止。

[0088] 请参阅图3，图3为本发明实施提供的驱动电路的驱动时序图。如图3所示，本发明实施例提供的驱动电路的驱动时序包括：第一时间段t1、第二时间段t2和第三时间段t3。

[0089] 具体的，在第一时间段t1，级传信号输入端STV的级传信号为低电平，第一时钟信号端CK的第一时钟信号为低电平，第二时钟信号端XCK的第二时钟信号为高电平，第一晶体管T1和第二晶体管T2导通，低电平端VL的低电平经第一晶体管T1传至第一节点A，将第一节点A的电压与低电平端VL的电压拉齐；同时，级传信号输入端STV的级传信号的低电平经第二晶体管T2传至第三节点C，将第三

节点C的电压与级传信号输入端STV的电压拉齐，另外第五晶体管T5在低电平端VL的低电平的作用下处于导通，从而使第二节点B的电压与第三节点C的电压拉齐。

[0090] 在第二时间段t2，级传信号输入端STV的级传信号为高电平，第一时钟信号端CK的第一时钟信号为高电平，第二时钟信号端XCK的第二时钟信号为低电平，另外第五晶体管T5在低电平端VL的低电平的作用下处于导通，同时在第三电容C3的作用下，使得第二节点B和第三节点C的电压保持低电位，由于第六晶体管T6的栅极连接第二节点B，从而第六晶体管T6导通，第二时钟信号端XCK的第二时钟信号的低电平经第六晶体管T6输出至输出信号端OUT；

[0091] 与此此时，由于第三晶体管T3的栅极连接第三节点C，从而第三晶体管T3导通，第二时钟信号端XCK的第二时钟信号经第三晶体管T3传至第四节点D，使得第四晶体管T4导通，高电平端VH的高电平经第四晶体管T4传至第一节点A，从而使得第七晶体管T7截止。

[0092] 在第三时间段t3，级传信号输入端STV的级传信号为高电平，第一时钟信号端CK的第一时钟信号为低电平，第二时钟信号端XCK的第二时钟信号为高电平，第一晶体管T1导通，低电平端VL的低电平经第一晶体管T1传至第一节点A，使得第七晶体管T7导通，高电平端VH的高电平经第七晶体管T7传至输出信号端OUT；

[0093] 与此同时，级传信号输入端STV的级传信号的高电平经第二晶体管T2传至第三节点C，另外由于第五晶体管T5在低电平端VL的低电平的作用下处于导通，第三节点C与第二节点B导通，第六晶体管T6截止。

[0094] 本发明实施例提供的驱动电路，能够在保证液晶显示面板正常工作的前提下，简化驱动电路结构。

[0095] 请参阅图4，图4为本发明实施例提供的液晶显示面板的结构示意图。如图4所示，该液晶显示面板包括至少两个级联的驱动电路。

[0096] 第1级驱动电路的级传信号输入端连接帧起始信号端，第1级驱动电路的输出信号端连接第2级驱动电路的级传信号输入端；第n级驱动电路的级传信号输入端连接第n-1级驱动电路的输出信号端，第n级驱动电路的输出信号端连接第n+1级

驱动电路的级传信号输入端；其中， n 为正整数。

[0097] 具体的，该液晶显示面板包括若干个级联的驱动电路，其中，第1级驱动电路的级传信号输入端连接帧起始信号端，第1级驱动电路的输出信号端连接第2级驱动电路的级传信号输入端和栅线G1；第2级驱动电路的级传信号输入端连接第1级驱动电路的输出信号端，第2级驱动电路的输出信号端连接第3级驱动电路的级传信号输入端和栅线G2，该液晶显示面板的其他的驱动电路依照第2级驱动电路的方式连接。

[0098] 每个驱动电路都有一个第一时钟信号端CK、一个第二时钟信号端XCK、一个高电平端VH和一个低电平端VL。

[0099] 本发明提供的驱动电路，能够在保证液晶显示面板正常工作的前提下，简化驱动电路结构。

[0100] 综上所述，虽然本发明已以优选实施例揭露如上，但上述优选实施例并非用以限制本发明，本领域的普通技术人员，在不脱离本发明的精神和范围内，均可作各种更动与润饰，因此本发明的保护范围以权利要求界定的范围为准。

权利要求书

[权利要求 1]

一种驱动电路，其包括：输入模块、第一控制模块、第二控制模块、第三控制模块、输出模块和复位模块；

所述输入模块连接级传信号输入端、第一时钟信号端、低电平端、第一节点和第三节点，用于在所述第一时钟信号端的第一时钟信号的控制下，将所述第一节点的电压与所述低电平端的电压拉齐，以及将所述第三节点的电压与所述级传信号端的电压拉齐；

所述第一控制模块连接所述第三节点、第四节点和第二时钟信号端，用于在所述第三节点的电压的控制下，将所述第四节点的电压与所述第二时钟信号端的电压拉齐；

所述第二控制模块连接所述第四节点、所述第一节点和高电平端，用于在所述第四节点的电压的控制下，将所述第一节点的电压与所述高电平端的电压拉齐；

所述第三控制模块连接所述低电平端、所述第三节点和第二节点，用于在所述低电平端的电压的控制下，将所述第二节点的电压与所述第三节点的电压拉齐；

所述输出模块连接所述第二节点、所述第二时钟信号端和输出信号端，用于在所述第二节点的电压的控制下，将所述第二时钟信号端的第二时钟信号在所述输出信号端输出；

所述复位模块连接所述第一节点、所述高电平端和所述输出信号端，用于在所述第一节点的电压的控制下，将所述输出信号端的电压与所述高电平端的电压拉齐；

其中，所述输入模块包括：第一晶体管和第二晶体管；

所述第一晶体管的第一端连接低电平端，所述第一晶体管的第二端连接第一节点，所述第一晶体管的栅极连接第一时钟信号端；

所述第二晶体管的第一端连接级传信号端，所述第二晶体管的第二端连接第三节点，所述第二晶体管的栅极连接所述第一时钟信号端；

所述第一控制模块包括：第三晶体管；

所述第三晶体管的第一端连接第二时钟信号端，所述第三晶体管的第二端连接第四节点，所述第三晶体管的栅极连接所述第三节点。

[权利要求 2] 根据权利要求1所述的驱动电路，其中，所述第二控制模块包括：第四晶体管 and 第一电容；
所述第四晶体管的第一端连接高电平端，所述第四晶体管的第二端连接所述第一节点，所述第四晶体管的栅极连接所述第四节点；
所述第一电容的第一极连接所述高电平端，所述第一电容的第二极连接所述第四节点。

[权利要求 3] 根据权利要求2所述的驱动电路，其中，所述第一电容为可调电容。

[权利要求 4] 根据权利要求1所述的驱动电路，其中，所述第三控制模块包括：第五晶体管；
所述第五晶体管的第一端连接所述第三节点，所述第五晶体管的第二端连接第二节点，所述第五晶体管的栅极连接所述低电平端。

[权利要求 5] 根据权利要求1所述的驱动电路，其中，所述输出模块包括：第六晶体管 and 第三电容；
所述第六晶体管的第一端连接所述第二时钟信号端，所述第六晶体管的第二端连接输出信号端，所述第六晶体管的栅极连接所述第二节点；
所述第三电容的第一极连接所述第二节点，所述第三电容的第二极连接所述输出信号端。

[权利要求 6] 根据权利要求1所述的驱动电路，其中，所述复位模块包括：第七晶体管 and 第二电容；
所述第七晶体管的第一端连接所述高电平端，所述第七晶体管的第二端连接所述输出信号端，所述第七晶体管的栅极连接所述第一节点；
所述第二电容的第一极连接所述高电平端，所述第二电容的第二极连接所述第一节点。

[权利要求 7] 一种驱动电路，其包括：输入模块、第一控制模块、第二控制模块、第三控制模块、输出模块和复位模块；

所述输入模块连接级传信号输入端、第一时钟信号端、低电平端、第一节点和第三节点，用于在所述第一时钟信号端的第一时钟信号的控制下，将所述第一节点的电压与所述低电平端的电压拉齐，以及将所述第三节点的电压与所述级传信号端的电压拉齐；

所述第一控制模块连接所述第三节点、第四节点和第二时钟信号端，用于在所述第三节点的电压的控制下，将所述第四节点的电压与所述第二时钟信号端的电压拉齐；

所述第二控制模块连接所述第四节点、所述第一节点和高电平端，用于在所述第四节点的电压的控制下，将所述第一节点的电压与所述高电平端的电压拉齐；

所述第三控制模块连接所述低电平端、所述第三节点和第二节点，用于在所述低电平端的电压的控制下，将所述第二节点的电压与所述第三节点的电压拉齐；

所述输出模块连接所述第二节点、所述第二时钟信号端和输出信号端，用于在所述第二节点的电压的控制下，将所述第二时钟信号端的第二时钟信号在所述输出信号端输出；

所述复位模块连接所述第一节点、所述高电平端和所述输出信号端，用于在所述第一节点的电压的控制下，将所述输出信号端的电压与所述高电平端的电压拉齐。

[权利要求 8]

根据权利要求7所述的驱动电路，其中，所述输入模块包括：第一晶体管和第二晶体管；

所述第一晶体管的第一端连接低电平端，所述第一晶体管的第二端连接第一节点，所述第一晶体管的栅极连接第一时钟信号端；

所述第二晶体管的第一端连接级传信号端，所述第二晶体管的第二端连接第三节点，所述第二晶体管的栅极连接所述第一时钟信号端。

[权利要求 9]

根据权利要求7所述的驱动电路，其中，所述第一控制模块包括：第三晶体管；

所述第三晶体管的第一端连接第二时钟信号端，所述第三晶体管的第

二端连接第四节点，所述第三晶体管的栅极连接所述第三节点。

[权利要求 10]

根据权利要求7所述的驱动电路，其中，所述第二控制模块包括：第四晶体管和第一电容；

所述第四晶体管的第一端连接高电平端，所述第四晶体管的第二端连接所述第一节点，所述第四晶体管的栅极连接所述第四节点；

所述第一电容的第一极连接所述高电平端，所述第一电容的第二极连接所述第四节点。

[权利要求 11]

根据权利要求10所述的驱动电路，其中，所述第一电容为可调电容。

[权利要求 12]

根据权利要求7所述的驱动电路，其中，所述第三控制模块包括：第五晶体管；

所述第五晶体管的第一端连接所述第三节点，所述第五晶体管的第二端连接第二节点，所述第五晶体管的栅极连接所述低电平端。

[权利要求 13]

根据权利要求7所述的驱动电路，其中，所述输出模块包括：第六晶体管和第三电容；

所述第六晶体管的第一端连接所述第二时钟信号端，所述第六晶体管的第二端连接输出信号端，所述第六晶体管的栅极连接所述第二节点；

所述第三电容的第一极连接所述第二节点，所述第三电容的第二极连接所述输出信号端。

[权利要求 14]

根据权利要求7所述的驱动电路，其中，所述复位模块包括：第七晶体管和第二电容；

所述第七晶体管的第一端连接所述高电平端，所述第七晶体管的第二端连接所述输出信号端，所述第七晶体管的栅极连接所述第一节点；

所述第二电容的第一极连接所述高电平端，所述第二电容的第二极连接所述第一节点。

[权利要求 15]

一种驱动电路，其包括：第一晶体管、第二晶体管、第三晶体管、第四晶体管、第五晶体管、第六晶体管、第七晶体管、第一电容、第二电容和第三电容；

所述第一晶体管的第一端连接低电平端，所述第一晶体管的第二端连接第一节点，所述第一晶体管的栅极连接第一时钟信号端；

所述第二晶体管的第一端连接级传信号端，所述第二晶体管的第二端连接第三节点，所述第二晶体管的栅极连接所述第一时钟信号端；

所述第三晶体管的第一端连接第二时钟信号端，所述第三晶体管的第二端连接第四节点，所述第三晶体管的栅极连接所述第三节点；

所述第四晶体管的第一端连接高电平端，所述第四晶体管的第二端连接所述第一节点，所述第四晶体管的栅极连接所述第四节点；

所述第一电容的第一极连接所述高电平端，所述第一电容的第二极连接所述第四节点；

所述第五晶体管的第一端连接所述第三节点，所述第五晶体管的第二端连接第二节点，所述第五晶体管的栅极连接所述低电平端；

所述第六晶体管的第一端连接所述第二时钟信号端，所述第六晶体管的第二端连接输出信号端，所述第六晶体管的栅极连接所述第二节点；

；

所述第三电容的第一极连接所述第二节点，所述第三电容的第二极连接所述输出信号端；

所述第七晶体管的第一端连接所述高电平端，所述第七晶体管的第二端连接所述输出信号端，所述第七晶体管的栅极连接所述第一节点；

所述第二电容的第一极连接所述高电平端，所述第二电容的第二极连接所述第一节点。

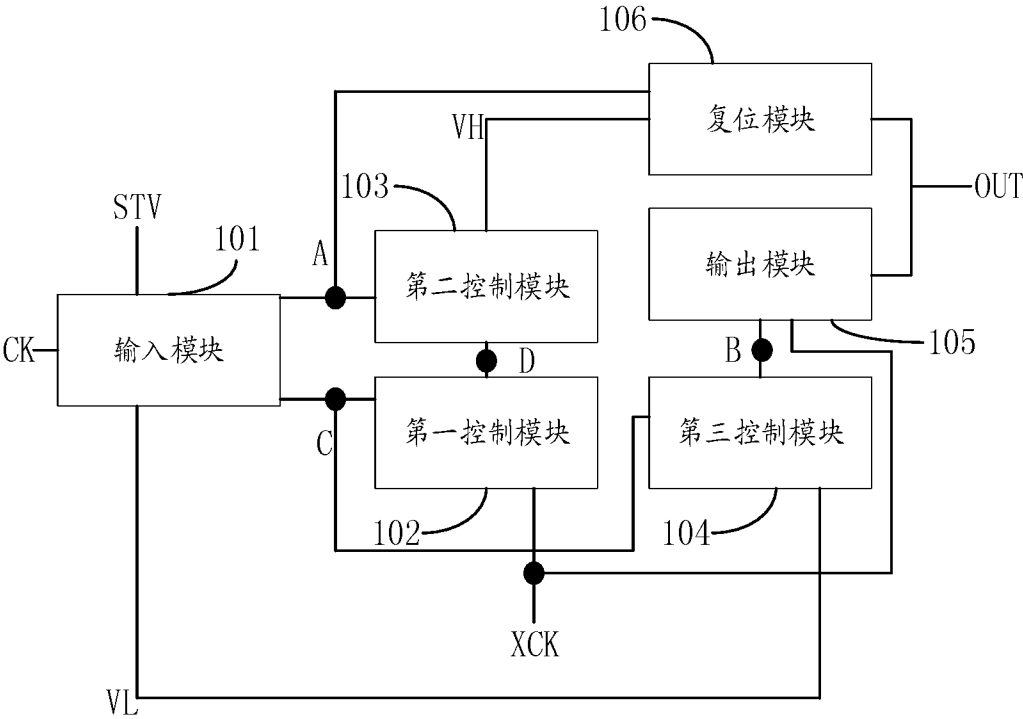


图 1

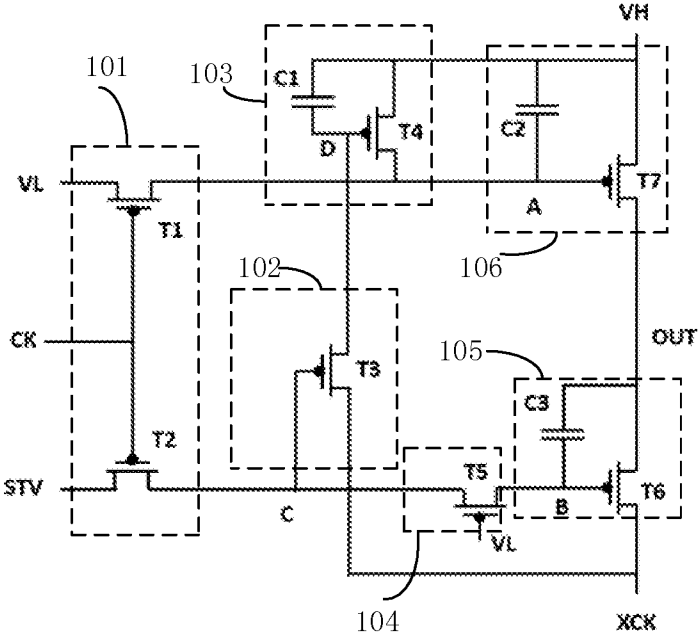


图 2

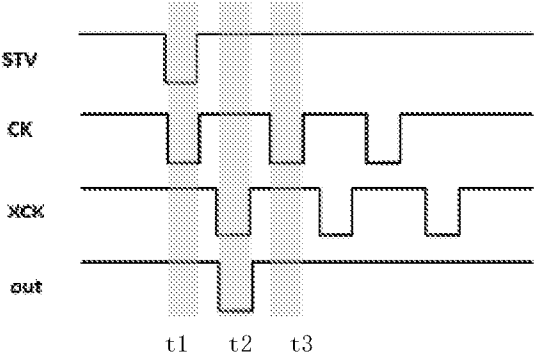


图 3

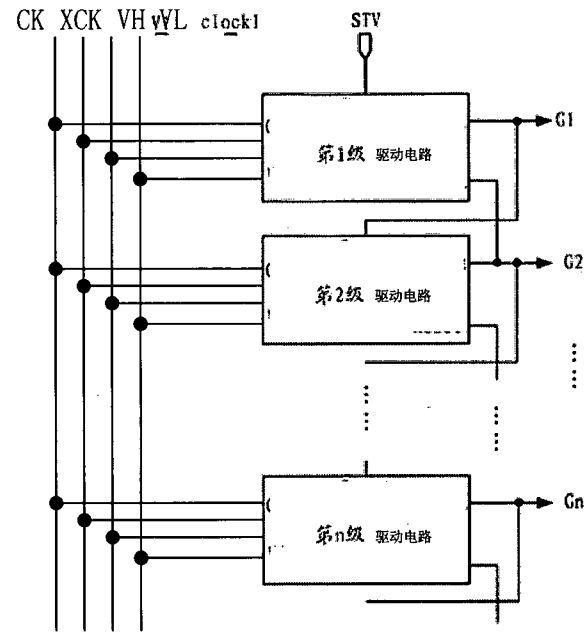


图 4

INTERNATIONAL SEARCH REPORT

International application No.

PCT/CN2018/098215

A. CLASSIFICATION OF SUBJECT MATTER

G09G 3/36(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

G09G; G11C

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

CPEA; CNMED; PLABS; AUABS; DWPI; TWABS; CPRSABS; JPABS; FRABS; TWMED; HKABS; CNABS; SGABS; LEXIS; MOABS; ILABS; SIPOABS: driv+, module, contro+, clock, signal, voltage, reset, output, input, level, 控制, 信号, 模块, 驱动时钟, 复位, 输出, 电压+电平, 输入

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	CN 105469736 A (BOE TECHNOLOGY GROUP CO., LTD.; BEIJING BOE DISPLAY TECHNOLOGY CO., LTD.) 06 April 2016 (2016-04-06) entire description	1-15
A	CN 107039014 A (BOE TECHNOLOGY GROUP CO., LTD.; CHENGDU BOE OPTOELECTRONICS TECHNOLOGY CO., LTD.) 11 August 2017 (2017-08-11) entire description	1-15
A	CN 106782267 A (BOE TECHNOLOGY GROUP CO., LTD.) 31 May 2017 (2017-05-31) entire description	1-15
A	CN 104700803 A (BOE TECHNOLOGY GROUP CO., LTD.; ORDOS YUANSHEG OPTOELECTRONICS CO., LTD.) 10 June 2015 (2015-06-10) entire description	1-15



Further documents are listed in the continuation of Box C.



See patent family annex.

* Special categories of cited documents:

“A” document defining the general state of the art which is not considered to be of particular relevance

“E” earlier application or patent but published on or after the international filing date

“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

“O” document referring to an oral disclosure, use, exhibition or other means

“P” document published prior to the international filing date but later than the priority date claimed

“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

“&” document member of the same patent family

Date of the actual completion of the international search

16 November 2018

Date of mailing of the international search report

23 November 2018

Name and mailing address of the ISA/CN

State Intellectual Property Office of the P. R. China
No. 6, Xitucheng Road, Jimenqiao Haidian District, Beijing
100088
China

Facsimile No. (86-10)62019451

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.

PCT/CN2018/098215

Patent document cited in search report			Publication date (day/month/year)	Patent family member(s)			Publication date (day/month/year)
CN	105469736	A	06 April 2016	CN	105469736	B	23 March 2018
CN	107039014	A	11 August 2017	None			
CN	106782267	A	31 May 2017	None			
CN	104700803	A	10 June 2015	US	2017018243	A1	19 January 2017
				CN	104700803	B	22 February 2017
				WO	2016150061	A1	29 September 2016

国际检索报告

国际申请号

PCT/CN2018/098215

A. 主题的分类

G09G 3/36(2006.01) i

按照国际专利分类(IPC)或者同时按照国家分类和IPC两种分类

B. 检索领域

检索的最低限度文献(标明分类系统和分类号)

G09G; G11C

包含在检索领域中的除最低限度文献以外的检索文献

在国际检索时查阅的电子数据库(数据库的名称, 和使用的检索词(如使用))

CPEA;CNMED;PLABS;AUABS;DWPI;TWABS;CPRSABS;JPABS;FRABS;TWMED;HKABS;CNABS;SGABS;LEXIS;MOABS;ILABS;
SIPOABS:driv+, module, contro+, clock, signal, voltage, reset, output, input, level, 控制, 信号, 模
块, 驱动时钟, 复位, 输出, 电压+电平, 输入

C. 相关文件

类 型*	引用文件, 必要时, 指明相关段落	相关的权利要求
A	CN 105469736 A (京东方科技集团股份有限公司 北京京东方显示技术有限公司) 2016年 4月 6日 (2016 - 04 - 06) 说明书全文	1-15
A	CN 107039014 A (京东方科技集团股份有限公司 成都京东方光电科技有限公司) 2017年 8月 11日 (2017 - 08 - 11) 说明书全文	1-15
A	CN 106782267 A (京东方科技集团股份有限公司) 2017年 5月 31日 (2017 - 05 - 31) 说明书全文	1-15
A	CN 104700803 A (京东方科技集团股份有限公司 鄂尔多斯市源盛光电有限责任公司) 2015年 6月 10日 (2015 - 06 - 10) 说明书全文	1-15

☐ 其余文件在C栏的续页中列出。☒ 见同族专利附件。

* 引用文件的具体类型:

“A” 认为不特别相关的表示了现有技术一般状态的文件

“E” 在国际申请日的当天或之后公布的在先申请或专利

“L” 可能对优先权要求构成怀疑的文件, 或为确定另一篇引用文件的公布日而引用的或者因其他特殊理由而引用的文件 (如具体说明的)

“O” 涉及口头公开、使用、展览或其他方式公开的文件

“P” 公布日先于国际申请日但迟于所要求的优先权日的文件

“T” 在申请日或优先权日之后公布, 与申请不相抵触, 但为了理解发明之理论或原理的在后文件

“X” 特别相关的文件, 单独考虑该文件, 认定要求保护的发明不是新颖的或不具有创造性

“Y” 特别相关的文件, 当该文件与另一篇或者多篇该类文件结合并且这种结合对于本领域技术人员为显而易见时, 要求保护的发明不具有创造性

“&” 同族专利的文件

国际检索实际完成的日期

2018年 11月 16日

国际检索报告邮寄日期

2018年 11月 23日

ISA/CN的名称和邮寄地址

中华人民共和国国家知识产权局 (ISA/CN)
中国北京市海淀区蓟门桥西土城路6号 100088

授权官员

黄渊

传真号 (86-10) 62019451

电话号码 86-010-62411769

国际检索报告
关于同族专利的信息

国际申请号

PCT/CN2018/098215

检索报告引用的专利文件			公布日 (年/月/日)	同族专利			公布日 (年/月/日)
CN	105469736	A	2016年 4月 6日	CN	105469736	B	2018年 3月 23日
CN	107039014	A	2017年 8月 11日	无			
CN	106782267	A	2017年 5月 31日	无			
CN	104700803	A	2015年 6月 10日	US	2017018243	A1	2017年 1月 19日
				CN	104700803	B	2017年 2月 22日
				WO	2016150061	A1	2016年 9月 29日