

[19] 中华人民共和国国家知识产权局

[51] Int. Cl.

H01L 29/47 (2006.01)

H01L 29/872 (2006.01)



[12] 发明专利申请公布说明书

[21] 申请号 200880000260.1

[43] 公开日 2009 年 9 月 23 日

[11] 公开号 CN 101542736A

[22] 申请日 2008.3.19

[21] 申请号 200880000260.1

[30] 优先权

[32] 2007.3.26 [33] JP [31] 078275/2007

[86] 国际申请 PCT/JP2008/055089 2008.3.19

[87] 国际公布 WO2008/117718 日 2008.10.2

[85] 进入国家阶段日期 2008.11.26

[71] 申请人 住友电气工业株式会社

地址 日本大阪府

[72] 发明人 宫崎富仁 木山诚

[74] 专利代理机构 中原信达知识产权代理有限责
任公司

代理人 林月俊 安翔

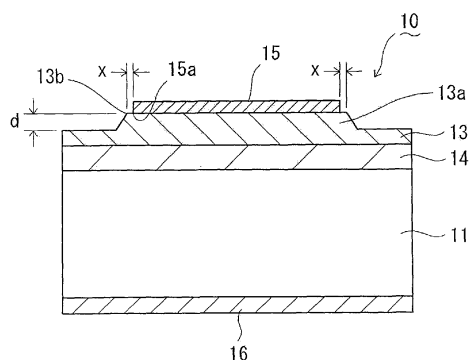
权利要求书 2 页 说明书 13 页 附图 8 页

[54] 发明名称

肖特基势垒二极管及其产生方法

[57] 摘要

提供一种具有外延生长层的肖特基势垒二极管，该外延生长层形成在衬底上并且具有台面部分，肖特基电极形成在台面部分上。肖特基电极的边缘和台面部分的顶表面边缘之间的距离为 $2\mu\text{m}$ 或者更小。因为距离(x)是 $2\mu\text{m}$ 或者更小，因此提供了具有显著地降低的泄露电流、提高的击穿电压、以及优良反向击穿电压特性的肖特基势垒二极管。



1. 一种肖特基势垒二极管，包括：
具有台面部分的半导体层；和
置于所述台面部分的顶表面上的肖特基电极，
其中，所述肖特基电极的侧边缘和所述台面部分的顶表面边缘之间的距离是预定值或者更小。
2. 根据权利要求1所述的肖特基势垒二极管，其中，所述预定值是 $2\text{ }\mu\text{m}$ 。
3. 根据权利要求1或2所述的肖特基势垒二极管，其中，所述台面部分的台阶高度大于 $0.2\text{ }\mu\text{m}$ 。
4. 一种生产肖特基势垒二极管的方法，包括：
步骤 A，在半导体层上形成肖特基电极；和
步骤 B，通过使用肖特基电极或者掩蔽膜对所述半导体层进行蚀刻而形成台面形状，且步骤 B 在步骤 A 之后进行。
5. 根据权利要求4所述的生产肖特基势垒二极管的方法，其中，在步骤 B 中，采用抗蚀剂膜作为掩蔽膜，且在该抗蚀剂膜中，与肖特基电极的重叠量为 $2\text{ }\mu\text{m}$ 或者更小。
6. 根据权利要求4或者5所述的生产肖特基势垒二极管的方法，其中，在步骤 A 中，通过等离子体蚀刻而形成台面部分的外形，然后通过湿法蚀刻移除表面层。
7. 一种生产肖特基势垒二极管的方法，包括：
步骤 A，通过对置于衬底的主表面侧上的半导体层进行蚀刻而形成台面部分；

步骤 B，在所述衬底的相反表面上形成背侧电极，且步骤 B 在步骤 A 之后进行；以及

步骤 C，在所述台面部分上形成肖特基电极，且步骤 C 在步骤 B 之后进行。

8. 根据权利要求 7 所述的生产肖特基势垒二极管的方法，其中，在步骤 A 中，通过等离子体蚀刻而形成所述台面部分的外形，然后通过湿法蚀刻移除表面层。

肖特基势垒二极管及其产生方法

技术领域

本发明涉及一种肖特基（Schottky）势垒二极管，并且具体地，本发明涉及其反向击穿电压特性的补救措施。

背景技术

作为与高压开关元件（电力装置）有关的技术，例如，如在专利文献 1 的图 6A 和 6B 中公开的，已知通过外延生长在蓝宝石衬底上形成 GaN 层，并且然后在该外延生长层上形成具有台面结构或者平板结构的肖特基势垒二极管。该文献的图 1 示出当外延生长层的掺杂浓度降低时在理论上预期的 GaN 整流器的反向击穿电压特性。

专利文献 1: 日本专利申请特开(PCT 申请的译文)No.2005-530334

发明内容

本发明要解决的问题

然而，以上文献既没有公开实际上能够实现的特定反向击穿电压，也没有特别地提及在平板型二极管和具有台面结构的二极管之间的差异。即，在此情况中，对于用于电力装置中的肖特基势垒二极管、具体地对于具有台面结构的肖特基势垒二极管的特性改进没有给出任何有意义的提议。

本发明的目的在于提供一种肖特基势垒二极管，通过改进台面结构和肖特基电极的结构，该肖特基势垒二极管具有令人满意的反向击穿电压特性。

解决问题的方法

本发明的肖特基势垒二极管包括被置于 n-型化合物半导体层上的具有台面部分的肖特基电极，其中在肖特基电极的侧边缘和台面部分的顶表面边缘之间的距离被限制为预定值或者更小。

在本发明的肖特基势垒二极管中，在台面部分的顶表面边缘处获得了电场弛豫效应。相应地，如图 5A 中所示，发现，在肖特基电极的边缘和台面部分的边缘之间的距离越小，则泄露电流越小，并且因此，由泄露电流指定的击穿电压得以提高。相应地，通过根据肖特基势垒二极管的类型将在肖特基电极的边缘和台面部分的边缘之间的距离限制为预定值或者更小，能够改进反向击穿电压特性。

具体地，如图 5A 中所示，通过将在肖特基电极的边缘和台面部分的边缘之间的距离限制为 $2\mu\text{m}$ 或者更小，能够显著地提高击穿电压。

如图 6 中所示，当台面部分的台阶高度大于 $0.2\mu\text{m}$ 时，能够获得具有更高击穿电压的肖特基势垒二极管。

本发明的生产肖特基势垒二极管的第一种方法（生产方法 1）是下述方法，其中形成肖特基电极，并且然后使用掩蔽膜进行用于形成台面部分的蚀刻。

通过使用这种方法将在掩蔽膜和肖特基电极之间的重叠量控制为较小，能够容易地实现本发明的肖特基势垒二极管的上述结构。

具体地，通过将在掩蔽膜和肖特基电极之间的重叠量限制为 $2\mu\text{m}$ 或者更小，能够获得具有特别优良的反向击穿电压特性的肖特基势垒二极管。

本发明的生产肖特基势垒二极管的第二种方法（生产方法 2）是下述方法，其中，形成台面部分，然后形成背侧电极，并且随后形成肖

特基电极。通过生产方法 2，如图 5B 中所示，当在肖特基电极的边缘和台面部分的边缘之间的距离是预定值或者更小时，能够实现与在第一生产方法中的相同的使用效果。

在生产方法 1 和 2 中，在形成台面部分时，通过等离子体蚀刻形成台面部分的外形，并且然后可以通过湿法蚀刻移除表面层。在这种情况下，能够通过等离子体蚀刻有效地形成比较准确的台面形状，并且另外，能够通过湿法蚀刻移除通过等离子体蚀刻形成的损伤层。

已经发现当这种损伤层留在台面部分的表面上时，容易产生由于，例如损伤层中的缺陷水平而导致的泄露电流。具体地，如在生产方法 1 中，当在肖特基电极的侧边缘和台面部分的顶表面边缘之间的距离被限制为预定值或者更小时，容易产生由于损伤层导致泄露电流。通过湿法蚀刻移除损伤层能够抑制这种泄露电流的产生。因此，能够获得具有更高击穿电压的肖特基势垒二极管。

优点

根据本发明的肖特基势垒二极管和生产肖特基势垒二极管的方法，能够改进反向击穿电压特性。

附图说明

图 1 是根据实施例的肖特基势垒二极管的截面剖视图；

图 2A 是示出根据生产方法 1-1 生产肖特基势垒二极管的步骤（形成缓冲层、外延层和背侧电极）的截面剖视图；

图 2B 是示出根据生产方法 1 生产肖特基势垒二极管的步骤（形成肖特基电极）的截面剖视图；

图 2C 是示出根据生产方法 1 生产肖特基势垒二极管的步骤（形成覆盖肖特基电极的上表面和侧表面的抗蚀剂掩膜）的截面剖视图；

图 2D 是示出根据生产方法 1 生产肖特基势垒二极管的步骤（蚀刻外延生长层并且然后移除抗蚀剂掩膜）的截面剖视图；

图 3A 是示出根据生产方法 1-1 生产肖特基势垒二极管的步骤（形成缓冲层和外延层）的截面剖视图；

图 3B 是示出根据生产方法 1-1 生产肖特基势垒二极管的步骤（形成肖特基电极）的截面剖视图；

图 3C 是示出根据生产方法 1-1 生产肖特基势垒二极管的步骤（形成覆盖肖特基电极的上表面和侧表面的抗蚀剂掩膜）的截面剖视图；

图 3D 是示出根据生产方法 1-1 生产肖特基势垒二极管的步骤（蚀刻外延生长层）的截面剖视图；

图 3E 是示出根据生产方法 1-1 生产肖特基势垒二极管的步骤（形成背侧电极）的截面剖视图；

图 4A 是示出根据生产方法 2-1 和 2-2 生产肖特基势垒二极管的步骤（在外延生长层上形成台面部分，并且然后移除抗蚀剂掩膜）的截面剖视图；

图 4B 是示出根据生产方法 2-1 和 2-2 生产肖特基势垒二极管的步骤（移除抗蚀剂掩膜并且形成背侧电极）的截面剖视图；

图 4C 是示出根据生产方法 2-1 和 2-2 生产肖特基势垒二极管的步骤（形成肖特基电极）的截面剖视图；

图 5A 是示出通过生产方法 1-1 生产的肖特基势垒二极管的泄露电流特性的测量的数据的图表；

图 5B 是示出通过生产方法 2-1 生产的肖特基势垒二极管的泄露电流特性的测量的数据的图表；

图 6 是示出作为台面台阶高度的函数的通过生产方法 1-1 和 2-1 生产的肖特基势垒二极管的击穿电压的测量的数据的图表。

参考标号

10 肖特基势垒二极管

11 GaN 衬底

11a 上部

13 外延生长层

13a 台面部分

13b 顶表面边缘

15 肖特基电极

15a 边缘

16 背侧电极

20 抗蚀剂掩膜

具体实施方式

现在将描述本发明的实施例。在附图说明中，为相同元件分配相同的参考标号，并且省去重复说明。注意在图中的尺寸比率并不总是对应于在本说明中的比率。

示例

第一实施例

肖特基势垒二极管的结构

图 1 是示出根据本发明实施例的肖特基势垒二极管的结构的截面剖视图。

如图 1 中所示，根据该实施例的肖特基势垒二极管 10 包括具有大约 $400\mu\text{m}$ 厚度的独立式的 GaN 衬底 11 和设于 GaN 衬底 11 上并且具有大约 $7\mu\text{m}$ 厚度的外延生长层 13。外延生长层 13 具有从其底部向上突出的台面部分 13a。在该实施例中，台面部分 13a 的侧表面具有倾斜形状。可替代地，该侧表面可以是垂直壁。由 Au 制成的肖特基电极 15 被设于台面部分 13a 的顶表面上。在平面视图中，肖特基电极 15 具有直径为大约 $200\mu\text{m}$ 的圆形形状。进而，由 Ti/Al/Ti/Au 制成的欧姆背侧电极 16 被设于 GaN 衬底 11 的相反表面上。

GaN 衬底 11 的主体含有具有大约 $3\times 10^{18}\text{cm}^{-3}$ 的较高浓度的 n-型掺杂。外延生长层 13（漂移层）含有具有大约 $5\times 10^{15}\text{cm}^{-3}$ 的低浓度的 n-型掺杂。在外延生长层 13 和 GaN 衬底 11 之间的厚度大约为 $1\mu\text{m}$ 的区

域是缓冲层 14, 缓冲层 14 含有具有大约 $1 \times 10^{17} \text{cm}^{-3}$ 的较低浓度的掺杂。

在该实施例的肖特基势垒二极管 10 中, 在肖特基电极 15 的边缘 15a 和台面部分 13a 的顶表面边缘 13b 之间的距离 x 是 $2 \mu\text{m}$ 或者更小。通过在下面描述的生产方法 1 或者 2 实现了这种结构。另外, 在该实施例中的台面台阶高度 d (台面厚度) 是 $0.2 \mu\text{m}$ 或者更大, 例如, 大约 $1 \mu\text{m}$, 其中所述台面台阶高度 d 是在台面部分 13a 和其底部之间的距离。

生产肖特基势垒二极管的步骤

生产方法 1-1

图 2A 到 2D 是示出根据生产方法 1 生产肖特基势垒二极管的步骤的截面剖视图。

首先, 在图 2A 中所示的步骤中, 缓冲层 14 和外延生长层 13 生长在 GaN 衬底 11 上。在生长中, 使用已知的金属有机化学气相沉积, 将具有大约 $1 \times 10^{17} \text{cm}^{-3}$ 的载流子密度的 n-型掺杂添加到缓冲层 14, 并且将具有大约 $5 \times 10^{15} \text{cm}^{-3}$ ($1 \times 10^{16} \text{cm}^{-3}$ 或者更低) 的载流子密度的 n-型掺杂添加到外延生长层 13。可替代地, 外延生长层 13 可以是未掺杂层。接下来, 进行有机清洁, 并且使用 10% 的盐酸三分钟来进一步进行清洁。随后, 通过蒸发方法在 GaN 衬底 11 的相反表面上沉积多层 Ti/Al/Ti/Au 膜 (厚度: 20/100/20/200nm)。在 600°C 进行合金化热处理两分钟以形成与 GaN 衬底 11 欧姆接触的背侧电极 16。

接下来, 在图 2B 中所示的步骤中, 进行有机清洁, 并且使用 10% 的盐酸三分钟进一步进行清洁。随后, 通过已知的剥离技术在外延生长层 13 上形成由已通过蒸发方法形成的具有厚度为大约 400nm 的 Au 膜构成的肖特基电极 15。如上所述, 在平面视图中, 肖特基电极 15 具有直径为大约 $200 \mu\text{m}$ 的圆形形状。

接下来, 在图 2C 中所示的步骤中, 形成覆盖肖特基电极 15 的上

表面和侧表面的抗蚀剂掩膜 20。抗蚀剂掩膜 20 由诸如酚醛树脂的光致抗蚀剂树脂构成并且具有比肖特基电极 15 的直径大 $2\mu\text{m}$ 的直径。相应地，即使当考虑掩膜的对准误差时，也在肖特基电极 15 的周围用抗蚀剂掩膜 20 可靠地覆盖肖特基电极 15。另外，在肖特基电极 15 的任何位置处，在抗蚀剂掩膜 20 的边缘和肖特基电极 15 的边缘之间的距离 x 是 $2\mu\text{m}$ 或者更小。然而，至少覆盖肖特基电极 15 的上表面是足够的。除了光致抗蚀剂树脂，构成蚀刻掩膜的材料的其他示例包括 SiN 、 SiON 、 SiO_2 、 Au 、 Pt 、 W 、 Ni 和 Ti 。可替代地，肖特基电极自身能够被用作蚀刻掩膜。在这种情形中，通过自对准，距离 x 能够为零。

随后，在提供抗蚀剂掩膜 20 的状态中，在供应作为蚀刻气体的 Cl_2 和 BCl_2 时，使用平行板型反应离子蚀刻 (RIE) 设备蚀刻外延生长层 13。关于该示例的蚀刻条件，功率密度为 $0.004\text{W}/\text{mm}^2$ ，腔室中的压力在 10 到 200mTorr 的范围内，电极温度在 25°C 到 40°C 的范围内，并且 Cl_2 的气体流率为 40sccm 并且 BCl_2 的气体流率为 4sccm。然而，蚀刻条件不限于以上条件。

只有 Cl_2 可以被用作蚀刻气体。可替代地，可以使用例如 Cl_2 和 Ar 、 Cl_2 和 N_2 、 Cl_2 和 BCl_2 或者 N_2 。通过使用这些蚀刻气体能够尽可能地抑制对外延生长层 13 的损坏。注意等离子体发生器不限于 RIE 设备，并且还能够使用另一种等离子体发生器诸如电感耦合等离子体 (ICP) 设备。

接下来，在图 2D 中所示的步骤中，在当外延生长层 13 被蚀刻至 $1\mu\text{m}$ 的深度时，停止蚀刻，并且然后通过灰化等移除抗蚀剂掩膜 20。由此，形成台面部分 13a 的外形。生产肖特基势垒二极管的步骤完成。在这个状态中，在肖特基电极 15 的周围，在台面部分 13a 的顶表面边缘 13b 和肖特基电极 15 的边缘 15a 之间的距离 x 是 $2\mu\text{m}$ 或者更小。

生产方法 1-2

图 3A 到 3E 是示出根据生产方法 1-2 生产肖特基势垒二极管的步骤的截面剖视图。

首先，在图 3A 中所示的步骤中，在与生产方法 1-1 中的相同的条件下，在 GaN 衬底 11 上生长缓冲层 14 和外延生长层 13。然而，不形成背侧电极 16。

接下来，在图 3B 和 3C 中所示的步骤中，在与生产方法 1-1 中的相同的条件下形成由 Au 膜或者 Ni/Au 膜制成的肖特基电极 15，并且然后形成覆盖肖特基电极 15 的上表面和侧表面的抗蚀剂掩膜 20。

然而，优选的是，图 3C 中所示的距离 x 至少等于或者大于通过随后的湿法蚀刻移除的量。

随后，在提供抗蚀剂掩膜 20 的状态中，使用平行板型 RIE 设备对外延生长层 13 进行等离子体蚀刻。在该步骤中，能够在相同条件下使用与在生产方法 1-1 中使用的蚀刻气体相同的蚀刻气体。使用的等离子体发生器不限于 RIE 设备，并且还能够在另一种等离子体发生器诸如 ICP 设备。

接下来，在图 3D 中所示的步骤中，在当外延生长层 13 被蚀刻至 $1\mu\text{m}$ 的深度时，停止等离子体蚀刻，并且然后通过灰化等移除抗蚀剂掩膜 20。通过该等离子体蚀刻形成台面部分 13a 的外形。

随后，整个衬底被浸入四甲基氢氧化铵 (TMAH) 的 25% 水溶液中，并且在大约 85°C 的温度下对 GaN 进行湿法蚀刻。通过该处理移除通过上述等离子体蚀刻在外延生长层 13 的表面上形成的损伤层。在包括台面部分 13a 的外延生长层 13a 的表面上，蚀刻损坏层被形成为几个纳米的深度（在大约 1 到 20nm 的范围内），但是根据所使用的等离子体发生器的类型和等离子体蚀刻的条件，蚀刻损坏层是不同的。进行

该湿法蚀刻直至蚀刻损坏层被基本移除。术语“基本移除”指的是将蚀刻损坏层移除至使得蚀刻损坏层不影响在下面描述的泄露电流的程度是足够的，即使蚀刻损坏层未被完全移除。

在图 3D 中所示的步骤中，用于通过灰化等移除抗蚀剂掩膜 20 的处理并不总是必要的。这是因为，根据使用 TMAH 的 25% 水溶液的湿法蚀刻的时间，抗蚀剂掩膜 20 也能够被移除。

用于进行湿法蚀刻的蚀刻剂不限于 TMAH 的水溶液，并且根据衬底的材料（在该实施例中为 GaN），能够使用另一种适当的蚀刻剂。在使用 TMAH 的水溶液的情况中，溶液的浓度不限于 25%，而是能够适当地选择浓度和其它条件诸如温度。

接下来，在图 3E 中所示的步骤中，进行有机清洁，并且使用 10% 的盐酸三分钟来进一步进行清洁。随后，通过蒸发方法在 GaN 衬底 11 的相反表面上沉积多层 Ti/Al/Ti/Au 膜（厚度：20/100/20/200nm）。在 450°C 下进行两分钟合金化热处理（注意：请检查这个条件）以形成与 GaN 衬底 11 欧姆接触的背侧电极 16。在这个步骤中，在保持肖特基电极 15 和外延生长层 13 之间的肖特基接触的温度和时间条件下，对背侧电极 16 进行合金化处理。

生产方法 2-1

图 4A 到 4C 是示出根据生产方法 2-1 生产肖特基势垒二极管的步骤的截面剖视图。

首先，在图 4A 中所示的步骤中，在与生产方法 1-1 中相同的条件下生长外延生长层，并且然后在台面部分 13a 上形成类似于在生产方法 1-1 中使用的抗蚀剂掩膜 20。在提供抗蚀剂掩膜 20 的状态中，对外延生长层 13 进行等离子体蚀刻。使用的等离子体发生器和等离子体蚀刻条件与在生产方法 1-1 中所使用的相同。

接下来，在图 4B 中所示的步骤中，移除抗蚀剂掩膜 20，并且然后在 GaN 衬底 11 的相反表面上形成背侧电极 16。形成条件、材料以及用于对背侧电极 16 合金化处理的条件与在生产方法 1-1 中所使用的相同。

此外，在图 4C 中所示的步骤中，形成具有比抗蚀剂掩膜 20 的直径小 $2\mu\text{m}$ 的直径的肖特基电极 15。形成方法与生产方法 1-1 相同。

即，在生产方法 2-1 中，只改变了生产方法 1-1 的处理次序。

通过上述工艺，形成肖特基势垒二极管，其中在台面部分 13a 的顶表面边缘 13b 和肖特基电极 15 的边缘 15a 之间的距离 x 是 $2\mu\text{m}$ 或者更小。

然而，如在下面描述的数据所示，当采用生产方法 2-1 的生产步骤时，通过将在台面部分 13a 的顶表面边缘 13b 和肖特基电极 15 的边缘 15a 之间的距离 x 限制为预定值（在该示例中为 $2\mu\text{m}$ ）或者更小，能够减小泄露电流。

生产方法 2-2

在生产方法 2-2 中，进行与在生产方法 2-1 中图 4A 到 4C 所示的步骤基本上相同的步骤。

然而，在生产方法 2-2 中，在图 4B 中所示的步骤中，在形成背侧电极 16 之前，通过在与生产方法 1-2 中相同的条件下使用 TMAH 的 25% 水溶液的湿法蚀刻移除通过等离子体蚀刻在外延生长层 13 的表面上形成的损坏层。

可替代地，在形成背侧电极 16 之后，可以进行使用 TMAH 的 25%

水溶液的湿法蚀刻。在这种情况下,优选的是在 GaN 衬底 11 的相反表面上形成蚀刻保护性膜以便于覆盖背侧电极 16。能够使用,耐受 TMAH 的 25%水溶液的绝缘膜,例如,氧化硅膜或者氮化硅膜,作为蚀刻保护性膜。随后,使用适用于绝缘膜的材料已知蚀刻剂移除该绝缘膜,并且能够进行图 4C 中所示的步骤。

肖特基势垒二极管的特性

图 5A 和 5B 是分别地示出通过生产方法 1-1 和 2-1 生产的肖特基势垒二极管的泄露电流特性的测量的数据的图表。在图 5A 和 5B 中,水平轴线代表在台面部分 13a 的顶表面边缘 13b 和肖特基电极 15 的边缘 15a 之间的距离 x , 并且竖直轴线代表当施加 200V 的反向电压时的泄露电流 (A)。

如图 5A 中所示,在通过生产方法 1-1 生产的肖特基势垒二极管中,显著地观察到泄露电流随着距离 x 的减小而减小的趋势。泄露电流是用于确定击穿电压的阈值的参数。因此,小的泄露电流意味着高的击穿电压。相应地,如在本发明中,通过将在台面部分 13a 的顶表面边缘 13b 和肖特基电极 15 的边缘 15a 之间的距离 x 限制为预定值或者更小,能够提高肖特基势垒二极管的击穿电压。

具体地,通过将距离 x 限制为 $2\mu\text{m}$ 或者更小,泄露电流被显著地减小。相应地,发现显著地提高了击穿电压。

相反,如在专利文献 1 中,在使用在除了独立式 GaN 衬底之外的衬底(例如,蓝宝石衬底)上外延生长的半导体层的情况下,含有很多缺陷诸如位错。相应地,即便改进了台面结构和肖特基电极的结构,也不可能实现令人满意的特性的改进。另一方面,通过使用独立式 GaN 衬底(体衬底),能够显著地实现本发明的优点。

如图 5B 中所示,在通过生产方法 2-1 生产的肖特基势垒二极管中,

类似地观察到泄露电流随着距离 x 的减小而减小的趋势。相应地，如在生产方法 1 的情形中一样，通过生产方法 2 生产的肖特基势垒二极管也实现了提高击穿电压的效果。

图 6 是示出作为台面台阶高度 d 的函数的通过生产方法 1-1 和 2-1 生产的肖特基势垒二极管的击穿电压的测量数据的图表。如图中所示，与台面台阶高度 d 为零的情形相比较，提高了击穿电压。随着台面台阶高度 d 增加，击穿电压提高。即，通过使用台面结构，与具有平板型结构的肖特基势垒二极管相比较，提高了击穿电压。当台面台阶高度 d 是 $0.2\mu\text{m}$ 或者更大时，击穿电压为大约 800 (V) 或者更高，并且因此，观察到显著提高了击穿电压。

在生产方法 1-1 和 2-1 中，当进行用于形成台面部分 13a 的等离子体蚀刻时，通过等离子体蚀刻形成的损伤层留在包括台面部分 13a 的外延生长层 13 的表面上。相应地，容易产生由于在该损坏层中的缺陷水平导致的泄露电流。另外，已知当在台面部分 13a 的顶表面边缘 13b 和肖特基电极 15 的边缘 15a 之间的距离 x 被限制为预定值或者更小时，如在本发明中一样，容易产生由于损坏层导致的泄露电流。

在这个方面，预期通过移除损坏层能够进一步减小图 5A 和 5B 中所示的泄露电流。

即，如在上述生产方法 1-2 和 2-2 中一样，通过进行用于移除由于等离子体蚀刻而产生的损坏层的湿法蚀刻，能够提供具有更高击穿电压的肖特基势垒二极管。

另外，在用于形成台面部分 13a 的等离子体蚀刻中，当蚀刻效率提高时，损坏层的深度也增加。相反，当损坏深度减小时，因为在温和条件下进行等离子体蚀刻，蚀刻效率降低。相应地，通过在等离子体蚀刻之后引入湿法蚀刻，还能够提高用于形成台面部分 13a 的效率。

在以上实施例中,已经对提供为半导体层的 GaN 衬底和 GaN 外延生长层的示例进行了说明。然而,本发明的肖特基势垒二极管还能够被应用于 SiC 或者 Si。

在上述实施例中,具体地,在生产方法 2 中,肖特基电极 15 可以从台面部分 13 的上表面凸出。

仅仅作为示例给出本发明的以上公开的实施例的结构,并且本发明的范围不限于在这些实施例中描述的范围。本发明的范围由对权利要求的说明指定,并且进一步包括与权利要求说明等价的含义及其范围中的所有改变。

工业适用性

本发明能够用作在布线板和在电子设备诸如移动电话中安装的多芯共轴电缆之间建立布线的电连接的连接器。

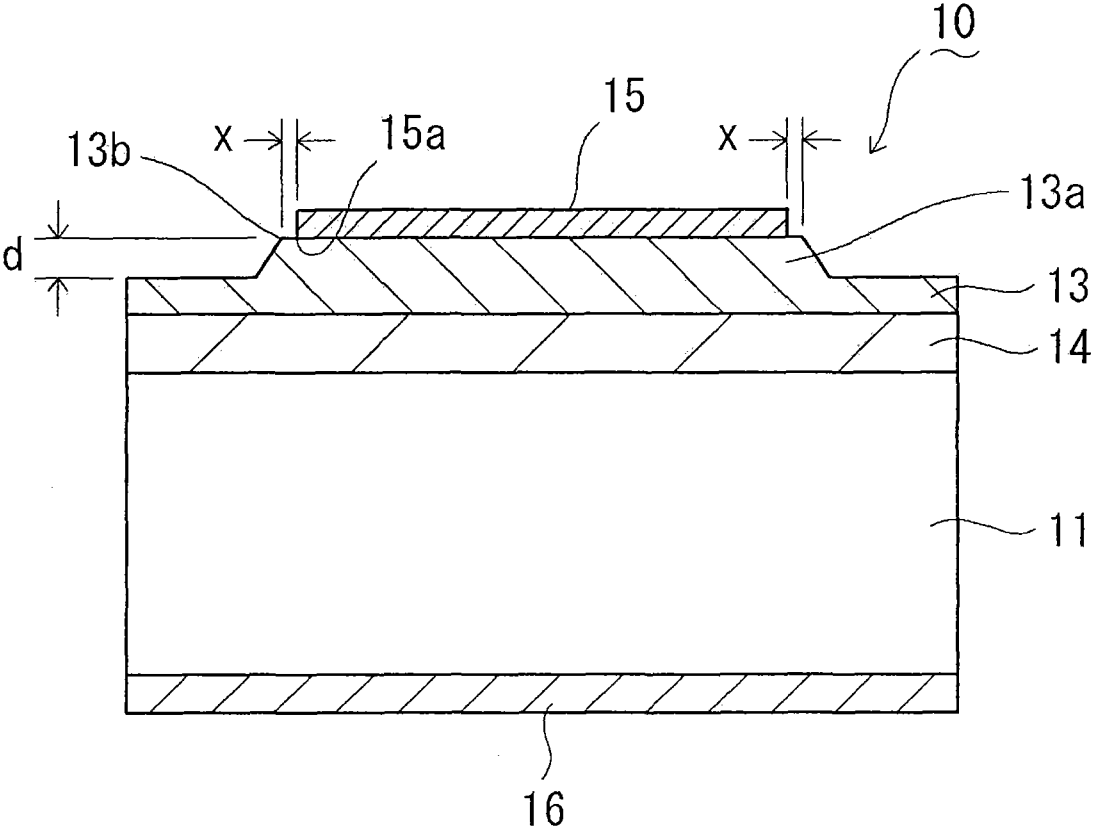


图1

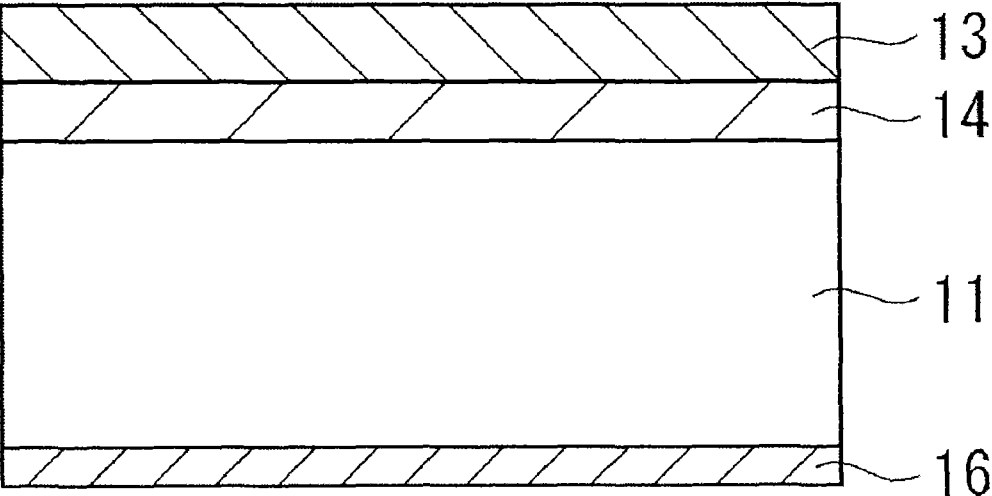


图2A

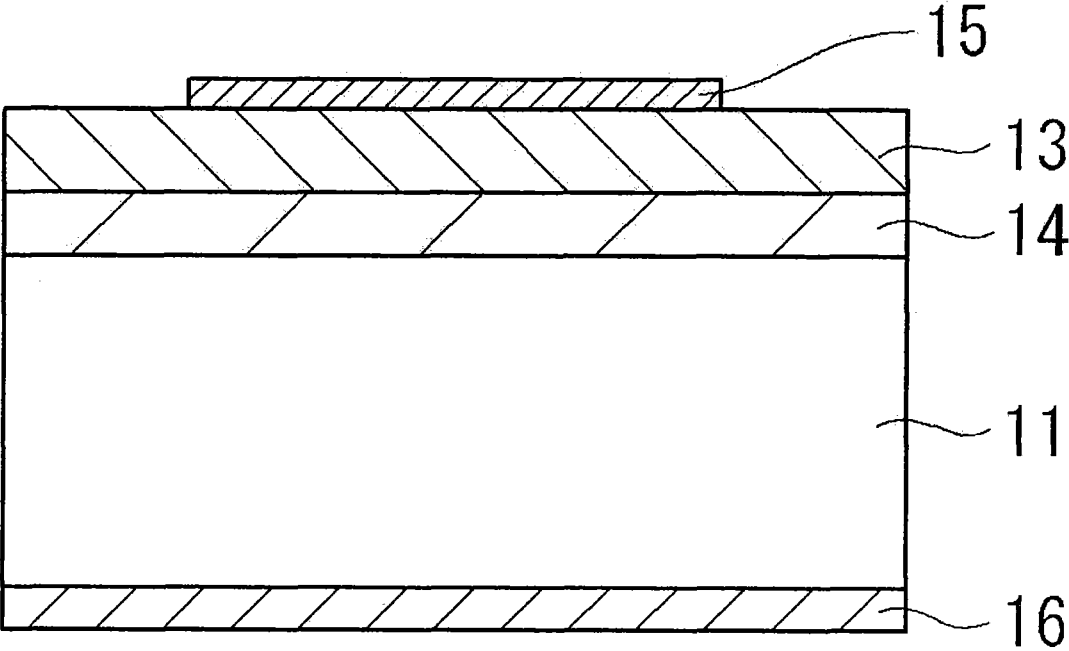


图2B

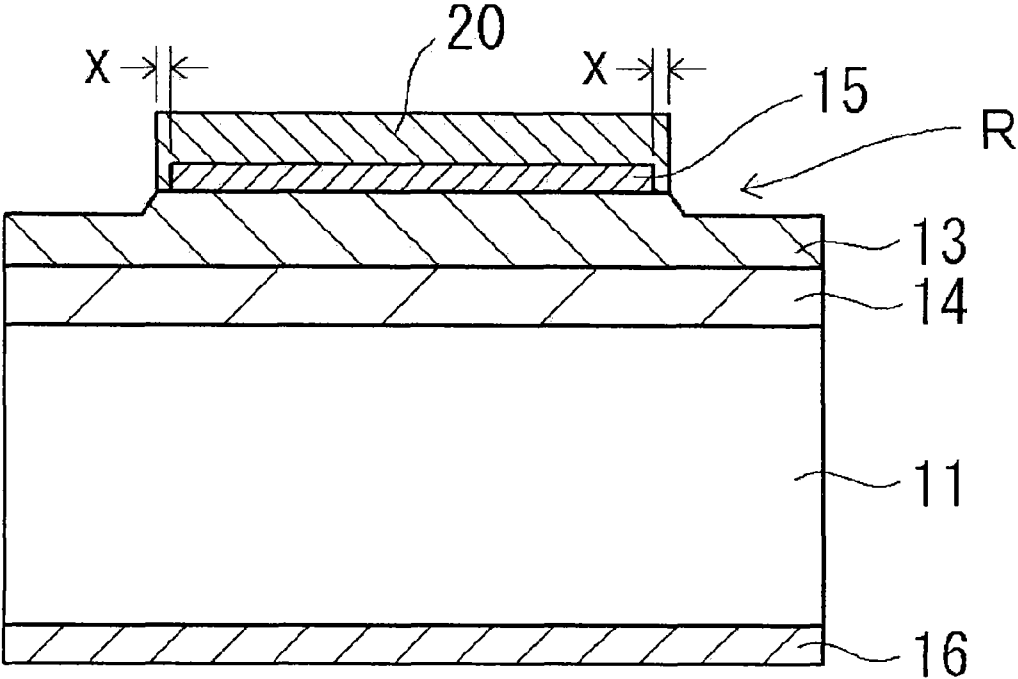


图2C

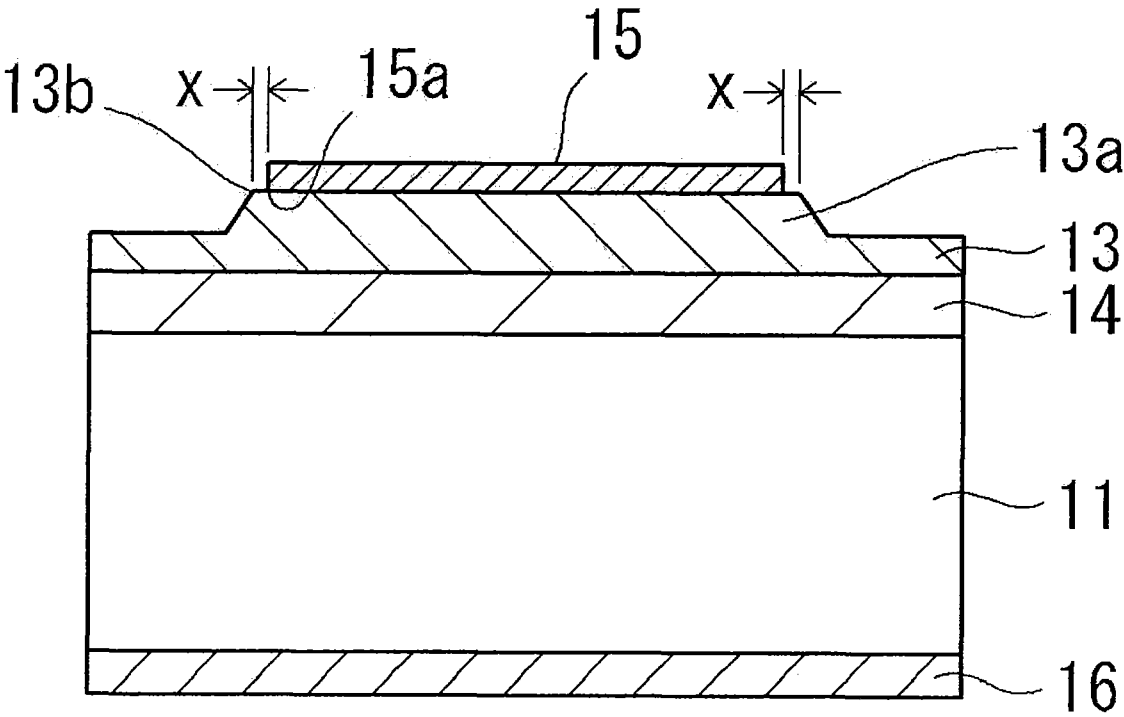


图2D

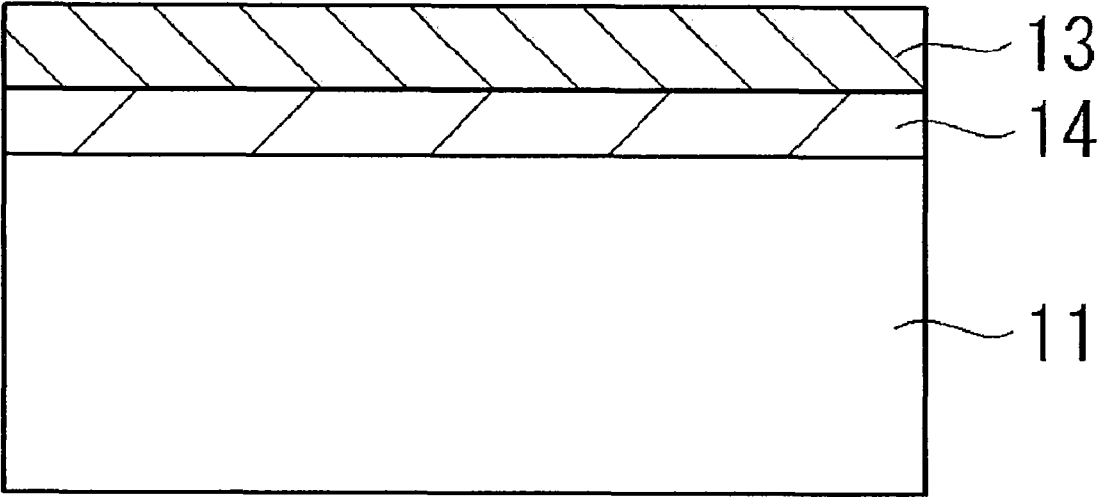


图3A

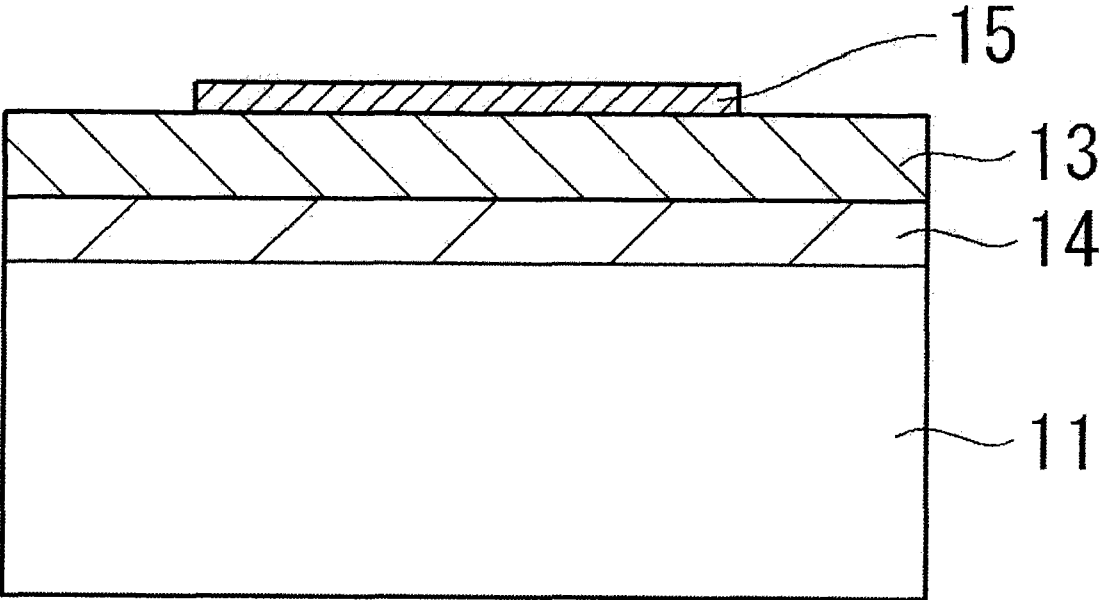


图3B

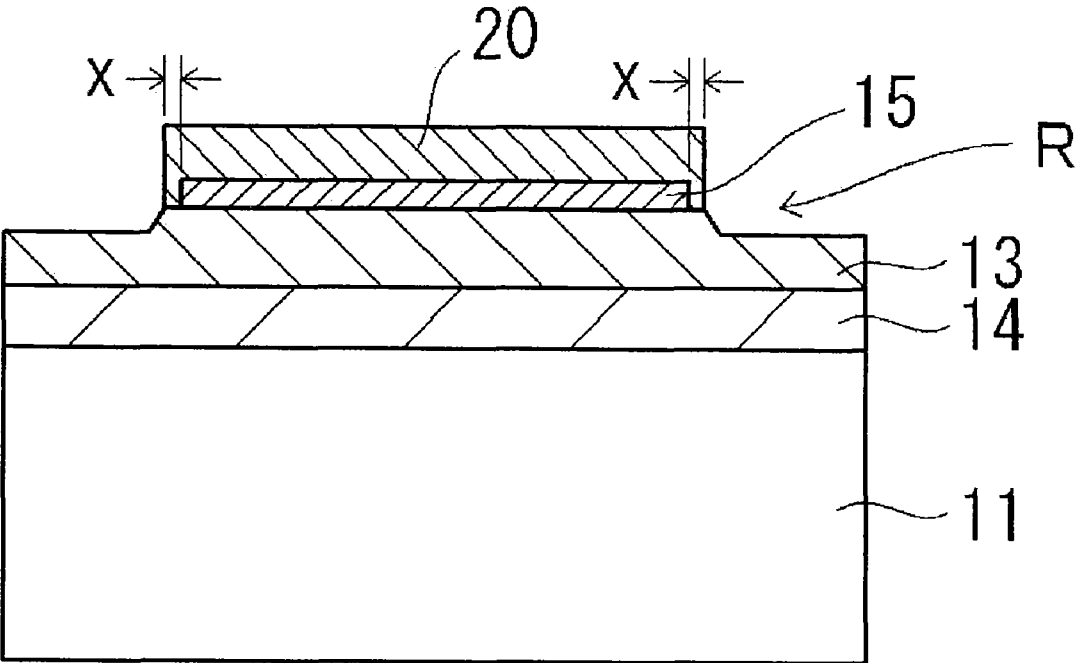


图3C

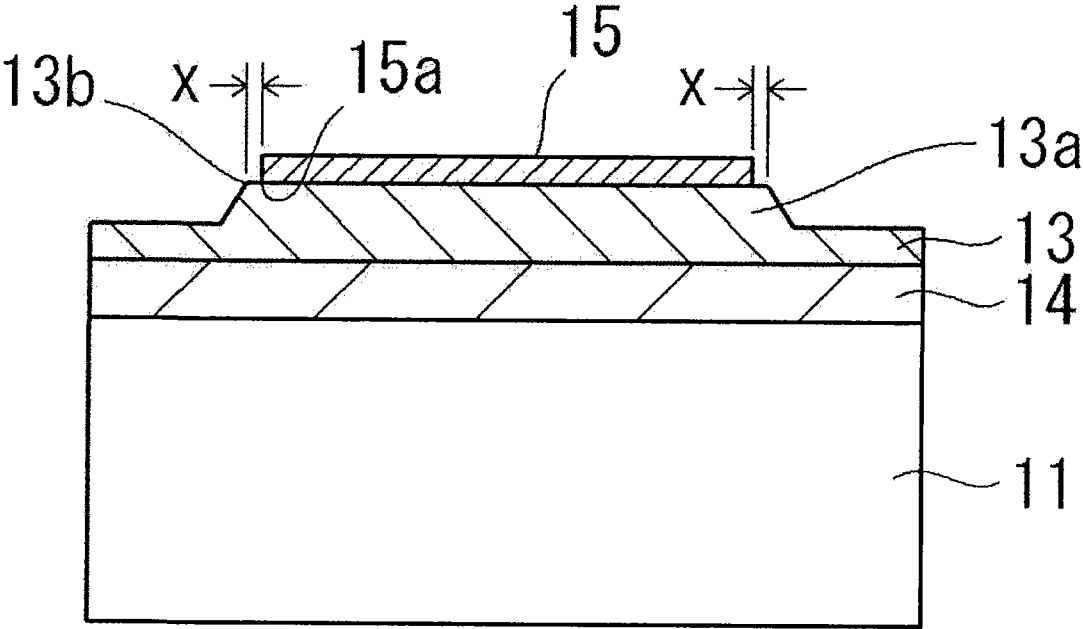


图3D

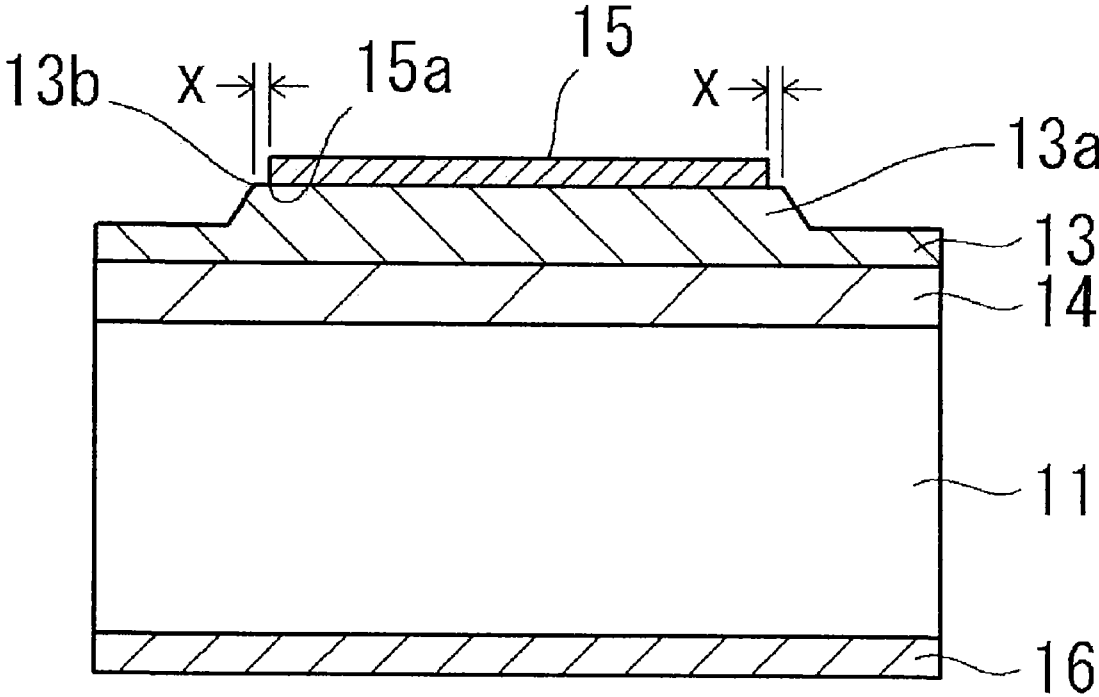


图3E

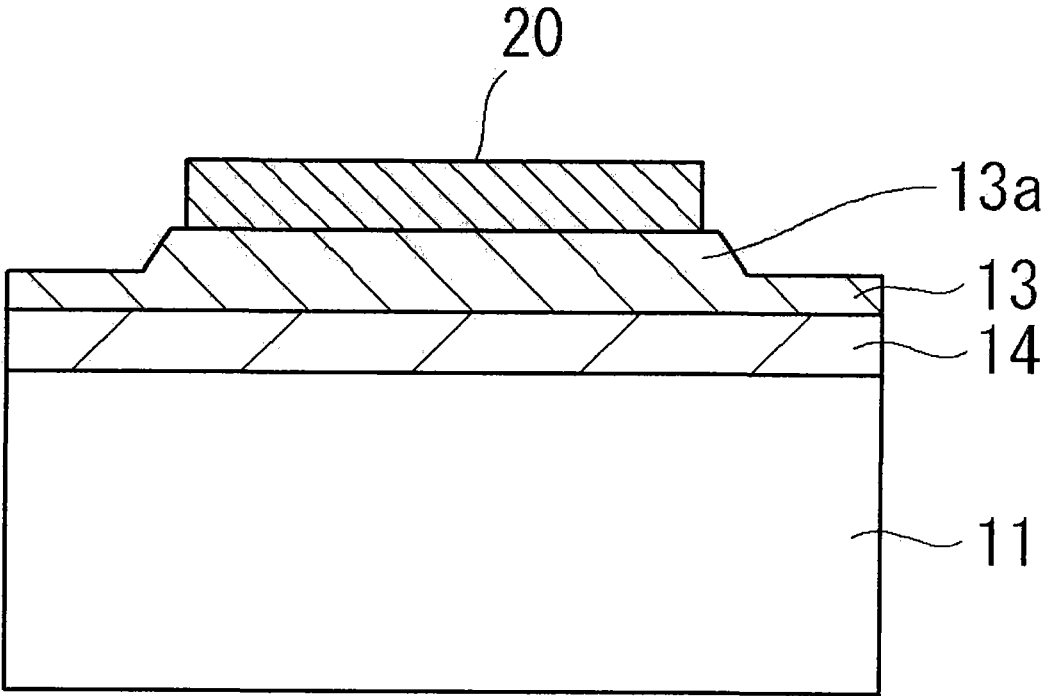


图4A

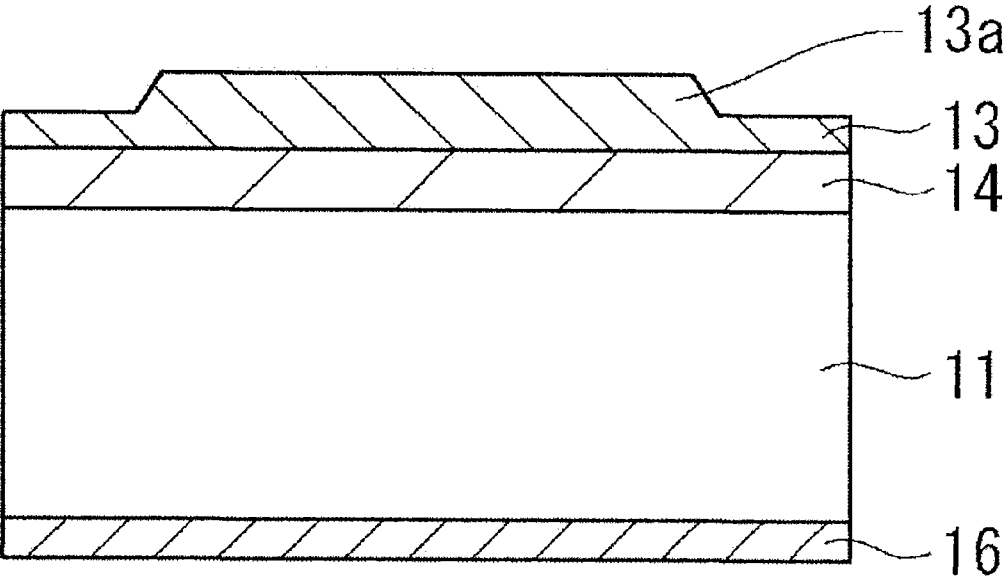


图4B

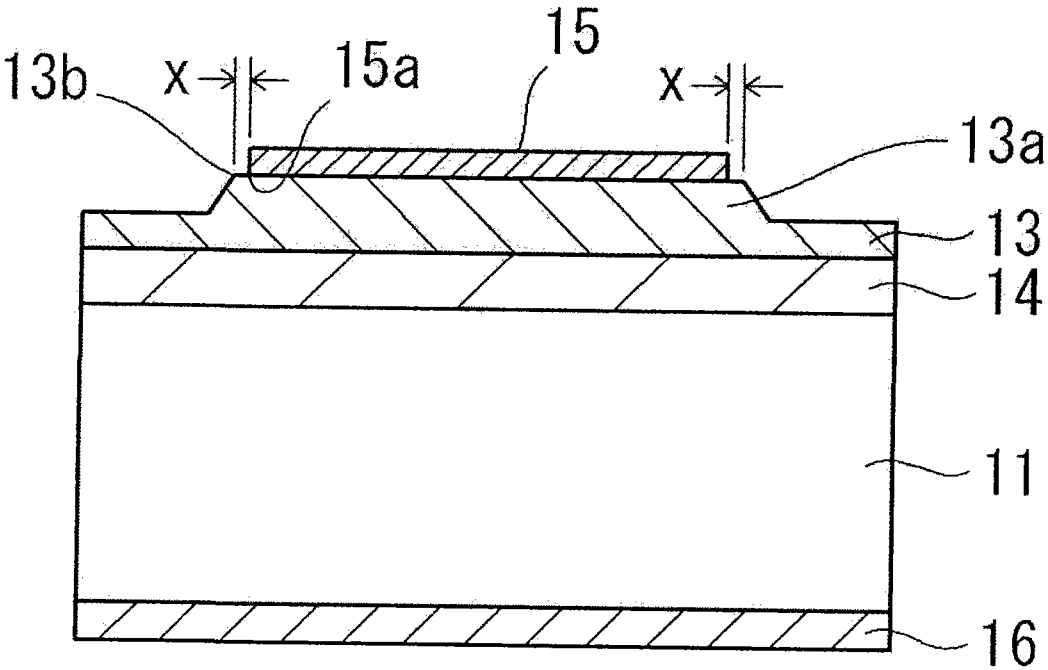


图4C

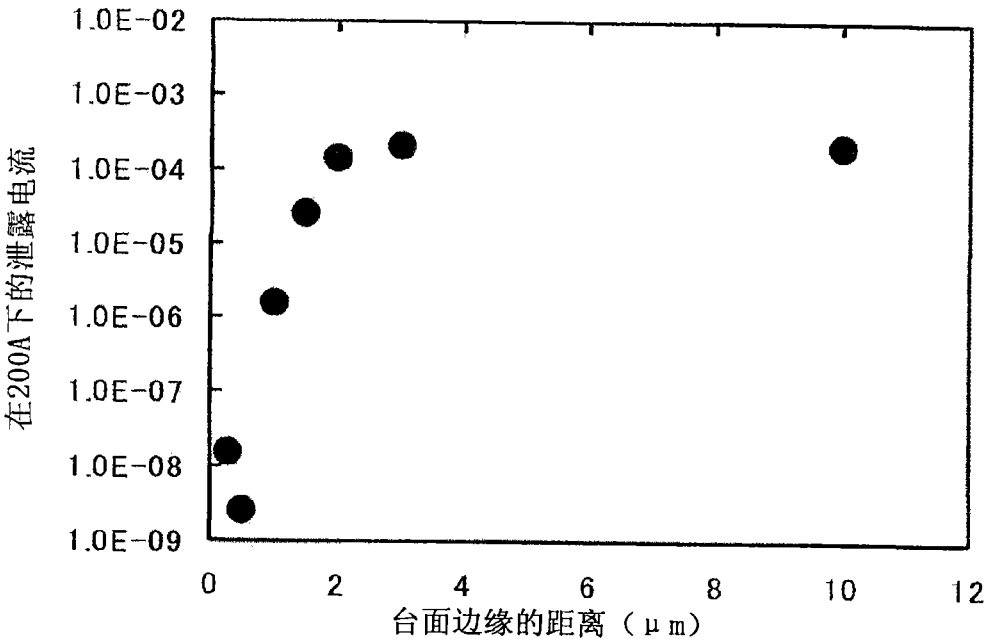


图5A

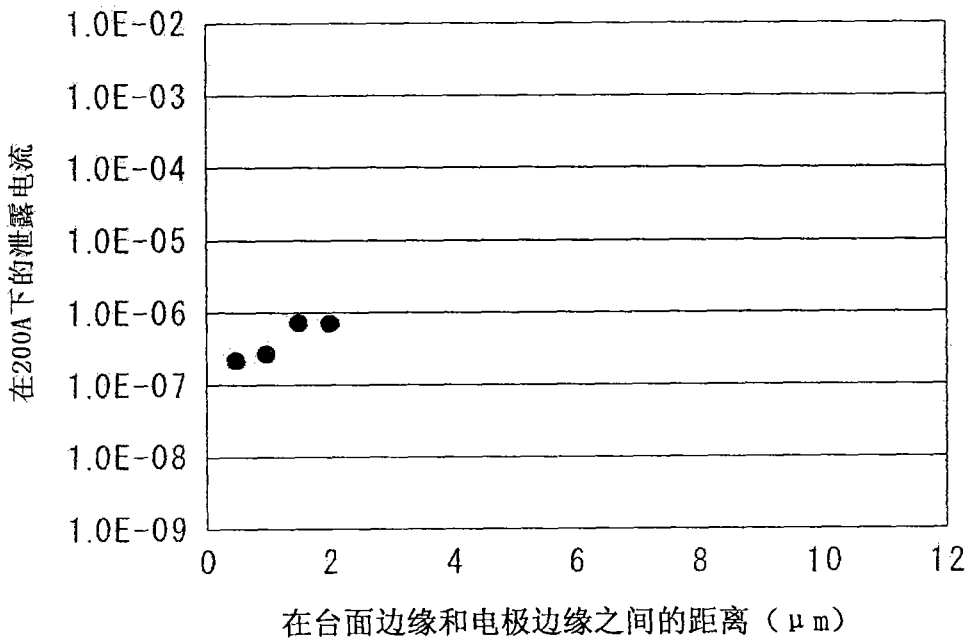


图5B

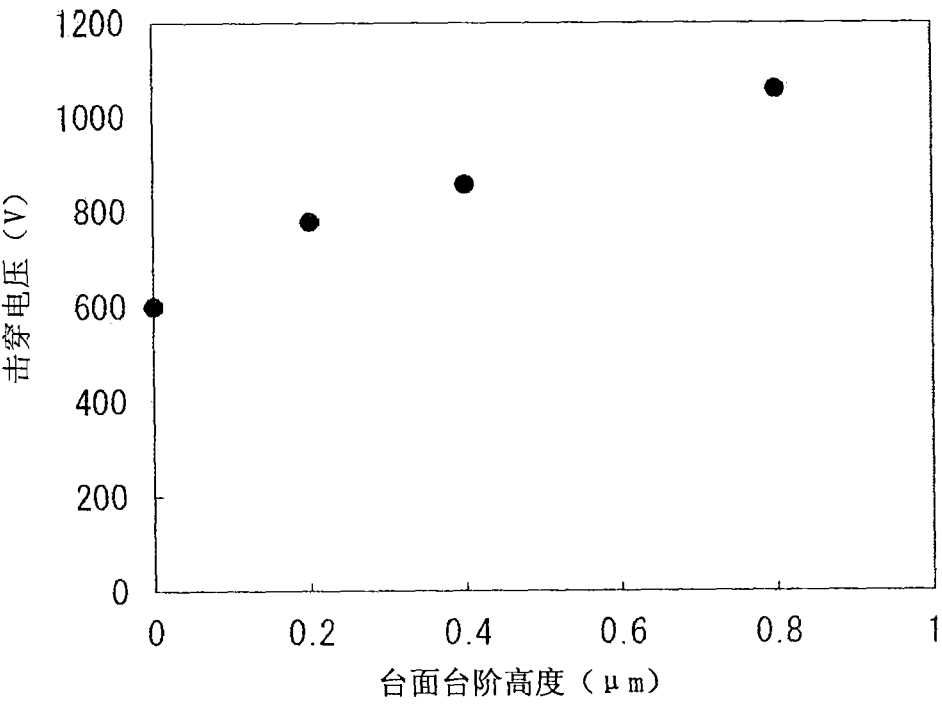


图6