(19)日本国特許庁(JP)　(12)公開特許公報(A)　(11)特許出願公開番号
特開2006-157977
(P2006-157977A)
(43)公開日　平成18年6月15日(2006.6.15)

(51)Int.Cl.			F I			テーマコード（参考）
H04N	1/387	(2006.01)	H04N	1/387		5B047
G06T	3/60	(2006.01)	G06T	3/60		5B057
G06T	1/20	(2006.01)	G06T	1/20	B	5C076
G06T	1/60	(2006.01)	G06T	1/60	450G	
			G06T	1/60	450H	

審査請求 有　請求項の数 3　OL　（全 11 頁）

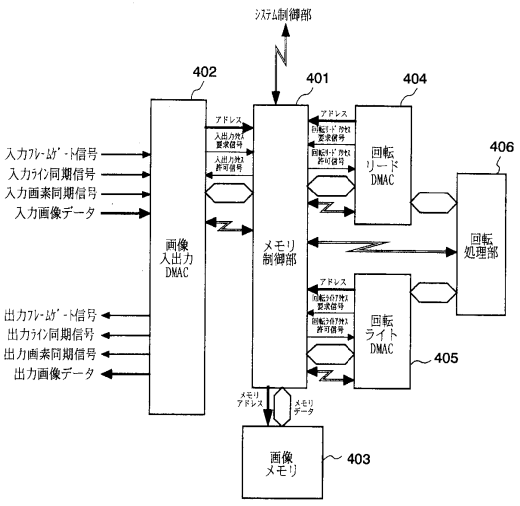
(21)出願番号　特願2006-67552(P2006-67552)
(22)出願日　平成18年3月13日(2006.3.13)
(62)分割の表示　特願平11-303033の分割
原出願日　平成11年10月25日(1999.10.25)

(71)出願人　000006747
株式会社リコー
東京都大田区中馬込１丁目３番６号
(74)代理人　100078134
弁理士　武　顕次郎
(74)代理人　100106758
弁理士　橘　昭成
(72)発明者　田中　智憲
東京都大田区中馬込１丁目３番６号　株式会社リコー内

Fターム(参考)　5B047 EA03 EB04 EB12 EB17
5B057 CA12 CA16 CB12 CB16 CC02
CD04 CH04 CH11 CH14
5C076 AA24 BA03 BA04 BA08

(54)【発明の名称】画像処理装置

(57)【要約】
【課題】メモリを使用して画像回転を行う際に、中間のバッファメモリ量を少なくする。
【解決手段】入力画像データを順次画像メモリ403のデータバス幅nビットのm画素単位にパッキングして前記画像メモリ403の第1の所定領域に書き込む画像入出力DMAC402と、画像入出力DMAC402により画像メモリ403の第1の所定領域に記憶された入力画像データがmライン蓄積された後に、副走査方向に連続してmワード単位で読み出す回転リードDMAC404と、nビット×mワードのバッファメモリを持ち、前記回転リードDMAC404から読み出された主走査n画素×副走査nラインの画像データに対して90°または270°の回転処理を施す回転処理部406と、回転処理部406によって回転した画像データを順次、回転アドレスを発生して画像メモリ403の第2の所定領域に書き込む回転ライトDMAC405と、画像メモリ403への書き込み及び画像メモリ403からの読み出しを時分割で並行して実行するメモリ制御部401とを備えた。
【選択図】図４



【特許請求の範囲】
【請求項１】
記憶手段に記憶される画像データあるいは記憶された画像データを回転させて回転画像として出力する画像処理装置において、
入力画像データを順次前記記憶手段のデータバス幅ｎビットのｍ画素単位にパッキングして前記記憶手段の第１の所定領域に書き込む手段と、
前記書き込み手段により前記記憶手段の第１の所定領域に記憶された入力画像データがｍライン蓄積した後に、副走査方向に連続してｍワード単位で読み出す手段と、
ｎビット×ｍワードのバッファメモリを持ち、前記読み出し手段より読み出された主走査ｎ画素×副走査ｍラインの画像データに対して９０°または２７０°の回転処理を施す手段と、
前記回転処理を施す手段によって回転した画像データを順次、回転アドレスを発生して前記記憶手段の第２の所定領域に書き込む手段と、
前記記憶手段への書き込み及び前記記憶手段からの読み出しを時分割で並行して実行する手段と、
を含んでなることを特徴とする画像処理装置。
【請求項２】
前記第１の所定領域に書き込む手段による処理ライン数と、前記読み出す手段による処理ライン数とを比較し、その比較結果に基づいて　前記第１の所定領域をページ内で再帰的に使用することを特徴とする請求項１記載の画像処理装置。
【請求項３】
記憶手段に記憶される画像データあるいは記憶された画像データを回転させて回転画像として出力する画像処理装置において、
あらかじめ前記記憶手段の第１の所定領域に記憶された画像データを順次、回転アドレスを発生して読み出す手段と、
ｎビット×ｍワードのバッファメモリを持ち、前記読み出す手段より読み出された主走査ｎ画素×副走査ｍラインの画像データに対して９０°または２７０°の回転処理を施す手段と、
前記回転処理を施す手段により回転した画像データを前記記憶手段の第２の所定領域に副走査方向に連続してｍワード単位で書き込む手段と、
前記書き込む手段により書き込まれたｍライン処理後の画像データを、主走査方向に前記第２の所定領域から順次読み出してラスタ形式で出力する手段と、
前記記憶手段への書き込み及び前記記憶手段からの読み出しを時分割で並行して実行する手段と、
を含んでなることを特徴とする画像処理装置。
【発明の詳細な説明】
【技術分野】
【０００１】
本発明は、画像情報のデジタル処理を行うためのメモリ制御に特徴のある画像処理装置に関し、特にデジタル複写機、スキャナ、プリンタ、ファクシミリなどの画像形成装置に備えられ、入力画像データを回転して出力するための画像処理装置に関する。
【背景技術】
【０００２】
近年、複写機のデジタル化が進むと共に画像メモリを応用した、加工、編集が盛んとなってきている。このような加工、編集の例として、例えば、メモリの読み出し時のアドレス操作による画像回転、イメージリピート、書き込み時のアドレス操作による複数枚の原稿を１枚の転写紙にコピーするｉｎｔｏ１等がある。このような加工や編集機能を満足するため、メモリ機能を持つデジタル複写機では、最低原稿１枚分に相当する画像メモリを持っているのが一般的である。また、画像メモリは比較的大容量で、高速性が要求されるため、ＤＲＡＭで構成するのが一般的である。

【０００３】
前述の画像回転において、スキャナで読み取られた画像に９０度あるいは２７０度の回転を加えてリアルタイムにページメモリに書き込むには、スキャナから入力される画像データが一般的に主走査方向に連続したラスタデータであり、かつ画像メモリのデータバス幅が一般的にｎビットであるため、ｎラインを一旦中間メモリに記憶させる等の工夫が必要になる。そこで、特開平５－３１４２４９号公報には、中間メモリとして１ビット単位で構成されるラインメモリをｎ個用いて画像メモリのデータバス幅に揃えた上で画像メモリに格納することが提案されている。
【発明の開示】
【発明が解決しようとする課題】
【０００４】
しかし、この特開平５－３１４２４９号公報の開示の方式では、中間メモリとしてワード数を主走査の画素数分持ったｎ個のラインメモリが必要になり、またラインメモリ自体が画像メモリとは独立して必要になるため、全体としてコスト高にならざるを得なかった。
【０００５】
そこで、本発明は、中間のバッファメモリ量を少なくでき、コスト高になることのない画像処理装置を提供することを目的とする。
【課題を解決するための手段】
【０００６】
前記目的を達成するため、第１の手段は、記憶手段に記憶される画像データあるいは記憶された画像データを回転させて回転画像として出力する画像処理装置において、入力画像データを順次前記記憶手段のデータバス幅ｎビットのｍ画素単位にパッキングして前記記憶手段の第１の所定領域に書き込む手段と、前記書き込み手段により前記記憶手段の第１の所定領域に記憶された入力画像データがｍライン蓄積された後に、副走査方向に連続してｍワード単位で読み出す手段と、ｎビット×ｍワードのバッファメモリを持ち、前記読み出し手段より読み出された主走査ｎ画素×副走査ｎラインの画像データに対して９０°または２７０°の回転処理を施す手段と、前記回転処理を施す手段によって回転した画像データを順次、回転アドレスを発生して前記記憶手段の第２の所定領域に書き込む手段と、前記記憶手段への書き込み及び前記記憶手段からの読み出しを時分割で並行して実行する手段とを備えた構成とした。
【０００７】
この場合、前記第１の所定領域に書き込む手段による処理ライン数と、前記読み出す手段による処理ライン数とを比較し、その比較結果に基づいて前記第１の所定領域をページ内で再帰的に使用するようにするとよい。
【０００８】
また、第２の手段は、前記第１の手段と同様の前提の画像処理装置において、あらかじめ前記記憶手段の第１の所定領域に記憶された画像データを順次、回転アドレスを発生して読み出す手段と、ｎビット×ｍワードのバッファメモリを持ち、前記読み出す手段より読み出された主走査ｎ画素×副走査ｍラインの画像データに対して９０°または２７０°の回転処理を施す手段と、前記回転処理を施す手段により回転した画像データを前記記憶手段の第２の所定領域に副走査方向に連続してｍワード単位で書き込む手段と、前記書き込む手段により書き込まれたｍライン処理後の画像データを、主走査方向に前記第２の所定領域から順次読み出してラスタ形式で出力する手段と、前記記憶手段への書き込み及び前記記憶手段からの読み出しを時分割で並行して実行する手段とを備えた構成とした。
【０００９】
また、下記の実施形態において、前記記憶手段は画像メモリ４０３に、入力画像データを順次前記記憶手段のデータバス幅ｎビットのｍ画素単位にパッキングして前記記憶手段の第１の所定領域に書き込む手段は画像入出力ＤＭＡＣ４０２に、前記書き込み手段により記憶手段の第１の所定領域に記憶された入力画像データがｍライン蓄積された後に、副

走査方向に連続してｍワード単位で読み出す手段は回転リードＤＭＡＣ４０４に、ｎビット×ｍワードのバッファメモリを持ち、前記読み出す手段より読み出された主走査ｎ画素×副走査ｍラインの画像データに対して９０°または２７０°の回転処理を施す手段は回転処理部４０６に、前記回転処理を施す手段によって回転した画像データを順次、回転アドレスを発生して記憶手段の第２の所定領域に書き込む手段は回転ライトＤＭＡＣ４０５に、記憶手段への書き込み及び記憶手段からの読み出しを時分割で並行して実行する手段はメモリ制御部４０１（アクセス制御回路５０２）に、あらかじめ前記記憶手段の第１の所定領域に記憶された画像データを順次、回転アドレスを発生して読み出す手段は回転リードＤＭＡＣ４０４に、前記回転処理を施す手段により回転した画像データを前記記憶手段の第２の所定領域に副走査方向に連続してｍワード単位で書き込む手段は回転ライトＤＭＡＣ４０５に、前記書き込む手段により書き込まれたｍライン処理後の画像データを主走査方向に前記第２の所定領域から順次読み出してラスタ形式で出力する手段は画像入出力ＤＭＡＣ４０２にそれぞれ対応する。

【発明の効果】

【００１０】

本発明によれば、記憶手段を有効に利用することにより、中間のバッファメモリ量を少なくでき、それによりコストメリットのある画像処理装置を提供することが可能となる。

【発明を実施するための最良の形態】

【００１１】

以下、図面を参照して本発明の実施形態について説明する。図１は本発明に係る画像処理装置の一実施形態としてデジタル複写機を示すブロック図、図２は原稿を示す説明図、図３は図１のＩＰＵから出力される画像データの同期信号を示すタイミングチャート、図４は図１の記憶部を詳細に示すブロック図、図５及び図６は図４のメモリ制御部の構成を詳細に示すブロック図、図７は入力回転の画像データの流れの様子を示す説明図、図８は出力回転の画像データの流れの様子を示す説明図、図９は図７の斜線部の画像を拡大した様子を示す説明図である。

【００１２】

図１に示す読み取り部１では、原稿台２上の原稿３を露光ランプ４により照明し、その反射光を反射ミラー５によりＣＣＤイメージセンサ６に導き、ＣＣＤイメージセンサ６により光電変換して光の強弱に応じた電気信号に変換する。ＩＰＵ（イメージプロセシングユニット）７ではこの電気信号に対してシェーディング補正等の処理を行って８ビットのデジタル信号にＡ／Ｄ変換し、更に変倍処理、ディザ処理等の画像処理を行い、この画像信号を同期信号と共にセレクタ９を介して記憶部３２または像形成部１０内の書き込み部１３に送る。スキャナ制御部８は以上のような読み取り部１のプロセスを実行するために各種センサの検知、駆動モータ等の制御を行い、また、ＩＰＵ７に対して各種パラメータを設定する。

【００１３】

像形成部１０では、一定の速度で時計回り方向に回転する感光体１１の表面が帯電チャージャ１２により一様に帯電され、次いで書き込み部１３により画像データに応じて変調されたレーザ光により感光体１１の表面に潜像が形成される。次いでこの潜像が現像装置１４によりトナーで現像され、次いでこのトナー像が転写チャージャ１５により転写紙に転写される。次いで感光体１１の表面はクリーニング装置１６により残存トナーが除去され、次いで除電チャージャ１７により残存電荷が除去される。書き込み部１３は図示省略されているが、レーザダイオード、ポリゴンミラー、ポリゴンモータ、ｆθレンズ、同期検知素子等の公知のレーザ書き込み系により構成されている。

【００１４】

給紙トレイ１８に予めセットされている転写紙は、給紙コロ１９により給紙され、次いでレジストローラ２０により感光体１１上のトナー像に一致するように搬送される。この転写紙は転写チャージャ１５によりトナー像が転写された後、分離チャージャ２１により感光体１１から分離され、次いでトナー像が定着装置２２により定着され、次いで排紙コ

ロ２３により排紙トレイ２４上に排出される。プロッタ制御部８は以上のような像形成部１０のプロセスを実行するために各種センサの検知、駆動モータ等の制御を行う。

【００１５】

また、この複写機はシステム制御部３０と、操作部３１と、記憶部３２とＦＡＸ部３３を有し、システム制御部３０への指示はオペレータが操作部３１に対してキー入力を行うことにより行われる。システム制御部３０は操作部３１の入力状態を検知し、読み取り部１内のスキャナ制御部８、記憶部３２、像形成部１０内のプロッタ制御部８に対して各種パラメータを設定したり、プロセス実行指示を行い、また、システム全体の状態を操作部３１に表示させる。

【００１６】

記憶部３２は通常は、ＩＰＵ７からセレクタ部９を介して入力する１原稿分の画像データを記憶することによりリピートコピー、回転コピー等の複写アプリケーションに使用される。セレクタ部９はシステム制御部３０からの指示に基づいて、像形成部１０が画像形成を行うソースを読み取り部１又は記憶部３２に切り替えたり、記憶部３２が記憶する画像データのソースを読み取り部１又はＦＡＸ部３３に切り替える。

【００１７】

ＩＰＵ７から出力される画像データは図３に示すような各種同期信号に同期している。フレームゲート信号（／ＦＧＡＴＥ）は、画像エリアの副走査方向の画像有効範囲を示す信号であり、ローレベルの間画像データが有効（ローアクティブ）になる。また、このフレームゲート信号（／ＦＧＡＴＥ）はライン同期信号（／ＬＳＹＮＣ）の立ち上がりでアサート、ネゲートされる。ライン同期信号（／ＬＳＹＮＣ）が画素クロック（ＰＣＬＫ）の立ち上がりエッジから所定の数の画素クロック（ＰＣＬＫ）だけアサートされ、信号（／ＬＳＹＮＣ）の立ち上がり後、所定クロック後に画像データの主走査方向が有効になる。

【００１８】

ＩＰＵ７から送られてくる画像データは、画素クロック（ＰＣＬＫ）の１周期に対して１つであり、図２において矢印で示すコーナから主、副走査方向に４００ｄｐｉ相当で分割されたデータである。画像データは矢印で示すコーナを先頭にしてラスタ形式のデータとして送出され、また、画像データの副走査方向の有効範囲は、通常、転写紙のサイズにより決まる。

【００１９】

ＦＡＸ部３３はシステム制御部３０からの指示により送られてきた画像データをＧ３，Ｇ４ＦＡＸのデータ転送規定に基づいて２値圧縮を行い、電話回線へ転送する。また、電話回線からＦＡＸ部３３に転送されたデータは復元されて２値の画像データとされ、像形成部１０の書込部１３へ送られ、顕像化される。

【００２０】

セレクタ部９は、システム制御部３０からの指示によりセレクタの状態を変化させ、像形成を行う画像データのソースを読取部１、記憶部３２、及びＦＡＸ部３３のいずれかから選択する。

【００２１】

記憶部３２は通常ＩＰＵ７から入力される原稿の画像データを記憶することによってリピートコピー、回転コピーなどの複写アプリケーションに使用される。また、ＦＡＸ部３３からの２値画像データを一時記憶するバッファメモリとしても使用される。なお、これらのデータ記憶の指示はシステム制御部３０によって行われる。

【００２２】

記憶部３２の詳細な構成を図４のブロック図に示す。同図から分かるように記憶部３２は、メモリ制御部４０１、このメモリ制御部４０１によって制御される画像入出力ＤＭＡＣ（Direct Memory Access controller－以下、同様）４０２、画像メモリ４０３、回転リードＤＭＡＣ４０４、回転ライトＤＭＡＣ４０５、及び回転処理部４０６から構成されている。

【００２３】
画像入出力ＤＭＡＣ４０２はＣＰＵ及びロジックで構成され、メモリ制御部４０１と通信を行ってコマンドを受信し、そのコマンドに応じた動作設定を行い、また、画像入出力ＤＭＡＣ４０２の状態を知らせるためステータス情報として送信する。画像入力のコマンドを受けた場合、入力画像データを入力画像同期信号に従って８画素単位のメモリデータとしてパッキングして、メモリ制御部４０１にメモリアクセス信号と共に随時出力する。画像出力のコマンドを受けた場合には、メモリ制御部４０１からの画像データを出力画像同期信号に同期させて出力する。
【００２４】
画像メモリ４０３は画像データを記憶するためのメモリで、ＤＲＡＭ等の半導体記憶素子で構成され、メモリ量の合計は４００ＤＰＩ、２値画像データのＡ４サイズ分の２Ｍバイトとしている。メモリ制御部４０１から読み出し、書き込みの制御が行われる。
【００２５】
メモリ制御部４０１はＣＰＵ及びロジックで構成され、システム制御部３０と通信を行ってコマンドを受信し、そのコマンドに応じた動作設定を行い、また、記憶部３２の状態を知らせるためステータス情報として送信する。
【００２６】
なお、画像入出力ＤＭＡＣ４０２には、フレームゲート信号、ライン同期信号、画素同期信号、画像データがそれぞれ入力され、出力される。また、メモリ制御部４０１には、画像入出力ＤＭＡＣ４０２からアドレスと入出力アクセス要求信号が、回転リードＤＭＡＣ４０４からアドレスと回転リードａ苦節要求信号が、回転ライトＤＭＡＣ４０５からアドレスと回転ライトアクセス要求信号が、それぞれ入力される。また、メモリ制御部４０１からは、画像入出力ＤＭＡＣ４０２に入出力アクセス許可信号が、回転リードＤＭＡＣ４０４に回転リードアクセス許可信号が、回転ライトＤＭＡＣ４０５に回転ライトアクセス許可信号が、画像メモリ４０３にメモリアドレスがそれぞれ出力される。
【００２７】
システム制御部３０からの動作コマンドには、画像入力、画像出力、回転等があり、画像入力、画像出力のコマンドは画像入出力ＤＭＡＣ４０２に、回転関連のコマンドは回転リードＤＭＡＣ４０４、回転ライトＤＭＡＣ４０５、回転処理部４０６に送信される。
【００２８】
図５及び図６はそれぞれメモリ制御部４０１内のアクセス制御部の構成を示すブロック図である。図５及び図６に示した構成は、両者を合わせて１つの回路とすることもできるが、説明を簡単にするため分けた構成で説明する。
【００２９】
図５において、アクセス制御部は、アービタ５０１、アクセス制御回路５０２、処理ライン数比較部５０３、及び要求マスク５０４からなる。アービタ５０１は、画像入出力ＤＭＡＣ４０２、回転リードＤＭＡＣ４０４、回転ライトＤＭＡＣ４０５からのメモリアクセス要求信号を調停し、アクセス許可信号を出力する。リフレッシュ制御回路を内蔵し、優先順位はリフレッシュ、画像入出力ＤＭＡＣ４０２、回転リードＤＭＡＣ４０４、回転ライトＤＭＡＣ４０５の順で、メモリアクセスが非アクティブの条件で許可先にはメモリアクセス許可信号をアクティブ出力する。また、許可信号を出力すると共にメモリのアドレスをセレクトし、アクセス制御回路５０２にメモリアクセスのスタートを示すトリガ信号を出力する。
【００３０】
アクセス制御回路５０２は、入力される物理アドレスを半導体メモリであるＤＲＡＭに対応したローアドレス、カラムアドレスに分割し１１ビットのアドレスバスに出力する。また、アービタ５０１からのアクセス開始信号に従い、ＤＲＡＭ制御信号（ＲＡＳ、ＣＡＳ、ＷＥ）を出力する。処理ライン数比較部５０３は、外部から画像入力中は画像入出力ＤＭＡＣ４０２が出力する入出力処理ライン数計数値と回転リードＤＭＡＣ４０４が出力する回転処理ライン数計数値を大小比較し、

（入力処理ライン数）＜（回転処理ライン数＋８）
ならばアービタ５０１に出力する比較結果の要求マスク信号をアクティブとする。また、入出力画像ＤＭＡＣ４０２が動作中でない状態では、常にアクティブを出力する。

【００３１】

要求マスク部５０４は、処理ライン数比較部５０３からの比較結果に基づいて回転リードＤＭＡＣ４０４、または回転ライトＤＭＡＣ４０５のアクセスのための回転リードアクセス要求信号、または回転ライトアクセス要求信号をマスク（ディスイネーブル状態とすること）し、転送処理を停止させる。

【００３２】

一方、図６の構成では、図５に示した構成における回転リードＤＭＡＣ４０４からの回転リードアクセス要求信号に代えて回転ライトアクセス要求信号が要求マスク部に入力するようにした点が異なるだけで、他の構成は、図５と同一である。この構成により、外部への画像出力中は画像入出力ＤＭＡＣ４０２が出力する入出力処理ライン数計数値と回転リードＤＭＡＣ４０４が出力する回転処理ライン数計数値を大小比較し、

回転処理ライン数－出力処理ライン数＞バッファライン数で８の整数倍
ならばアービタ５０１に出力する比較結果の要求マスク信号をアクティブとする。また、入出力画像ＤＭＡＣが動作中でない状態では、常にアクティブを出力する。

【００３３】

回転リードＤＭＡＣ４０４はＣＰＵ及びロジックで構成され、メモリ制御部４０１と通信を行ってコマンドを受信し、そのコマンドに応じた動作設定を行い、また、状態を知らせるためステータス情報として送信する。回転のコマンドを受けた場合、メモリ制御部４０１にメモリアクセス要求信号を出力し、メモリアクセス許可信号がアクティブの場合に画像データを受け取って回転処理部４０６に転送する。また、メモリアクセス要求信号に応じてカウントアップするアドレスカウンタを内蔵し、画像データが格納される格納場所を示す２２ビットのメモリアドレスを出力する。このアドレスカウンタは入力回転、出力回転、回転角度の指示に応じて動作がそれぞれ異なり、後述のアドレッシングの仕方をする。メモリアクセス開始時にアドレスはいったんアクセスするアドレスの始点に初期化される。

【００３４】

回転ライトＤＭＡＣ４０５はＣＰＵ及びロジックで構成され、メモリ制御部４０１と通信を行ってコマンドを受信し、そのコマンドに応じた動作設定を行い、また、状態を知らせるためステータス情報として送信する。回転のコマンドを受けた場合、メモリ制御部４０１にメモリアクセス要求信号を出力し、メモリアクセス許可信号がアクティブの場合に画像データを受け取って回転処理部４０６に転送する。また、メモリアクセス要求信号に応じてカウントアップするアドレスカウンタを内蔵し、画像データが格納される格納場所を示す２２ビットのメモリアドレスを出力する。このアドレスカウンタは入力回転、出力回転、回転角度の指示に応じて動作がそれぞれ異なり、後述のアドレッシングの仕方をする。メモリアクセス開始時にアドレスはいったんアクセスするアドレスの始点に初期化される。

【００３５】

回転処理部４０６はＣＰＵ及びロジックで構成され、メモリ制御部４０１と通信を行ってコマンドを受信し、そのコマンドに応じた動作設定を行い、また、状態を知らせるためステータス情報として送信する。８ビット×８ワードを内部ロジックにて指定された角度に回転する。

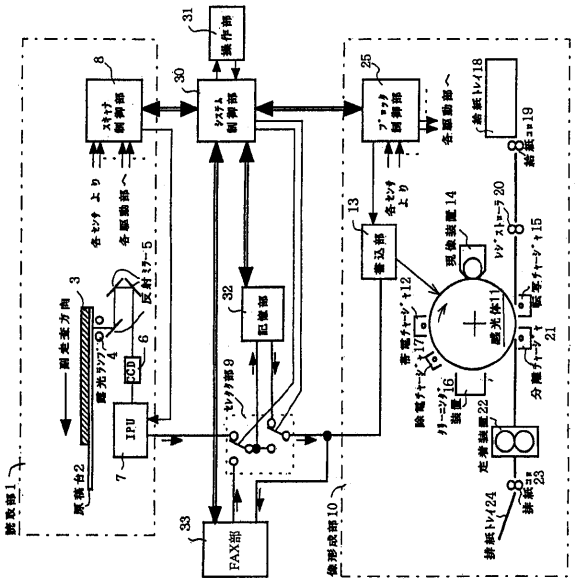
【００３６】

記憶部３２の全体の動作としては、入力回転に際してはシステム制御部３０からの指示により、入力された画像データを画像メモリ４０３の所定の領域１に記憶し、その記憶動作中に既に入力された画像データを、回転リードＤＭＡＣ４０４により読み出して回転処理部で回転し、回転ライトＤＭＡＣ４０５にて画像メモリ４０３の所定の領域２に書き込む。

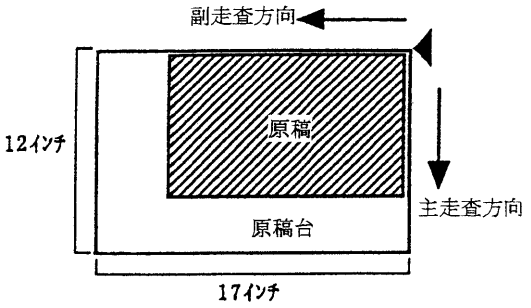
【００３７】
図７は入力回転の画像データの流れの様子を示す説明図である。また、図７の斜線部の画像を拡大した様子を図９に示した。１つの丸印が１画素に相当する。画像入出力ＤＭＡＣ４０２は外部からラスタ形式で画像を受け、シリアル／パラレル変換して８画素を１つの固まりとして、画像メモリ４０３中の領域１の所定アドレスに書き込み、連続したアドレスに同様に後続の画像データをパッキングして書き込む処理を行う。画像入出力ＤＭＡＣ４０２により８ラインの処理が終了したら図５の要求マスク信号５０４ａが解除され、回転リードＤＭＡＣ４０４のアクセスが許可される。回転リードＤＭＡＣ４０４は、画像入出力ＤＭＡＣ４０２が主走査方向に連続して画像メモリ４０３に書き込みを行ったのに対し、副走査方向に連続してアクセスを行う。アドレスとしては副走査幅のデータ分の格納アドレス数だけとびとびのものを生成して出力する。８ラインにまたがった８アドレスの画像データを読み出したら、次の主走査方向に１つ進んだ１ライン目のアドレスの画像データを読み出す動作となる。
【００３８】
読み出した画像データは回転処理部４０６に転送される。回転処理部４０６に入力されるときには画素の集まりの単位が主走査方向に同一ラインのものであるが、２７０°回転処理を行った後の出力されるところでは、画素の集まりの単位が副走査方向に同一ラインのものに変換されている。回転ライトＤＭＡＣ４０５は副走査方向にパッキングが修正された８画素の集まりの画像データを回転アドレスを生成して、順次、画像メモリ４０３の領域２に書き込む処理を行う。領域１は回転リードＤＭＡＣが読み出した後は画像を保存する必要がなければ、８ラインの整数倍のバッファメモリがあれば、同一アドレスを繰り返して使うことが可能である。
【００３９】
図８は出力回転の画像データの流れの様子を示す説明図である。この場合、回転入力と全く逆の動作となる。回転リードＤＭＡＣ４０４は、回転に対応したアドレスを発生し、副走査方向に連続したとびとびのアドレスをアクセスし、読み出した画像データを回転処理部４０６に転送する。回転処理部４０６は、回転角度に応じて主・副のパッキング方向と配列を変更し、回転ライトＤＭＡＣ４０５に画像を転送する。回転ライトＤＭＡＣ４０５は受けた画像データに対し、回転リードＤＭＡＣ４０４の入力回転時と同様なアドレス生成方法によって、８ラインにまたがった８アドレスの画像データを書き込んだら、次の主走査方向に１つ進んだ１ライン目のアドレスの画像データを書き込むという動作を行う。また、図８の領域２はバッファメモリ的な使用が可能で、使用するメモリ量を決めておき、回転ライトＤＭＡＣ４０５がバッファメモリ量以上の書き込みをできないように、メモリアクセス要求をマスクし動作を停止させることで、同一アドレスを繰り返して使うことが可能である。
【図面の簡単な説明】
【００４０】
【図１】本発明の一実施形態に係るデジタル複写機を示すブロック図である。
【図２】図１のデジタル複写機によって読み取られる原稿を示す説明図である。
【図３】図１のＩＰＵから出力される画像データの同期信号を示すタイミングチャートである。
【図４】図１の記憶部を詳細に示すブロック図である。
【図５】図４のメモリ制御部の構成を詳細に示すブロック図である。
【図６】図４のメモリ制御部の構成を詳細に示すブロック図である。
【図７】入力回転の画像データの流れの様子を示す説明図である。
【図８】出力回転の画像データの流れの様子を示す説明図である。
【図９】図７の斜線部の画像を拡大した様子を示す説明図である。
【符号の説明】
【００４１】
１　読み取り部

１０　像形成部
３０　システム制御部
３２　記憶部
４０１　メモリ制御部
４０２　画像入出力ＤＭＡＣ
４０３　画像メモリ
４０４　回転リードＤＭＡＣ
４０５　回転ライトＤＭＡＣ
４０６　回転処理部
５０１　アービタ
５０２　アクセス制御回路
５０３　処理ライン数比較部
５０４　要求マスク部

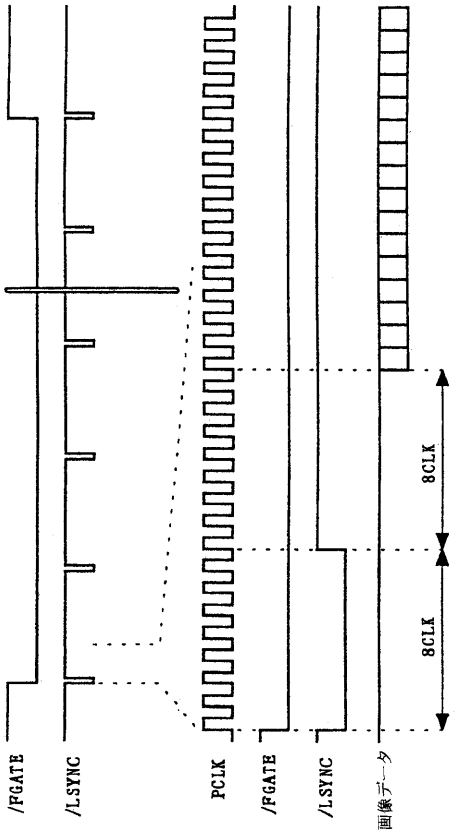
【図１】



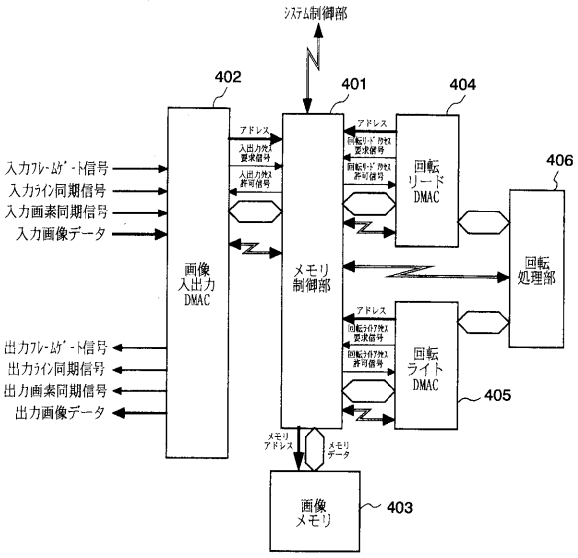
【図２】



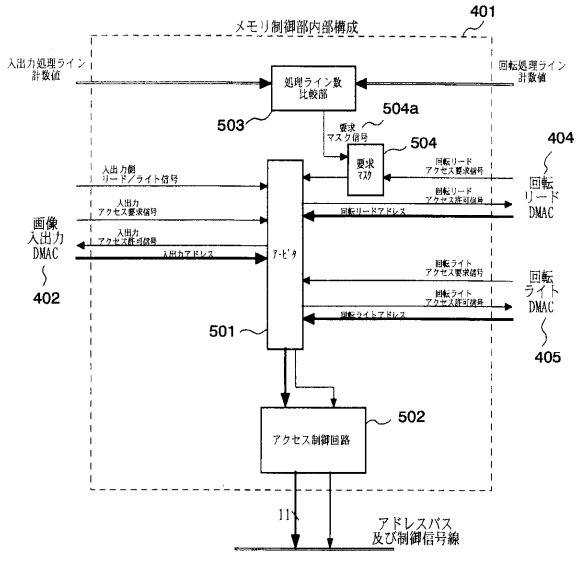
【図３】


/FGATE
/LSYNC
PCLK
/FGATE
/LSYNC
画像データ
8CLK
8CLK

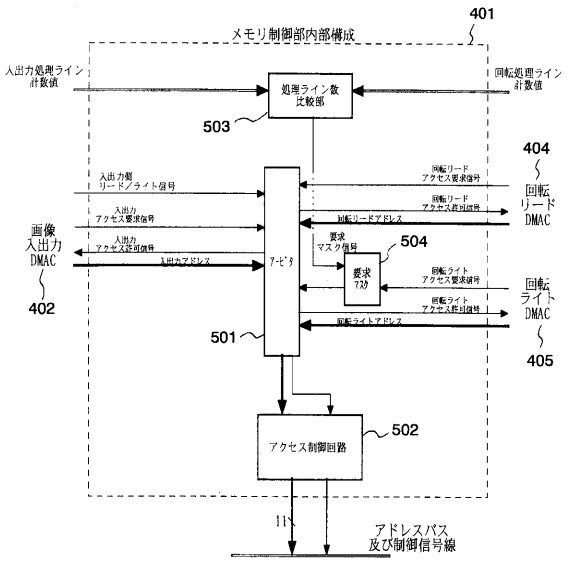
【図４】


ｼｽﾃﾑ制御部
402
401
404
406
入力ﾌﾚｰﾑｹﾞｰﾄ信号
入力ﾗｲﾝ同期信号
入力画素同期信号
入力画像データ
画像
入出力
DMAC
メモリ
制御部
回転
リード
DMAC
回転
処理部
回転
ライト
DMAC
405
出力ﾌﾚｰﾑｹﾞｰﾄ信号
出力ﾗｲﾝ同期信号
出力画素同期信号
出力画像データ
メモリ
アドレス
メモリ
データ
画像
メモリ
403

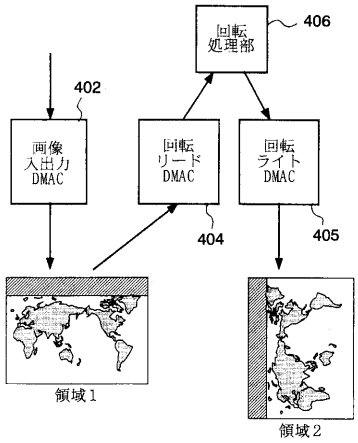
【図５】


401
メモリ制御部内部構成
入出力処理ライン
計数値
回転処理ライン
計数値
処理ライン数
比較部
503
504a
要求
マスク信号
504
404
回転
リード
DMAC
画像
入出力
DMAC
402
ｱｰﾋﾞﾀ
501
回転
ライト
DMAC
405
アクセス制御回路
502
アドレスバス
及び制御信号線

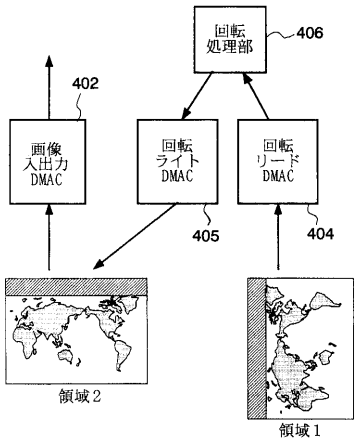
【図６】


401
メモリ制御部内部構成
入出力処理ライン
計数値
回転処理ライン
計数値
処理ライン数
比較部
503
404
回転
リード
DMAC
画像
入出力
DMAC
402
504
要求
マスク
ｱｰﾋﾞﾀ
501
回転
ライト
DMAC
405
アクセス制御回路
502
アドレスバス
及び制御信号線

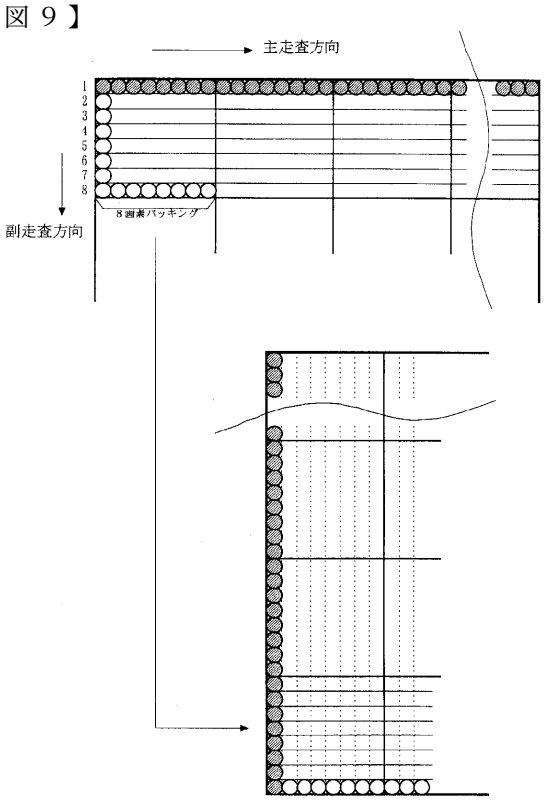
【図７】


回転
処理部
406
402
画像
入出力
DMAC
回転
リード
DMAC
回転
ライト
DMAC
404
405
領域１
領域２

【図８】


回転
処理部
406
402
画像
入出力
DMAC
回転
ライト
DMAC
回転
リード
DMAC
405
404
領域２
領域１

【図９】


主走査方向
1
2
3
4
5
6
7
8
副走査方向
8画素パッキング