



**ФЕДЕРАЛЬНАЯ СЛУЖБА
ПО ИНТЕЛЛЕКТУАЛЬНОЙ СОБСТВЕННОСТИ**

(12) ЗАЯВКА НА ИЗОБРЕТЕНИЕ

(21)(22) Заявка: 2015145289, 11.03.2014

Приоритет(ы):

(30) Конвенционный приоритет:
22.03.2013 US 61/804,548;
29.08.2013 US 14/014,183

(43) Дата публикации заявки: 25.04.2017 Бюл. № 12

(85) Дата начала рассмотрения заявки РСТ на
национальной фазе: 22.10.2015(86) Заявка РСТ:
JP 2014/057025 (11.03.2014)(87) Публикация заявки РСТ:
WO 2014/148404 (25.09.2014)

Адрес для переписки:

129090, Москва, ул. Б. Спасская, 25, стр. 3, ООО
"Юридическая фирма Городисский и Партнеры"

(71) Заявитель(и):

КАБУСИКИ КАЙСЯ ТОСИБА (JP)

(72) Автор(ы):

ФУДЗИТА Кацуюки (JP)**(54) ПОЛУПРОВОДНИКОВОЕ ЗАПОМИНАЮЩЕЕ УСТРОЙСТВО****(57) Формула изобретения**

1. Полупроводниковое запоминающее устройство, содержащее:
матрицу ячеек запоминающего устройства, содержащую ячейки запоминающего
устройства;

резервную область, содержащую резервные ячейки, которые используются вместо
сбойных ячеек в матрице ячеек запоминающего устройства;

первые числовые шины, подключенные к матрице ячеек запоминающего устройства;

вторые числовые шины, подключенные к резервной области;

первый декодер строк, выполненный с возможностью осуществлять выбор из первых
числовых шин на основе адреса строки;

схему определения, выполненную с возможностью определять, требуется ли или нет
операция замены резервной областью, на основе резервного адреса, включенного в
адрес строки; и

второй декодер строк, выполненный с возможностью осуществлять выбор из вторых
числовых шин на основе результата определения посредством схемы определения,

при этом адрес строки включает в себя первый адрес строки и второй адрес строки,
вводимые по порядку способом разделения времени, и

первый адрес строки включает в себя весь резервный адрес.

2. Устройство по п. 1, в котором схема определения начинает операцию определения
сразу после того, как вводится первый адрес строки.

3. Устройство по п. 1, дополнительно содержащее наборы плавких перемычек, выполненные с возможностью сохранять адреса сбоев, идентифицирующие числовые шины, подключенные к сбойным ячейкам в матрице ячеек запоминающего устройства, при этом схема определения определяет, совпадает ли или нет резервный адрес с одним из адресов сбоев, сохраненных в наборах плавких перемычек.

4. Устройство по п. 1, в котором:

первый адрес строки вводится вместе с первой командой, и
второй адрес строки вводится вместе со второй командой.

5. Устройство по п. 4, в котором вторая команда представляет собой команду активации для считывания данных из группы ячеек запоминающего устройства, подключенных к числовой шине, соответствующей адресу строки.

6. Устройство по п. 1, в котором каждая из ячеек запоминающего устройства включает в себя элемент с магниторезистивным эффектом.

7. Полупроводниковое запоминающее устройство, содержащее:

матрицу ячеек запоминающего устройства, содержащую ячейки запоминающего устройства;

резервную область, содержащую резервные ячейки, которые используются вместо сбойных ячеек в матрице ячеек запоминающего устройства;

первые числовые шины, подключенные к матрице ячеек запоминающего устройства;
вторые числовые шины, подключенные к резервной области;

первый декодер строк, выполненный с возможностью осуществлять выбор из первых числовых шин на основе адреса строки;

схему определения, выполненную с возможностью определять, требуется ли или нет операция замены резервной областью, на основе резервного адреса, включенного в адрес строки; и

второй декодер строк, выполненный с возможностью осуществлять выбор из вторых числовых шин на основе результата определения посредством схемы определения,

при этом адрес строки включает в себя первый адрес строки и второй адрес строки, вводимые по порядку способом разделения времени, и

первый адрес строки включает в себя часть резервного адреса.

8. Устройство по п. 7, в котором схема определения начинает операцию определения сразу после того, как вводится первый адрес строки.

9. Устройство по п. 7, дополнительно содержащее наборы плавких перемычек, выполненные с возможностью сохранять адреса сбоев, идентифицирующие числовые шины, подключенные к сбойным

ячейкам в матрице ячеек запоминающего устройства,

при этом схема определения определяет, совпадает ли или нет резервный адрес с одним из адресов сбоев, сохраненных в наборах плавких перемычек.

10. Устройство по п. 9, в котором:

каждый из наборов плавких перемычек содержит элементы-плавкие перемычки,

первая группа элементов-плавких перемычек, включенная в наборы плавких перемычек и относящаяся к первому адресу строки, размещается на удалении от арифметической схемы, выполненной с возможностью определять соответствие между адресами, и

вторая группа элементов-плавких перемычек, включенная в наборы плавких перемычек и относящаяся ко второму адресу строки, размещается ближе к арифметической схеме, чем первая группа элементов-плавких перемычек.

11. Устройство по п. 7, в котором:

первый адрес строки вводится вместе с первой командой, и
второй адрес строки вводится вместе со второй командой.

12. Устройство по п. 11, в котором вторая команда представляет собой команду активации для считывания данных из группы ячеек запоминающего устройства, подключенных к числовой шине, соответствующей адресу строки.

13. Устройство по п. 7, в котором каждая из ячеек запоминающего устройства включает в себя элемент с магниторезистивным эффектом.

RU 2015145289 A

RU 2015145289 A