



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2019년06월12일
 (11) 등록번호 10-1988819
 (24) 등록일자 2019년06월05일

- (51) 국제특허분류(Int. Cl.)
 G09G 3/36 (2006.01) G02F 1/1368 (2006.01)
 H01L 27/12 (2006.01) H01L 29/06 (2006.01)
 H01L 29/786 (2006.01)
- (52) CPC특허분류
 G09G 3/3674 (2013.01)
 G02F 1/1368 (2013.01)
- (21) 출원번호 10-2018-7037080(분할)
- (22) 출원일자(국제) 2010년09월28일
 심사청구일자 2018년12월20일
- (85) 번역문제출일자 2018년12월20일
- (65) 공개번호 10-2019-0000382
- (43) 공개일자 2019년01월02일
- (62) 원출원 특허 10-2018-7007593
 원출원일자(국제) 2010년09월28일
 심사청구일자 2018년03월16일
- (86) 국제출원번호 PCT/JP2010/067319
- (87) 국제공개번호 WO 2011/046032
 국제공개일자 2011년04월21일
- (30) 우선권주장
 JP-P-2009-238916 2009년10월16일 일본(JP)
 (뒷면에 계속)
- (56) 선행기술조사문헌
 KR1020030043774 A
 (뒷면에 계속)

- (73) 특허권자
 가부시키가이샤 한도오따이 에네루기 켄큐쇼
 일본국 가나가와켄 아쓰기시 하세 398
- (72) 발명자
 야마자끼 슌페이
 일본 243-0036 가나가와켄 아쓰기시 하세 398 가
 부시키가이샤 한도오따이 에네루기 켄큐쇼 내
 교야마 준
 일본 243-0036 가나가와켄 아쓰기시 하세 398 가
 부시키가이샤 한도오따이 에네루기 켄큐쇼 내
 (뒷면에 계속)
- (74) 대리인
 장수길, 박충범, 이중희

전체 청구항 수 : 총 9 항

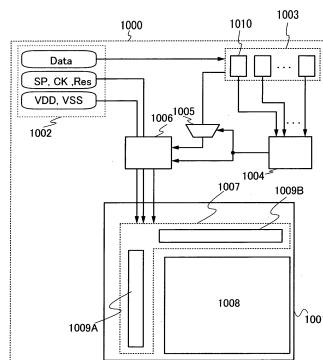
심사관 : 추장희

(54) 발명의 명칭 액정 표시 장치 및 이를 구비한 전자 장치

(57) 요약

액정 표시 장치는 구동 회로부; 화소부; 구동 회로부를 구동하기 위한 제어 신호 및 화소부에 공급하는 화상 신호를 생성하기 위한 신호 생성 회로; 메모리 회로; 메모리 회로에 각 프레임 기간에 대하여 저장된 화상 신호 중 일련의 프레임 기간에 대한 화상 신호의 차를 검출하기 위한 비교 회로; 비교 회로에서 차를 검출한 경우 일련의 (뒷면에 계속)

대표도 - 도1



프레임 기간에 대한 화상 신호를 선택 및 출력하는 선택 회로; 및 비교 회로에서 차를 검출한 경우 제어 신호 및 선택 회로로부터 출력된 화상 신호를 구동 회로부에 공급하고, 비교 회로에서 차를 검출하지 않은 경우 제어 신호를 구동 회로부에 공급하는 것을 중단하는 표시 제어 회로를 포함한다.

(52) CPC특허분류

G09G 3/3648 (2013.01)
H01L 27/1225 (2013.01)
H01L 29/06 (2013.01)
H01L 29/7869 (2013.01)
G09G 2320/103 (2013.01)
G09G 2330/021 (2013.01)
G09G 2330/022 (2013.01)

(72) 발명자

미야게 히로유키

일본 243-0036 가나가와켄 아쓰기시 하세 398 가부
 시키가이샤 한도오따이 에네루기 켄큐쇼 내

쯔부꾸 마사시

일본 243-0036 가나가와켄 아쓰기시 하세 398 가부
 시키가이샤 한도오따이 에네루기 켄큐쇼 내

노다 교세이

일본 243-0036 가나가와켄 아쓰기시 하세 398 가부
 시키가이샤 한도오따이 에네루기 켄큐쇼 내

(56) 선행기술조사문헌

JP2009021612 A
 JP2002278523 A
 JP2004272270 A
 JP2007142195 A
 JP3766926 B2
 JP2008287115 A
 KR1020090085738 A

(30) 우선권주장

JP-P-2009-273913 2009년12월01일 일본(JP)
 JP-P-2009-278999 2009년12월08일 일본(JP)

명세서

청구범위

청구항 1

액정 표시 장치로서,
 트랜지스터 및 액정 소자를 포함하는 화소부; 및
 상기 화소부에 전기적으로 접속되는 구동 회로부
 를 포함하고,
 상기 트랜지스터의 채널 형성 영역은 산화물 반도체층을 포함하고,
 상기 트랜지스터의 채널 폭의 마이크로미터당 오프-상태 전류는, 6V의 드레인 전압 및 -5V 또는 -10V의 게이트 전압에서 $1 \times 10^{-16} \text{ A}/\mu\text{m}$ 이하이고,
 정지 화상이 상기 화소부에 표시될 때, 상기 구동 회로부로의 제어 신호의 공급이 중단되는, 액정 표시 장치.

청구항 2

액정 표시 장치로서,
 트랜지스터 및 액정 소자를 포함하는 화소부; 및
 상기 화소부에 전기적으로 접속되는 구동 회로부
 를 포함하고,
 상기 트랜지스터의 채널 형성 영역은 산화물 반도체층을 포함하고,
 상기 트랜지스터의 채널 폭의 마이크로미터당 오프-상태 전류는, 6V의 드레인 전압 및 -5V 또는 -10V의 게이트 전압에서 $1 \times 10^{-16} \text{ A}/\mu\text{m}$ 이하이고,
 정지 화상이 상기 화소부에 표시되는 기간에, 상기 구동 회로부로의 제어 신호의 공급이 중단되는, 액정 표시 장치.

청구항 3

제1항 또는 제2항에 있어서,
 상기 산화물 반도체층은 In, Ga 및 Zn을 포함하는, 액정 표시 장치.

청구항 4

제1항 또는 제2항에 있어서,
 상기 산화물 반도체층은 결정을 포함하는, 액정 표시 장치.

청구항 5

제1항 또는 제2항에 있어서,
 상기 산화물 반도체층은, 2차 이온 질량 분석법으로 검출되는 $1 \times 10^{16} / \text{cm}^2$ 이하의 수소 농도를 갖는, 액정 표시 장치.

청구항 6

제1항 또는 제2항에 있어서,

상기 산화물 반도체층은 $1 \times 10^{14} / \text{cm}^2$ 미만인 캐리어 농도를 갖는, 액정 표시 장치.

청구항 7

제1항 또는 제2항에 있어서,

상기 트랜지스터의 오프-상태 저항률은 $1 \times 10^9 \Omega \cdot \text{m}$ 이상인, 액정 표시 장치.

청구항 8

제1항 또는 제2항에 있어서,

상기 제어 신호는, 고 전원 전위, 저 전원 전위, 클록 신호, 스타트 펄스 신호 또는 리셋 신호인, 액정 표시 장치.

청구항 9

전자 장치로서,

제1항 또는 제2항에 따른 상기 액정 표시 장치

를 포함하는, 전자 장치.

발명의 설명

기술 분야

[0001] 본 발명은 액정 표시 장치에 관한 것이다. 본 발명은 액정 표시 장치를 구비한 전자 장치에 관한 것이다.

배경 기술

[0002] 액정 표시 장치에서 일반적으로 보이는 것처럼, 유리 기판과 같은 편평한 플레이트 위에 형성되는 박막 트랜지스터는 비정질 실리콘, 다결정 실리콘 등을 사용하여 제조한다. 비정질 실리콘을 사용하여 제조한 박막 트랜지스터는 낮은 전계 효과 이동도를 갖지만, 큰 유리 기판 위에 형성할 수 있다. 한편, 결정질 실리콘을 사용하여 제조한 박막 트랜지스터는 높은 전계 효과 이동도를 갖지만, 레이저 어닐링과 같은 결정화 공정으로 인해 그러한 트랜지스터는 큰 유리 기판 위에 형성하기에 반드시 적합한 것은 아니다.

[0003] 상술한 바를 고려하여, 산화물 반도체를 사용하여 박막 트랜지스터를 제조하고, 그러한 트랜지스터를 전자 장치 또는 광학 장치에 적용하는 기법이 주목받고 있다. 예를 들어, 특허문헌 1은 산화 아연 또는 In-Ga-Zn-O계 산화물 반도체를 산화물 반도체막으로서 사용하여 박막 트랜지스터를 제조하고, 그러한 트랜지스터를 예를 들어 액정 표시 장치의 스위칭 소자로서 사용하는 기법을 개시한다.

선행기술문헌

특허문헌

[0004] (특허문헌 0001) 특허문헌 1: 일본공개특허출원번호 2006-165528

발명의 내용

[0005] 산화물 반도체를 사용하여 채널 영역을 형성하는 박막 트랜지스터는 비정질 실리콘을 사용하여 채널 영역을 형성하는 박막 트랜지스터보다 높은 전계 효과 이동도를 달성한다고 한다. 산화물 반도체를 사용하는 이러한 박막 트랜지스터를 포함하는 화소는 액정 표시 장치와 같은 표시 장치에 적용될 것으로 예상된다.

[0006] 액정 표시 장치에 포함된 각 화소는 액정 소자의 배향을 제어하기 위한 전압을 유지하는 축적 커패시터를 구비한다. 박막 트랜지스터의 오프-누설 전류(이하에서 오프-상태 전류로 칭함)는 유지 커패시터의 양을 결정하는 하나의 요소이다. 축적 커패시터에 전압을 유지하기 위한 기간의 증가를 야기하는 오프-상태 전류의 감소는 정지 화상 등을 표시할 때 전력 소비의 감소를 위하여 중요하다.

- [0007] 또한, 정지 화상 등을 표시할 때의 낮은 전력 소비 외에, 동화상을 표시할 수 있도록 표시 장치를 제조하는 것이 표시 장치의 부가 가치를 높이기 위하여 중요하다. 그러므로 화상이 정지 화상인지 동화상인지 여부를 판정하고, 정지 화상과 동화상 사이에서 스위칭함으로써 표시를 수행하여, 정지 화상을 표시할 때의 전력 소비를 감소시킴으로써 전력 소비를 더욱 감소시키는 것이 중요하다.
- [0008] 본 명세서에서, 오프-상태 전류는 박막 트랜지스터가 오프 상태(비-도전 상태로도 부름)일 때 소스와 드레인 사이에 흐르는 전류임을 알아야 한다. n채널 박막 트랜지스터(예를 들어, 약 0V 내지 2V의 임계 전압을 가짐)의 경우, 오프-상태 전류는 마이너스 전압이 게이트와 소스 사이에 인가될 때 소스와 드레인 사이에 흐르는 전류를 의미한다.
- [0009] 또한, 높은 부가 가치를 갖는 액정 표시 장치, 예컨대 3D 디스플레이 또는 4k2k 디스플레이에서, 화소당 면적은 작아질 것으로 예상되고, 개구율은 개선될 필요가 있다. 개구율을 개선하기 위하여 축적 커패시터의 면적을 줄이는 것이 중요하다. 따라서, 박막 트랜지스터의 오프-상태 전류가 감소할 필요가 있다.
- [0010] 상술한 바를 고려하여, 본 발명의 한 실시양태의 목적은 산화물 반도체를 사용하는 박막 트랜지스터의 오프-상태 전류가 화소에서 감소하는, 감소한 소비 전력을 갖는 액정 표시 장치를 제공하는 데 있다.
- [0011] 본 발명의 한 실시양태는, 구동 회로부와, 산화물 반도체를 사용하는 반도체층을 포함하는 트랜지스터가 각 화소에 제공되어 있는 화소부를 포함하는 표시 패널; 구동 회로부를 구동하기 위한 제어 신호 및 화소부에 공급하는 화상 신호를 생성하기 위한 신호 생성 회로; 각 프레임 기간에 대한 화상 신호를 저장하기 위한 메모리 회로; 메모리 회로에 개별 프레임 기간에 대하여 저장된 화상 신호 중 일련의 프레임 기간에 대한 화상 신호의 차를 검출하기 위한 비교 회로; 비교 회로에서 차를 검출한 경우 일련의 프레임 기간에 대한 화상 신호를 선택 및 출력하는 선택 회로; 및 비교 회로에서 차를 검출하지 않은 경우 제어 신호 및 선택 회로로부터 출력된 화상 신호를 구동 회로부에 공급하고, 비교 회로에서 차를 검출하지 않은 경우 제어 신호를 구동 회로부에 공급하는 것은 중단하는 표시 제어 회로를 포함하는 액정 표시 장치이다.
- [0012] 액정 표시 장치에서 제어 신호는 고 전원 전위, 저 전원 전위, 클록 신호, 스타트 펄스 신호, 및 리셋 신호 중 임의의 것일 수 있다.
- [0013] 액정 표시 장치에서 산화물 반도체는 2차 이온 질량 분석법으로 검출하는 $1 \times 10^{16} / \text{cm}^2$ 이하의 수소 농도를 가질 수 있다.
- [0014] 액정 표시 장치에서 산화물 반도체는 $1 \times 10^{14} / \text{cm}^2$ 미만인 캐리어 밀도를 가질 수 있다.
- [0015] 본 발명에 따르면, 산화물 반도체를 사용하는 박막 트랜지스터를 포함하는 화소에서 오프-상태 전류가 감소할 수 있다. 그러므로 축적 커패시터에 전압을 유지하기 위한 기간을 연장할 수 있어, 정지 화상 등을 표시할 때 전력 소비를 줄일 수 있는 액정 표시 장치를 제공할 수 있다. 또한, 개구율을 개선할 수 있어, 고정밀도 표시부를 포함하는 액정 표시 장치를 제공할 수 있다.
- [0016] 또한, 정지 화상뿐만 아니라 동화상도 표시하는 표시 장치를 제공할 수 있어, 표시 장치의 부가 가치를 높일 수 있다. 화상이 정지 화상인지 동화상인지 여부를 판정하고, 정지 화상과 동화상 사이에서 스위칭함으로써 표시를 수행하여, 정지 화상을 표시할 때 전력 소비를 줄일 수 있다.

도면의 간단한 설명

- [0017] 도 1은 액정 표시 장치의 블록도의 한 예를 도시하는 도면이다.
- 도 2a 내지 2c는 구동 회로의 한 예를 도시하는 도면이다.
- 도 3은 구동 회로의 타이밍 차트이다.
- 도 4a 내지 4c는 구동 회로의 한 예를 도시하는 도면이다.
- 도 5a 및 5b는 박막 트랜지스터를 예시한다.
- 도 6a 내지 6e는 박막 트랜지스터의 제조 방법을 예시한다.
- 도 7a 및 7b는 박막 트랜지스터를 예시한다.
- 도 8a 내지 8e는 박막 트랜지스터의 제조 방법을 예시한다.

- 도 9a 및 9b는 각각 박막 트랜지스터를 예시한다.
- 도 10a 내지 10e는 박막 트랜지스터의 제조 방법을 예시한다.
- 도 11a 내지 11e는 박막 트랜지스터의 제조 방법을 예시한다.
- 도 12a 내지 12d는 박막 트랜지스터의 제조 방법을 예시한다.
- 도 13a 내지 13d는 박막 트랜지스터의 제조 방법을 예시한다.
- 도 14는 박막 트랜지스터를 예시한다.
- 도 15a 내지 15c는 액정 패널을 예시한다.
- 도 16a 내지 16c는 각각 전자 장치를 예시한다.
- 도 17a 내지 17c는 각각 전자 장치를 예시한다.
- 도 18a 및 18b는 표시 패널 및 박막 트랜지스터를 예시한다.
- 도 19는 실시형태 13을 기술하기 위한 도면이다.
- 도 20a 및 20b는 실시형태 13을 기술하기 위한 도면이다.
- 도 21a 및 21b는 실시형태 13을 기술하기 위한 도면이다.
- 도 22는 실시형태 13을 기술하기 위한 도면이다.
- 도 23은 실시형태 14를 기술하기 위한 도면이다.
- 도 24a 및 24b는 실시형태 14를 기술하기 위한 사진이다.
- 도 25a 및 25b는 실시형태 14를 기술하기 위한 그래프이다.
- 도 26a 내지 26d는 실시형태 1을 기술하기 위한 도면이다.
- 도 27은 실시예 1을 기술하기 위한 사진이다.
- 도 28은 실시예 1을 기술하기 위한 그래프이다.
- 도 29는 실시예 2를 기술하기 위한 사진이다.
- 도 30은 실시예 2를 기술하기 위한 그래프이다.
- 도 31은 실시예 3을 기술하기 위한 사진이다.
- 도 32는 실시예 3을 기술하기 위한 그래프이다.
- 도 33은 실시예 4를 기술하기 위한 사진이다.
- 도 34는 실시예 5를 기술하기 위한 도면이다.

발명을 실시하기 위한 구체적인 내용

- [0018] 이하에서, 본 발명의 실시형태 및 실시예는 첨부한 도면을 참조하여 기술한다. 그러나 본 기술분야의 통상의 기술자는 본 발명의 사상 및 범위를 벗어나지 않으면서 본원에서 개시한 형태 및 세부 사항을 다양한 방식으로 변경할 수 있음을 쉽게 이해한다. 그러므로 본 발명은 실시형태 및 실시예의 기재 내용에 한정하는 것으로서 해석하지 않는다. 후술하는 본 발명의 구조에서 동일한 부분들은 도면에 걸쳐 동일한 참조부호로 표기함을 알아야 한다.
- [0019] 실시형태에서 도면 등에 예시한 각 구조의 크기, 층 두께, 또는 영역은 몇몇 경우 간소화를 위하여 과장되어 있음을 알아야 한다. 그러므로 본 발명의 실시형태는 그러한 스케일에 한정하지 않는다.
- [0020] 본 명세서에서, 구성 요소들 간의 혼동을 피하기 위하여, "제1", "제2", 및 "제3"과 같은 서수를 사용하고, 이러한 용어들은 구성 요소를 수치로 한정하지 않는다.
- [0021] (실시형태 1)

- [0022] 본 실시형태에서, 표시 장치의 블록도 및 구동 회로 동작의 정지 순서 및 개시 순서를 기술한다. 우선, 도 1을 사용하여 표시 장치의 블록도를 기술한다.
- [0023] 실시형태 1에서 기술하는 액정 표시 장치(1000)는 표시 패널(1001), 신호 생성 회로(1002), 메모리 회로(1003), 비교 회로(1004), 선택 회로(1005), 및 표시 제어 회로(1006)를 포함한다.
- [0024] 표시 패널(1001)은 예를 들어 구동 회로부(1007) 및 화소부(1008)를 포함한다. 게이트선 구동 회로(1009A) 및 신호선 구동 회로(1009B)는 복수의 화소를 포함하는 화소부(1008)를 구동하기 위한 구동 회로이다. 게이트선 구동 회로(1009A), 신호선 구동 회로(1009B), 및 화소부(1008)는 하나의 기판 위에 형성된 트랜지스터들을 사용하여 형성할 수 있다.
- [0025] 게이트선 구동 회로(1009A), 신호선 구동 회로(1009B), 및 화소부(1008)는 산화물 반도체를 사용하여 반도체층이 형성되어 있는 각각의 n채널 트랜지스터를 사용하여 형성할 수 있다. 게이트선 구동 회로(1009A) 및/또는 신호선 구동 회로(1009B)는 화소부와 동일한 기판 위에 또는 상이한 기판 위에 형성할 수 있다.
- [0026] 화소부(1008)에서의 표시 방법으로서, 프로그레시브(progressive) 방법 또는 인터레이스(interlace) 방법 등을 이용할 수 있다. 컬러 표시 시 화소에서 제어되는 색 성분은 R, G, 및 B(R, G, 및 B는 각각 적색, 녹색, 및 청색에 대응함)의 세 가지 색에 한정하지 않고, 예를 들어, R, G, B, 및 W(W는 백색에 대응함), 또는 R, G, B, 및 옐로(yellow), 시안(cyan), 마젠타(magenta) 등 중 하나 이상을 사용할 수 있다. 또한, 표시 영역의 크기는 색 성분의 개별 도트(dot)에 따라 상이할 수 있다. 본 발명은 컬러 표시를 위한 표시 장치에 대한 응용에 한정하는 것이 아니라 단색 표시를 위한 표시 장치에도 적용할 수 있다.
- [0027] 다음으로, 게이트선 구동 회로(1009A), 신호선 구동 회로(1009B), 및 화소부(1008) 중 임의의 것에 포함된 트랜지스터의 반도체층으로서 사용된 산화물 반도체층을 기술한다.
- [0028] 본 실시형태에서 사용한 산화물 반도체의 경우, 수소는 산화물 반도체에 $1 \times 10^{16}/\text{cm}^3$ 이하로 함유되어 있고, 산화물 반도체에 함유된 수소는 제거된다. 산화물 반도체막은 $1 \times 10^{14}/\text{cm}^3$ 미만, 바람직하게는 $1 \times 10^{12}/\text{cm}^3$ 이하인 캐리어 밀도를 갖고, 박막 트랜지스터의 채널 영역을 형성하도록 사용한다. 본 명세서에서, $1 \times 10^{12}/\text{cm}^3$ 미만인 캐리어 밀도를 갖는 산화물 반도체는 진성(I형) 산화물 반도체라고 부르고, $1 \times 10^{12}/\text{cm}^3$ 이상 $1 \times 10^{14}/\text{cm}^3$ 이하의 캐리어 밀도를 갖는 산화물 반도체는 실질적인 진성 산화물 반도체라고 부른다. 본 명세서에서, 산화물 반도체층의 수소 농도는 2차 이온 질량 분석법(SIMS)으로 측정한다.
- [0029] 열 여기(thermal excitation)로 야기된 캐리어의 수는 산화물 반도체의 밴드갭이 2eV 이상, 바람직하게는 2.5eV 이상, 더욱 바람직하게는 3eV 이상인 경우에는 무시할 수 있다. 그러므로 캐리어 밀도가 $1 \times 10^{14}/\text{cm}^3$ 미만, 바람직하게는 $1 \times 10^{12}/\text{cm}^3$ 이하가 되도록 도너(donor)로서 기능할 수 있는 수소와 같은 불순물을 가능한 많이 감소시킨다. 즉, 산화물 반도체층의 캐리어 밀도는 0에 매우 근접하도록 가능한 한 많이 감소시킨다.
- [0030] 산화물 반도체로부터 수소를 가능한 한 많이 제거함으로써 고도로 정제된 이러한 산화물 반도체를 박막 트랜지스터의 채널 형성 영역에 사용함으로써, 채널 폭이 10 μm 인 경우에도 드레인 전류는 1V 내지 10V 범위의 드레인 전압 및 -5V 내지 -20V 범위의 게이트 전압에서 1×10^{-13} A 이하이다.
- [0031] 오프-상태 전류가 매우 작은 이러한 박막 트랜지스터를 사용하여 표시 장치를 제조하는 경우, 누설 전류가 감소하고, 따라서 표시 데이터를 유지하기 위한 시간을 연장할 수 있다.
- [0032] 구체적으로, 10 μm 의 채널 폭을 갖는 전술한 산화물 반도체층을 포함하는 트랜지스터에서, 채널 폭의 마이크로미터당 오프-상태 전류는 10aA/ μm (1×10^{-17} A/ μm) 이하일 수 있고, 나아가 1aA/ μm (1×10^{-18} A/ μm) 이하일 수 있다. 오프-상태 전류가 매우 작은 이러한 트랜지스터는 게이트선 구동 회로(1009A), 신호선 구동 회로(1009B), 및 화소부(1008) 중 임의의 것에 포함되는 트랜지스터로서 사용하고, 이로 인해 영상 신호와 같은 전기 신호의 유지 시간을 증가시킬 수 있다. 유지 시간을 증가시킬 수 있으므로, 예를 들어 영상 신호의 기입 후의 유지 시간은 10초 이상, 바람직하게는 30초 이상, 더욱 바람직하게는 1분 이상 10분 미만으로 설정한다. 유지 시간을 증가시킴으로써, 기입 타이밍 간의 간격을 증가시킬 수 있고, 따라서 전력 소비를 더욱 억제할 수 있다.
- [0033] 트랜지스터에서 오프-상태 전류의 흐름에 대한 저항은 오프-상태 저항률로서 칭할 수 있다. 오프-상태 저항률은 트랜지스터가 오프일 때의 채널 형성 영역의 저항률이고, 오프-상태 전류로부터 계산할 수 있다.

- [0034] 구체적으로, 트랜지스터가 오프일 때의 저항(오프-상태 저항 R)은 오프-상태 전류와 드레인 전압으로부터 옴의 법칙을 이용하여 계산할 수 있는데, 이는 채널 형성 영역의 단면적 A와 채널 형성 영역의 길이 L(소스 전극과 드레인 전극 사이의 거리에 대응함)로부터 공식 $\rho = RA/L$ (R은 오프-상태 저항임)을 이용하여 계산할 수 있는 오프-상태 저항률 ρ 를 야기한다.
- [0035] 단면적 A는 채널 형성 영역의 두께가 d이고 채널 폭이 W인 경우 $A=dW$ 로부터 계산할 수 있다. 채널 형성 영역의 길이 L은 채널 길이 L이다. 이러한 방식으로, 오프-상태 전류로부터 오프-상태 저항률을 계산할 수 있다.
- [0036] 본 실시형태의 산화물 반도체층을 포함하는 트랜지스터의 오프-상태 저항률은 바람직하게는 $1 \times 10^9 \Omega \cdot m$ 이상, 더욱 바람직하게는 $1 \times 10^{10} \Omega \cdot m$ 이상이다.
- [0037] 한편, 예를 들어 저온 폴리실리콘을 사용하는 트랜지스터의 경우, 오프-상태 전류가 약 $1 \times 10^{-12} A/\mu m$ 인 것으로 가정하여 설계 등을 수행한다. 그러므로 산화물 반도체를 포함하는 트랜지스터에서 전압의 유지 기간은 유지 커패시턴스가 서로 동일한 경우(약 0.1pF) 저온 폴리실리콘을 사용하는 트랜지스터의 유지 기간의 약 10^5 배의 기간으로 연장할 수 있다. 또한, 비정질 실리콘을 사용하는 트랜지스터의 경우, 채널 폭의 마이크로미터당 오프-상태 전류는 $1 \times 10^{-13} A/\mu m$ 이상이다. 그러므로 고순도 산화물 반도체를 포함하는 트랜지스터에서 전압의 유지 기간은 유지 커패시턴스가 서로 동일한 경우(약 0.1pF) 비정질 실리콘을 사용하는 트랜지스터의 유지 기간의 10^4 배 이상의 기간으로 연장할 수 있다.
- [0038] 예를 들어, 저온 폴리실리콘을 사용하는 트랜지스터를 사용하는 화소의 경우, 화상 표시는 일반적으로 초당 60 프레임(프레임당 16ms의 경우)으로 수행한다. 정지 화상 표시의 경우에도 동일하게 적용할 수 있는데, 이는 속도가 감소하면(기입 타이밍 간의 간격이 증가) 화소의 전압이 감소하여 화상 표시에 부정적인 영향을 미치기 때문이다. 한편, 산화물 반도체층을 포함하는 전술한 트랜지스터를 사용하는 경우, 신호 기입당 유지 기간은 오프-상태 전류가 작기 때문에 저온 폴리실리콘을 사용하는 트랜지스터의 유지 기간의 약 10^5 배인 1600초로 연장할 수 있다.
- [0039] 이러한 방식으로, 화상 신호의 빈번하지 않은 기입으로도 표시부에 정지 화상 표시를 수행할 수 있다. 유지 기간을 연장할 수 있으므로, 특히 정지 화상을 표시하는 경우 신호의 기입을 수행하는 빈도를 줄일 수 있다. 예를 들어, 하나의 정지 화상의 표시 기간에서 신호 기입의 횟수는 1회 또는 n회(n은 2 이상 10^3 이하임)일 수 있다. 따라서, 표시 장치의 낮은 전력 소비를 달성할 수 있다.
- [0040] 일반적으로, 각 화소는 한 쌍의 전극 및 한 쌍의 전극 사이에 유전체로서 제공된 절연층으로 형성한 축적 커패시터를 구비한다. 축적 커패시터의 크기는 각 화소에 제공된 트랜지스터의 오프-상태 전류 등을 고려하여 설정할 수 있다. 본 실시형태에서, 고순도 산화물 반도체층을 포함하는 트랜지스터를 각 화소에 제공된 트랜지스터로서 사용하므로, 각 화소의 액정 커패시턴스에 대하여 1/3 이하, 바람직하게는 1/5 이하인 커패시턴스를 갖는 축적 커패시터가 충분히 제공된다.
- [0041] 고순도 산화물 반도체층을 포함하는 전술한 트랜지스터에서 유지 기간이 길 수 있으므로, 특히 정지 화상을 표시할 때 신호 기입의 빈도를 매우 줄일 수 있다. 그러므로 예를 들어 표시의 빈번하지 않은 스위칭을 수반하는 정지 화상의 표시 시 화소에 대한 신호 기입의 횟수를 줄일 수 있어 낮은 전력 소비를 달성할 수 있다.
- [0042] 정지 화상의 표시에서, 리프레시 동작은 유지 기간 동안 액정 소자에 인가되는 전압의 유지율을 고려하여 적절히 수행할 수 있다. 예를 들어, 리프레시 동작은 축적 커패시터에서의 전압이 액정 소자의 화소 전극으로의 신호 기입 직후인 전압의 값(초기 값)에 대하여 사전설정된 레벨에 도달하는 시점에 수행할 수 있다. 초기값에 대하여 플리커(flicker)가 감지되지 않도록 전압의 사전설정된 레벨을 설정하는 것이 바람직하다. 구체적으로, 전압이 초기값보다 10%만큼, 더욱 바람직하게는 3%만큼 낮은 전압에 도달할 때마다 리프레시 동작(재기입)을 수행하는 것이 바람직하다.
- [0043] 정지 화상 표시의 유지 기간에서, 대향 전극(공통 전극으로도 부름)은 플로팅 상태로 될 수 있다. 구체적으로, 대향 전극에 공통 전위를 공급하는 전원과 대향 전극 사이에 스위치를 제공할 수 있고, 기입 기간에 스위치를 온으로 하여 전원으로부터 대향 전극에 공통 전위를 공급하고, 이어서 유지 기간에 스위치를 오프로 하여 대향 전극을 플로팅 상태로 한다. 전술한 고순도 산화물 반도체층을 포함하는 트랜지스터를 스위치로서 사용하는 것이 바람직하다.

- [0044] 신호 생성 회로(1002)는 게이트선 구동 회로(1009A)를 구동하기 위한 신호 및 신호선 구동 회로(1009B)를 구동하기 위한 신호를 생성하기 위한 회로이다. 신호 생성 회로(1002)는 또한 배선을 통해 구동 회로부(1007)를 구동하기 위한 신호를 출력하기 위한 회로이고, 배선을 통해 메모리 회로(1003)에 화상 신호(비디오 전압, 비디오 신호, 또는 비디오 데이터로도 부름)를 출력하기 위한 회로이다. 즉, 신호 생성 회로(1002)는 구동 회로부(1007)를 제어하기 위한 제어 신호 및 화소부(1008)에 공급하는 화상 신호를 생성 및 출력하기 위한 회로이다.
- [0045] 구체적으로, 신호 생성 회로(1002)는 게이트선 구동 회로(1009A) 및 신호선 구동 회로(1009B)에 대한 고 전원 전위(VDD) 및 저 전원 전위(VSS), 게이트선 구동 회로(1009A)를 위한 스타트 펄스(SP) 및 클록 펄스(CK), 및 신호선 구동 회로(1009B)를 위한 스타트 펄스(SP) 및 클록 펄스(CK)를 제어 신호로서 공급한다. 또한, 신호 생성 회로(1002)는 동화상 또는 정지 화상을 표시하기 위한 화상 신호(Data)를 메모리 회로(1003)에 공급한다.
- [0046] 동화상은 복수의 프레임으로 시분할된 복수의 화상의 고속 스위칭으로 인해 사람 눈이 움직이는 화상으로서 인식하는 화상을 의미한다. 구체적으로, 동화상은 초당 적어도 60회(60프레임) 화상을 스위칭함으로써 사람 눈이 플리커가 적은 움직이는 화상으로서 인식하는 일련의 화상 신호를 의미한다. 정지 화상은 복수의 프레임 기간으로 시분할된 복수의 화상이 고속으로 스위칭하는 것에 의한 동화상과는 다르게 일련의 프레임 기간, 예를 들어 n번째 프레임 및 (n+1)번째 프레임에서 변하지 않는 화상 신호를 의미한다.
- [0047] 신호 생성 회로(1002)는 또 다른 신호, 예컨대 화상 신호 또는 래치 신호를 더 생성할 수 있다. 신호 생성 회로(1002)는 각 구동 회로의 펄스 신호의 출력을 중단시키기 위한 리셋 신호(Res)를 게이트선 구동 회로(1009A) 및/또는 신호선 구동 회로(1009B)에 출력할 수 있다. 각 신호는 복수의 신호, 예컨대 제1 클록 신호 및 제2 클록 신호를 포함할 수 있다.
- [0048] 고 전원 전위(VDD)는 기준 전위보다 높은 전위를 의미하고, 저 전원 전위(VSS)는 기준 전위 이하인 전위를 의미한다. 고 전원 전위 및 저 전원 전위는 트랜지스터를 작동시키기에 충분히 높은 전위만큼 높은 전위인 것이 바람직하다.
- [0049] 전압은 많은 경우 주어진 전위와 기준 전위(예를 들어 접지 전위) 간의 전위차를 의미한다. 따라서, 전압, 전위, 및 전위차는 각각 전위, 전압, 및 전압차로도 칭할 수 있다.
- [0050] 신호 생성 회로(1002)로부터 메모리 회로(1003)에 출력하는 화상 신호가 아날로그 신호인 경우, 아날로그 신호는 A/D 컨버터 등을 통해 디지털 신호로 변환하여 메모리 회로(1003)에 출력할 수 있다.
- [0051] 메모리 회로(1003)는 복수의 프레임에 대한 화상 신호를 저장하기 위한 복수의 프레임 메모리(1010)를 포함한다. 프레임 메모리는 메모리 소자, 예컨대 다이내믹 랜덤 액세스 메모리(DRAM) 또는 스테틱 랜덤 액세스 메모리(SRAM)를 사용하여 형성할 수 있다.
- [0052] 프레임 메모리(1010)의 수는 각 프레임 기간에 대한 화상 신호를 저장할 수 있다면 특별히 한정하지 않는다. 프레임 메모리(1010)의 화상 신호는 비교 회로(1004) 및 선택 회로(1005)를 통해 선택적으로 판독된다.
- [0053] 비교 회로(1004)는 메모리 회로(1003)에 저장된 일련의 프레임 기간에서의 화상 신호를 선택적으로 판독하고, 화상 신호를 비교하고, 그 차를 검출하는 회로이다. 일련의 프레임 기간의 화상은 비교 회로(1004)에서 화상 신호의 비교를 통해 차가 검출되는 경우에는 동화상으로서 판정하고, 비교 회로(1004)에서 화상 신호의 비교를 통해 차가 검출되지 않는 경우에는 정지 화상으로서 판정한다. 즉, 일련의 프레임 기간에서의 화상 신호가 동화상을 표시하기 위한 화상 신호인지 정지 화상을 표시하기 위한 화상 신호인지 여부는 비교 회로(1004)의 차 검출을 통해 판정한다. 비교를 통해 얻은 차는 사전설정된 레벨 위일 때 검출되는 차로서 판정되도록 설정할 수 있다.
- [0054] 선택 회로(1005)는 복수의 스위치, 예컨대 박막 트랜지스터를 포함하고, 동화상을 표시하기 위한 화상 신호가 비교 회로(1004)의 차 검출에 의해 판정될 때 화상 신호가 저장되어 있는 프레임 메모리(1010)로부터 화상 신호를 선택하고 표시 제어 회로(1006)에 출력하는 회로이다. 비교 회로(1004)에서 비교한 일련의 프레임 간의 화상 신호의 차가 검출되지 않을 때 일련의 프레임에서 표시되는 화상은 정지 화상이고, 이 경우, 선택 회로(1005)는 후반 프레임의 화상 신호의 신호를 표시 제어 회로(1006)에 출력하지 않을 수 있다.
- [0055] 표시 제어 회로(1006)는 화상 신호 및 제어 신호, 예컨대 고 전원 전위(VDD), 저 전원 전위(VSS), 스타트 펄스(SP), 클록 펄스(CK), 및 리셋 신호(Res)의 구동 회로부(1007)에의 공급 또는 공급 중단을 스위칭하는 회로이다. 구체적으로, 화상이 비교 회로(1004)에 의해 동화상으로서 판정되는 경우, 즉 일련의 프레임에서의 화상 신호의 차가 검출되는 경우, 화상 신호는 선택 회로(1005)로부터 표시 제어 회로(1006)를 통해 구동 회로

부(1007)에 공급되고, 제어 신호는 표시 제어 회로(1006)를 통해 구동 회로부(1007)에 공급된다. 한편, 화상이 비교 회로(1004)에 의해 정지 화상으로서 판정되는 경우, 즉 일련의 프레임에서의 화상 신호의 차가 검출되지 않는 경우, 후반 프레임의 화상 신호는 선택 회로(1005)로부터 공급되지 않고, 따라서 화상 신호는 표시 제어 회로(1006)를 통해 구동 회로부(1007)에 공급되지 않고, 표시 제어 회로(1006)는 구동 회로부(1007)에 제어 신호를 공급하는 것을 중단한다.

[0056] 정지 화상이 판정되는 경우, 화상이 정지 화상일 것으로 가정하는 기간이 짧을 때 제어 신호 중 고 전원 전위(VDD) 및 저 전원 전위(VSS)의 공급 중단을 반드시 수행할 필요가 없음을 알아야 한다. 이는, 고 전원 전위(VDD) 및 저 전원 전위(VSS)의 빈번한 공급 중단 및 개시로 인한 전력 소비의 증가를 줄일 수 있기 때문에 바람직하다.

[0057] 화상 신호 및 제어 신호의 공급 중단은 전반적으로 화소부(1008)의 각 화소에서 화상 신호를 유지하기 위한 기간에 수행하는 것이 바람직하고, 화상 신호가 각 화소의 유지 기간 후 다시 공급되도록 표시 제어 회로(1006)가 전에 공급한 화상 신호 및 제어 신호는 다시 공급된다.

[0058] 임의의 신호의 공급은 배선에 사전설정된 전위를 공급하는 것을 의미한다. 임의의 신호의 공급 중단은 사전설정된 전위의 배선에의 공급 중단, 및 사전설정된 고정 전위가 공급되는 배선, 예를 들어 저 전원 전위(VSS)가 공급되는 배선에의 접속을 의미한다. 임의의 신호의 공급 중단은 또한 사전설정된 전위가 공급되는 배선에 대한 전기적 접속을 차단하여 플로팅 상태로 만드는 것을 의미한다.

[0059] 전술한 바와 같이, 산화물 반도체층을 포함하는 박막 트랜지스터에서, 오프-상태 전류는 1×10^{-12} A/ μ m 이하로 줄일 수 있고, 따라서 유지 기간을 연장할 수 있다. 따라서, 본 실시형태에서 정지 화상을 표시하는 경우 전력 소비의 감소로 시너지 효과가 발생할 것으로 예상된다.

[0060] 이러한 방식으로, 화상 신호를 비교하여 화상이 동화상인지 정지 화상인지 여부를 판정하고, 클럭 신호 또는 스타트 펄스와 같은 제어 신호의 공급 또는 공급 중단을 선택적으로 수행함으로써, 전력 소비를 줄일 수 있다.

[0061] 다음으로, 구동 회로부(1007)의 게이트선 구동 회로(1009A) 및 신호선 구동 회로(1009B) 각각에 포함된 시프트 레지스터의 구조의 예는 도 2a 내지 2c를 참조하여 기술한다.

[0062] 도 2a에 도시한 시프트 레지스터는 제1 내지 N번째 펄스 출력 회로(10_1 내지 10_N)(N은 3 이상의 자연수)를 포함한다. 도 2a에 도시한 시프트 레지스터의 제1 내지 N번째 펄스 출력 회로(10_1 내지 10_N)에는 제1 배선(11)으로부터의 제1 클럭 신호(CK1), 제2 배선(12)으로부터의 제2 클럭 신호(CK2), 제3 배선(13)으로부터의 제3 클럭 신호(CK3), 및 제4 배선(14)으로부터의 제4 클럭 신호(CK4)가 공급된다. 제1 펄스 출력 회로(10_1)에는 제5 배선(15)으로부터의 스타트 펄스(SP1)(제1 스타트 펄스)가 입력된다. 2단 이후의 N번째 펄스 출력 회로(10_N)에는 전단의 펄스 출력 회로로부터의 신호(전단 신호 OUT(n-1)로 불리는 신호)(n은 2 이상 N 이하의 자연수)가 입력된다. 제1 펄스 출력 회로(10_1)에는 제 1 펄스 출력 회로(10_1) 뒤 2단에 있는 제3 펄스 출력 회로(10_3)로부터의 신호가 입력되고; 유사하게 N번째 펄스 출력 회로에는 N번째 펄스 출력 회로(10_N) 뒤 2단에 있는 (N+2)번째 펄스 출력 회로(10_(n+2))로부터의 신호(후단 신호 OUT(n+2)로 불리는 신호)가 입력된다. 이러한 방식으로, 후단 및/또는 2단 전단의 펄스 출력 회로에 입력되는 제1 출력 신호(OUT(1)(SR) 내지 OUT(N)(SR) 중 하나에 대응함) 및 또 다른 회로 등에 입력되는 제2 출력 신호(OUT(1) 내지 OUT(N) 중 하나에 대응함)가 각 펄스 출력 회로로부터 출력된다. 도 2a에 도시한 바와 같이, 시프트 레지스터의 최종 2개의 단에는 후단 신호(OUT(n+2))가 입력되지 않으므로, 예로서, 제2 스타트 펄스(SP2)가 시프트 레지스터의 최종 2개의 단 중 하나에 입력될 수 있고, 제3 스타트 펄스(SP3)가 다른 하나에 입력될 수 있음을 알아야 한다. 대안으로, 신호는 거기에 입력되는 내부에서 생성될 수 있다. 예를 들어, 표시부의 펄스의 출력에 기여하지 않는 (N+1)번째 펄스 출력 회로(10_(N+1)) 및 (N+2)번째 펄스 출력 회로(10_(N+2))(이러한 회로는 더미 단으로도 칭함)를 제공할 수 있고, 제2 스타트 펄스(SP2) 및 제3 스타트 펄스(SP3)에 대응하는 신호를 더미 단에서 생성할 수 있다.

[0063] 제1 내지 제4 클럭 신호(CK1 내지 CK4) 각각은 일정한 사이클로 H-레벨 신호와 L-레벨 신호 사이에서 발진하는 신호임을 알아야 한다. 제1 내지 제4 클럭 신호(CK1 내지 CK4)는 순서대로 1/4 주기만큼 지연된다. 본 실시형태에서, 제1 내지 제4 클럭 신호(CK1 내지 CK4)를 이용함으로써, 펄스 출력 회로의 구동 제어 등을 수행한다. 클럭 신호는 클럭 신호가 입력되는 구동 회로에 따라 GCK 또는 SCK로도 불리지만, 본 실시형태에서는 CK를 클럭 신호로서 사용함으로써 기술함을 알아야 한다.

[0064] "A와 B가 접속되어 있다"고 명시적으로 기재되어 있을 때, A와 B가 전기적으로 접속되어 있는 경우, A와 B가 기

능적으로 접속되어 있는 경우, 및 A와 B가 직접 접속되어 있는 경우를 포함함을 알아야 한다. 여기서, A 및 B 각각은 대상물(예를 들어, 장치, 소자, 회로, 배선, 전극, 단자, 도전막, 또는 층)에 대응한다. 따라서, 사전 설정된 접속 관계, 예를 들어 도면 또는 텍스트에서 도시한 접속 관계에 한정하지 않는 다른 접속 관계가 포함된다.

[0065] 제1 내지 N번째 펄스 출력 회로(10_1 내지 10_N) 각각은 제1 입력 단자(21), 제2 입력 단자(22), 제3 입력 단자(23), 제4 입력 단자(24), 제5 입력 단자(25), 제1 출력 단자(26), 및 제2 출력 단자(27)를 포함한다(도 2b 참조).

[0066] 제1 입력 단자(21), 제2 입력 단자(22) 및 제3 입력 단자(23)는 제1 내지 제4 배선(11 내지 14) 중 임의의 배선에 전기적으로 접속되어 있다. 예를 들어 도 2a 및 2b에서, 제1 펄스 출력 회로(10_1)의 제1 입력 단자(21)는 제1 배선(11)에 전기적으로 접속되어 있고, 제1 펄스 출력 회로(10_1)의 제2 입력 단자(22)는 제2 배선(12)에 전기적으로 접속되어 있고, 제1 펄스 출력 회로(10_1)의 제3 입력 단자(23)는 제3 배선(13)에 전기적으로 접속되어 있다. 또한, 제2 펄스 출력 회로(10_2)의 제1 입력 단자(21)는 제2 배선(12)에 전기적으로 접속되어 있고, 제2 펄스 출력 회로(10_2)의 제2 입력 단자(22)는 제3 배선(13)에 전기적으로 접속되어 있고, 제2 펄스 출력 회로(10_2)의 제3 입력 단자(23)는 제4 배선(14)에 전기적으로 접속되어 있다.

[0067] 도 2a 및 2b에서, 제1 펄스 출력 회로(10_1)에서 제1 스타트 펄스(SP1)는 제4 입력 단자(24)에 입력되고, 후단 신호(OUT(3))는 제5 입력 단자(25)에 입력되고, 제1 출력 신호(OUT(1)(SR))는 제1 출력 단자(26)로부터 출력되고, 제2 출력 신호(OUT(1))는 제2 출력 단자(27)로부터 출력된다.

[0068] 다음으로, 펄스 출력 회로의 특정 회로 구조의 예는 도 2c를 참조하여 기술한다.

[0069] 도 2c에서, 제1 트랜지스터(31)의 제1 단자는 전원선(51)에 전기적으로 접속되어 있고, 제1 트랜지스터(31)의 제2 단자는 제9 트랜지스터(39)의 제1 단자에 전기적으로 접속되어 있고, 제1 트랜지스터(31)의 게이트 전극은 제4 입력 단자(24)에 전기적으로 접속되어 있다. 제2 트랜지스터(32)의 제1 단자는 전원선(52)에 전기적으로 접속되어 있고, 제2 트랜지스터(32)의 제2 단자는 제9 트랜지스터(39)의 제1 단자에 전기적으로 접속되어 있고, 제2 트랜지스터(32)의 게이트 전극은 제4 트랜지스터(34)의 게이트 전극에 전기적으로 접속되어 있다. 제3 트랜지스터(33)의 제1 단자는 제1 입력 단자(21)에 전기적으로 접속되어 있고, 제3 트랜지스터(33)의 제2 단자는 제1 출력 단자(26)에 전기적으로 접속되어 있다. 제4 트랜지스터(34)의 제1 단자는 전원선(52)에 전기적으로 접속되어 있고, 제4 트랜지스터(34)의 제2 단자는 제1 출력 단자(26)에 전기적으로 접속되어 있다. 제5 트랜지스터(35)의 제1 단자는 전원선(52)에 전기적으로 접속되어 있고, 제5 트랜지스터(35)의 제2 단자는 제2 트랜지스터(32)의 게이트 전극 및 제4 트랜지스터(34)의 게이트 전극에 전기적으로 접속되어 있고, 제5 트랜지스터(35)의 게이트 전극은 제4 입력 단자(24)에 전기적으로 접속되어 있다. 제6 트랜지스터(36)의 제1 단자는 전원선(51)에 전기적으로 접속되어 있고, 제6 트랜지스터(36)의 제2 단자는 제2 트랜지스터(32)의 게이트 전극 및 제4 트랜지스터(34)의 게이트 전극에 전기적으로 접속되어 있고, 제6 트랜지스터(36)의 게이트 전극은 제5 입력 단자(25)에 전기적으로 접속되어 있다. 제7 트랜지스터(37)의 제1 단자는 전원선(51)에 전기적으로 접속되어 있고, 제7 트랜지스터(37)의 제2 단자는 제8 트랜지스터(38)의 제2 단자에 전기적으로 접속되어 있고, 제7 트랜지스터(37)의 게이트 전극은 제3 입력 단자(23)에 전기적으로 접속되어 있다. 제8 트랜지스터(38)의 제1 단자는 제2 트랜지스터(32)의 게이트 전극 및 제4 트랜지스터(34)의 게이트 전극에 전기적으로 접속되어 있고, 제8 트랜지스터(38)의 게이트 전극은 제2 입력 단자(22)에 전기적으로 접속되어 있다. 제9 트랜지스터(39)의 제1 단자는 제1 트랜지스터(31)의 제2 단자 및 제2 트랜지스터(32)의 제2 단자에 전기적으로 접속되어 있고, 제9 트랜지스터(39)의 제2 단자는 제3 트랜지스터(33)의 게이트 전극 및 제10 트랜지스터(40)의 게이트 전극에 전기적으로 접속되어 있고, 제9 트랜지스터(39)의 게이트 전극은 전원선(51)에 전기적으로 접속되어 있다. 제10 트랜지스터(40)의 제1 단자는 제1 입력 단자(21)에 전기적으로 접속되어 있고, 제10 트랜지스터(40)의 제2 단자는 제2 출력 단자(27)에 전기적으로 접속되어 있고, 제10 트랜지스터(40)의 게이트 전극은 제9 트랜지스터(39)의 제2 단자에 전기적으로 접속되어 있다. 제11 트랜지스터(41)의 제1 단자는 전원선(52)에 전기적으로 접속되어 있고, 제11 트랜지스터(41)의 제2 단자는 제2 출력 단자(27)에 전기적으로 접속되어 있고, 제11 트랜지스터(41)의 게이트 전극은 제2 트랜지스터(32)의 게이트 전극 및 제4 트랜지스터(34)의 게이트 전극에 전기적으로 접속되어 있다.

[0070] 도 2c에서, 제3 트랜지스터(33)의 게이트 전극, 제10 트랜지스터(40)의 게이트 전극, 및 제9 트랜지스터(39)의 제2 단자의 접속점은 노드(NA)로서 칭한다. 또한, 제2 트랜지스터(32)의 게이트 전극, 제4 트랜지스터(34)의 게이트 전극, 제5 트랜지스터(35)의 제2 단자, 제6 트랜지스터(36)의 제2 단자, 제8 트랜지스터(38)의 제1

단자, 및 제11 트랜지스터(41)의 게이트 전극의 접속점은 노드(NB)로서 칭한다.

- [0071] 도 2c의 펄스 출력 회로가 제1 펄스 출력 회로(10_1)인 경우, 제1 클록 신호(CK1)는 제1 입력 단자(21)에 입력되고, 제2 클록 신호(CK2)는 제2 입력 단자(22)에 입력되고, 제3 클록 신호(CK3)는 제3 입력 단자(23)에 입력되고, 스타트 펄스(SP)는 제4 입력 단자(24)에 입력되고, 후단 신호(OUT(3))는 제5 입력 단자(25)에 입력되고, 제1 출력 신호(OUT(1)(SR))는 제1 출력 단자(26)로부터 출력되고, 제2 출력 신호(OUT(1))는 제2 출력 단자(27)로부터 출력된다.
- [0072] 도 3은 도 2c에 도시한 복수의 펄스 출력 회로를 포함하는 시프트 레지스터의 타이밍 차트를 도시한다. 시프트 레지스터가 주사선 구동 회로인 경우, 도 3의 기간(61)은 수직 귀선 기간이고, 기간(62)은 게이트 선택 기간이다.
- [0073] 정지 화상 및 동화상을 표시하는 경우의 도 2a 내지 2c 및 도 3에서 예로서 기술한 복수의 n채널 트랜지스터를 포함하는 구동 회로의 배선의 전위 공급 또는 공급 중단의 순서를 후술한다.
- [0074] 우선, 구동 회로부(1007)의 동작을 중단하는 경우, 표시 제어 회로(1006)는 스타트 펄스(SP)의 공급을 중단한다. 다음으로, 스타트 펄스(SP)의 공급을 중단한 후, 각 클록 신호(CK)의 공급은 펄스 출력이 시프트 레지스터의 최종 단계에 도달한 후 중단한다. 이어서, 전원 전압의 고 전원 전위(VDD) 및 저 전원 전위(VSS)의 공급을 중단한다(도 26a 참조). 구동 회로부(1007)의 동작을 개시하는 경우, 표시 제어 회로(1006)는 전원 전압의 고 전원 전위(VDD) 및 저 전원 전위(VSS)를 구동 회로부(1007)에 공급한다. 이어서, 각 클록 신호(CK)를 공급하고, 이어서 스타트 펄스(SP)의 공급을 개시한다(도 26b 참조).
- [0075] 도 2a 내지 2c 및 도 3의 설명에서, 리셋 신호(Res)는 구동 회로에 공급하지 않는다. 리셋 신호(Res)를 공급하는 구조는 도 4a 내지 4c에서 도시 및 기술한다.
- [0076] 도 4a에 도시한 시프트 레지스터는 제1 내지 N번째 펄스 출력 회로(10_1 내지 10_N)(N은 3 이상의 자연수)를 포함한다. 도 4a에 도시한 시프트 레지스터의 제1 내지 N번째 펄스 출력 회로(10_1 내지 10_N)에는 제1 배선(11)으로부터의 제1 클록 신호(CK1), 제2 배선(12)으로부터의 제2 클록 신호(CK2), 제3 배선(13)으로부터의 제3 클록 신호(CK3), 및 제4 배선(14)으로부터의 제4 클록 신호(CK4)가 공급된다. 제1 펄스 출력 회로(10_1)에는 제5 배선(15)으로부터의 스타트 펄스(SP1)(제1 스타트 펄스)가 입력된다. 2단 이후의 N번째 펄스 출력 회로(10_N)에는 전단의 펄스 출력 회로로부터의 신호(전단 신호 OUT(n-1)로 불리는 신호)(n은 2 이상 N 이하의 자연수)가 입력된다. 제1 펄스 출력 회로(10_1)에는 제1 펄스 출력 회로(10_1) 뒤 2단에 있는 제3 펄스 출력 회로(10_3)로부터의 신호가 입력되고; 유사하게 N번째 출력 펄스 회로에는 N번째 펄스 출력 회로(10_N) 뒤 2단에 있는 (N+2)번째 펄스 출력 회로(10_(n+2))로부터의 신호(후단 신호 OUT(n+2)로 불리는 신호)가 입력된다. 이러한 방식으로, 후단 및/또는 2단 전단의 펄스 출력 회로에 입력되는 제1 출력 신호(OUT(1)(SR) 내지 OUT(N)(SR) 중 하나에 대응함) 및 또 다른 회로 등에 입력되는 제2 출력 신호(OUT(1) 내지 OUT(N) 중 하나에 대응함)가 각 펄스 출력 회로로부터 출력된다. 각 단의 펄스 출력 회로에 제6 배선(16)으로부터 리셋 신호(Res)가 공급된다.
- [0077] 도 4a 내지 4c에 도시한 펄스 출력 회로는 리셋 신호(Res)를 공급하기 위한 제6 배선(16)이 제공되어 있다는 점에서 도 2a 내지 2c에 도시한 펄스 출력 회로와 상이하고, 다른 부분은 도 2a 내지 2c에서 기술한 것과 같다.
- [0078] 제1 내지 N번째 펄스 출력 회로(10_1 내지 10_N) 각각은 제1 입력 단자(21), 제2 입력 단자(22), 제3 입력 단자(23), 제4 입력 단자(24), 제5 입력 단자(25), 제1 출력 단자(26), 제2 출력 단자(27), 및 제6 입력 단자(28)를 포함한다(도 4b 참조).
- [0079] 제1 입력 단자(21), 제2 입력 단자(22) 및 제3 입력 단자(23)는 제1 내지 제4 배선(11 내지 14) 중 임의의 배선에 전기적으로 접속되어 있다. 예를 들어 도 4a 및 4b에서, 제1 펄스 출력 회로(10_1)의 제1 입력 단자(21)는 제1 배선(11)에 전기적으로 접속되어 있고, 제1 펄스 출력 회로(10_1)의 제2 입력 단자(22)는 제2 배선(12)에 전기적으로 접속되어 있고, 제1 펄스 출력 회로(10_1)의 제3 입력 단자(23)는 제3 배선(13)에 전기적으로 접속되어 있다. 또한, 제2 펄스 출력 회로(10_2)의 제1 입력 단자(21)는 제2 배선(12)에 전기적으로 접속되어 있고, 제2 펄스 출력 회로(10_2)의 제2 입력 단자(22)는 제3 배선(13)에 전기적으로 접속되어 있고, 제2 펄스 출력 회로(10_2)의 제3 입력 단자(23)는 제4 배선(14)에 전기적으로 접속되어 있다.
- [0080] 도 4a 및 4b에서, 제1 펄스 출력 회로(10_1)에서 제1 스타트 펄스(SP1)는 제4 입력 단자(24)에 입력되고, 후단 신호(OUT(3))는 제5 입력 단자(25)에 입력되고, 제1 출력 신호(OUT(1)(SR))는 제1 출력 단자(26)로부터 출력되고, 제2 출력 신호(OUT(1))는 제2 출력 단자(27)로부터 출력되고, 리셋 신호(Res)는 제6 입력 단자(28)로부터

입력된다.

[0081] 다음으로, 펄스 출력 회로의 특정 회로 구조의 예는 도 4c를 참조하여 기술한다.

[0082] 도 4c에서, 제1 트랜지스터(31)의 제1 단자는 전원선(51)에 전기적으로 접속되어 있고, 제1 트랜지스터(31)의 제2 단자는 제9 트랜지스터(39)의 제1 단자에 전기적으로 접속되어 있고, 제1 트랜지스터(31)의 게이트 전극은 제4 입력 단자(24)에 전기적으로 접속되어 있다. 제2 트랜지스터(32)의 제1 단자는 전원선(52)에 전기적으로 접속되어 있고, 제2 트랜지스터(32)의 제2 단자는 제9 트랜지스터(39)의 제1 단자에 전기적으로 접속되어 있고, 제2 트랜지스터(32)의 게이트 전극은 제4 트랜지스터(34)의 게이트 전극에 전기적으로 접속되어 있다. 제3 트랜지스터(33)의 제1 단자는 제1 입력 단자(21)에 전기적으로 접속되어 있고, 제3 트랜지스터(33)의 제2 단자는 제1 출력 단자(26)에 전기적으로 접속되어 있다. 제4 트랜지스터(34)의 제1 단자는 전원선(52)에 전기적으로 접속되어 있고, 제4 트랜지스터(34)의 제2 단자는 제1 출력 단자(26)에 전기적으로 접속되어 있다. 제5 트랜지스터(35)의 제1 단자는 전원선(52)에 전기적으로 접속되어 있고, 제5 트랜지스터(35)의 제2 단자는 제2 트랜지스터(32)의 게이트 전극 및 제4 트랜지스터(34)의 게이트 전극에 전기적으로 접속되어 있고, 제5 트랜지스터(35)의 게이트 전극은 제4 입력 단자(24)에 전기적으로 접속되어 있다. 제6 트랜지스터(36)의 제1 단자는 전원선(51)에 전기적으로 접속되어 있고, 제6 트랜지스터(36)의 제2 단자는 제2 트랜지스터(32)의 게이트 전극 및 제4 트랜지스터(34)의 게이트 전극에 전기적으로 접속되어 있고, 제6 트랜지스터(36)의 게이트 전극은 제5 입력 단자(25)에 전기적으로 접속되어 있다. 제7 트랜지스터(37)의 제1 단자는 전원선(51)에 전기적으로 접속되어 있고, 제7 트랜지스터(37)의 제2 단자는 제8 트랜지스터(38)의 제2 단자에 전기적으로 접속되어 있고, 제7 트랜지스터(37)의 게이트 전극은 제3 입력 단자(23)에 전기적으로 접속되어 있다. 제8 트랜지스터(38)의 제1 단자는 제2 트랜지스터(32)의 게이트 전극 및 제4 트랜지스터(34)의 게이트 전극에 전기적으로 접속되어 있고, 제8 트랜지스터(38)의 게이트 전극은 제2 입력 단자(22)에 전기적으로 접속되어 있다. 제9 트랜지스터(39)의 제1 단자는 제1 트랜지스터(31)의 제2 단자 및 제2 트랜지스터(32)의 제2 단자에 전기적으로 접속되어 있고, 제9 트랜지스터(39)의 제2 단자는 제3 트랜지스터(33)의 게이트 전극 및 제10 트랜지스터(40)의 게이트 전극에 전기적으로 접속되어 있고, 제9 트랜지스터(39)의 게이트 전극은 전원선(51)에 전기적으로 접속되어 있다. 제10 트랜지스터(40)의 제1 단자는 제1 입력 단자(21)에 전기적으로 접속되어 있고, 제10 트랜지스터(40)의 제2 단자는 제2 출력 단자(27)에 전기적으로 접속되어 있고, 제10 트랜지스터(40)의 게이트 전극은 제9 트랜지스터(39)의 제2 단자에 전기적으로 접속되어 있다. 제11 트랜지스터(41)의 제1 단자는 전원선(52)에 전기적으로 접속되어 있고, 제11 트랜지스터(41)의 제2 단자는 제2 출력 단자(27)에 전기적으로 접속되어 있고, 제11 트랜지스터(41)의 게이트 전극은 제2 트랜지스터(32)의 게이트 전극 및 제4 트랜지스터(34)의 게이트 전극에 전기적으로 접속되어 있다. 제2 트랜지스터(32)의 게이트 전극, 제4 트랜지스터(34)의 게이트 전극, 제5 트랜지스터(35)의 제2 단자, 제6 트랜지스터(36)의 제2 단자, 제8 트랜지스터(38)의 제1 단자, 및 제11 트랜지스터(41)의 게이트 전극은 리셋 신호(Res)를 공급하기 위한 배선(53)에 전기적으로 접속되어 있다. 리셋 신호(Res)는, 제2 트랜지스터(32)의 게이트 전극, 제4 트랜지스터(34)의 게이트 전극, 제5 트랜지스터(35)의 제2 단자, 제6 트랜지스터(36)의 제2 단자, 제8 트랜지스터(38)의 제1 단자, 및 제11 트랜지스터(41)의 게이트 전극에 고 전위 전위 레벨을 갖는 신호를 공급하여 펄스 출력 회로로부터의 출력을 저 전위 전위 레벨을 갖는 신호로 감소시키는 신호이다.

[0083] 도 4c에서, 제3 트랜지스터(33)의 게이트 전극, 제10 트랜지스터(40)의 게이트 전극, 및 제9 트랜지스터(39)의 제2 단자의 접속점은 노드(NA)로서 칭한다. 또한, 제2 트랜지스터(32)의 게이트 전극, 제4 트랜지스터(34)의 게이트 전극, 제5 트랜지스터(35)의 제2 단자, 제6 트랜지스터(36)의 제2 단자, 제8 트랜지스터(38)의 제1 단자, 및 제11 트랜지스터(41)의 게이트 전극의 접속점은 노드(NB)로서 칭한다.

[0084] 도 4c의 펄스 출력 회로가 제1 펄스 출력 회로(10_1)인 경우, 제1 클록 신호(CK1)는 제1 입력 단자(21)에 입력되고, 제2 클록 신호(CK2)는 제2 입력 단자(22)에 입력되고, 제3 클록 신호(CK3)는 제3 입력 단자(23)에 입력되고, 스타트 펄스(SP)는 제4 입력 단자(24)에 입력되고, 후단 신호(OUT(3))는 제5 입력 단자(25)에 입력되고, 제1 출력 신호(OUT(1)(SR))는 제1 출력 단자(26)로부터 출력되고, 제2 출력 신호(OUT(1))는 제2 출력 단자(27)로부터 출력되고, 리셋 신호(Res)는 제6 입력 단자(28)로부터 입력된다.

[0085] 도 4c에 도시한 복수의 펄스 출력 회로를 포함하는 시프트 레지스터의 타이밍 차트는 도 3에 도시한 도 2c의 타이밍 차트와 유사하다.

[0086] 정지 화상 또는 동화상을 표시하는 경우의 도 4a 내지 4c에서 예로서 기술한 복수의 n채널 트랜지스터를 포함하는 구동 회로의 배선의 전위 공급 또는 공급 중단 순서를 후술한다.

- [0087] 우선, 구동 회로부(1007)의 동작을 중단하는 경우, 표시 제어 회로(1006)는 스타트 펄스(SP)의 공급을 중단한다. 다음으로, 스타트 펄스(SP)의 공급을 중단한 후, 각 클록 신호(CK)의 공급은 펄스 출력이 시프트 레지스터의 최종 단계 도달한 후 중단한다. 이어서, 리셋 신호(Res)를 공급한다. 다음으로, 전원 전압의 고 전원 전위(VDD) 및 저 전원 전위(VSS)의 공급을 중단한다(도 26c 참조). 구동 회로부(1007)의 동작을 개시하는 경우, 우선, 표시 제어 회로(1006)는 전원 전압의 고 전원 전위(VDD) 및 저 전원 전위(VSS)를 구동 회로부(1007)에 공급한다. 이어서, 리셋 신호(Res)를 공급한다. 다음으로, 각 클록 신호(CK)를 공급하고, 이어서 스타트 펄스(SP)의 공급을 개시한다(도 26d 참조).
- [0088] 도 2a 내지 2c 및 도 3에 도시한 구조 외에, 리셋 신호를 공급하는 도 4a 내지 4c에서 기술한 구조는, 정지 화상과 동화상 간의 스위칭 시 신호 지연 등에 기인한 오동작을 줄일 수 있기 때문에 바람직하다.
- [0089] 정지 화상을 표시하는 경우, 구동 회로부에 포함된 박막 트랜지스터 위에 제공된 공통 전위 전극은 공통 전위선으로부터 차단되어 플로팅 상태로 될 수 있다. 이어서, 정지 화상 모드 후, 구동 회로의 동작을 다시 개시하는 경우, 공통 전위 전극은 공통 전위선에 접속된다. 따라서, 구동 회로부의 박막 트랜지스터의 오동작을 방지할 수 있다.
- [0090] 도 18a는 이러한 구조를 갖는 표시 패널(1800)을 나타내고, 도 18b는 그 단면 구조를 설명하기 위한 도면이다. 표시 패널(1800)은 구동 회로(1802 및 1804) 및 화소부(1806)를 포함한다. 공통 전위 전극(1808)은 구동 회로(1802)와 겹치도록 제공한다. 공통 전위 전극(1808)과 공통 전위 단자(1812) 간의 접속/비접속을 제어하기 위한 스위치(1810)를 그 사이에 제공한다.
- [0091] 도 18b에 도시한 바와 같이, 공통 전위 전극(1808)은 구동 회로의 TFT(1803) 위에 제공되어 있고, 이로 인해 TFT(1803)를 정전기로부터 차폐하고, 따라서 임계 전압의 변화 또는 기생 채널의 생성을 방지한다.
- [0092] TFT(1803)와 동일한 구조물은 스위치(1810)로서 사용할 수 있다. 오프-상태에서의 누설 전류가 매우 작은 이러한 소자는 표시 패널 동작의 안정화에 기여한다. 즉, 정지 화상을 표시하는 경우, 스위치(1803)가 오프로 되어 공통 전위 전극을 플로팅 상태로 하더라도 전위는 일정하게 유지될 수 있다.
- [0093] 이러한 방식으로, 넓은 밴드갭을 갖는 산화물 반도체를 사용하여 형성한 TFT를 사용하고, 공통 전위 전극을 제공하여 외부 전계를 차폐함으로써, 구동 회로의 동작이 중단된 상태에서도 정지 화상을 표시할 수 있다. 또한, 공통 전위 전극의 전위를 구동 회로의 동작에 따라 적절하게 제어함으로써, 표시 패널의 동작을 안정화할 수 있다.
- [0094] 상술한 바와 같이, 산화물 반도체를 사용하는 박막 트랜지스터의 오프-상태 전류가 적다는 특징을 액정 표시 장치에 이용함으로써, 축적 커패시터에 전압을 유지하기 위한 시간을 연장할 수 있고, 정지 화상 등을 표시할 때의 전력 소비를 줄일 수 있다. 또한, 정지 화상을 표시하는 경우 제어 신호의 공급을 중단시킴으로써, 전력 소비를 더욱 줄일 수 있다. 또한, 오동작 없이 정지 화상 및 동화상을 스위칭할 수 있다.
- [0095] 실시형태 1은 다른 실시형태에서 기술하는 임의의 구조와 적절히 조합하여 실시할 수 있다.
- [0096] (실시형태 2)
- [0097] 본 실시형태의 박막 트랜지스터 및 박막 트랜지스터를 제조하기 위한 방법의 한 실시형태는 도 5a 및 5b와 도 6a 내지 6e를 이용하여 설명한다.
- [0098] 실시형태 2에서, 본 명세서에서 기술한 액정 표시 장치에 적용할 수 있는 박막 트랜지스터의 예를 설명한다. 실시형태 2에서 기술한 박막 트랜지스터(410)는 실시형태 1에서 기술한 화소부(1008)의 각 화소에서의 박막 트랜지스터로서 사용할 수 있다.
- [0099] 도 5a는 박막 트랜지스터의 평면 구조의 예를 나타내고, 도 5b는 그 단면 구조의 예를 나타낸다. 도 5a 및 5b에 도시한 박막 트랜지스터(410)는 톱-게이트 박막 트랜지스터이다.
- [0100] 도 5a는 톱-게이트 박막 트랜지스터(410)의 평면도이고, 도 5b는 도 5a의 라인 C1-C2에 따른 단면도이다.
- [0101] 박막 트랜지스터(410)는 절연 표면을 갖는 기판(400) 위에 절연층(407), 산화물 반도체층(412), 소스 전극층 및 드레인 전극층(415a 및 415b), 게이트 절연층(402), 및 게이트 전극층(411)을 포함한다. 배선층(414a 및 414b)은 각각 소스 전극층 및 드레인 전극층(415a 및 415b)에 접하여 제공되어 전기적으로 접속되어 있다.
- [0102] 박막 트랜지스터(410)는 싱글-게이트 박막 트랜지스터로서 기술하지만, 필요하다면 복수의 채널 형성 영역을 포

함하는 멀티-게이트 박막 트랜지스터를 형성할 수 있다.

- [0103] 기판(400) 위에 박막 트랜지스터(410)를 제조하기 위한 공정은 도 6a 내지 6e를 참조하여 기술한다.
- [0104] 기판이 나중에 수행하는 가열 처리에 대한 충분한 내열성을 갖는다면 절연 표면을 갖는 기판(400)으로서 사용할 수 있는 기판에 대한 특별한 제한은 없다.
- [0105] 기판(400)으로서, 왜곡점(strain point)이 730℃ 이상인 유리 기판은 나중에 수행하는 가열 처리의 온도가 높은 경우에 사용할 수 있다. 유리 기판의 재료로서, 예를 들어 유리 재료, 예컨대 알루미늄노실리케이트 유리, 알루미늄노보로실리케이트 유리, 또는 바륨 보로실리케이트 유리를 사용한다. 산화붕소보다 많은 양의 산화바륨(BaO)을 함유함으로써, 더욱 실용적이 되는 내열 유리를 형성할 수 있음을 알아야 한다. 그러므로 B₂O₃보다 많은 양의 BaO를 함유하는 유리 기판을 사용하는 것이 바람직하다.
- [0106] 상술한 유리 기판 대신 절연체를 사용하여 형성한 기판, 예컨대 세라믹 기판, 석영 기판, 또는 사파이어 기판을 기판(400)으로서 사용할 수 있음을 알아야 한다. 대안으로, 결정화 유리 기판 등을 사용할 수 있다. 또한, 플라스틱 기판 등을 사용할 수 있다.
- [0107] 우선, 기초막으로서 기능하는 절연층(407)을 절연 표면을 갖는 기판(400) 위에 형성한다. 산화물 절연층, 예컨대 산화 실리콘층, 산화 질화 실리콘층, 산화 알루미늄층, 또는 산화 질화 알루미늄층을 산화물 반도체층과 접하는 절연층(407)으로서 사용하는 것이 바람직하다. 절연층(407)은 플라즈마 CVD법, 스퍼터링법 등으로 형성할 수 있다. 절연층(407)에 수소를 함유시키기 않기 위하여, 스퍼터링법으로 절연층(407)을 형성하는 것이 바람직하다.
- [0108] 본 실시형태에서, 스퍼터링법으로 산화 실리콘층을 절연층(407)으로서 형성한다. 기판(400)을 챔버로 반송하고, 수소 및 수분이 제거된 고순도 산소를 함유하는 스퍼터링 가스를 챔버에 도입하고, 타겟을 사용하여, 기판(400) 위에 산화 실리콘층을 절연층(407)으로서 성막한다. 기판(400)은 실온일 수 있거나 가열될 수 있다.
- [0109] 예를 들어, 산화 실리콘막은 다음과 같이 형성하는데, 타겟으로서 석영(바람직하게는 쿼트(quartz))을 사용하고; 기판 온도는 108℃이고; 타겟과 기판 사이의 거리(T-S 거리)는 60mm이고; 압력은 0.4Pa이고; 고주파 전력은 1.5 kW이고; 분위기는 산소 및 아르곤(산소 대 아르곤의 유량 비는 25sccm:25sccm=1:1임)이고; RF 스퍼터링법을 이용한다. 본 실시형태에서 산화 실리콘막의 두께는 100nm이다. 석영(바람직하게는 쿼트) 대신 실리콘 타겟을 사용하여 산화 실리콘막을 형성할 수 있다. 본 실시형태에서 산소 또는 산소와 아르곤의 혼합 가스를 스퍼터링 가스로서 사용한다.
- [0110] 이 경우, 절연층(407)의 성막 시 챔버의 잔류 수분을 제거하는 것이 바람직하다. 이는, 절연층(407)이 수소, 수산기 또는 수분을 함유하는 것을 방지하기 위해서이다.
- [0111] 챔버로부터 잔류 수분을 제거하기 위하여, 바람직하게는 흡착형 진공 펌프를 사용한다. 예를 들어, 바람직하게는 크라이오펌프(cryopump), 이온 펌프, 또는 티타늄 서블리메이션(sublimation) 펌프를 사용한다. 배기 유닛으로서, 콜드 트랩(cold trap)이 부가되어 있는 터보 분자 펌프를 사용할 수 있다. 크라이오펌프를 사용하여 배기를 수행하는 챔버에서, 예를 들어, 수소 분자, 수소 원자를 포함하는 화합물, 예컨대 물(H₂O) 등이 배기된다. 따라서, 챔버에서 형성된 절연층(407)에 포함된 불순물의 농도를 줄일 수 있다.
- [0112] 불순물, 예컨대 수소, 물, 수산기 또는 수소화물이 1ppm 이하, 바람직하게는 10ppb 이하로 제거된 고순도 가스를 절연층(407)의 성막을 위한 스퍼터링 가스로서 사용하는 것이 바람직하다.
- [0113] 스퍼터링법의 예는 고주파 전원을 스퍼터링 전원으로 사용하는 RF 스퍼터링법, DC 전원을 사용하는 DC 스퍼터링법, 및 바이어스를 펄스 방식으로 인가하는 펄스형 DC 스퍼터링법을 포함한다. RF 스퍼터링법은 절연막을 형성하는 경우 주로 이용하고, DC 스퍼터링법은 금속막을 형성하는 경우 주로 이용한다.
- [0114] 서로 상이한 재료로 형성하는 복수의 타겟을 세팅할 수 있는 멀티-타겟 스퍼터링 장치를 사용할 수 있다. 멀티-타겟 스퍼터링 장치로, 동일한 챔버에서 상이한 재료의 막들을 적층하여 형성할 수 있거나, 동일한 챔버에서 방전으로 복수의 종류의 재료를 동시에 성막할 수 있다.
- [0115] 대안으로, 챔버 내부에 자석 시스템을 구비하고 마그네트론 스퍼터링법을 위하여 사용하는 스퍼터링 장치, 또는 글로 방전(glow discharge)을 이용하지 않으면서 마이크로파를 이용하여 발생한 플라즈마를 사용하는 ECR 스퍼터링법을 위하여 사용하는 스퍼터링 장치를 사용할 수 있다.

- [0116] 또한, 스퍼터링법을 이용하는 성막 방법으로서, 성막 중에 타깃 물질과 스퍼터링 가스 성분이 서로 화학적으로 반응하여 그들의 화합물 박막을 형성하는 반응성 스퍼터링법, 또는 성막 중에 전압을 기관에도 인가하는 바이어스 스퍼터링법을 이용할 수 있다.
- [0117] 절연층(407)은 적층 구조를 가질 수 있고, 예를 들어 질화물 절연층, 예컨대 질화 실리콘층, 질화 산화 실리콘층, 질화 알루미늄층, 또는 질화 산화 알루미늄층 및 상술한 산화물 절연층이 기관(400) 위에 이러한 순서로 적층되어 있는 적층 구조를 이용할 수 있다.
- [0118] 예를 들어, 수소 및 수분이 제거된 고순도 질소를 함유하는 스퍼터링 가스를 도입하고, 실리콘 타깃을 사용함으로써, 산화 실리콘층과 기관(400) 사이에 질화 실리콘층을 형성한다. 이 경우에도, 산화 실리콘층의 성막 경우처럼 질화 실리콘층의 성막 시 챔버 내의 잔류 수분을 제거하는 것이 바람직하다.
- [0119] 질화 실리콘층의 막 성막 시 기관을 가열할 수 있다.
- [0120] 질화 실리콘층 및 산화 실리콘층을 적층하여 절연층(407)을 형성하는 경우, 질화 실리콘층 및 산화 실리콘층은 동일한 실리콘 타깃으로 동일한 챔버에서 형성할 수 있다. 예를 들어, 우선, 질소를 함유하는 스퍼터링 가스를 도입하고, 챔버 내부에 장착된 실리콘 타깃을 사용하여 질화 실리콘층을 형성하고, 이어서 스퍼터링 가스를 산소를 함유하는 스퍼터링 가스로 바꾸고, 동일한 실리콘 타깃을 사용하여 산화 실리콘층을 형성한다. 질화 실리콘층 및 산화 실리콘층은 대기에 노출하지 않으면서 연속으로 형성할 수 있으므로, 질화 실리콘층의 표면에 수소 또는 수분과 같은 불순물이 흡착되는 것을 방지할 수 있다.
- [0121] 다음으로, 절연층(407) 위에 2nm 이상 200nm 이하의 두께로 산화물 반도체막을 형성한다.
- [0122] 산화물 반도체막이 수소, 수산기 및 수분과 같은 불순물을 가능한 한 함유하지 않기 위하여, 막 형성 전에 스퍼터링 장치의 예비가열 챔버에서 절연층(407)을 구비한 기관(400)을 예비가열하여, 기관(400)에 흡착된 수소 또는 수분과 같은 불순물을 제거하고, 배기를 수행하는 것이 바람직하다. 예비가열 챔버에 제공된 배기 유닛으로서 크라이오펌프가 바람직하다. 이러한 예비가열 공정은 반드시 수행할 필요는 없다.
- [0123] 스퍼터링법으로 산화물 반도체막을 형성하기 전에, 아르곤 가스를 도입하고 플라즈마를 발생시키는 역 스퍼터링을 수행하여, 절연층(407)의 표면에 있는 먼지를 제거하는 것이 바람직함을 알아야 한다. 역 스퍼터링은 타깃 측에 전압을 인가하지 않으면서 아르곤 분위기에서 고주파 전원으로 기관 측에 전압을 인가하여 기관 측에 플라즈마를 발생시켜 표면을 개질하는 방법이다. 아르곤 분위기 대신 질소 분위기, 헬륨 분위기, 산소 분위기 등을 이용할 수 있다.
- [0124] 산화물 반도체막은 스퍼터링법으로 형성한다. 산화물 반도체막은 In-Ga-Zn-O계 산화물 반도체막, In-Sn-Zn-O계 산화물 반도체막, In-Al-Zn-O계 산화물 반도체막, Sn-Ga-Zn-O계 산화물 반도체막, Al-Ga-Zn-O계 산화물 반도체막, Sn-Al-Zn-O계 산화물 반도체막, In-Zn-O계 산화물 반도체막, Sn-Zn-O계 산화물 반도체막, Al-Zn-O계 산화물 반도체막, In-O계 산화물 반도체막, Sn-O계 산화물 반도체막, 또는 Zn-O계 산화물 반도체막을 사용하여 형성한다. 본 실시형태에서, 산화물 반도체막은 In-Ga-Zn-O계 산화물 반도체 타깃을 사용하여 스퍼터링법으로 형성한다. 구체적으로, $In_2O_3:Ga_2O_3:ZnO=1:1:1$ [몰%](즉, In:Ga:Zn=1:1:0.5[원자%])의 조성비를 갖는 타깃을 사용한다. 대안으로, In:Ga:Zn=1:1:1[원자%] 또는 In:Ga:Zn=1:1:2[원자%]의 조성비를 갖는 타깃을 사용할 수 있다. 본 실시형태에서, 산화물 반도체 타깃의 충전율은 90% 이상 100% 이하, 바람직하게는 95% 이상 99.9% 이하이다. 높은 충전율을 갖는 산화물 반도체 타깃을 사용하여 성막한 산화물 반도체막은 높은 밀도를 갖는다. 스퍼터링 시 분위기는 희가스(전형적으로 아르곤) 분위기, 산소 분위기, 또는 희가스와 산소의 혼합 분위기에 될 수 있다. 타깃은 SiO_2 를 2 중량% 이상 10 중량% 이하로 함유할 수 있다.
- [0125] 수소, 물, 수산기 또는 수소화물과 같은 불순물이 1ppm 이하, 바람직하게는 10ppb 이하로 제거된 고순도 가스를 산화물 반도체막의 성막을 위한 스퍼터링 가스로서 사용하는 것이 바람직하다.
- [0126] 산화물 반도체막은 다음과 같이 기관(400) 위에 형성하는데, 기관을 감압 상태의 챔버에 유지하고, 챔버 내의 잔류 수분을 제거하고, 수소 및 수분이 제거된 스퍼터링 가스를 도입하고, 상술한 타깃을 사용한다. 챔버 내의 잔류 수분을 제거하기 위하여, 흡착형 진공 펌프를 사용하는 것이 바람직하다. 예를 들어, 바람직하게는 크라이오펌프, 이온 펌프, 또는 티타늄 서블리메이션 펌프를 사용한다. 배기 유닛으로서, 콜드 트랩이 부가되어 있는 터보 분자 펌프를 사용할 수 있다. 크라이오펌프를 사용하여 배기를 수행하는 챔버에서, 수소 분자, 수소 원자를 포함하는 화합물, 예컨대 물(H_2O), 탄소 원자를 포함하는 화합물 등이 배기된다. 따라서, 챔버에서 형성된 산화물 반도체막에 포함된 불순물의 농도를 줄일 수 있다. 기관은 산화물 반도체막의 성막 시 가열할 수

있다.

- [0127] 성막 조건의 예로서 다음과 같은 조건을 이용하는데, 기관의 온도는 실온이고; 기관과 타겟 사이의 거리는 110 mm이고; 압력은 0.4Pa이고; 직류(DC) 전력은 0.5kW이고; 분위기는 산소 및 아르곤(산소 대 아르곤의 유량 비는 15sccm:30sccm)이다. 성막 시에 발생하는 분말 물질(파티클 또는 분진으로도 칭함)을 줄일 수 있고, 막 두께를 균일하게 할 수 있기 때문에, 펄스형 직류(DC) 전원을 사용하는 것이 바람직하다. 산화물 반도체막은 2nm 이상 200nm 이하, 바람직하게는 5nm 이상 30nm 이하의 두께를 갖는다. 산화물 반도체막의 적절한 두께는 그 재료에 따라 변하고, 따라서 두께는 재료에 따라 적절히 결정할 수 있음을 알아야 한다.
- [0128] 다음으로, 제1 포토리소그래피 공정으로 산화물 반도체막을 섬 형상의 산화물 반도체층(412)으로 가공한다(도 6a 참조). 섬 형상의 산화물 반도체층(412)을 형성하기 위한 레지스트 마스크는 잉크젯법을 이용하여 형성할 수 있다. 잉크젯법에 의한 레지스트 마스크의 형성은 포토마스크가 필요 없고, 따라서 제조 비용을 줄일 수 있다.
- [0129] 산화물 반도체막의 에칭을 위하여, 습식 에칭 및 건식 에칭 중 어느 하나 또는 둘 다를 이용할 수 있다.
- [0130] 건식 에칭을 위한 에칭 가스로서, 바람직하게는 염소를 함유하는 가스(염소계 가스, 예컨대 염소(Cl_2), 붕소 클로라이드(BCl_3), 실리콘 클로라이드($SiCl_4$), 또는 탄소 테트라클로라이드(CCl_4))를 사용한다.
- [0131] 대안으로, 불소를 함유하는 가스(불소계 가스, 예컨대 탄소 테트라플루오라이드(CF_4), 황 플루오라이드(SF_6), 질소 플루오라이드(NF_3), 또는 트리플루오로메탄(CHF_3)); 수소 브로마이드(HBr); 산소(O_2); 이러한 가스에 헬륨(He) 또는 아르곤(Ar)과 같은 희가스를 첨가한 임의의 가스 등을 사용할 수 있다.
- [0132] 건식 에칭법으로서, 평행 평판형 RIE(반응성 이온 에칭)법 또는 ICP(유도 결합형 플라즈마) 에칭법을 이용할 수 있다. 층을 원하는 형상으로 에칭하기 위하여, 에칭 조건(코일 형상 전극에 인가되는 전력량, 기관 측 전극에 인가되는 전력량, 기관 측 전극의 온도 등)은 적절히 조절한다.
- [0133] 습식 에칭을 위한 에천트로서, 인산, 아세트산 및 질산의 혼합 용액, 암모니아 과산화수소 혼합물(과산화수소: 암모니아:물=5:2:2), 암모늄 수산화물/과산화수소 혼합물(31 중량% 과산화수소:수:28 중량% 암모니아:수:물=5:2:2) 등을 사용할 수 있다. ITO07N(KANTO CHEMICAL CO., INC. 제조)을 사용할 수 있다.
- [0134] 습식 에칭 후, 에천트는 에칭된 재료와 함께 세정을 통해 제거한다. 제거된 재료를 함유하는 에천트의 폐수는 정제할 수 있고, 폐수에 함유된 재료는 재사용할 수 있다. 에칭 후의 폐수로부터 산화물 반도체에 포함된 인듐과 같은 재료를 수집 및 재사용함으로써 자원을 효과적으로 사용할 수 있고 비용을 줄일 수 있다.
- [0135] 재료에 따라 에칭 조건(예컨대 에천트, 에칭 시간, 또는 온도)을 적절히 조절하여 재료를 원하는 형상으로 에칭할 수 있다.
- [0136] 본 실시형태에서, 인산, 아세트산 및 질산을 혼합함으로써 얻은 용액을 사용하는 습식 에칭법으로 산화물 반도체막을 섬 형상의 산화물 반도체층(412)으로 가공한다.
- [0137] 본 실시형태에서, 산화물 반도체층(412)에 제1 가열 처리를 수행한다. 제1 가열 처리의 온도는 400°C 이상 750°C 이하이고, 기관(400)의 왜곡점이 750°C 이하인 경우에는 400°C 이상 기관(400)의 왜곡점 미만이다. 본 실시형태에서, 가열 처리 장치의 한 종류인 전기로에 기관을 배치하고, 질소 분위기에서 450°C로 1시간 동안 산화물 반도체층에 가열 처리를 수행하고, 이어서 대기에 노출하지 않으면서 온도를 실온으로 낮추고, 산화물 반도체층에 물 또는 수소가 침입하는 것을 방지하고, 따라서 산화물 반도체층을 얻는다. 제1 가열 처리를 통해 산화물 반도체층(412)은 탈수화 또는 탈수소화될 수 있다.
- [0138] 가열 처리 장치는 전기로에 한정하지 않고, 저항 발열체 등과 같은 발열체로부터의 열 전도 또는 열 복사를 통해 처리 대상을 가열하는 장치를 구비할 수 있다. 예를 들어, RTA(급속 열 어닐링) 장치, 예컨대 GRTA(가스 급속 열 어닐링) 장치 또는 LRTA(램프 급속 열 어닐링) 장치를 사용할 수 있다. LRTA 장치는 램프, 예컨대 할로겐 램프, 금속 할라이드 램프, 크세논 아크 램프, 탄소 아크 램프, 고압 나트륨 램프, 또는 고압 수은 램프로부터 방출된 광(전자기파)의 복사를 통해 처리 대상을 가열하기 위한 장치이다. GRTA 장치는 고온 가스를 사용하는 가열 처리를 위한 장치이다. 가스로서, 가열 처리를 통해 처리 대상과 반응하지 않는 불활성 가스, 예컨대 질소 또는 아르곤과 같은 희가스를 사용한다.
- [0139] 예를 들어, 제1 가열 처리로서 GRTA를 다음과 같이 수행할 수 있는데, 650°C 내지 700°C의 고온으로 가열한 불

활성 가스 중에 기판을 반응시키고, 수 분 동안 가열하고, 고온으로 가열한 불활성 가스로부터 반응 및 꺼낸다. GRTA는 단시간 동안 고온 가열 처리를 가능하게 한다.

- [0140] 제1 가열 처리에서, 물, 수소 등은 질소 또는 회가스, 예컨대 헬륨, 네온, 또는 아르곤에 함유되지 않는 것이 바람직하다. 가열 처리 장치에 도입하는 질소 또는 회가스, 예컨대 헬륨, 네온, 또는 아르곤은 6N(99.9999%) 이상, 더욱 바람직하게는 7N(99.99999%) 이상(즉, 불순물의 농도는 1ppm 이하, 더욱 바람직하게는 0.1ppm 이하 임)의 순도를 갖는 것이 바람직하다.
- [0141] 또한, 제1 가열 처리의 조건 또는 산화물 반도체층의 재료에 따라 산화물 반도체층(412)은 미정질막 또는 다결정막으로 결정화될 수 있다. 예를 들어, 산화물 반도체층은 결정화 등급이 90% 이상 또는 80% 이상인 미정질 산화물 반도체막으로 결정화될 수 있다. 또한, 제1 가열 처리의 조건 또는 산화물 반도체층의 재료에 따라 산화물 반도체층(412)은 결정질 성분을 함유하지 않는 비정질 산화물 반도체막일 수 있다. 산화물 반도체층은 미정질 부분(1nm 이상 20nm 이하, 일반적으로는 2nm 이상 4nm 이하의 입경을 가짐)이 비정질 산화물 반도체에 혼합되어 있는 산화물 반도체막이 될 수 있다.
- [0142] 산화물 반도체층의 제1 가열 처리는 섬 형상의 산화물 반도체층(412)으로 가공하기 전의 산화물 반도체막에 또한 수행할 수 있다. 이 경우, 제1 가열 처리 후 가열 장치로부터 기판을 꺼내고, 이어서 포토리소그래피 공정을 수행한다.
- [0143] 이상에서는 산화물 반도체층(412)의 형성 직후 산화물 반도체층에 대한 탈수화 및/또는 탈수소화를 위한 가열 처리를 수행하는 예를 기술한다. 그러나 탈수화 및/또는 탈수소화를 위한 가열 처리는 산화물 반도체층의 성막 후 수행한다면 산화물 반도체층 위에 소스 전극 및 드레인 전극을 적층한 후 또는 소스 전극 및 드레인 전극 위에 게이트 절연층을 형성한 후 수행할 수 있다.
- [0144] 절연층(407) 및 산화물 반도체층(412) 위에 도전막을 형성한다. 도전막은 스퍼터링법 또는 진공 증착법으로 형성할 수 있다. 도전막의 재료로서, Al, Cr, Cu, Ta, Ti, Mo, 및 W로부터 선택된 원소; 임의의 이러한 원소를 성분으로서 함유하는 합금; 임의의 이러한 원소를 조합하여 함유하는 합금막 등을 제공할 수 있다. 또한, 망간, 마그네슘, 지르코늄, 베릴륨, 및 이트륨으로부터 선택된 하나 이상의 재료를 사용할 수 있다. 또한, 도전막은 단층 구조 또는 2층 이상의 적층 구조를 가질 수 있다. 예를 들어, 실리콘을 포함하는 알루미늄막의 단층 구조, 알루미늄막 위에 티타늄막이 적층되어 있는 2층 구조, 티타늄막, 알루미늄막 및 티타늄막이 이러한 순서로 적층되어 있는 3층 구조 등을 제공할 수 있다. 대안으로, 티타늄(Ti), 탄탈(Ta), 텅스텐(W), 몰리브덴(Mo), 크롬(Cr), 네오디뮴(Nd), 및 스칸듐(Sc)으로부터 선택된 하나 이상의 원소 및 알루미늄(Al)을 함유하는 막, 합금막, 또는 질화물막을 사용할 수 있다. 본 실시형태에서, 스퍼터링법으로 150nm의 두께를 갖는 티타늄막을 도전막으로서 형성한다.
- [0145] 다음으로, 제2 포토리소그래피 공정으로 도전막 위에 레지스트 마스크를 형성한다. 레지스트 마스크는 잉크젯 트랩을 이용하여 형성할 수 있다. 잉크젯 트랩에 의한 레지스트 마스크의 형성은 포토마스크가 필요 없고, 따라서 제조 비용을 줄일 수 있다. 그 후, 에칭을 선택적으로 수행하여 소스 전극층 및 드레인 전극층(415a 및 415b)을 형성하고, 이어서 레지스트 마스크를 제거한다(도 6b 참조). 소스 전극층 및 드레인 전극층 각각의 단부는 테이퍼 형상을 갖는 것이 바람직하며, 이는 그 위에 적층하는 게이트 절연층과의 피복성(coverage)이 개선되기 때문이다.
- [0146] 도전막의 에칭으로 산화물 반도체층(412)이 제거되지 않고, 산화물 반도체층(412) 아래의 절연층(407)이 노출되지 않도록 각 재료 및 에칭 조건을 적절히 조절함을 알아야 한다.
- [0147] 본 실시형태에서, Ti 막을 도전막으로서 사용하고, In-Ga-Zn-O계 산화물 반도체를 산화물 반도체층(412)으로서 사용하므로, 에천트로서 암모늄 수산화물/과산화수소 혼합물(31 중량% 과산화수소수:28 중량% 암모니아수:물=5:2:2)을 사용한다.
- [0148] 제2 포토리소그래피 공정에서, 몇몇 경우 산화물 반도체층(412)의 일부를 에칭하여 그루브(오목부)를 갖는 산화물 반도체층을 형성할 수 있다.
- [0149] 제2 포토리소그래피 공정에서 레지스트 마스크 형성 시 노광은 극자외선 광, KrF 레이저 광, 또는 ArF 레이저 광을 이용하여 수행할 수 있다. 형성되는 박막 트랜지스터의 채널 길이 L은 산화물 반도체층(412) 위에서 서로 인접해 있는 소스 전극층의 하단부와 드레인 전극층의 하단부 사이의 피치에 의해 결정된다. 25nm 미만의 채널 길이(L)를 위하여 노광을 수행하는 경우, 제2 포토리소그래피 공정에서 레지스트 마스크의 형성 시 노광은 수 나노미터 내지 수십 나노미터의 매우 짧은 파장을 갖는 초극자외선(extreme ultraviolet) 광을 이용하여 수행

한다. 초극자외선 광에 의한 노광 시 분해능은 높고 초점 깊이는 크다. 따라서, 박막 트랜지스터의 채널 길이(L)는 10nm 이상 1000nm 이하로 할 수 있고, 회로의 동작 속도를 높일 수 있고, 매우 작은 오프-상태 전류에 의한 낮은 전력 소비를 달성할 수 있다.

- [0150] 다음으로, 절연층(407), 산화물 반도체층(412), 및 소스 전극층 및 드레인 전극층(415a 및 415b) 위에 게이트 절연층(402)을 형성한다(도 6c 참조).
- [0151] 게이트 절연층(402)은 플라즈마 CVD법, 스퍼터링법 등에 의한 산화 실리콘층, 질화 실리콘층, 산화 질화 실리콘층, 질화 산화 실리콘층, 및 산화 알루미늄층 중 하나 이상을 사용하는 단층 구조 또는 적층 구조로 형성할 수 있다. 게이트 절연층(402)이 수소를 함유하는 것을 가능한 한 방지하기 위하여, 스퍼터링법으로 게이트 절연층(402)을 형성하는 것이 바람직하다. 스퍼터링법으로 산화 실리콘막을 형성하는 경우, 타겟으로서 실리콘 타겟 또는 석영 타겟을 사용하고, 스퍼터링 가스로서 산소 또는 산소와 아르곤의 혼합 가스를 사용한다. 본 실시형태에서, 100nm 두께의 산화 실리콘층은 다음과 같이 형성하는데, 압력은 0.4Pa이고; 고주파 전력은 1.5kW이고; 분위기는 산소 및 아르곤(산소 대 아르곤의 유량 비는 25sccm:25sccm=1:1임)이고; RF 스퍼터링법을 이용한다.
- [0152] 게이트 절연층(402)은 산화 실리콘층 및 질화 실리콘층이 이러한 순서로 적층되어 있는 구조를 가질 수 있다. 예를 들어, 스퍼터링법으로 5nm 이상 300nm 이하의 두께를 갖는 산화 실리콘층($SiO_x(x>0)$)을 제1 게이트 절연층으로서 형성하고, 이어서 제1 게이트 절연층 위에 50nm 이상 200nm 이하의 두께를 갖는 질화 실리콘층($SiN_y(y>0)$)을 제2 게이트 절연층으로서 적층하는 방식으로, 70nm 이상 400nm 이하의 두께, 예를 들어 100nm의 두께를 갖는 게이트 절연층을 형성한다.
- [0153] 다음으로, 제3 포토리소그래피 공정으로 레지스트 마스크를 형성하고, 에칭을 선택적으로 수행하여 게이트 절연층(402)의 일부를 제거하여, 소스 전극층 및 드레인 전극층(415a 및 415b)에 도달하는 개구(421a 및 421b)를 형성한다(도 6d 참조).
- [0154] 다음으로, 게이트 절연층(402) 및 개구(421a 및 421b) 위에 도전막을 형성한다. 본 실시형태에서, 스퍼터링법으로 150nm의 두께를 갖는 티타늄막을 형성한다. 그 후, 제4 포토리소그래피 공정을 수행하여 게이트 전극층(411) 및 배선층(414a 및 414b)을 형성한다. 레지스트 마스크는 잉크젯법으로 형성할 수 있음을 알아야 한다. 잉크젯법에 의한 레지스트 마스크의 형성은 포토마스크가 필요 없고, 따라서 제조 비용을 줄일 수 있다.
- [0155] 게이트 전극층(411) 및 배선층(414a 및 414b) 각각은 금속 재료, 예컨대 몰리브덴, 티타늄, 크롬, 탄탈, 텅스텐, 알루미늄, 구리, 네오디뮴, 또는 스칸듐, 또는 임의의 이러한 재료를 주성분으로서 함유하는 합금 재료를 사용하여 단층 또는 적층 구조를 갖도록 형성할 수 있다.
- [0156] 예를 들어, 게이트 전극층(411) 및 배선층(414a 및 414b) 각각의 2층 구조로서, 알루미늄층 및 그 위에 적층된 몰리브덴층의 2층 구조, 구리층 및 그 위에 적층된 몰리브덴층의 2층 구조, 구리층 및 그 위에 적층된 질화 티타늄층 혹은 질화 탄탈층의 2층 구조, 및 질화 티타늄층 및 몰리브덴층의 2층 구조 중 임의의 2층 구조가 바람직하다. 3층 구조로서, 텅스텐층 또는 질화 텅스텐층, 알루미늄과 실리콘의 합금 또는 알루미늄과 티타늄의 합금의 층, 및 질화 티타늄층 또는 티타늄층의 적층체가 바람직하다. 게이트 전극층은 투광성 도전막을 사용하여 형성할 수 있다. 투광성 도전막의 재료의 예로서, 투광성 도전성 산화물을 제공할 수 있다.
- [0157] 다음으로, 불활성 가스 분위기 또는 산소 가스 분위기에서 제2 가열 처리(바람직하게는 200°C 이상 400°C 이하의 온도, 예를 들어 250°C 이상 350°C 이하의 온도)를 수행한다. 본 실시형태에서, 제2 가열 처리는 질소 분위기에서 250°C로 1시간 동안 수행한다. 제2 가열 처리는 박막 트랜지스터(410) 위에 보호 절연층 또는 평탄화 절연층을 형성한 후 수행할 수 있다.
- [0158] 또한, 가열 처리는 공기 분위기에서 100°C 이상 200°C 이하의 온도로 1시간 이상 30시간 이하 동안 수행할 수 있다. 이러한 가열 처리는 고정된 가열 온도에서 수행할 수 있다. 대안으로, 가열 온도의 다음과 같은 변화를 복수 회 반복적으로 수행할 수 있는데, 가열 온도를 실온으로부터 100°C 이상 200°C 이하의 온도로 높이고, 이어서 실온으로 낮춘다. 이러한 가열 처리는 산화물 절연층의 형성 전에 감압하에서 수행할 수 있다. 감압하에서, 가열 처리 시간은 단축할 수 있다.
- [0159] 상술한 공정을 통해, 수소, 수분, 수소화물, 및 수산화물의 농도가 감소한 산화물 반도체층(412)을 포함하는 박막 트랜지스터(410)를 형성할 수 있다(도 6e 참조). 박막 트랜지스터(410)는 실시형태 1에서 기술한 박막 트랜지스터로서 사용할 수 있다.

- [0160] 박막 트랜지스터(410) 위에 보호 절연층 또는 평탄화를 위한 평탄화 절연층을 제공할 수 있다. 예를 들어, 보호 절연층은 산화 실리콘층, 질화 실리콘층, 산화 질화 실리콘층, 질화 산화 실리콘층, 및 산화 알루미늄층 중 하나 이상을 사용하여 단층 구조 또는 적층 구조로 형성할 수 있다.
- [0161] 평탄화 절연층은 내열성 유기 재료, 예컨대 폴리이미드, 아크릴, 벤조시클로부텐, 폴리아미드, 또는 에폭시를 사용하여 형성할 수 있다. 이러한 유기 재료 외에, 저유전율 재료(저-k 재료), 실록산계 수지, PSG(포스포실리케이트 유리), BPSG(보로포스포실리케이트 유리) 등을 사용할 수 있다. 평탄화 절연층은 이러한 재료를 사용하여 형성한 복수의 절연막을 적층함으로써 형성할 수 있다.
- [0162] 실록산계 수지는 실록산계 재료를 출발 재료로서 사용하여 형성한 Si-O-Si 결합을 포함하는 수지에 대응함을 알아야 한다. 실록산계 수지는 치환기로서 유기기(예를 들어 알킬기 또는 아릴기) 또는 플루오로기를 포함할 수 있다. 유기기는 플루오로기를 포함할 수 있다.
- [0163] 평탄화 절연층을 형성하기 위한 방법에 대한 특별한 제한은 없다. 평탄화 절연층은 그 재료에 따라 스퍼터링법, SOG법, 스핀 코팅법, 디핑법, 스프레이 코팅법, 또는 액적 토출법(예를 들어 잉크젯법, 스크린 인쇄법, 또는 오프셋 인쇄법)과 같은 방법으로 또는 닥터 나이프, 롤 코터, 커튼 코터, 또는 나이프 코터와 같은 도구로 형성할 수 있다.
- [0164] 상술한 바와 같이 산화물 반도체막의 성막 시 반응 분위기 내의 잔류 수분을 제거함으로써, 산화물 반도체막의 수소 및 수소화물의 농도를 줄일 수 있다. 따라서, 산화물 반도체막을 안정화할 수 있다.
- [0165] 상술한 바와 같이 제조한 박막 트랜지스터를 액정 표시 장치의 표시부의 복수의 화소 각각에 사용함으로써, 화소로부터의 누설 전류를 억제할 수 있다. 따라서, 축적 커패시터에 전압을 유지하기 위한 기간을 증가시킬 수 있고, 액정 표시 장치에 정지 화상 등을 표시하는 경우 전력 소비를 낮출 수 있다. 또한, 정지 화상을 표시하는 경우 제어 신호의 공급을 중단함으로써, 전력 소비를 더욱 줄일 수 있다. 또한, 정지 화상과 동화상을 오동작 없이 스위칭할 수 있다.
- [0166] 실시형태 2는 다른 실시형태에서 기술하는 임의의 구조와 적절히 조합하여 실시할 수 있다.
- [0167] (실시형태 3)
- [0168] 실시형태 3에서, 본 명세서에서 개시하는 액정 표시 장치에 적용할 수 있는 박막 트랜지스터의 또 다른 예를 기술한다. 실시형태 2와 동일한 부분 또는 유사한 기능을 갖는 부분 및 공정에는 실시형태 2를 적용할 수 있고, 그 기체는 반복하지 않음을 알아야 한다. 또한, 동일한 부분에 대한 구체적인 기체는 생략한다. 본 실시형태에서 기술하는 박막 트랜지스터(460)는 실시형태 1에서 기술한 화소부(1008)의 각 화소에서의 박막 트랜지스터로서 사용할 수 있다.
- [0169] 본 실시형태의 박막 트랜지스터 및 박막 트랜지스터를 제조하기 위한 방법의 한 실시형태는 도 7a 및 7b와 도 8a 내지 8e를 이용하여 기술한다.
- [0170] 도 7a는 박막 트랜지스터의 평면 구조의 예를 나타내고, 도 7b는 그 단면 구조의 예를 나타낸다. 도 7a 및 7b에 도시한 박막 트랜지스터(460)는 튿-게이트 박막 트랜지스터이다.
- [0171] 도 7a는 튿-게이트 박막 트랜지스터(460)의 평면도이고, 도 7b는 도 7a의 라인 D1-D2에 따른 단면도이다.
- [0172] 박막 트랜지스터(460)는 절연 표면을 갖는 기판(450) 위에 절연층(457), 소스 또는 드레인 전극층(465a)(465a1 및 465a2), 산화물 반도체층(462), 소스 또는 드레인 전극층(465b), 배선층(468), 게이트 절연층(452), 및 게이트 전극층(461)(461a 및 461b)을 포함한다. 소스 또는 드레인 전극층(465a)(465a1 및 465a2)은 배선층(468)을 통해 배선층(464)에 전기적으로 접속되어 있다. 또한, 도면에 도시하지 않지만, 소스 또는 드레인 전극층(465b)도 게이트 절연층(452)에 형성된 개구에서 배선층에 전기적으로 접속되어 있다.
- [0173] 기판(450) 위에 박막 트랜지스터(460)를 제조하기 위한 공정은 도 8a 내지 8e를 참조하여 기술한다.
- [0174] 우선, 절연 표면을 갖는 기판(450) 위에 기초막으로서 기능하는 절연층(457)을 형성한다.
- [0175] 본 실시형태에서, 스퍼터링법으로 산화 실리콘층을 절연층(457)으로서 형성한다. 기판(450)을 챔버로 반송하고, 수소 및 수분이 제거된 고순도 산소를 함유하는 스퍼터링 가스를 챔버에 도입하고, 실리콘 타겟 또는 석영(바람직하게는 쿼츠)을 사용하여, 기판(450) 위에 산화 실리콘층을 절연층(457)으로서 성막한다. 본 실시형태에서, 산소 또는 산소와 아르곤의 혼합 가스를 스퍼터링 가스로서 사용한다.

- [0176] 예를 들어, 산화 실리콘막은 본 실시형태에서 다음과 같이 형성하는데, 타깃으로서 6N의 순도를 갖는 석영(바람직하게는 퀴트)을 사용하고; 기판 온도는 108℃이고; 타깃과 기판 사이의 거리(T-S 거리)는 60mm이고; 압력은 0.4Pa이고; 고주파 전력은 1.5kW이고; 분위기는 산소 및 아르곤(산소 대 아르곤의 유량 비는 25sccm:25sccm=1:1 입)이고; RF 스퍼터링법을 이용한다. 본 실시형태에서 산화 실리콘막의 두께는 100nm이다. 석영(바람직하게는 퀴트) 대신 실리콘 타깃을 사용하여 산화 실리콘막을 형성할 수 있다.
- [0177] 이 경우, 절연층(457)의 성막 시 챔버 내의 잔류 수분을 제거하는 것이 바람직하다. 이는, 절연층(457)이 수소, 수산기 및/또는 수분을 함유하는 것을 방지하기 위해서이다. 크라이오펌프를 사용하여 배기를 수행하는 챔버에서, 예를 들어, 수소 분자, 수소 원자를 포함하는 화합물, 예컨대 물(H₂O) 등이 배기된다. 따라서, 챔버에서 형성된 절연층(457)에 포함된 불순물의 농도를 줄일 수 있다.
- [0178] 불순물, 예컨대 수소, 물, 수산기 또는 수소화물이 1ppm 이하, 바람직하게는 10ppb 이하로 제거된 고순도 가스를 절연층(457)의 성막을 위한 스퍼터링 가스로서 사용하는 것이 바람직하다.
- [0179] 절연층(457)은 적층 구조를 가질 수 있고, 예를 들어 질화물 절연층, 예컨대 질화 실리콘층, 질화 산화 실리콘층, 질화 알루미늄층, 또는 질화 산화 알루미늄층 및 상술한 산화물 절연층이 기판(450) 위에 이러한 순서로 적층되어 있는 적층 구조를 이용할 수 있다.
- [0180] 예를 들어, 수소 및 수분이 제거된 고순도 질소를 함유하는 스퍼터링 가스를 도입하고, 실리콘 타깃을 사용함으로써, 산화 실리콘층과 기판(450) 사이에 질화 실리콘층을 형성한다. 이 경우에도, 산화 실리콘층의 성막 경우처럼 질화 실리콘층의 성막 시 챔버 내의 잔류 수분을 제거하는 것이 바람직하다.
- [0181] 절연층(457) 위에 도전막을 형성한다. 도전막의 재료로서, Al, Cr, Cu, Ta, Ti, Mo, 및 W로부터 선택된 원소; 임의의 이러한 원소를 성분으로서 함유하는 합금; 임의의 이러한 원소를 조합하여 함유하는 합금막 등을 제공할 수 있다. 또한, 망간, 마그네슘, 지르코늄, 베릴륨, 및 이트륨으로부터 선택된 하나 이상의 재료를 사용할 수 있다. 또한, 도전막은 단층 구조 또는 2층 이상의 적층 구조를 가질 수 있다. 예를 들어, 실리콘을 포함하는 알루미늄막의 단층 구조, 알루미늄막 위에 티타늄막이 적층되어 있는 2층 구조, 티타늄막, 알루미늄막 및 티타늄막이 이러한 순서로 적층되어 있는 3층 구조 등을 제공할 수 있다. 대안으로, 티타늄(Ti), 탄탈(Ta), 텅스텐(W), 몰리브덴(Mo), 크롬(Cr), 네오디뮴(Nd), 및 스칸듐(Sc)으로부터 선택된 하나 이상의 원소 및 알루미늄(Al)을 함유하는 막, 합금막, 또는 질화물막을 사용할 수 있다. 본 실시형태에서, 스퍼터링법으로 150nm의 두께를 갖는 티타늄막을 도전막으로서 형성한다. 다음으로, 제1 포토리소그래피 공정으로 도전막 위에 레지스트 마스크를 형성하고, 에칭을 선택적으로 수행하여 소스 전극층 및 드레인 전극층(465a1 및 465a2)을 형성하고, 이어서 레지스트 마스크를 제거한다(도 8a 참조). 단면도에서 절단된 것처럼 도시되어 있는 소스 전극층 및 드레인 전극층(465a1 및 465a2)은 도 7a에 도시한 바와 같은 원환(torus) 형상 부분을 갖는 하나의 막이다. 소스 전극층 및 드레인 전극층(465a1 및 465a2) 각각의 단부는 테이퍼 형상을 갖는 것이 바람직하는데, 이는 그 위에 적층하는 게이트 절연층과의 피복성이 개선되기 때문이다.
- [0182] 다음으로, 2nm 이상 200nm 이하, 예를 들어 5nm 이상 30nm 이하의 두께를 갖는 산화물 반도체막을 형성한다. 산화물 반도체막의 적절한 두께는 그 재료에 따라 변하고, 따라서 두께는 재료에 따라 적절히 결정할 수 있음을 알아야 한다. 본 실시형태에서, 산화물 반도체막은 In-Ga-Zn-O계 산화물 반도체 타깃을 사용하여 스퍼터링법으로 형성한다.
- [0183] 산화물 반도체막은 다음과 같이 기판(450) 위에 형성하는데, 기판을 감압 상태의 챔버에 유지하고, 챔버 내의 잔류 수분을 제거하고, 수소 및 수분이 제거된 스퍼터링 가스를 도입하고, 타깃을 사용한다. 챔버 내의 잔류 수분을 제거하기 위하여, 흡착형 진공 펌프를 사용하는 것이 바람직하다. 예를 들어, 바람직하게는 크라이오펌프, 이온 펌프, 또는 티타늄 서블리메이션 펌프를 사용한다. 배기 유닛으로서, 콜드 트랩이 추가되어 있는 터보 분자 펌프를 사용할 수 있다. 크라이오펌프를 사용하여 배기를 수행하는 챔버에서, 수소 분자, 수소 원자를 포함하는 화합물, 예컨대 물(H₂O), 탄소 원자를 포함하는 화합물 등이 배기된다. 따라서, 챔버에서 형성된 산화물 반도체막에 포함된 불순물의 농도를 줄일 수 있다. 기판은 산화물 반도체막의 성막 시 가열할 수 있다.
- [0184] 불순물, 예컨대 수소, 물, 수산기 또는 수소화물이 1ppm 이하, 바람직하게는 10ppb 이하로 제거된 고순도 가스를 산화물 반도체막의 성막을 위한 스퍼터링 가스로서 사용하는 것이 바람직하다.
- [0185] 성막 조건의 예로서 다음과 같은 조건을 이용하는데, 기판의 온도는 실온이고; 기판과 타깃 사이의 거리는 110mm이고; 압력은 0.4Pa이고; 직류(DC) 전원은 0.5kW이고; 분위기는 산소 및 아르곤(산소 대 아르곤의 유량 비는

15sccm:30sccm입)이다.

- [0186] 다음으로, 제2 포토리소그래피 공정으로 산화물 반도체막을 섬 형상의 산화물 반도체층(462)으로 가공한다(도 8b 참조). 본 실시형태에서, 인산, 아세트산 및 질산을 혼합함으로써 얻은 용액을 사용하여 습식 에칭법으로 산화물 반도체막을 섬 형상의 산화물 반도체층(462)으로 가공한다.
- [0187] 본 실시형태에서, 산화물 반도체층(462)에 제1 가열 처리를 수행한다. 제1 가열 처리의 온도는 400℃ 이상 750℃ 이하이고, 기판(450)의 왜곡점이 750℃ 이하인 경우에는 400℃ 이상 기판(450)의 왜곡점 미만이다. 본 실시형태에서, 가열 처리 장치의 한 종류인 전기로에 기판을 배치하고, 질소 분위기에서 450℃로 1시간 동안 산화물 반도체층에 가열 처리를 수행하고, 이어서 대기에 노출하지 않으면서 온도를 실온으로 낮추고, 산화물 반도체층에 물 또는 수소가 침입하는 것을 방지하고, 따라서 산화물 반도체층을 얻는다. 제1 가열 처리를 통해 산화물 반도체층(462)은 탈수화 또는 탈수소화될 수 있다.
- [0188] 가열 처리 장치는 전기로에 한정하지 않고, 저항 발열체 등과 같은 발열체로부터의 열 전도 또는 열 복사를 통해 처리 대상을 가열하는 장치를 구비할 수 있다. 예를 들어, RTA(급속 열 어닐링) 장치, 예컨대 GRTA(가스 급속 열 어닐링) 장치 또는 LRTA(램프 급속 열 어닐링) 장치를 사용할 수 있다. 예를 들어, 제1 가열 처리로서 GRTA를 다음과 같이 수행할 수 있는데, 650℃ 내지 700℃의 고온으로 가열한 불활성 가스 중에 기판을 반송시키고, 수 분 동안 가열하고, 고온으로 가열한 불활성 가스로부터 반송 및 꺼낸다. GRTA는 단시간 동안 고온 가열 처리를 가능하게 한다.
- [0189] 제1 가열 처리에서, 물, 수소 등은 질소 또는 회가스, 예컨대 헬륨, 네온, 또는 아르곤에 함유되지 않는 것이 바람직하다. 가열 처리 장치에 도입하는 질소 또는 회가스, 예컨대 헬륨, 네온, 또는 아르곤은 6N(99.9999%) 이상, 더욱 바람직하게는 7N(99.99999%) 이상(즉, 불순물의 농도는 1ppm 이하, 더욱 바람직하게는 0.1ppm 이하)의 순도를 갖는 것이 바람직하다.
- [0190] 또한, 제1 가열 처리의 조건 또는 산화물 반도체층의 재료에 따라 산화물 반도체층(462)은 미정질막 또는 다결정막으로 결정화될 수 있다.
- [0191] 산화물 반도체층의 제1 가열 처리는 섬 형상의 산화물 반도체층(462)으로 가공하기 전의 산화물 반도체막에 또한 수행할 수 있다. 이 경우, 제1 가열 처리 후 가열 장치로부터 기판을 꺼내고, 이어서 포토리소그래피 공정을 수행한다.
- [0192] 이상에서는 산화물 반도체층(462)의 형성 직후 산화물 반도체층에 대한 탈수화 및/또는 탈수소화를 위한 가열 처리를 수행하는 예를 기술한다. 그러나 탈수화 및/또는 탈수소화를 위한 가열 처리는 산화물 반도체층의 성막 후 수행한다면 산화물 반도체층 위에 소스 또는 드레인 전극층(465b)을 적층한 후 또는 소스 또는 드레인 전극층(465b) 위에 게이트 절연층(452)을 형성한 후 수행할 수 있다.
- [0193] 다음으로, 절연층(457) 및 산화물 반도체층(462) 위에 도전막을 형성한다. 그 후, 제3 포토리소그래피 공정으로 도전막 위에 레지스트 마스크를 형성하고, 도전막을 선택적으로 에칭하여 소스 또는 드레인 전극층(465b) 및 배선층(468)을 형성하고, 이어서 레지스트 마스크를 제거한다(도 8c 참조). 소스 또는 드레인 전극층(465b) 및 배선층(468) 각각은 소스 전극층 또는 드레인 전극층(465a1 및 465a2) 각각의 재료 및 공정과 유사한 재료 및 유사한 공정으로 형성할 수 있다.
- [0194] 본 실시형태에서, 스퍼터링법으로 150nm 두께의 티타늄막을 소스 또는 드레인 전극층(465b) 및 배선층(468) 각각으로서 형성한다. 본 실시형태에서, 소스 전극층 또는 드레인 전극층(465a1 및 465a2) 및 소스 또는 드레인 전극층(465b)은 서로 동일한 티타늄막이므로, 소스 또는 드레인 전극층(465b)과 소스 전극층 또는 드레인 전극층(465a1 및 465a2) 간의 에칭 선택비는 제공되지 않을 수 있다. 그러므로 소스 또는 드레인 전극층(465b)을 에칭할 때 소스 전극층 또는 드레인 전극층(465a1 및 465a2)이 에칭되는 것을 방지하기 위하여, 산화물 반도체층(462)으로 덮지 않은 소스 또는 드레인 전극층(465a2) 위에 배선층(468)을 제공한다. 에칭 시 높은 선택비를 갖는 상이한 재료를 사용하여 소스 전극층 또는 드레인 전극층(465a1 및 465a2) 및 소스 또는 드레인 전극층(465b)을 형성하는 경우, 에칭 시 소스 또는 드레인 전극층(465a2)을 보호하는 배선층(468)은 반드시 제공할 필요는 없다.
- [0195] 산화물 반도체층(462)은 도전막의 에칭에 의해 부분적으로 에칭될 수 있다. 산화물 반도체층(462)을 필요 이상으로 제거하지 않도록 재료 및 에칭 조건을 적절히 조절한다.
- [0196] 본 실시형태에서, Ti막을 도전막으로서 사용하고, In-Ga-Zn-O계 산화물 반도체를 산화물 반도체층(462)으로서

사용하므로, 에천트로서 암모늄 수산화물/과산화수소 혼합물(31 중량% 과산화수소수:28 중량% 암모니아수:물=5:2:2)을 사용한다.

- [0197] 제3 포토리소그래피 공정에서, 몇몇 경우 산화물 반도체층(462)의 일부를 에칭하여 그루브(오목부)를 갖는 산화물 반도체층을 형성할 수 있다. 소스 또는 드레인 전극층(465b) 및 배선층(468)을 형성하기 위하여 사용한 레지스트 마스크는 잉크젯법으로 형성할 수 있다. 잉크젯법에 의한 레지스트 마스크의 형성은 포토마스크가 필요 없고, 따라서 제조 비용을 줄일 수 있다.
- [0198] 다음으로, 절연층(457), 산화물 반도체층(462), 소스 전극층 또는 드레인 전극층(465a1 및 465a2), 및 소스 또는 드레인 전극층(465b) 위에 게이트 절연층(452)을 형성한다.
- [0199] 게이트 절연층(452)은 플라즈마 CVD법, 스퍼터링법 등에 의한 산화 실리콘층, 질화 실리콘층, 산화 질화 실리콘층, 질화 산화 실리콘층, 및 산화 알루미늄층 중 하나 이상을 사용하여 단층 구조 또는 적층 구조로 형성할 수 있다. 게이트 절연층(452)이 수소를 함유하는 것을 가능한 한 방지하기 위하여, 스퍼터링법으로 게이트 절연층(452)을 형성하는 것이 바람직하다. 스퍼터링법으로 산화 실리콘막을 형성하는 경우, 타겟으로서 실리콘 타겟 또는 석영 타겟을 사용하고, 스퍼터링 가스로서 산소 또는 산소와 아르곤의 혼합 가스를 사용한다.
- [0200] 게이트 절연층(452)은 소스 전극층 또는 드레인 전극층(465a1 및 465a2) 및 소스 또는 드레인 전극층(465b) 위에 산화 실리콘층 및 질화 실리콘층이 이러한 순서로 적층되어 있는 구조를 가질 수 있다. 본 실시형태에서, 100nm 두께의 산화 실리콘막은 다음과 같이 형성하는데, 압력은 0.4Pa이고; 고주파 전력은 1.5kW이고; 분위기는 산소 및 아르곤(산소 대 아르곤의 유량 비는 25sccm:25sccm=1:1임)이고; RF 스퍼터링법을 이용한다.
- [0201] 다음으로, 제4 포토리소그래피 공정으로 레지스트 마스크를 형성하고, 에칭을 선택적으로 수행하여 게이트 절연층(452)의 일부를 제거하여, 배선층(438)에 도달하는 개구(423)를 형성한다(도 8d 참조). 도시하지 않지만, 개구(423)를 형성할 때 소스 또는 드레인 전극층(465b)에 도달하는 개구를 형성할 수 있다. 본 실시형태에서, 소스 또는 드레인 전극층(465b)에 도달하는 개구는 층간 절연층을 적층한 후 형성하고, 전기적 접속을 위한 배선층을 개구에 형성한다.
- [0202] 다음으로, 게이트 절연층(452) 및 개구(423) 위에 도전막을 형성한다. 그 후, 제5 포토리소그래피 공정을 수행하여 게이트 전극층(461)(461a 및 461b) 및 배선층(464)을 형성한다. 레지스트 마스크는 잉크젯법으로 형성할 수 있음을 알아야 한다. 잉크젯법에 의한 레지스트 마스크의 형성은 포토마스크가 필요 없고, 따라서 제조 비용을 줄일 수 있다.
- [0203] 게이트 전극층(461)(461a 및 461b) 및 배선층(464) 각각은 금속 재료, 예컨대 몰리브덴, 티타늄, 크롬, 탄탈, 텅스텐, 알루미늄, 구리, 네오디뮴, 또는 스칸듐, 또는 임의의 이러한 재료를 주성분으로서 함유하는 합금 재료를 사용하여 단층 또는 적층 구조를 갖도록 형성할 수 있다.
- [0204] 본 실시형태에서, 스퍼터링법으로 150nm 두께의 티타늄막을 게이트 전극층(461)(461a 및 461b) 및 배선층(464) 각각으로서 형성한다. 도 8e에서 게이트 전극층(461)(461a 및 461b)은 분리된 것처럼 도시하고 있지만, 도 7a에 도시한 바와 같이 소스 전극층 또는 드레인 전극층(465a1 및 465a2) 및 소스 또는 드레인 전극층(465b)에 의해 형성된 원환(torus) 형상의 공극과 겹치도록 게이트 전극층(461)(461a 및 461b)을 형성한다.
- [0205] 다음으로, 불활성 가스 분위기 또는 산소 가스 분위기에서 제2 가열 처리(바람직하게는 200℃ 이상 400℃ 이하의 온도, 예를 들어 250℃ 이상 350℃ 이하의 온도)를 수행한다. 본 실시형태에서, 제2 가열 처리는 질소 분위기에서 250℃로 1시간 동안 수행한다. 제2 가열 처리는 박막 트랜지스터(460) 위에 보호 절연층 또는 평탄화 절연층을 형성한 후 수행할 수 있다.
- [0206] 또한, 가열 처리는 공기 분위기에서 100℃ 이상 200℃ 이하의 온도로 1시간 이상 30시간 이하 동안 수행할 수 있다. 이러한 가열 처리는 고정된 가열 온도에서 수행할 수 있다. 대안으로, 가열 온도의 다음과 같은 변화를 복수 회 반복적으로 수행할 수 있는데, 가열 온도를 실온으로부터 100℃ 이상 200℃ 이하의 온도로 높이고, 이어서 실온으로 낮춘다. 이러한 가열 처리는 산화물 절연층의 형성 전에 감압하에서 수행할 수 있다. 감압하에서, 가열 처리 시간은 단축할 수 있다.
- [0207] 상술한 공정을 통해, 수소, 수분, 수소화물, 및 수산화물의 농도가 감소한 산화물 반도체층(462)을 포함하는 박막 트랜지스터(460)를 형성할 수 있다(도 8e 참조). 박막 트랜지스터(460)는 실시형태 1에서 기술한 화소부(1008)의 각 화소에 사용하는 박막 트랜지스터로서 사용할 수 있다.
- [0208] 박막 트랜지스터(460) 위에 보호 절연층 또는 평탄화를 위한 평탄화 절연층을 제공할 수 있다. 도시하지 않지

만, 게이트 절연층(452) 및 보호 절연층 및/또는 평탄화 절연층에 소스 또는 드레인 전극층(465b)에 도달하는 개구를 형성하고, 소스 또는 드레인 전극층(465b)에 전기적으로 접속하는 배선층을 개구에 형성한다.

- [0209] 상술한 바와 같이 산화물 반도체막의 성장 시 반응 분위기 내의 잔류 수분을 제거함으로써, 산화물 반도체막의 수소 및 수소화물의 농도를 줄일 수 있다. 따라서, 산화물 반도체막을 안정화할 수 있다.
- [0210] 이러한 방식으로, 산화물 반도체층을 사용하는 박막 트랜지스터를 포함하는 액정 표시 장치의 표시부에 포함된 복수의 화소에서 누설 전류를 억제할 수 있다. 따라서, 축적 커패시터에 전압을 유지하기 위한 시간을 증가시킬 수 있고, 액정 표시 장치에 정지 화상 등을 표시하는 경우 전력 소비를 낮출 수 있다. 또한, 정지 화상을 표시하는 경우 제어 신호의 공급을 중단함으로써, 전력 소비를 더욱 줄일 수 있다. 또한, 정지 화상과 동화상을 오동작 없이 스위칭할 수 있다. 본 실시형태에서, 채널의 형상은 원형이고, 소스 전극층 및 드레인 전극층은 상이한 층을 사용하여 형성하고, 이로 인해 채널 길이를 줄일 수 있고, 채널 폭을 넓힐 수 있다. 이러한 방식으로, 큰 채널 폭을 갖는 박막 트랜지스터를 비교적 좁은 면적에서도 형성할 수 있고, 이는 큰 전류에 대한 스위칭을 가능하게 한다. 또한, 채널 폭은 크지만, 산화물 반도체가 매우 정제되어 있으므로 오프-상태 전류가 매우 작다.
- [0211] 실시형태 3은 다른 실시형태에서 기술하는 임의의 구조와 적절히 조합하여 실시할 수 있다.
- [0212] (실시형태 4)
- [0213] 본 실시형태의 박막 트랜지스터는 도 9a 및 9b를 이용하여 기술한다. 실시형태 4에서, 본 명세서에서 개시하는 액정 표시 장치에 적용할 수 있는 박막 트랜지스터의 다른 예를 기술한다. 실시형태 2와 동일한 부분 및 유사한 기능을 갖는 부분 및 공정에는 실시형태 2를 적용할 수 있고, 그 기제는 반복하지 않음을 알아야 한다. 또한, 동일한 부분에 대한 구체적인 기제는 생략한다. 본 실시형태에서 기술하는 박막 트랜지스터(425 및 426) 각각은 실시형태 1에서 기술한 화소부(1008)의 각 화소에서의 박막 트랜지스터로서 사용할 수 있다.
- [0214] 도 9a 및 9b는 박막 트랜지스터의 단면 구조의 예를 나타낸다. 도 9a 및 9b에 도시한 박막 트랜지스터(425 및 426) 각각은 도전층과 게이트 전극층 사이에 산화물 반도체층이 개재되어 있는 구조를 갖는 박막 트랜지스터의 한 종류이다.
- [0215] 도 9a 및 9b에서, 실리콘 기판(420)을 사용하고, 실리콘 기판(420) 위에 제공된 절연층(422) 위에 박막 트랜지스터(425 및 426)를 각각 제공한다.
- [0216] 도 9a에서, 도전층(427)은 실리콘 기판(420) 위에 제공된 절연층(422)과 절연층(407) 사이에서 적어도 산화물 반도체층(412)과 완전히 겹치도록 제공되어 있다.
- [0217] 도 9b는 절연층(422)과 절연층(407) 사이의 도전층이 에칭으로 가공되어 도전층(424)이 되고, 산화물 반도체층(412)의 채널 영역을 포함하는 적어도 일부와 겹치는 예이다.
- [0218] 도전층(427 및 424) 각각은 나중에 수행하는 가열 처리의 온도를 견디는 금속 재료로 형성한다. 티타늄(Ti), 탄탈(Ta), 텅스텐(W), 몰리브덴(Mo), 크롬(Cr), 네오디뮴(Nd), 및 스칸듐(Sc)으로부터 선택된 원소, 임의의 상술한 원소를 성분으로서 함유하는 합금, 임의의 상술한 원소의 조합을 포함하는 합금막, 임의의 상술한 원소를 성분으로서 함유하는 질화물 등을 사용할 수 있다. 단층 구조 또는 적층 구조를 이용할 수 있고, 예를 들어 텅스텐층의 단층, 질화 텅스텐층과 텅스텐층의 적층 구조 등을 이용할 수 있다.
- [0219] 도전층(427 및 424) 각각의 전위는 박막 트랜지스터(425 및 426) 각각의 게이트 전극층(411)의 전위와 동일하거나 상이할 수 있고, 도전층(427 및 424) 각각은 제2 게이트 전극층으로서 기능할 수 있다. 도전층(427 및 424) 각각의 전위는 GND 또는 0V와 같은 고정 전위일 수 있다.
- [0220] 박막 트랜지스터(425 및 426)의 전기적 특성은 각각 도전층(427 및 424)에 의해 제어될 수 있다.
- [0221] 실시형태 4는 다른 실시형태에서 기술하는 임의의 구조와 적절히 조합하여 실시할 수 있다.
- [0222] (실시형태 5)
- [0223] 실시형태 5에서, 본 명세서에서 개시하는 액정 표시 장치에 적용할 수 있는 박막 트랜지스터의 예를 기술한다.
- [0224] 본 실시형태의 박막 트랜지스터 및 박막 트랜지스터를 제조하기 위한 방법의 한 실시형태는 도 10a 내지 10e를 이용하여 기술한다.
- [0225] 도 10a 내지 10e는 박막 트랜지스터의 단면 구조의 예를 나타낸다. 도 10a 내지 10e에 도시한 박막 트랜지스터

(390)는 역 스테이지형 박막 트랜지스터로도 칭하는 보텀-게이트 구조의 한 종류이다.

- [0226] 박막 트랜지스터(390)는 싱글-게이트 박막 트랜지스터를 사용하여 기술하지만, 필요에 따라 복수의 채널 형성 영역을 포함하는 멀티-게이트 박막 트랜지스터를 형성할 수 있다.
- [0227] 이하에서, 기판(394) 위에 박막 트랜지스터(390)를 제조하기 위한 공정은 도 10a 내지 10e를 이용하여 기술한다.
- [0228] 우선, 절연 표면을 갖는 기판(394) 위에 도전막을 형성하고, 이어서 제1 포토리소그래피 공정을 수행하여 게이트 전극층(391)을 형성한다. 게이트 전극층의 단부는 테이퍼 형상을 갖는 것이 바람직한데, 이는 그 위에 적층하는 게이트 절연층과의 피복성이 개선되기 때문이다. 레지스트 마스크는 잉크젯법으로 형성할 수 있음을 알아야 한다. 잉크젯법에 의한 레지스트 마스크의 형성은 포토마스크가 필요 없고, 따라서 제조 비용을 줄일 수 있다.
- [0229] 절연 표면을 갖는 기판(394)으로서 사용할 수 있는 기판에 대한 특별한 제한은 없지만, 기판(394)은 적어도 나중에 수행하는 가열 처리를 충분히 견디는 높은 내열성을 갖는 것이 필요하다.
- [0230] 예를 들어, 유리 기판을 기판(394)으로서 사용하는 경우, 나중에 수행하는 가열 처리의 온도가 높다면, 왜곡점이 730°C 이상인 유리 기판을 사용하는 것이 바람직하다. 유리 기판으로서, 예를 들어 유리 재료, 예컨대 알루미늄노실리케이트 유리, 알루미늄노보로실리케이트 유리, 또는 바륨 보로실리케이트 유리를 사용한다. 산화붕소보다 많은 양의 산화바륨(BaO)을 함유함으로써, 유리 기판은 내열성이 되고 더욱 실용적이 됨을 알아야 한다. 그러므로 B₂O₃보다 많은 BaO를 함유하는 유리 기판을 사용하는 것이 바람직하다.
- [0231] 유리 기판 대신 절연체로 형성한 기판, 예컨대 세라믹 기판, 석영 유리 기판, 또는 사파이어 기판을 기판(394)으로서 사용할 수 있음을 알아야 한다. 대안으로, 결정화 유리 기판 등을 사용할 수 있다. 또한, 플라스틱 기판 등을 적절히 사용할 수 있다.
- [0232] 기초막으로서 기능하는 절연막은 기판(394)과 게이트 전극층(391) 사이에 제공할 수 있다. 기초막은 기판(394)으로부터의 불순물 원소의 확산을 방지하는 기능이 있고, 질화 실리콘막, 산화 실리콘막, 질화 산화 실리콘막, 및 산화 질화 실리콘막 중 하나 이상을 사용하여 단층 구조 또는 적층 구조로 형성할 수 있다.
- [0233] 게이트 전극층(391)은 금속 재료, 예컨대 몰리브덴, 티타늄, 크롬, 탄탈, 텅스텐, 알루미늄, 구리, 네오디뮴, 또는 스칸듐, 또는 임의의 이러한 재료를 주성분으로서 함유하는 합금 재료를 사용하여 단층 구조 또는 적층 구조로 형성할 수 있다.
- [0234] 예를 들어, 게이트 전극층(391)의 2층 구조로서, 알루미늄층 및 그 위에 적층된 몰리브덴층의 2층 구조, 구리층 및 그 위에 적층된 몰리브덴층의 2층 구조, 구리층 및 그 위에 적층된 질화 티타늄층 또는 질화 탄탈층의 2층 구조, 질화 티타늄층 및 몰리브덴층의 2층 구조, 및 질화 텅스텐층 및 텅스텐층의 2층 구조 중 임의의 2층 구조가 바람직하다. 3층 구조로서, 텅스텐층 또는 질화 텅스텐층, 알루미늄과 실리콘의 합금 또는 알루미늄과 티타늄의 합금의 층, 및 질화 티타늄층 또는 티타늄층의 적층체가 바람직하다. 게이트 전극층은 투광성 도전막을 사용하여 형성할 수 있다. 투광성 도전막의 재료의 예로서, 투광성 도전성 산화물 등을 제공할 수 있다.
- [0235] 다음으로, 게이트 전극층(391) 위에 게이트 절연층(397)을 형성한다.
- [0236] 게이트 절연층(397)은 플라즈마 CVD법, 스퍼터링법 등에 의한 산화 실리콘층, 질화 실리콘층, 산화 질화 실리콘층, 질화 산화 실리콘층, 및 산화 알루미늄층 중 하나 이상을 사용하여 단층 구조 또는 적층 구조로 형성할 수 있다. 게이트 절연층(397)이 수소를 함유하는 것을 가능한 한 방지하기 위하여, 스퍼터링법으로 게이트 절연층(397)을 형성하는 것이 바람직하다. 스퍼터링법으로 산화 실리콘막을 형성하는 경우, 타겟으로서 실리콘 타겟 또는 석영 타겟을 사용하고, 스퍼터링 가스로서 산소 또는 산소와 아르곤의 혼합 가스를 사용한다.
- [0237] 게이트 절연층(397)은 게이트 전극층(391) 위에 질화 실리콘층 및 산화 실리콘층이 이러한 순서로 적층되어 있는 구조를 가질 수 있다. 예를 들어, 스퍼터링법으로 50nm 이상 200nm 이하의 두께를 갖는 질화 실리콘층(SiN_y(y>0))을 제1 게이트 절연층으로서 형성하고, 이어서 5nm 이상 300nm 이하의 두께를 갖는 산화 실리콘층(SiO_x(x>0))을 제1 게이트 절연층 위의 제2 게이트 절연층으로서 적층하는 방식으로, 100nm 두께의 게이트 절연층을 형성한다.
- [0238] 게이트 절연층(397) 및 산화물 반도체막(393)에서 산화물 반도체막이 수소, 수산기 및 수분을 가능한 한 함유하지 않기 위하여, 막 형성 전에 스퍼터링 장치의 예비가열 챔버에서 게이트 전극층(391)을 구비한 기판(394) 또

는 게이트 전극층(391) 및 게이트 절연층(397)을 구비한 기판(394)을 예비가열하여, 기판(394)에 흡착된 수소 또는 수분과 같은 불순물을 제거하고, 배기를 수행하는 것이 바람직하다. 예비가열의 온도는 100℃ 이상 400℃ 이하, 바람직하게는 150℃ 이상 300℃ 이하이다. 예비가열 챔버에 제공된 배기 유닛은 크라이오펌프가 바람직하다. 이러한 예비가열 공정은 반드시 수행할 필요는 없다. 이러한 예비가열 공정은 산화물 절연층(396)을 형성하기 전에 도 10c에 도시한 소스 전극층(395a) 및 드레인 전극층(395b)을 구비한 기판(394)에 대하여 유사한 방식으로 수행할 수 있다.

- [0239] 다음으로, 게이트 절연층(397) 위에 스퍼터링법으로 산화물 반도체막(393)을 2nm 이상 200nm 이하, 바람직하게는 5nm 이상 30nm 이하의 두께로 형성한다(도 10a 참조).
- [0240] 스퍼터링법으로 산화물 반도체막(393)을 형성하기 전에, 아르곤 가스를 도입하고 플라즈마를 발생시키는 역 스퍼터링을 수행하여, 게이트 절연층(397)의 표면에 있는 먼지를 제거하는 것이 바람직하다. 역 스퍼터링은 타깃 측에 전압을 인가하지 않으면서 아르곤 분위기에서 RF 전원을 사용하여 기판 측에 전압을 인가하여 표면을 개질하는 방법을 의미한다. 아르곤 분위기 대신 질소 분위기, 헬륨 분위기, 산소 분위기 등을 이용할 수 있다.
- [0241] 산화물 반도체막(393)은 In-Ga-Zn-O계 산화물 반도체막, In-Sn-Zn-O계 산화물 반도체막, In-Al-Zn-O계 산화물 반도체막, Sn-Ga-Zn-O계 산화물 반도체막, Al-Ga-Zn-O계 산화물 반도체막, Sn-Al-Zn-O계 산화물 반도체막, In-Zn-O계 산화물 반도체막, Sn-Zn-O계 산화물 반도체막, Al-Zn-O계 산화물 반도체막, In-O계 산화물 반도체막, Sn-O계 산화물 반도체막, 또는 Zn-O계 산화물 반도체막을 사용하여 형성한다. 본 실시형태에서, 산화물 반도체막(393)은 In-Ga-Zn-O계 산화물 반도체 타깃을 사용하여 스퍼터링법으로 형성한다. 구체적으로, $In_2O_3:Ga_2O_3:ZnO=1:1:1$ [몰%] (즉, In:Ga:Zn=1:1:0.5 [원자%])의 조성비를 갖는 타깃을 사용한다. 대안으로, In:Ga:Zn=1:1:1 [원자%] 또는 In:Ga:Zn=1:1:2 [원자%]의 조성비를 갖는 타깃을 사용할 수 있다. 본 실시형태에서, 산화물 반도체 타깃의 충전율은 90% 이상 100% 이하, 바람직하게는 95% 이상 99.9% 이하이다. 높은 충전율을 갖는 산화물 반도체 타깃을 사용하여 성막한 산화물 반도체막은 높은 밀도를 갖는다. 산화물 반도체막(393)의 스퍼터링 시 분위기는 희가스(전형적으로 아르곤) 분위기, 산소 분위기, 또는 희가스(전형적으로 아르곤)와 산소의 혼합 분위기일 수 있다. 타깃은 SiO_2 를 2 중량% 이상 10 중량% 이하로 함유할 수 있다.
- [0242] 산화물 반도체막(393)은 다음과 같이 기판(394) 위에 형성하는데, 기판을 감압 상태의 챔버에 유지하고, 기판을 실온 또는 400℃ 미만의 온도로 가열하고; 챔버 내의 잔류 수분을 제거하고; 수소 및 수분이 제거된 스퍼터링 가스를 도입하고, 상술한 타깃을 사용한다. 챔버 내의 잔류 수분을 제거하기 위하여, 흡착형 진공 펌프를 사용하는 것이 바람직하다. 예를 들어, 바람직하게는 크라이오펌프, 이온 펌프, 또는 티타늄 서블리메이션 펌프를 사용한다. 배기 유닛으로서, 콜드 트랩이 추가되어 있는 터보 분자 펌프를 사용할 수 있다. 크라이오펌프를 사용하여 배기를 수행하는 챔버에서, 수소 분자, 수소 원자를 포함하는 화합물, 예컨대 물(H_2O), 탄소 원자를 포함하는 화합물 등이 배기된다. 따라서, 챔버에서 형성된 산화물 반도체막에 포함된 불순물의 농도를 줄일 수 있다. 챔버에 남아있는 수분은 스퍼터링 성막 시 크라이오펌프로 제거하고, 산화물 반도체막(393)의 성막 시 기판 온도는 실온 이상 400℃ 미만의 온도를 가질 수 있다.
- [0243] 성막 조건의 예로서 다음과 같은 조건을 이용하는데, 기판과 타깃 사이의 거리는 100mm이고; 압력은 0.6Pa이고; 직류(DC) 전원은 0.5kW이고; 분위기는 산소(산소의 유량 비는 100%임)이다. 성막 시 발생한 분말 물질(파티클 또는 분진으로도 칭함)을 줄일 수 있고, 막 두께를 균일하게 할 수 있기 때문에, 펄스형 직류(DC) 전원을 사용하는 것이 바람직하다.
- [0244] 스퍼터링법의 예는 고주파 전원을 스퍼터링 전원으로 사용하는 RF 스퍼터링법, DC 전원을 사용하는 DC 스퍼터링법, 및 바이어스를 펄스 방식으로 인가하는 펄스형 DC 스퍼터링법을 포함한다. RF 스퍼터링법은 절연막을 형성하는 경우 주로 이용하고, DC 스퍼터링법은 금속막을 형성하는 경우 주로 이용한다.
- [0245] 서로 상이한 재료로 형성하는 복수의 타깃을 세팅할 수 있는 멀티-타깃 스퍼터링 장치를 사용할 수 있다. 멀티-타깃 스퍼터링 장치로, 동일한 챔버에서 상이한 재료의 막들을 적층하여 형성할 수 있거나, 동일한 챔버에서 방전으로 복수의 종류의 재료를 동시에 성막할 수 있다.
- [0246] 대안으로, 챔버 내부에 자석 시스템을 구비하고 마그네트론 스퍼터링법을 위하여 사용하는 스퍼터링 장치, 또는 글로 방전을 이용하지 않으면서 마이크로파를 이용하여 발생한 플라즈마를 사용하는 ECR 스퍼터링법을 위하여 사용하는 스퍼터링 장치를 사용할 수 있다.
- [0247] 또한, 스퍼터링법을 이용하는 성막 방법으로서, 성막 중에 타깃 물질과 스퍼터링 가스 성분이 서로 화학적으로

반응하여 그들의 화합물 박막을 형성하는 반응성 스퍼터링법, 또는 성막 중에 전압을 기관에도 인가하는 바이어스 스퍼터링법을 이용할 수 있다.

- [0248] 다음으로, 제2 포토리소그래피 공정으로 산화물 반도체막을 섬 형상의 산화물 반도체층(399)으로 가공한다(도 10b 참조). 섬 형상의 산화물 반도체층(399)을 형성하기 위한 레지스트 마스크는 잉크젯법을 이용하여 형성할 수 있다. 잉크젯법에 의한 레지스트 마스크의 형성은 포토마스크가 필요 없고, 따라서 제조 비용을 줄일 수 있다.
- [0249] 게이트 절연층(397)에 콘택트 홀(contact hole)을 형성하는 경우, 그 공정은 산화물 반도체층(399)의 형성 시 수행할 수 있다.
- [0250] 산화물 반도체막(393)의 에칭을 위하여, 습식 에칭 및 건식 에칭 중 어느 하나 또는 둘 다를 이용할 수 있다.
- [0251] 건식 에칭을 위한 에칭 가스로서, 바람직하게는 염소를 함유하는 가스(염소계 가스, 예컨대 염소(Cl_2), 붕소 클로라이드(BCl_3), 실리콘 클로라이드($SiCl_4$), 또는 탄소 테트라클로라이드(CCl_4))를 사용한다.
- [0252] 대안으로, 불소를 함유하는 가스(불소계 가스, 예컨대 탄소 테트라플루오라이드(CF_4), 황 플루오라이드(SF_6), 질소 플루오라이드(NF_3), 또는 트리플루오로메탄(CHF_3)); 수소 브로마이드(HBr); 산소(O_2); 이러한 가스에 헬륨(He) 또는 아르곤(Ar)과 같은 희가스를 첨가한 임의의 가스 등을 사용할 수 있다.
- [0253] 건식 에칭법으로서, 평행 평판형 RIE(반응성 이온 에칭)법 또는 ICP(유도 결합형 플라즈마) 에칭법을 이용할 수 있다. 층을 원하는 형상으로 에칭하기 위하여, 에칭 조건(코일 형상 전극에 인가되는 전력량, 기관 축 전극에 인가되는 전력량, 기관 축 전극의 온도 등)은 적절히 조절한다.
- [0254] 습식 에칭을 위하여 사용한 에천트로서, 인산, 아세트산 및 질산의 혼합 용액, 암모늄 수산화물/과산화수소 혼합물(31 중량% 과산화수소수:28 중량% 암모니아수:물=5:2:2) 등을 사용할 수 있다. IT007N(KANTO CHEMICAL CO., INC. 제조)을 사용할 수 있다.
- [0255] 습식 에칭 후, 에천트는 에칭된 재료와 함께 세정을 통해 제거한다. 제거된 재료를 함유하는 에천트의 폐수는 정제할 수 있고, 폐수에 함유된 재료는 재사용할 수 있다. 에칭 후의 폐수로부터 산화물 반도체에 포함된 인듐과 같은 재료를 수집 및 재사용함으로써 자원을 효과적으로 사용할 수 있고 비용을 줄일 수 있다.
- [0256] 재료에 따라 에칭 조건(예컨대 에천트, 에칭 시간, 또는 온도)을 적절히 조절하여 재료를 원하는 형상으로 에칭할 수 있다.
- [0257] 이 경우, 후속 공정으로 도전막을 형성하기 전에 역 스퍼터링을 수행하여 산화물 반도체층(399) 및 게이트 절연층(397)의 표면으로부터 레지스트 잔류물 등을 제거하는 것이 바람직함을 알아야 한다.
- [0258] 다음으로, 게이트 절연층(397) 및 산화물 반도체층(399) 위에 도전막을 형성한다. 도전막은 스퍼터링법 또는 진공 증착법으로 형성할 수 있다. 도전막의 재료로서, Al, Cr, Cu, Ta, Ti, Mo, 및 W로부터 선택된 원소; 임의의 이러한 원소를 성분으로서 함유하는 합금; 임의의 이러한 원소를 조합하여 함유하는 합금막 등을 제공할 수 있다. 또한, 망간, 마그네슘, 지르코늄, 베릴륨, 및 이트륨으로부터 선택된 하나 이상의 재료를 사용할 수 있다. 또한, 도전막은 단층 구조 또는 2층 이상의 적층 구조를 가질 수 있다. 예를 들어, 실리콘을 포함하는 알루미늄막의 단층 구조, 알루미늄막 위에 티타늄막이 적층되어 있는 2층 구조, 티타늄막, 알루미늄막 및 티타늄막이 이러한 순서로 적층되어 있는 3층 구조 등을 제공할 수 있다. 대안으로, 티타늄(Ti), 탄탈(Ta), 텅스텐(W), 몰리브덴(Mo), 크롬(Cr), 네오디뮴(Nd), 및 스칸듐(Sc)으로부터 선택된 하나 이상의 원소 및 알루미늄(Al)을 함유하는 막, 합금막, 또는 질화물막을 사용할 수 있다.
- [0259] 다음으로, 제3 포토리소그래피 공정으로 도전막 위에 레지스트 마스크를 형성한다. 그 후, 선택적으로 에칭하여 소스 전극층 및 드레인 전극층(395a 및 395b)을 형성하고, 이어서 레지스트 마스크를 제거한다(도 10c 참조).
- [0260] 제3 포토리소그래피 공정에서 레지스트 마스크의 형성 시 노광은 극자외선 광, KrF 레이저 광, 또는 ArF 레이저 광을 이용하여 수행할 수 있다. 형성되는 박막 트랜지스터의 채널 길이 L은 산화물 반도체층(399) 위에서 서로 인접해 있는 소스 전극층의 하단부와 드레인 전극층의 하단부 사이의 피치에 의해 결정된다. 25nm 미만의 채널 길이(L)를 위하여 노광을 수행하는 경우, 제3 포토리소그래피 공정에서 레지스트 마스크의 형성 시 노광은 수나노미터 내지 수십 나노미터의 매우 짧은 파장을 갖는 초극자외선 광을 이용하여 수행한다. 초극자외선 광에

의한 노광 시 분해능은 높고 초점 깊이는 크다. 따라서, 박막 트랜지스터의 채널 길이(L)는 10nm 이상 1000nm 이하로 할 수 있고, 회로의 동작 속도를 높일 수 있고, 매우 작은 오프-상태 전류에 의한 낮은 전력 소비를 달성할 수 있다.

- [0261] 산화물 반도체층(399)은 도전막의 에칭에 의해 부분적으로 에칭될 수 있다. 도전막의 에칭 시 산화물 반도체층(399)을 제거하지 않도록 재료 및 에칭 조건을 적절히 조절한다.
- [0262] 본 실시형태에서, Ti막을 도전막으로서 사용하고, In-Ga-Zn-O계 산화물 반도체를 산화물 반도체층(399)으로서 사용하므로, 에천트로서 암모늄 수산화물/과산화수소 혼합물(암모니아, 물, 및 과산화수소수의 혼합물)을 사용한다.
- [0263] 제3 포토리소그래피 공정에서, 몇몇 경우 산화물 반도체층(399)의 일부를 에칭하여 그루브(오목부)를 갖는 산화물 반도체층을 형성할 수 있다. 소스 전극층 및 드레인 전극층(395a 및 395b)을 형성하기 위하여 사용한 레지스트 마스크는 잉크젯법으로 형성할 수 있다. 잉크젯법에 의한 레지스트 마스크의 형성은 포토마스크가 필요 없고, 따라서 제조 비용을 줄일 수 있다.
- [0264] 포토리소그래피 공정에서의 포토마스크의 수 및 공정의 수를 줄이기 위하여, 광이 복수의 세기를 갖도록 투과되는 노광 마스크인 멀티-톤 마스크를 사용하여 형성한 레지스트 마스크를 사용하여 에칭을 수행할 수 있다. 멀티-톤 마스크를 사용하여 형성한 레지스트 마스크는 복수의 막 두께를 갖고, 에칭을 수행함으로써 형상을 더욱 변화시킬 수 있으므로, 레지스트 마스크는 상이한 패턴을 제공하는 복수의 에칭 공정에 사용할 수 있다. 그러므로 멀티-톤 마스크를 사용함으로써 적어도 두 종류의 상이한 패턴에 대응하는 레지스트 마스크를 형성할 수 있다. 따라서, 노광 마스크의 수를 줄일 수 있고, 대응하는 포토리소그래피 공정의 수도 줄일 수 있어, 제조 공정의 간소화를 실현할 수 있다.
- [0265] 레지스트 마스크의 제거 후, N₂O, N₂, 또는 Ar과 같은 가스를 사용하는 플라즈마 처리를 수행하여 노출되어 있는 산화물 반도체층(399)의 표면에 흡착된 물 등을 제거할 수 있다. 플라즈마 처리는 산소와 아르곤의 혼합 가스를 사용하여 수행할 수 있다.
- [0266] 다음으로, 산화물 반도체층의 일부와 접하는 보호 절연막으로서 기능하는 산화물 절연층인 산화물 절연층(396)을 형성한다(도 10d 참조). 플라즈마 처리를 수행하는 경우, 플라즈마 처리 후 산화물 반도체층(399)을 대기에 노출하지 않으면서 연속적으로 산화물 절연층(396)을 형성할 수 있다. 본 실시형태에서, 산화물 반도체층(399)이 소스 전극층(395a)과 겹치지 않고 드레인 전극층(395b)과도 겹치지 않는 영역에서 산화물 반도체층(399)은 산화물 절연층(396)과 접한다.
- [0267] 본 실시형태에서, 산화물 절연층(396)으로서, 결함(defect)을 포함하는 산화 실리콘층을 다음과 같이 형성하는데, 섬 형상의 산화물 반도체층(399), 소스 전극층(395a), 및 드레인 전극층(395b)이 그 위에 형성되어 있는 기판(394)을 실온 내지 100℃ 미만의 온도로 가열하고; 수소 및 수분이 제거된 고순도 산소를 함유하는 스퍼터링 가스를 도입하고; 실리콘 반도체 타겟을 사용한다.
- [0268] 예를 들어, 본 실시형태에서 다음과 같이 산화 실리콘막을 형성하는데, 붕소로 도핑하고, 6N의 순도를 갖는 실리콘 타겟(0.01Ω·cm의 저항률을 가짐)을 사용하고; 타겟과 기판 사이의 거리(T-S 거리)는 89mm이고; 압력은 0.4Pa이고; 직류(DC) 전원은 6kW이고; 분위기는 산소(산소의 유량 비는 100%임)이고; 펄스형 DC 스퍼터링법을 이용한다. 본 실시형태에서 산화 실리콘막의 두께는 300nm이다. 실리콘 타겟 대신 석영(바람직하게는 쿼트)을 사용하여 산화 실리콘막을 형성할 수 있다.
- [0269] 이 경우, 산화물 절연층(396)의 성막 시 챔버 내의 잔류 수분을 제거하는 것이 바람직하다. 이는, 산화물 반도체층(399) 및 산화물 절연층(396)이 수소, 수산기 및/또는 수분을 함유하는 것을 방지하기 위해서이다.
- [0270] 챔버 내의 잔류 수분을 제거하기 위하여, 흡착형 진공 펌프를 사용하는 것이 바람직하다. 예를 들어, 바람직하게는 크라이오펌프, 이온 펌프, 또는 티타늄 서블리메이션 펌프를 사용한다. 배기 유닛으로서, 콜드 트랩이 부가되어 있는 터보 분자 펌프를 사용할 수 있다. 크라이오펌프를 사용하여 배기를 수행하는 챔버에서, 수소 분자, 수소 원자를 포함하는 화합물, 예컨대 물(H₂O) 등이 배기된다. 따라서, 챔버에서 형성된 산화물 절연층(396)에 포함된 불순물의 농도를 줄일 수 있다.
- [0271] 산화물 절연층(396)으로서, 산화 실리콘층 대신 산화 질화 실리콘층, 산화 알루미늄층, 산화 질화 알루미늄층 등을 사용할 수 있다.

- [0272] 또한, 산화물 절연층(396)의 형성 후 산화물 절연층(396)이 산화물 반도체층(399)과 접해 있는 상태에서 100℃ 내지 400℃로 가열 처리를 수행할 수 있다. 본 실시형태의 산화물 절연층(396)은 많은 결함을 포함하므로, 이러한 가열 처리를 통해 산화물 반도체층(399)에 포함된 수소, 수분, 수산기 또는 수소화물과 같은 불순물을 산화물 절연층(396)에 확산시켜, 산화물 반도체층(399)에 포함된 불순물을 더욱 감소시킨다.
- [0273] 상술한 공정을 통해, 수소, 수분, 수산기 및/또는 수소화물의 농도가 감소한 산화물 반도체층(392)을 포함하는 박막 트랜지스터(390)를 형성할 수 있다(도 10e 참조).
- [0274] 상술한 바와 같이 산화물 반도체막의 성막 시 반응 분위기 내의 잔류 수분을 제거함으로써, 산화물 반도체막의 수소 및 수소화물의 농도를 줄일 수 있다. 따라서, 산화물 반도체막을 안정화할 수 있다.
- [0275] 산화물 절연층 위에 보호 절연층을 제공할 수 있다. 본 실시형태에서, 보호 절연층(398)은 산화물 절연층(396) 위에 형성한다. 보호 절연층(398)으로서, 질화 실리콘막, 질화 산화 실리콘막, 질화 알루미늄막, 또는 질화 산화 알루미늄막 등을 사용할 수 있다. 본 실시형태에서, 보호 절연층(398)은 질화 실리콘막을 사용하여 형성한다.
- [0276] 보호 절연층(398)으로서, 그 위에 산화물 절연층(396)을 포함하는 층들이 형성되어 있는 기판(394)을 100℃ 내지 400℃의 온도로 가열하고, 수소 및 수분이 제거된 고순도 질소를 함유하는 스퍼터링 가스를 도입하고, 실리콘 반도체 타겟을 사용함으로써 질화 실리콘막을 형성한다. 이 경우에도, 산화물 절연층(396)의 경우처럼 보호 절연층(398)의 형성 시 처리 챔버로부터 잔류 수분을 제거하는 것이 바람직하다.
- [0277] 보호 절연층(398)을 형성하는 경우, 보호 절연층(398)의 형성 시 기판(394)을 100℃ 내지 400℃의 온도로 가열함으로써, 산화물 반도체층에 포함된 수소 및/또는 수분을 산화물 절연층으로 확산시킬 수 있다. 이 경우, 산화물 절연층(396)의 형성 후 가열 처리는 반드시 수행할 필요는 없다.
- [0278] 산화 실리콘층을 산화물 절연층(396)으로서 형성하고, 질화 실리콘층을 보호 절연층(398)으로서 적층하는 경우, 산화 실리콘층 및 질화 실리콘층은 공통 실리콘 타겟을 사용하여 동일한 챔버에서 형성할 수 있다. 우선, 산소를 함유하는 스퍼터링 가스를 도입하고, 챔버 내에 장착된 실리콘 타겟을 사용하여 산화 실리콘층을 형성하고; 이어서 스퍼터링 가스를 질소를 함유하는 스퍼터링 가스로 바꾸고, 동일한 실리콘 타겟을 사용하여 질화 실리콘층을 형성한다. 산화 실리콘층 및 질화 실리콘층을 대기에 노출하지 않으면서 연속적으로 형성할 수 있으므로, 수소 또는 수분과 같은 불순물이 산화 실리콘층의 표면에 흡착되는 것을 방지할 수 있다. 이 경우, 산화물 절연층(396)으로서 산화 실리콘층을 형성하고, 보호 절연층(398)으로서 질화 실리콘층을 적층한 후, 산화물 반도체층에 포함된 수소 또는 수분을 산화물 절연층에 확산시키기 위한 가열 처리(100℃ 내지 400℃의 온도)를 수행할 수 있다.
- [0279] 보호 절연층의 형성 후, 가열 처리는 대기에서 100℃ 이상 200℃ 이하의 온도로 1시간 이상 30시간 이하 동안 수행할 수 있다. 이러한 가열 처리는 고정된 가열 온도에서 수행할 수 있다. 대안으로, 가열 온도의 다음과 같은 변화를 복수 회 반복적으로 수행할 수 있는데, 가열 온도를 실온으로부터 100℃ 이상 200℃ 이하의 온도로 높이고, 이어서 실온으로 낮춘다. 또한, 이러한 가열 처리는 산화물 절연막의 형성 전에 감압하에서 수행할 수 있다. 감압하에서, 가열 처리 시간은 단축할 수 있다. 이러한 가열 처리로, 노멀리-오프(normally-off) 박막 트랜지스터(n채널 트랜지스터의 경우 임계 전압은 플러스임)를 얻을 수 있다. 그러므로 액정 표시 장치의 신뢰성을 개선할 수 있다.
- [0280] 또한, 게이트 절연층 위에 채널 형성 영역이 형성되는 산화물 반도체층의 형성 시 반응 분위기 내의 잔류 수분을 제거함으로써, 산화물 반도체층의 수소 및 수소화물의 농도를 줄일 수 있다.
- [0281] 상술한 공정은 액정 표시 패널, 전계발광 표시 패널, 전자 잉크를 사용하는 표시 장치 등의 백플레인(backplane)(그 위에 박막 트랜지스터가 형성되어 있는 기판)의 제조에 이용할 수 있다. 상술한 공정은 400℃ 이하의 온도에서 수행하므로, 1미터 이상의 변 및 1밀리미터 이하의 두께를 갖는 유리 기판을 사용하는 제조 공정에 적용할 수 있다. 또한, 전체 공정은 400℃ 이하의 처리 온도에서 수행할 수 있으므로, 너무 많은 에너지를 소비하지 않으면서 표시 패널을 제조할 수 있다.
- [0282] 상술한 바와 같이 제조한 산화물 반도체층을 사용하는 박막 트랜지스터에서 오프-상태 전류를 감소시킬 수 있다. 그러므로 박막 트랜지스터를 액정 표시 장치의 표시부의 복수의 화소 각각에 사용함으로써, 축적 커패시터에 전압을 유지하기 위한 기간을 연장할 수 있고, 액정 표시 장치에 정지 화상 등을 표시할 때의 전력 소비를 낮출 수 있다. 또한, 정지 화상을 표시하는 경우 제어 신호의 공급을 중단함으로써, 전력 소비를 더욱 낮출 수

있다. 또한, 정지 화상과 동화상을 오동작 없이 스위칭할 할 수 있다.

- [0283] 실시형태 5는 다른 실시형태에서 기술하는 임의의 구조와 적절히 조합하여 실시할 수 있다.
- [0284] (실시형태 6)
- [0285] 본 실시형태의 박막 트랜지스터 및 박막 트랜지스터를 제조하기 위한 방법의 한 실시형태는 도 11a 내지 11e를 이용하여 기술한다.
- [0286] 실시형태 6에서, 본 명세서에서 개시하는 액정 표시 장치에 적용할 수 있는 박막 트랜지스터의 또 다른 예를 기술한다. 본 실시형태에서 기술한 박막 트랜지스터(310)는 실시형태 1에서 기술한 화소부(1008)의 각 화소에서 의 박막 트랜지스터로서 사용할 수 있다.
- [0287] 도 11a 내지 11e는 박막 트랜지스터의 단면 구조의 예를 나타낸다. 도 11a 내지 11e에 도시한 박막 트랜지스터 (310)는 역 스테거형 박막 트랜지스터로도 칭하는 보텀-게이트 구조의 한 종류이다.
- [0288] 박막 트랜지스터(310)는 싱글-게이트 박막 트랜지스터를 사용하여 기술하지만, 필요에 따라 복수의 채널 형성 영역을 포함하는 멀티-게이트 박막 트랜지스터를 형성할 수 있다.
- [0289] 이하에서, 기판(300) 위에 박막 트랜지스터(310)를 제조하기 위한 공정은 도 11a 내지 11e를 이용하여 기술한다.
- [0290] 우선, 절연 표면을 갖는 기판(300) 위에 도전막을 형성하고, 이어서 제1 포토리소그래피 공정을 수행하여 게이트 전극층(311)을 형성한다. 레지스트 마스크는 잉크젯법으로 형성할 수 있음을 알아야 한다. 잉크젯법에 의한 레지스트 마스크의 형성은 포토마스크가 필요 없고, 따라서 제조 비용을 줄일 수 있다.
- [0291] 절연 표면을 갖는 기판(300)으로서 사용할 수 있는 기판에 대한 특별한 제한은 없지만, 기판(300)은 적어도 나 중에 수행하는 가열 처리를 충분히 견디는 높은 내열성을 갖는 것이 필요하다.
- [0292] 예를 들어, 유리 기판을 기판(300)으로서 사용하는 경우, 나중에 수행하는 가열 처리의 온도가 높다면, 왜곡점이 730℃ 이상인 유리 기판을 사용하는 것이 바람직하다. 유리 기판으로서, 예를 들어 유리 재료, 예컨대 알루미늄노실리케이트 유리, 알루미늄노보로실리케이트 유리, 또는 바륨 보로실리케이트 유리를 사용한다. 산화붕소보다 많은 양의 산화바륨(BaO)을 함유함으로써, 유리 기판은 내열성이 되고 더욱 실용적이 됨을 알아야 한다. 그러므로 B₂O₃보다 많은 BaO를 함유하는 유리 기판을 사용하는 것이 바람직하다.
- [0293] 유리 기판 대신 절연체로 형성한 기판, 예컨대 세라믹 기판, 석영 유리 기판, 또는 사파이어 기판을 기판(300)으로서 사용할 수 있음을 알아야 한다. 대안으로, 결정화 유리 기판 등을 사용할 수 있다.
- [0294] 기초막으로서 기능하는 절연막은 기판(300)과 게이트 전극층(311) 사이에 제공할 수 있다. 기초막은 기판(300)으로부터의 불순물 원소의 확산을 방지하는 기능이 있고, 질화 실리콘막, 산화 실리콘막, 질화 산화 실리콘막, 및 산화 질화 실리콘막 중 하나 이상을 사용하여 단층 구조 또는 적층 구조로 형성할 수 있다.
- [0295] 게이트 전극층(311)은 금속 재료, 예컨대 폴리브덴, 티타늄, 크롬, 탄탈, 텅스텐, 알루미늄, 구리, 네오디뮴, 또는 스칸듐, 또는 임의의 이러한 재료를 주성분으로서 함유하는 합금 재료를 사용하여 단층 구조 또는 적층 구조로 형성할 수 있다.
- [0296] 예를 들어, 게이트 전극층(311)의 2층 구조로서, 알루미늄층 및 그 위에 적층된 폴리브덴층의 2층 구조, 구리층 및 그 위에 적층된 폴리브덴층의 2층 구조, 구리층 및 그 위에 적층된 질화 티타늄층 또는 질화 탄탈층의 2층 구조, 질화 티타늄층 및 폴리브덴층의 2층 구조, 및 질화 텅스텐층 및 텅스텐층의 2층 구조 중 임의의 2층 구조가 바람직하다. 3층 구조로서, 텅스텐층 또는 질화 텅스텐층, 알루미늄과 실리콘의 합금 또는 알루미늄과 티타늄의 합금의 층, 및 질화 티타늄층 또는 티타늄층의 적층체가 바람직하다.
- [0297] 다음으로, 게이트 전극층(311) 위에 게이트 절연층(302)을 형성한다.
- [0298] 게이트 절연층(302)은 플라즈마 CVD법, 스퍼터링법 등에 의한 산화 실리콘층, 질화 실리콘층, 산화 질화 실리콘층, 질화 산화 실리콘층, 또는 산화 알루미늄층의 단층 또는 이들의 적층된 층들을 갖도록 형성할 수 있다. 예를 들어, 산화 질화 실리콘층은 SiH₄, 산소, 및 질소를 성막 가스로서 사용하여 플라즈마 CVD법으로 형성할 수 있다. 본 실시형태에서, 게이트 절연층(302)의 두께는 100nm 이상 500nm 이하이다. 적층 구조의 경우, 제1 게이트 절연층은 50nm 이상 200nm 이하의 두께를 갖고, 제1 게이트 절연층 위에 5nm 이상 300nm 이하의 두께를 갖

는 제2 게이트 절연층을 적층한다.

- [0299] 본 실시형태에서, 플라즈마 CVD법으로 100nm 이하의 두께를 갖는 산화 질화 실리콘층을 게이트 절연층(302)으로서 형성한다.
- [0300] 다음으로, 게이트 절연층(302) 위에 스퍼터링법으로 산화물 반도체막(330)을 2nm 이상 200nm 이하, 바람직하게는 5nm 이상 30nm 이하의 두께로 형성한다. 적절한 두께는 산화물 반도체 재료에 따라 상이하고, 두께는 재료에 따라 적절히 설정할 수 있음을 알아야 한다. 이러한 단계의 단면도는 도 11a이다.
- [0301] 스퍼터링법으로 산화물 반도체막(330)을 형성하기 전에, 아르곤 가스를 도입하고 플라즈마를 발생시키는 역 스퍼터링을 수행하여, 게이트 절연층(302)의 표면에 있는 먼지를 제거하는 것이 바람직하다. 아르곤 분위기 대신 질소 분위기, 헬륨 분위기, 산소 분위기 등을 이용할 수 있다.
- [0302] 산화물 반도체막(330)은 In-Ga-Zn-O계 산화물 반도체막, In-Sn-Zn-O계 산화물 반도체막, In-Al-Zn-O계 산화물 반도체막, Sn-Ga-Zn-O계 산화물 반도체막, Al-Ga-Zn-O계 산화물 반도체막, Sn-Al-Zn-O계 산화물 반도체막, In-Zn-O계 산화물 반도체막, Sn-Zn-O계 산화물 반도체막, Al-Zn-O계 산화물 반도체막, In-O계 산화물 반도체막, Sn-O계 산화물 반도체막, 또는 Zn-O계 산화물 반도체막을 사용하여 형성한다. 본 실시형태에서, 산화물 반도체막(330)은 In-Ga-Zn-O계 산화물 반도체 타깃을 사용하여 스퍼터링법으로 형성한다. 구체적으로, $In_2O_3:Ga_2O_3:ZnO=1:1:1$ [몰%] (즉, In:Ga:Zn=1:1:0.5 [원자%])의 조성비를 갖는 타깃을 사용한다. 대안으로, In:Ga:Zn=1:1:1 [원자%] 또는 In:Ga:Zn=1:1:2 [원자%]의 조성비를 갖는 타깃을 사용할 수 있다. 본 실시형태에서, 산화물 반도체 타깃의 충전율은 90% 이상 100% 이하, 바람직하게는 95% 이상 99.9% 이하이다. 높은 충전율을 갖는 산화물 반도체 타깃을 사용하여 성막한 산화물 반도체막은 높은 밀도를 갖는다. 타깃은 SiO_2 를 2 중량% 이상 10 중량% 이하로 함유할 수 있다. 산화물 반도체막(330)의 스퍼터링 시 분위기는 회가스(전통적으로 아르곤) 분위기, 산소 분위기, 또는 회가스와 산소의 혼합 분위기일 수 있다.
- [0303] 수소, 물, 수산기 또는 수소화물과 같은 불순물이 1ppm 이하, 바람직하게는 10ppb 이하로 제거된 고순도 가스를 산화물 반도체막(330)의 성막을 위한 스퍼터링 가스로서 사용하는 것이 바람직하다.
- [0304] 스퍼터링은 감압 상태인 챔버 내의 기판을 100℃ 이상 600℃ 이하, 바람직하게는 200℃ 이상 400℃ 이하의 기판 온도로 유지함으로써 수행한다. 성막 시 기판을 가열함으로써, 산화물 반도체막에 함유된 불순물 농도를 줄일 수 있다. 또한, 스퍼터링에 의한 손상을 억제할 수 있다. 이어서, 챔버 내의 잔류 수분을 제거하고, 수소 및 수분이 제거된 스퍼터링 가스를 도입하고, 상술한 타깃을 사용하여 기판(300) 위에 산화물 반도체막(330)을 형성한다. 챔버 내의 잔류 수분을 제거하기 위하여, 흡착형 진공 펌프를 사용하는 것이 바람직하다. 예를 들어, 바람직하게는 크라이오펌프, 이온 펌프, 또는 티타늄 서블리메이션 펌프를 사용한다. 배기 유닛으로서, 콜드 트랩이 부가되어 있는 터보 분자 펌프를 사용할 수 있다. 크라이오펌프를 사용하여 배기를 수행하는 챔버에서, 수소 분자, 수소 원자를 포함하는 화합물, 예컨대 물(H_2O), 탄소 원자를 포함하는 화합물 등이 배기된다. 따라서, 챔버에서 형성된 산화물 반도체막에 포함된 불순물의 농도를 줄일 수 있다.
- [0305] 성막 조건의 예로서 다음과 같은 조건을 이용하는데, 기판과 타깃 사이의 거리는 100mm이고; 압력은 0.6Pa이고; 직류(DC) 전원은 0.5kW이고; 분위기는 산소(산소의 유량 비는 100%임)이다. 성막 시 발생한 분말 물질(파티클 또는 분진으로도 칭함)을 줄일 수 있고, 막 두께를 균일하게 할 수 있기 때문에, 펄스형 직류(DC) 전원을 사용하는 것이 바람직하다.
- [0306] 다음으로, 제2 포토리소그래피 공정으로 산화물 반도체막(330)을 섬 형상의 산화물 반도체층(331)으로 가공한다. 섬 형상의 산화물 반도체층을 형성하기 위한 레지스트 마스크는 잉크젯법을 이용하여 형성할 수 있다. 잉크젯법에 의한 레지스트 마스크의 형성은 포토마스크가 필요 없고, 따라서 제조 비용을 줄일 수 있다.
- [0307] 다음으로, 산화물 반도체층(331)에 제1 가열 처리를 수행한다. 제1 가열 처리를 통해 산화물 반도체층(331)은 탈수화 또는 탈수소화될 수 있다. 제1 가열 처리의 온도는 400℃ 이상 750℃ 이하, 바람직하게는 400℃ 이상 기판의 왜곡점 미만이다. 본 실시형태에서, 가열 처리 장치의 한 종류인 전기로에 기판을 배치하고, 질소 분위기에서 450℃로 1시간 동안 산화물 반도체층에 가열 처리를 수행하고, 이어서 대기에 노출하지 않으면서 온도를 실온으로 낮추고, 산화물 반도체층에 물 또는 수소가 침입하는 것을 방지하고, 따라서 산화물 반도체층(331)을 얻는다(도 11b 참조).
- [0308] 가열 처리 장치는 전기로에 한정하지 않고, 저항 발열체 등과 같은 발열체로부터의 열 전도 또는 열 복사를 통

해 처리 대상을 가열하는 장치를 구비할 수 있다. 예를 들어, RTA(급속 열 어닐링) 장치, 예컨대 GRTA(가스 급속 열 어닐링) 장치 또는 LRTA(램프 급속 열 어닐링) 장치를 사용할 수 있다. LRTA 장치는 램프, 예컨대 할로겐 램프, 급속 할라이드 램프, 크세논 아크 램프, 탄소 아크 램프, 고압 나트륨 램프, 또는 고압 수은 램프로부터 방출된 광(전자기파)의 복사를 통해 처리 대상을 가열하기 위한 장치이다. GRTA 장치는 고온 가스를 사용하는 가열 처리를 위한 장치이다. 가스로서, 가열 처리를 통해 처리 대상과 반응하지 않는 불활성 가스, 예컨대 질소 또는 아르곤과 같은 희가스를 사용한다.

- [0309] 예를 들어, 제1 가열 처리로서 GRTA를 다음과 같이 수행할 수 있는데, 650℃ 내지 700℃의 고온으로 가열한 불활성 가스 중에 기판을 반송시키고, 수 분 동안 가열하고, 고온으로 가열한 불활성 가스로부터 반송 및 꺼낸다. GRTA는 단시간 동안 고온 가열 처리를 가능하게 한다.
- [0310] 제1 가열 처리에서, 물, 수소 등은 질소 또는 희가스, 예컨대 헬륨, 네온, 또는 아르곤에 함유되지 않는 것이 바람직하다. 가열 처리 장치에 도입하는 질소 또는 희가스, 예컨대 헬륨, 네온, 또는 아르곤은 6N(99.9999%) 이상, 더욱 바람직하게는 7N(99.99999%) 이상(즉, 불순물의 농도는 1ppm 이하, 더욱 바람직하게는 0.1ppm 이하 임)의 순도를 갖는 것이 바람직하다.
- [0311] 제1 가열 처리를 통해 산화물 반도체층(331)에 함유된 수소 등을 제거할 수 있고, 산소 결손이 발생하여 산화물 반도체층(331)은 n형 반도체(감소한 저항을 갖는 반도체)가 된다. 또한, 제1 가열 처리의 조건 또는 산화물 반도체층(331)의 재료에 따라 산화물 반도체층(331)은 미정질막 또는 다결정막으로 결정화될 수 있다. 예를 들어, 산화물 반도체층은 결정화 등급이 90% 이상 또는 80% 이상인 미정질 산화물 반도체막으로 결정화될 수 있다. 또한, 제1 가열 처리의 조건 또는 산화물 반도체층(331)의 재료에 따라 산화물 반도체층(331)은 결정질 성분을 함유하지 않는 비정질 산화물 반도체막일 수 있다. 산화물 반도체층(331)은 미정질 부분(1nm 이상 20nm 이하, 일반적으로는 2nm 이상 4nm 이하의 입경을 가짐)이 비정질 산화물 반도체에 혼합되어 있는 산화물 반도체막이 될 수 있다.
- [0312] 산화물 반도체층의 제1 가열 처리는 섬 형상의 산화물 반도체층(331)으로 가공하기 전의 산화물 반도체막(330)에 또한 수행할 수 있다. 이 경우, 제1 가열 처리 후 가열 장치로부터 기판을 꺼내고, 이어서 포토리소그래피 공정을 수행한다.
- [0313] 탈수화 및/또는 탈수소화를 위한 가열 처리는 산화물 반도체층의 성막 후 수행한다면 산화물 반도체층 위에 소스 전극 및 드레인 전극을 적층한 후 또는 소스 전극 및 드레인 전극 위에 보호 절연막을 형성한 후 수행할 수 있다.
- [0314] 게이트 절연층(302)에 콘택트 홀을 형성하는 경우, 그 공정은 산화물 반도체막(330) 또는 산화물 반도체층(331)에 탈수화 및/또는 탈수소화를 위한 가열 처리를 수행하기 전 또는 후에 수행할 수 있다.
- [0315] 산화물 반도체막의 에칭을 위하여, 건식 에칭뿐만 아니라 습식 에칭도 이용할 수 있다.
- [0316] 재료를 원하는 형상으로 에칭할 수 있도록 에칭 조건(예컨대 에천트, 에칭 시간, 또는 온도)은 재료에 따라 적절히 조절한다.
- [0317] 다음으로, 게이트 절연층(302) 및 산화물 반도체층(331) 위에 도전막을 형성한다. 도전막은 스퍼터링법 또는 진공 증착법으로 형성할 수 있다. 도전막의 재료로서, Al, Cr, Cu, Ta, Ti, Mo, 및 W로부터 선택된 원소; 임의의 이러한 원소를 성분으로서 함유하는 합금; 임의의 이러한 원소를 조합하여 함유하는 합금막 등을 제공할 수 있다. 또한, 망간, 마그네슘, 지르코늄, 베릴륨, 및 이트륨으로부터 선택된 하나 이상의 재료를 사용할 수 있다. 또한, 도전막은 단층 구조 또는 2층 이상의 적층 구조를 가질 수 있다. 예를 들어, 실리컨을 포함하는 알루미늄막의 단층 구조, 알루미늄막 위에 티타늄막이 적층되어 있는 2층 구조, 티타늄막, 알루미늄막 및 티타늄막이 이러한 순서로 적층되어 있는 3층 구조 등을 제공할 수 있다. 대안으로, 티타늄(Ti), 탄탈(Ta), 텅스텐(W), 몰리브덴(Mo), 크롬(Cr), 네오디뮴(Nd), 및 스칸듐(Sc)으로부터 선택된 하나 이상의 원소 및 알루미늄(Al)을 함유하는 막, 합금막, 또는 질화물막을 사용할 수 있다.
- [0318] 도전막의 성막 후 가열 처리를 수행하는 경우, 도전막은 가열 처리를 충분히 견디는 높은 내열성을 갖는 것이 바람직하다.
- [0319] 다음으로, 제3 포토리소그래피 공정으로 도전막 위에 레지스트 마스크를 형성한다. 그 후, 선택적으로 에칭하여 소스 전극층 및 드레인 전극층(315a 및 315b)을 형성하고, 이어서 레지스트 마스크를 제거한다(도 11c 참조).

- [0320] 제3 포토리소그래피 공정에서 레지스트 마스크의 형성 시 노광은 극자외선 광, KrF 레이저 광, 또는 ArF 레이저 광을 이용하여 수행할 수 있다. 형성되는 박막 트랜지스터의 채널 길이 L은 산화물 반도체층(331) 위에서 서로 인접해 있는 소스 전극층의 하단부와 드레인 전극층의 하단부 사이의 피치에 의해 결정된다. 25nm 미만의 채널 길이(L)를 위하여 노광을 수행하는 경우, 제3 포토리소그래피 공정에서 레지스트 마스크의 형성 시 노광은 수 나노미터 내지 수십 나노미터의 매우 짧은 파장을 갖는 초극자외선 광을 이용하여 수행한다. 초극자외선 광에 의한 노광 시 분해능은 높고 초점 깊이는 크다. 따라서, 박막 트랜지스터의 채널 길이(L)는 10nm 이상 1000nm 이하로 할 수 있고, 회로의 동작 속도를 높일 수 있고, 매우 작은 오프-상태 전류에 의한 낮은 전력 소비를 달성할 수 있다.
- [0321] 도전막의 에칭 시 산화물 반도체층(331)을 제거하지 않도록 재료 및 에칭 조건을 적절히 조절한다.
- [0322] 본 실시형태에서, Ti막을 도전막으로서 사용하고, In-Ga-Zn-O계 산화물 반도체를 산화물 반도체층(331)으로서 사용하므로, 예전트로서 암모늄 수산화물/과산화수소 혼합물(암모니아, 물, 및 과산화수소수의 혼합물)을 사용한다.
- [0323] 제3 포토리소그래피 공정에서, 몇몇 경우 산화물 반도체층(331)의 일부를 에칭하여 그루브(오목부)를 갖는 산화물 반도체층을 형성할 수 있다. 소스 전극층 및 드레인 전극층(315a 및 315b)을 형성하기 위하여 사용한 레지스트 마스크는 잉크젯법으로 형성할 수 있다. 잉크젯법에 의한 레지스트 마스크의 형성은 포토마스크가 필요 없고, 따라서 제조 비용을 줄일 수 있다.
- [0324] 또한, 산화물 반도체층과 소스 전극층 및 드레인 전극층 사이에 산화물 도전층을 형성할 수 있다. 산화물 도전층 및 소스 전극층과 드레인 전극층을 형성하기 위한 금속층은 연속적으로 형성할 수 있다. 산화물 도전층은 소스 영역 및 드레인 영역으로서 기능할 수 있다.
- [0325] 산화물 반도체층과 소스 전극층 및 드레인 전극층 사이에 산화물 도전층을 소스 영역 및 드레인 영역으로서 제공함으로써, 소스 영역 및 드레인 영역의 저항을 줄일 수 있고, 트랜지스터는 고속으로 동작할 수 있다.
- [0326] 포토리소그래피 공정에서의 포토마스크의 수 및 공정의 수를 줄이기 위하여, 광이 복수의 세기를 갖도록 투과되는 노광 마스크인 멀티-톤 마스크를 사용하여 형성한 레지스트 마스크를 사용하여 에칭을 수행할 수 있다. 멀티-톤 마스크를 사용하여 형성한 레지스트 마스크는 복수의 막 두께를 갖고, 에칭을 수행함으로써 형상을 더욱 변화시킬 수 있으므로, 레지스트 마스크는 상이한 패턴을 제공하는 복수의 에칭 공정에 사용할 수 있다. 그러므로 멀티-톤 마스크를 사용함으로써 적어도 두 종류의 상이한 패턴에 대응하는 레지스트 마스크를 형성할 수 있다. 따라서, 노광 마스크의 수를 줄일 수 있고, 대응하는 포토리소그래피 공정의 수도 줄일 수 있어, 제조 공정의 간소화를 실현할 수 있다.
- [0327] 다음으로, N₂O, N₂, 또는 Ar과 같은 가스를 사용하는 플라즈마 처리를 수행하여 노출되어 있는 산화물 반도체층의 표면에 흡착된 물 등을 제거할 수 있다. 플라즈마 처리는 산소와 아르곤의 혼합 가스를 사용하여 수행할 수 있다.
- [0328] 플라즈마 처리 후, 대기에 노출하지 않으면서, 보호 절연막으로서 기능하고, 산화물 반도체층의 일부와 접하는 산화물 절연층(316)을 형성한다.
- [0329] 산화물 절연층(316)은 물 또는 수소와 같은 불순물이 산화물 절연층(316)에 침입하지 않은 방법, 예컨대 스퍼터링법을 적절히 이용하여 적어도 1nm의 두께로 형성할 수 있다. 수소가 산화물 절연층(316)에 함유되면, 산화물 반도체층에 수소의 침입 또는 수소에 의한 산화물 반도체층에서의 산소의 추출이 야기될 수 있고, 이로 인해 산화물 반도체층의 백채널(backchannel)이 n형으로 되어(저항이 낮아짐), 기생 채널이 형성될 수 있다. 그러므로 수소를 가능한 한 적게 사용하는 형성 방법을 이용하여 산화물 절연층(316)이 수소를 가능한 한 적게 함유하는 것이 중요하다.
- [0330] 본 실시형태에서, 스퍼터링법으로 200nm 두께의 산화 실리콘막을 산화물 절연층(316)으로서 성막한다. 성막 시 기판 온도는 실온 이상 300℃ 이하일 수 있고, 본 실시형태에서는 100℃이다. 산화 실리콘막은 회가스(전형적으로 아르곤) 분위기, 산소 분위기, 또는 회가스와 산소를 함유하는 혼합 분위기에서 스퍼터링법으로 형성할 수 있다. 타깃으로서 산화 실리콘 타깃 또는 실리콘 타깃을 사용할 수 있다. 예를 들어, 실리콘 타깃을 사용하여 산소 및 질소의 분위기에서 스퍼터링법으로 실리콘 산화물을 성막할 수 있다. 저항이 감소한 산화물 반도체층과 접하여 형성하는 산화물 절연층(316)으로서, 수분, 수소 이온, 및 OH⁻와 같은 불순물을 포함하지 않고, 이러한 불순물이 외부로부터 침입하는 것을 차단하는 무기 절연막을 사용한다. 일반적으로, 산화 실리콘막, 산화

질화 실리콘막, 산화 알루미늄막, 산화 질화 알루미늄막 등을 사용한다.

- [0331] 이 경우, 산화물 절연층(316)의 성막 시 챔버 내의 잔류 수분을 제거하는 것이 바람직하다. 이는, 산화물 반도체층(331) 및 산화물 절연층(316)이 수소, 수산기 또는 수분을 함유하는 것을 방지하기 위해서이다.
- [0332] 챔버로부터 잔류 수분을 제거하기 위하여, 바람직하게는 흡착형 진공 펌프를 사용한다. 예를 들어, 바람직하게는 크라이오펌프, 이온 펌프, 또는 티타늄 서블리메이션 펌프를 사용한다. 배기 유닛으로서, 콜드 트랩이 부가되어 있는 터보 분자 펌프를 사용할 수 있다. 크라이오펌프를 사용하여 배기를 수행하는 챔버에서, 예를 들어 수소 분자, 수소 원자를 포함하는 화합물, 예컨대 물(H₂O) 등이 배기된다. 따라서, 챔버에서 형성된 산화물 절연층(316)에 포함된 불순물의 농도를 줄일 수 있다.
- [0333] 수소, 물, 수산기 또는 수소화물과 같은 불순물이 1ppm 이하, 바람직하게는 10ppb 이하로 제거된 고순도 가스를 산화물 절연층(316)의 성막을 위한 스퍼터링 가스로서 사용하는 것이 바람직하다.
- [0334] 다음으로, 불활성 가스 분위기 또는 산소 가스 분위기에서 제2 가열 처리(바람직하게는 200℃ 이상 400℃ 이하의 온도, 예를 들어 250℃ 이상 350℃ 이하의 온도)를 수행한다. 예를 들어, 제2 가열 처리는 질소 분위기에서 250℃로 1시간 동안 수행한다. 제2 가열 처리를 통해, 산화물 반도체층의 일부(채널 형성 영역)가 산화물 절연층(316)과 접해 있는 상태에서 열이 인가된다.
- [0335] 상술한 공정을 통해, 성막된 산화물 반도체막에 탈수화 및/또는 탈수소화를 위한 가열 처리를 수행하여 저항을 낮게 하고, 이어서 산화물 반도체막의 일부가 선택적으로 파인 산소를 포함하도록 한다. 그 결과, 게이트 전극층(311)과 겹치는 채널 형성 영역(313)은 i형이 되고, 소스 전극층(315a)과 겹치고 저 저항 산화물 반도체를 사용하여 형성하는 고 저항 소스 영역(314a), 및 드레인 전극층(315b)과 겹치고 저 저항 산화물 반도체를 사용하여 형성하는 고 저항 드레인 영역(314b)이 자기-정합(self-aligned) 방식으로 형성된다. 상술한 공정으로 박막 트랜지스터(310)를 형성한다(도 11d 참조).
- [0336] 또한, 가열 처리는 대기에서 100℃ 이상 200℃ 이하의 온도로 1시간 이상 30시간 이하 동안 수행할 수 있다. 본 실시형태에서, 가열 처리는 150℃로 10시간 동안 수행한다. 이러한 가열 처리는 고정된 가열 온도에서 수행할 수 있다. 대안으로, 가열 온도의 다음과 같은 변화를 복수 회 반복적으로 수행할 수 있는데, 가열 온도를 실온으로부터 100℃ 이상 200℃ 이하의 온도로 높이고, 이어서 실온으로 낮춘다. 또한, 이러한 가열 처리는 산화물 절연층의 형성 전에 감압하에서 수행할 수 있다. 감압하에서, 가열 처리 시간은 단축할 수 있다. 이러한 가열 처리로, 수소가 산화물 반도체층으로부터 산화물 절연층으로 도입되고, 따라서 노멀리-오프 박막 트랜지스터를 얻을 수 있다. 그러므로 액정 표시 장치의 신뢰성을 개선할 수 있다. 또한, 많은 결함을 함유하는 산화물 실리콘층을 산화물 절연층으로서 사용함으로써, 산화물 반도체층에 포함된 수소, 수분, 수산기 또는 수소화물과 같은 불순물을 이러한 가열 처리를 통해 산화물 절연층에 확산시켜 산화물 반도체층에 함유된 불순물을 더욱 감소시킨다.
- [0337] 드레인 전극층(315b)(또는 소스 전극층(315a))과 겹치는 산화물 반도체층의 부분에 고 저항 드레인 영역(314b)(또는 고 저항 소스 영역(314a))을 형성하여 박막 트랜지스터의 신뢰성을 높일 수 있다. 구체적으로, 고 저항 드레인 영역(314b)을 형성함으로써, 도전율이 트랜지스터의 드레인 전극층(315b)으로부터 고 저항 드레인 영역(314b) 및 채널 형성 영역(313)까지 점진적으로 변할 수 있다. 그러므로 고 전원 전위(VDD)를 공급하기 위한 배선에 접속된 드레인 전극층(315b)을 사용하여 박막 트랜지스터가 동작하는 경우, 고 저항 드레인 영역은 버퍼로서 기능하고, 게이트 전극층(311)과 드레인 전극층(315b) 사이에 높은 전계가 인가되더라도 높은 전계가 국부적으로 인가되지 않고, 따라서 트랜지스터의 내압을 개선할 수 있다.
- [0338] 고 저항 소스 영역 및 고 저항 드레인 영역은 산화물 반도체층이 15nm로 얇은 경우에는 산화물 반도체층의 막 두께 방향의 모든 깊이에 형성될 수 있지만, 산화물 반도체층이 30nm 이상 50nm 이하로 두꺼운 경우에는 산화물 반도체층의 일부, 즉 소스 전극층 및 드레인 전극층과 접하는 산화물 반도체층의 영역 및 그 근방이 저항 감소할 수 있어 고 저항 소스 영역 및 고 저항 드레인 영역이 형성되고, 게이트 절연층에 가까운 산화물 반도체층의 영역은 i형으로 될 수 있다.
- [0339] 산화물 절연층(316) 위에 보호 절연층을 형성할 수 있다. 예를 들어, RF 스퍼터링법으로 질화 실리콘막을 형성한다. RF 스퍼터링법은 높은 생산성을 갖기 때문에 보호 절연층을 형성하기 위한 방법으로서 바람직하다. 보호 절연층으로서, 수분, 수소 이온, 및 OH⁻와 같은 불순물을 함유하지 않고, 이러한 불순물이 외부로부터 침입하는 것을 차단하는 무기 절연막을 사용하고, 질화 실리콘막, 질화 알루미늄막, 질화 산화 실리콘막, 질화 산화

알루미늄막 등을 사용한다. 본 실시형태에서, 질화 실리콘막을 보호 절연층으로서 사용하여 보호 절연층(303)을 형성한다(도 11e 참조).

- [0340] 본 실시형태에서, 보호 절연층(303)으로서, 그 위에 산화물 절연층(316)을 포함하는 층들이 형성되어 있는 기판(300)을 100℃ 내지 400℃의 온도로 가열하고, 수소 및 수분이 제거된 고순도 질소를 함유하는 스퍼터링 가스를 도입하고, 실리콘 반도체 타겟을 사용함으로써 질화 실리콘막을 형성한다. 이 경우에도, 산화물 절연층(316)의 경우처럼 보호 절연층(303)의 형성 시 처리 챔버로부터 잔류 수분을 제거하는 것이 바람직하다.
- [0341] 보호 절연층(303) 위에 평탄화를 위한 평탄화 절연층을 제공할 수 있다.
- [0342] 상술한 바와 같이 산화물 반도체층을 사용하는 박막 트랜지스터를 사용하는 액정 표시 장치의 표시부의 복수의 화소 각각에서 오프-상태 전류를 감소시킬 수 있다. 그러므로 축적 커패시터에 전압을 유지하기 위한 기간을 연장할 수 있고, 액정 표시 장치에 정지 화상 등을 표시할 때의 전력 소비를 낮출 수 있다. 또한, 정지 화상을 표시하는 경우 제어 신호의 공급을 중단함으로써, 전력 소비를 더욱 낮출 수 있다. 또한, 정지 화상과 동화상을 오동작 없이 스위칭할 수 있다.
- [0343] 실시형태 6은 다른 실시형태에서 기술하는 임의의 구조와 적절히 조합하여 실시할 수 있다.
- [0344] (실시형태 7)
- [0345] 본 실시형태의 박막 트랜지스터 및 박막 트랜지스터를 제조하기 위한 방법의 한 실시형태는 도 12a 내지 12d를 이용하여 기술한다.
- [0346] 실시형태 7에서, 본 명세서에서 개시하는 액정 표시 장치에 적용할 수 있는 박막 트랜지스터의 또 다른 예를 기술한다. 본 실시형태에서 기술한 박막 트랜지스터(360)는 실시형태 1에서 기술한 화소부(1008)의 각 화소에서의 박막 트랜지스터로서 사용할 수 있다.
- [0347] 도 12a 내지 12d는 박막 트랜지스터의 단면 구조의 예를 나타낸다. 도 12a 내지 12d에 도시한 박막 트랜지스터(360)는 채널-보호 구조(채널-스톱 구조로도 칭함)로 불리는 보텀-게이트 구조의 한 종류이고, 역 스테거형 박막 트랜지스터로도 칭한다.
- [0348] 박막 트랜지스터(360)는 싱글-게이트 박막 트랜지스터를 사용하여 기술하지만, 필요에 따라 복수의 채널 형성 영역을 포함하는 멀티-게이트 박막 트랜지스터를 형성할 수 있다.
- [0349] 이하에서, 기판(320) 위에 박막 트랜지스터(360)를 제조하기 위한 공정은 도 12a 내지 12d를 이용하여 기술한다.
- [0350] 우선, 절연 표면을 갖는 기판(320) 위에 도전막을 형성하고, 제1 포토리소그래피 공정을 수행하여 레지스트 마스크를 형성하고, 레지스트 마스크를 사용함으로써 도전막을 선택적으로 에칭하여 게이트 전극층(361)을 형성한다. 그 후, 레지스트 마스크는 제거한다. 레지스트 마스크는 잉크젯법으로 형성할 수 있음을 알아야 한다. 잉크젯법에 의한 레지스트 마스크의 형성은 포토마스크가 필요 없고, 따라서 제조 비용을 줄일 수 있다.
- [0351] 게이트 전극층(361)은 금속 재료, 예컨대 몰리브덴, 티타늄, 크롬, 탄탈, 텅스텐, 알루미늄, 구리, 네오디뮴, 또는 스칸듐, 또는 임의의 이러한 재료를 주성분으로서 함유하는 합금 재료를 사용하여 단층 구조 또는 적층 구조로 형성할 수 있다.
- [0352] 다음으로, 게이트 전극층(361) 위에 게이트 절연층(322)을 형성한다.
- [0353] 본 실시형태에서, 플라즈마 CVD법으로 100nm 이하의 두께를 갖는 산화 질화 실리콘층을 게이트 절연층(322)으로서 형성한다.
- [0354] 다음으로, 게이트 절연층(322) 위에 2nm 이상 200nm 이하의 두께를 갖는 산화물 반도체막을 형성하고, 제2 포토리소그래피 공정으로 섬 형상의 산화물 반도체층(332)으로 가공한다. 본 실시형태에서, 산화물 반도체막은 In-Ga-Zn-O계 산화물 반도체 타겟을 사용하여 스퍼터링법으로 형성한다.
- [0355] 이 경우, 산화물 반도체막의 성막 시 챔버 내의 잔류 수분을 제거하는 것이 바람직하다. 이는, 산화물 반도체막이 수소, 수산기 또는 수분을 함유하는 것을 방지하기 위해서이다.
- [0356] 챔버로부터 잔류 수분을 제거하기 위하여, 바람직하게는 흡착형 진공 펌프를 사용한다. 예를 들어, 바람직하게는 크라이오펌프, 이온 펌프, 또는 티타늄 서블리메이션 펌프를 사용한다. 배기 유닛으로서, 콜드 트랩이 부가되어 있는 터보 분자 펌프를 사용할 수 있다. 크라이오펌프를 사용하여 배기를 수행하는 챔버에서, 예를 들어

수소 분자, 수소 원자를 포함하는 화합물, 예컨대 물(H₂O) 등이 배기된다. 따라서, 챔버에서 형성된 산화물 반도체막에 포함된 불순물의 농도를 줄일 수 있다.

- [0357] 수소, 물, 수산기 또는 수소화물과 같은 불순물이 1ppm 이하, 바람직하게는 10ppb 이하로 제거된 고순도 가스를 산화물 반도체막의 성막을 위한 스퍼터링 가스로서 사용하는 것이 바람직하다.
- [0358] 다음으로, 산화물 반도체층의 탈수화 및/또는 탈수소화를 수행한다. 탈수화 및/또는 탈수소화를 위한 제1 가열 처리의 온도는 400℃ 이상 750℃ 이하, 바람직하게는 400℃ 이상 기판의 왜곡점 미만이다. 본 실시형태에서, 가열 처리 장치의 한 종류인 전기로에 기판을 배치하고, 질소 분위기에서 450℃로 1시간 동안 산화물 반도체층에 가열 처리를 수행하고, 이어서 대기에 노출하지 않으면서 산화물 반도체층에 물 또는 수소가 침입하는 것을 방지하고, 따라서 산화물 반도체층(332)을 얻는다(도 12a 참조).
- [0359] 다음으로, N₂O, N₂, 또는 Ar과 같은 가스를 사용하는 플라즈마 처리를 수행한다. 이러한 플라즈마 처리는 노출되어 있는 산화물 반도체층의 표면에 흡착된 물 등을 제거한다. 또한, 플라즈마 처리는 산소와 아르곤의 혼합 가스를 사용하여 수행할 수 있다.
- [0360] 다음으로, 게이트 절연층(322) 및 산화물 반도체층(332) 위에 산화물 절연층을 형성한다. 그 후, 제3 포토리소그래피 공정으로 레지스트 마스크를 형성하고, 에칭을 선택적으로 수행하여 산화물 절연층(366)을 형성한다. 그 후, 레지스트 마스크는 제거한다.
- [0361] 본 실시형태에서, 스퍼터링법으로 200nm 두께의 산화 실리콘막을 산화물 절연층(366)으로서 성막한다. 성막 시 기판 온도는 실온 이상 300℃ 이하일 수 있고, 본 실시형태에서는 100℃이다. 산화 실리콘막은 회가스(전형적으로 아르곤) 분위기, 산소 분위기, 또는 회가스와 산소를 함유하는 혼합 분위기에서 스퍼터링법으로 형성할 수 있다. 타겟으로서 산화 실리콘 타겟 또는 실리콘 타겟을 사용할 수 있다. 예를 들어, 실리콘 타겟을 사용하여 산소 및 질소의 분위기에서 스퍼터링법으로 실리콘 산화물을 성막할 수 있다. 산화물 반도체층과 접하여 형성하는 산화물 절연층(366)으로서, 수분, 수소 이온, 및 OH와 같은 불순물을 포함하지 않고, 이러한 불순물이 외부로부터 침입하는 것을 차단하는 무기 절연막을 사용한다. 일반적으로, 산화 실리콘막, 산화 질화 실리콘막, 산화 알루미늄막, 산화 질화 알루미늄막 등을 사용한다.
- [0362] 이 경우, 산화물 절연층(366)의 성막 시 챔버 내의 잔류 수분을 제거하는 것이 바람직하다. 이는, 산화물 반도체층(332) 및 산화물 절연층(366)이 수소, 수산기 또는 수분을 함유하는 것을 방지하기 위해서이다.
- [0363] 챔버로부터 잔류 수분을 제거하기 위하여, 바람직하게는 흡착형 진공 펌프를 사용한다. 예를 들어, 바람직하게는 크라이오펌프, 이온 펌프, 또는 티타늄 서블리메이션 펌프를 사용한다. 배기 유닛으로서, 콜드 트랩이 부가되어 있는 터보 분자 펌프를 사용할 수 있다. 크라이오펌프를 사용하여 배기를 수행하는 챔버에서, 예를 들어 수소 분자, 수소 원자를 포함하는 화합물, 예컨대 물(H₂O) 등이 배기된다. 따라서, 챔버에서 형성된 산화물 절연층(366)에 포함된 불순물의 농도를 줄일 수 있다.
- [0364] 수소, 물, 수산기 또는 수소화물과 같은 불순물이 1ppm 이하, 바람직하게는 10ppb 이하로 제거된 고순도 가스를 산화물 절연층(366)의 성막을 위한 스퍼터링 가스로서 사용하는 것이 바람직하다.
- [0365] 다음으로, 불활성 가스 분위기 또는 산소 가스 분위기에서 제2 가열 처리(바람직하게는 200℃ 이상 400℃ 이하의 온도, 예를 들어 250℃ 이상 350℃ 이하의 온도)를 수행한다. 예를 들어, 제2 가열 처리는 질소 분위기에서 250℃로 1시간 동안 수행한다. 제2 가열 처리를 통해, 산화물 반도체층의 일부(채널 형성 영역)가 산화물 절연층(366)과 접해 있는 상태에서 열이 인가된다.
- [0366] 본 실시형태에서, 산화물 절연층(366)이 제공되어 있고 부분적으로 노출되어 있는 산화물 반도체층(332)은 질소 분위기 또는 불활성 가스 분위기 또는 감압하에서 더욱 가열 처리한다. 질소 분위기 또는 불활성 가스 분위기 또는 감압하에서의 가열 처리를 통해, 산화물 절연층(366)으로 덮지 않은 산화물 반도체층(332)의 노출된 영역의 저항을 감소시킬 수 있다. 예를 들어, 가열 처리는 질소 분위기에서 250℃로 1시간 동안 수행한다.
- [0367] 산화물 절연층(366)이 제공된 산화물 반도체층(332)을 질소 분위기에서 가열 처리함으로써, 산화물 반도체층(332)의 노출된 영역의 저항이 감소하여 상이한 저항을 갖는 영역(도 12b에 음영 영역 및 백색 영역으로서 나타냄)들을 포함하는 산화물 반도체층(362)을 형성한다.
- [0368] 다음으로, 게이트 절연층(322), 산화물 반도체층(362) 및 산화물 절연층(366) 위에 도전막을 형성한다. 그 후, 제4 포토리소그래피 공정으로 레지스트 마스크를 형성하고, 선택적인 에칭을 수행하여 소스 전극층(365a) 및 드

레인 전극층(365b)를 형성한다. 그 후, 레지스트 마스크는 제거한다(도 12c 참조).

- [0369] 소스 전극층(365a) 및 드레인 전극층(365b) 각각은 Al, Cr, Cu, Ta, Ti, Mo, 및 W로부터 선택된 원소, 임의의 상술한 원소를 성분으로서 포함하는 합금, 임의의 이러한 원소의 조합을 포함하는 합금막 등으로 형성한다. 단층 구조 또는 2층 이상을 포함하는 적층 구조를 도전막으로서 이용할 수 있다.
- [0370] 상술한 공정을 통해, 산화물 반도체막의 일부는 선택적으로 과잉 산소를 포함하도록 한다. 그 결과, 게이트 전극층(361)과 접치는 채널 형성 영역(363)은 i형이 되고, 소스 전극층(365a)과 접치는 고 저항 소스 영역(364a) 및 드레인 전극층(365b)과 접치는 고 저항 드레인 영역(364b)이 자기-정합 방식으로 형성된다. 상술한 공정으로 박막 트랜지스터(360)를 형성한다.
- [0371] 또한, 가열 처리는 대기에서 100℃ 이상 200℃ 이하의 온도로 1시간 이상 30시간 이하 동안 수행할 수 있다. 본 실시형태에서, 가열 처리는 150℃로 10시간 동안 수행한다. 이러한 가열 처리는 고정된 가열 온도에서 수행할 수 있다. 대안으로, 가열 온도의 다음과 같은 변화를 복수 회 반복적으로 수행할 수 있는데, 가열 온도를 실온으로부터 100℃ 이상 200℃ 이하의 온도로 높이고, 이어서 실온으로 낮춘다. 또한, 이러한 가열 처리는 산화물 절연막의 형성 전에 감압하에서 수행할 수 있다. 감압하에서, 가열 처리 시간은 단축할 수 있다. 이러한 가열 처리로, 수소가 산화물 반도체층으로부터 산화물 절연층으로 도입되고, 따라서 노멀리-오프 박막 트랜지스터를 얻을 수 있다. 그러므로 액정 표시 장치의 신뢰성을 개선할 수 있다.
- [0372] 드레인 전극층(365b)(또는 소스 전극층(365a))과 접치는 산화물 반도체층의 부분에 고 저항 드레인 영역(364b)(또는 고 저항 소스 영역(364a))을 형성하여 박막 트랜지스터의 신뢰성을 높일 수 있다. 구체적으로, 고 저항 드레인 영역(364b)을 형성함으로써, 도전율이 트랜지스터의 드레인 전극층(365b)으로부터 고 저항 드레인 영역(364b) 및 채널 형성 영역(363)까지 점진적으로 변할 수 있다. 그러므로 고 전원 전위(VDD)를 공급하기 위한 배선에 접속된 드레인 전극층(365b)을 사용하여 박막 트랜지스터가 동작하는 경우, 고 저항 드레인 영역은 버퍼로서 기능하고, 게이트 전극층(361)과 드레인 전극층(365b) 사이에 높은 전계가 인가되더라도 높은 전계가 국부적으로 인가되지 않고, 따라서 트랜지스터의 내압을 개선할 수 있다.
- [0373] 소스 전극층(365a), 드레인 전극층(365b) 및 산화물 절연층(366) 위에 보호 절연층(323)을 형성한다. 본 실시형태에서, 보호 절연층(323)은 질화 실리콘막을 사용하여 형성한다(도 12d 참조).
- [0374] 소스 전극층(365a), 드레인 전극층(365b) 및 산화물 절연층(366) 위에 산화물 절연층을 형성할 수 있고, 산화물 절연층 위에 보호 절연층(323)을 적층할 수 있다.
- [0375] 상술한 바와 같이 산화물 반도체층을 사용하는 박막 트랜지스터를 사용하는 액정 표시 장치의 표시부의 복수의 화소 각각에서 오프-상태 전류를 감소시킬 수 있다. 그러므로 축적 커패시터에 전압을 유지하기 위한 기간을 연장할 수 있고, 액정 표시 장치에 정지 화상 등을 표시할 때의 전력 소비를 낮출 수 있다. 또한, 정지 화상을 표시하는 경우 제어 신호의 공급을 중단함으로써, 전력 소비를 더욱 낮출 수 있다. 또한, 정지 화상과 동화상을 오동작 없이 스위칭할 수 있다.
- [0376] 실시형태 7은 다른 실시형태에서 기술하는 임의의 구조와 적절히 조합하여 실시할 수 있다.
- [0377] (실시형태 8)
- [0378] 실시형태 8에서, 본 명세서에서 개시하는 액정 표시 장치에 적용할 수 있는 박막 트랜지스터의 또 다른 예를 기술한다. 본 실시형태에서 기술한 박막 트랜지스터(350)는 실시형태 1에서 기술한 화소부(1008)의 각 화소에서 박막 트랜지스터로서 사용할 수 있다.
- [0379] 본 실시형태의 박막 트랜지스터 및 박막 트랜지스터를 제조하기 위한 방법의 한 실시형태는 도 13a 내지 13d를 이용하여 기술한다.
- [0380] 박막 트랜지스터(350)는 싱글-게이트 박막 트랜지스터를 사용하여 기술하지만, 필요에 따라 복수의 채널 형성 영역을 포함하는 멀티-게이트 박막 트랜지스터를 형성할 수 있다.
- [0381] 이하에서, 기판(340) 위에 박막 트랜지스터(350)를 제조하기 위한 공정은 도 13a 내지 13d를 이용하여 기술한다.
- [0382] 우선, 절연 표면을 갖는 기판(340) 위에 도전막을 형성하고, 제1 포토리소그래피 공정을 수행하여 게이트 전극층(351)을 형성한다. 본 실시형태에서, 스퍼터링법으로 150nm 두께의 텅스텐막을 게이트 전극층(351)으로서 형성한다.

- [0383] 다음으로, 게이트 전극층(351) 위에 게이트 절연층(342)을 형성한다. 본 실시형태에서, 플라즈마 CVD법으로 100nm 이하의 두께를 갖는 산화 질화 실리콘층을 게이트 절연층(342)으로서 형성한다.
- [0384] 다음으로, 게이트 절연층(342) 위에 도전막을 형성하고, 제2 포토리소그래피 공정으로 도전막 위에 레지스트 마스크를 형성하고, 선택적인 에칭을 수행하여 소스 전극층(355a) 및 드레인 전극층(355b)를 형성한다. 그 후, 레지스트 마스크는 제거한다(도 13a 참조).
- [0385] 다음으로, 산화물 반도체막(345)을 형성한다(도 13b 참조). 본 실시형태에서, 산화물 반도체막(345)은 In-Ga-Zn-O계 산화물 반도체 타깃을 사용하여 스퍼터링법으로 형성한다. 산화물 반도체막(345)은 제3 포토리소그래피 공정으로 섬 형상의 산화물 반도체층으로 가공한다.
- [0386] 이 경우, 산화물 반도체막(345)의 성막 시 챔버 내의 잔류 수분을 제거하는 것이 바람직하다. 이는, 산화물 반도체막(345)이 수소, 수산기 또는 수분을 함유하는 것을 방지하기 위해서이다.
- [0387] 챔버로부터 잔류 수분을 제거하기 위하여, 바람직하게는 흡착형 진공 펌프를 사용한다. 예를 들어, 바람직하게는 크라이오펌프, 이온 펌프, 또는 티타늄 서블리메이션 펌프를 사용한다. 배기 유닛으로서, 콜드 트랩이 부가되어 있는 터보 분자 펌프를 사용할 수 있다. 크라이오펌프를 사용하여 배기를 수행하는 챔버에서, 예를 들어 수소 분자, 수소 원자를 포함하는 화합물, 예컨대 물(H₂O) 등이 배기된다. 따라서, 챔버에서 형성된 산화물 반도체막(345)에 포함된 불순물의 농도를 줄일 수 있다.
- [0388] 수소, 물, 수산기 또는 수소화물과 같은 불순물이 1ppm 이하, 바람직하게는 10ppb 이하로 제거된 고순도 가스를 산화물 반도체막(345)의 성막을 위한 스퍼터링 가스로서 사용하는 것이 바람직하다.
- [0389] 다음으로, 산화물 반도체층의 탈수화 및/또는 탈수소화를 수행한다. 탈수화 및/또는 탈수소화를 위한 제1 가열 처리의 온도는 400℃ 이상 750℃ 이하, 바람직하게는 400℃ 이상 기관의 왜곡점 미만이다. 본 실시형태에서, 가열 처리 장치의 한 종류인 전기로에 기관을 배치하고, 질소 분위기에서 450℃로 1시간 동안 산화물 반도체층에 가열 처리를 수행하고, 이어서 대기에 노출하지 않으면서 산화물 반도체층에 물 또는 수소가 침입하는 것을 방지하고, 따라서 산화물 반도체층(346)을 얻는다(도 13c 참조).
- [0390] 예를 들어, 제1 가열 처리로서 GRTA를 다음과 같이 수행할 수 있는데, 650℃ 내지 700℃의 고온으로 가열한 불활성 가스 중에 기관을 반송시키고, 수 분 동안 가열하고, 고온으로 가열한 불활성 가스로부터 반송 및 꺼낸다. GRTA는 단시간 동안 고온 가열 처리를 가능하게 한다.
- [0391] 다음으로, 산화물 반도체층(346)과 접하는 보호 절연막으로서 기능하는 산화물 절연층(356)을 형성한다.
- [0392] 산화물 절연층(356)은 물 또는 수소와 같은 불순물이 산화물 절연층(356)에 침입하지 않은 방법, 예컨대 스퍼터링법을 적절히 이용하여 적어도 1nm의 두께로 형성할 수 있다. 수소가 산화물 절연층(356)에 함유되면, 산화물 반도체층에의 수소의 침입 또는 수소에 의한 산화물 반도체층에서의 산소의 추출이 야기될 수 있고, 이로 인해 산화물 반도체층의 백채널이 n형으로 되어(저항이 낮아짐), 기생 채널이 형성될 수 있다. 그러므로 수소를 가능한 한 적게 사용하는 형성 방법을 이용하여 산화물 절연층(356)이 수소를 가능한 한 적게 함유하는 것이 중요하다.
- [0393] 본 실시형태에서, 스퍼터링법으로 200nm 두께의 산화 실리콘막을 산화물 절연층(356)으로서 성막한다. 성막 시 기관 온도는 실온 이상 300℃ 이하일 수 있고, 본 실시형태에서는 100℃이다. 산화 실리콘막은 희가스(전형적으로 아르곤) 분위기, 산소 분위기, 또는 희가스와 산소를 함유하는 혼합 분위기에서 스퍼터링법으로 형성할 수 있다. 타깃으로서 산화 실리콘 타깃 또는 실리콘 타깃을 사용할 수 있다. 예를 들어, 실리콘 타깃을 사용하여 산소 및 질소의 분위기에서 스퍼터링법으로 실리콘 산화물을 성막할 수 있다. 산화물 반도체층과 접하여 형성하는 산화물 절연층(356)으로서, 수분, 수소 이온, 및 OH⁻와 같은 불순물을 포함하지 않고, 이러한 불순물이 외부로부터 침입하는 것을 차단하는 무기 절연막을 사용한다. 일반적으로, 산화 실리콘막, 산화 질화 실리콘막, 산화 알루미늄막, 산화 질화 알루미늄막 등을 사용한다.
- [0394] 이 경우, 산화물 절연층(356)의 성막 시 챔버 내의 잔류 수분을 제거하는 것이 바람직하다. 이는, 산화물 반도체층(346) 및 산화물 절연층(356)이 수소, 수산기 또는 수분을 함유하는 것을 방지하기 위해서이다.
- [0395] 챔버로부터 잔류 수분을 제거하기 위하여, 바람직하게는 흡착형 진공 펌프를 사용한다. 예를 들어, 바람직하게는 크라이오펌프, 이온 펌프, 또는 티타늄 서블리메이션 펌프를 사용한다. 배기 유닛으로서, 콜드 트랩이 부가되어 있는 터보 분자 펌프를 사용할 수 있다. 크라이오펌프를 사용하여 배기를 수행하는 챔버에서, 예를 들어

수소 분자, 수소 원자를 포함하는 화합물, 예컨대 물(H₂O) 등이 배기된다. 따라서, 챔버에서 형성된 산화물 절연층(356)에 포함된 불순물의 농도를 줄일 수 있다.

- [0396] 수소, 물, 수산기 또는 수소화물과 같은 불순물이 1ppm 이하, 바람직하게는 10ppb 이하로 제거된 고순도 가스를 산화물 절연층(356)의 성막을 위한 스퍼터링 가스로서 사용하는 것이 바람직하다.
- [0397] 다음으로, 불활성 가스 분위기 또는 산소 가스 분위기에서 제2 가열 처리(바람직하게는 200℃ 이상 400℃ 이하의 온도, 예를 들어 250℃ 이상 350℃ 이하의 온도)를 수행한다. 예를 들어, 제2 가열 처리는 질소 분위기에서 250℃로 1시간 동안 수행한다. 제2 가열 처리를 통해, 산화물 반도체층의 일부(채널 형성 영역)가 산화물 절연층(356)과 접해 있는 상태에서 열이 인가된다.
- [0398] 상술한 공정을 통해, 산화물 반도체막은 선택적으로 과잉 산소를 포함하도록 한다. 그 결과, i형 산화물 반도체층(352)을 형성한다. 상술한 공정으로 박막 트랜지스터(350)를 형성한다.
- [0399] 또한, 가열 처리는 대기에서 100℃ 이상 200℃ 이하의 온도로 1시간 이상 30시간 이하 동안 수행할 수 있다. 본 실시형태에서, 가열 처리는 150℃로 10시간 동안 수행한다. 이러한 가열 처리는 고정된 가열 온도에서 수행할 수 있다. 대안으로, 가열 온도의 다음과 같은 변화를 복수 회 반복적으로 수행할 수 있는데, 가열 온도를 실온으로부터 100℃ 이상 200℃ 이하의 온도로 높이고, 이어서 실온으로 낮춘다. 또한, 이러한 가열 처리는 산화물 절연막의 형성 전에 감압하에서 수행할 수 있다. 감압하에서, 가열 처리 시간은 단축할 수 있다. 이러한 가열 처리로, 수소가 산화물 반도체층으로부터 산화물 절연층으로 도입되고, 따라서 노멀리-오프 박막 트랜지스터를 얻을 수 있다. 그러므로 액정 표시 장치의 신뢰성을 개선할 수 있다.
- [0400] 산화물 절연층(356) 위에 보호 절연층을 형성할 수 있다. 예를 들어, RF 스퍼터링법으로 질화 실리콘막을 형성한다. 본 실시형태에서, 질화 실리콘막을 보호 절연층으로서 사용하여 보호 절연층(343)을 형성한다(도 13d 참조).
- [0401] 보호 절연층(343) 위에 평탄화를 위한 평탄화 절연층을 제공할 수 있다.
- [0402] 상술한 바와 같이 제조한 산화물 반도체층을 사용하는 박막 트랜지스터에서 오프-상태 전류를 감소시킬 수 있다. 그러므로 액정 표시 장치의 표시부의 복수의 화소 각각에 박막 트랜지스터를 사용함으로써, 축적 커패시터에 전압을 유지하기 위한 시간을 연장할 수 있고, 액정 표시 장치에 정지 화상 등을 표시할 때의 전력 소비를 낮출 수 있다. 또한, 정지 화상을 표시하는 경우 제어 신호의 공급을 중단함으로써, 전력 소비를 더욱 낮출 수 있다. 또한, 정지 화상과 동화상을 오동작 없이 스위칭할 수 있다.
- [0403] 실시형태 8은 다른 실시형태에서 기술하는 임의의 구조와 적절히 조합하여 실시할 수 있다.
- [0404] (실시형태 9)
- [0405] 실시형태 9에서, 박막 트랜지스터의 제조 공정이 실시형태 6과 상이한 예를 도 14를 이용하여 기술한다. 도 14는 일부 공정을 제외하고는 도 11a 내지 11e와 동일하므로, 동일한 부분에 대해서는 동일한 참조 부호를 사용하고, 동일한 부분의 상세한 기재는 반복하지 않는다.
- [0406] 실시형태 9에서, 본 명세서에서 개시하는 액정 표시 장치에 적용할 수 있는 박막 트랜지스터의 또 다른 예를 기술한다. 본 실시형태에서 기술한 박막 트랜지스터(380)는 실시형태 1에서 기술한 화소부(1008)의 각 화소에서의 박막 트랜지스터로서 사용할 수 있다.
- [0407] 실시형태 6에 따라, 기판(370) 위에 게이트 전극층(381)을 형성하고, 제1 게이트 절연층(372a) 및 제2 게이트 절연층(372b)을 적층한다. 본 실시형태에서, 게이트 절연층은 2층 구조를 갖는데, 제1 게이트 절연층(372a)으로서 질화물 절연층을 사용하고, 제2 게이트 절연층(372b)으로서 산화물 절연층을 사용한다.
- [0408] 산화물 절연층으로서, 산화 실리콘층, 산화 질화 실리콘층, 산화 알루미늄층, 산화 질화 알루미늄층 등을 사용할 수 있다. 질화물 절연층으로서, 질화 실리콘층, 질화 산화 실리콘층, 질화 알루미늄층, 질화 산화 알루미늄층 등을 사용할 수 있다.
- [0409] 본 실시형태에서, 게이트 절연층은 게이트 전극층(381) 위에 질화 실리콘층 및 산화 실리콘층이 적층되어 있는 구조를 갖는다. 예를 들어, 스퍼터링법으로 50nm 이상 200nm 이하의 두께(본 실시형태에서는 50nm)를 갖는 질화 실리콘층(SiN_y(y>0))을 제1 게이트 절연층(372a)으로서 형성하고, 이어서 5nm 이상 300nm 이하의 두께(본 실시형태에서는 100nm)를 갖는 산화 실리콘층(SiO_x(x>0))을 제1 게이트 절연(372a)층 위의 제2 게이트 절연층

(372b)으로서 적층하는 방식으로, 150nm 두께의 게이트 절연층을 형성한다.

- [0410] 다음으로, 산화물 반도체막을 형성하고, 포토리소그래피 공정으로 섬 형상의 산화물 반도체층으로 가공한다. 본 실시형태에서, 산화물 반도체막은 In-Ga-Zn-계 산화물 반도체 타깃을 사용하여 스퍼터링법으로 형성한다.
- [0411] 이 경우, 산화물 반도체막의 성막 시 챔버 내의 잔류 수분을 제거하는 것이 바람직하다. 이는, 산화물 반도체막이 수소, 수산기 또는 수분을 함유하는 것을 방지하기 위해서이다.
- [0412] 챔버로부터 잔류 수분을 제거하기 위하여, 바람직하게는 흡착형 진공 펌프를 사용한다. 예를 들어, 바람직하게는 크라이오펌프, 이온 펌프, 또는 티타늄 서블리메이션 펌프를 사용한다. 배기 유닛으로서, 콜드 트랩이 부가되어 있는 터보 분자 펌프를 사용할 수 있다. 크라이오펌프를 사용하여 배기를 수행하는 챔버에서, 예를 들어 수소 분자, 수소 원자를 포함하는 화합물, 예컨대 물(H₂O) 등이 배기된다. 따라서, 챔버에서 형성된 산화물 반도체막에 포함된 불순물의 농도를 줄일 수 있다.
- [0413] 수소, 물, 수산기 또는 수소화물과 같은 불순물이 1ppm 이하, 바람직하게는 10ppb 이하로 제거된 고순도 가스를 산화물 반도체막의 성막을 위한 스퍼터링 가스로서 사용하는 것이 바람직하다.
- [0414] 다음으로, 산화물 반도체층의 탈수화 및/또는 탈수소화를 수행한다. 탈수화 및/또는 탈수소화를 위한 제1 가열 처리의 온도는 400℃ 이상 750℃ 이하, 바람직하게는 425℃ 이상이다. 가열 처리 시간은 425℃ 이상의 온도에서 1시간 이하이고, 425℃ 미만의 온도에서 1시간 초과이다. 본 실시형태에서, 가열 처리 장치의 한 종류인 전기로에 기판을 배치하고, 질소 분위기에서 산화물 반도체층에 가열 처리를 수행하고, 이어서 대기에 노출하지 않으면서 산화물 반도체층에 물 또는 수소가 침입하는 것을 방지하고, 따라서 산화물 반도체층을 얻는다. 그 후, 고순도 산소 가스, 고순도 N₂O 가스, 또는 초건조 에어(-40℃ 이하, 바람직하게는 -60℃ 이하의 노점을 가짐)를 동일한 로에 도입함으로써 냉각을 수행한다. 산소 가스 또는 N₂O 가스는 물, 수소 등을 함유하지 않는 것이 바람직하다. 대안으로, 가열 처리 장치에 도입하는 산소 가스 또는 N₂O 가스의 순도는 바람직하게는 6N(99.9999%) 이상, 더욱 바람직하게는 7N(99.99999%) 이상(즉, 산소 가스 또는 N₂O 가스의 불순물 농도는 1ppm 이하, 바람직하게는 0.1ppm 이하임)이다.
- [0415] 가열 처리 장치는 전기로에 한정하지 않는다. 예를 들어, RTA(급속 열 어닐링) 장치, 예컨대 GRTA(가스 급속 열 어닐링) 장치 또는 LRTA(램프 급속 열 어닐링) 장치를 사용할 수 있다. LRTA 장치는 램프, 예컨대 할로겐 램프, 금속 할라이드 램프, 크세논 아크 램프, 탄소 아크 램프, 고압 나트륨 램프, 또는 고압 수은 램프로부터 방출된 광(전자기파)의 복사를 통해 처리 대상을 가열하기 위한 장치이다. LRTA 장치는 램프뿐만 아니라 저항 발열체 등과 같은 발열체로부터의 열 전도 또는 열 복사를 통해 처리 대상을 가열하는 장치를 구비할 수 있다. GRTA는 고온 가스를 사용하는 가열 처리를 위한 방법이다. 가스로서, 가열 처리를 통해 처리 대상과 반응하지 않는 불활성 가스, 예컨대 질소 또는 아르곤과 같은 희가스를 사용한다. 가열 처리는 RTA법으로 600℃ 내지 750℃로 수 분 동안 수행할 수 있다.
- [0416] 탈수화 및/또는 탈수소화를 위한 제1 가열 처리 후, 200℃ 이상 400℃ 이하, 바람직하게는 200℃ 이상 300℃ 이하의 온도로 산소 가스 분위기 또는 N₂O 가스 분위기에서 가열 처리를 수행할 수 있다.
- [0417] 산화물 반도체층의 제1 가열 처리는 섬 형상의 산화물 반도체층으로 가공하기 전의 산화물 반도체막에 또한 수행할 수 있다. 이 경우, 제1 가열 처리 후 가열 장치로부터 기판을 꺼내고, 이어서 포토리소그래피 공정을 수행한다.
- [0418] 상술한 공정을 통해 전체 산화물 반도체막은 초과량의 산소를 함유하고, 이로 인해 산화물 반도체막은 더 높은 저항을 갖고, 즉 i형이 된다. 따라서, 전체 영역이 i형인 산화물 반도체층(382)을 형성한다.
- [0419] 다음으로, 산화물 반도체층(382) 위에 포토리소그래피 공정으로 레지스트 마스크를 형성하고, 선택적으로 에칭하여 소스 전극층(385a) 및 드레인 전극층(385b)을 형성하고, 이어서 스퍼터링법으로 산화물 절연층(386)을 형성한다.
- [0420] 이 경우, 산화물 절연층(386)의 성막 시 챔버 내의 잔류 수분을 제거하는 것이 바람직하다. 이는, 산화물 반도체층(382) 및 산화물 절연층(386)이 수소, 수산기 및/또는 수분을 함유하는 것을 방지하기 위해서이다.
- [0421] 챔버 내의 잔류 수분을 제거하기 위하여, 흡착형 진공 펌프를 사용하는 것이 바람직하다. 예를 들어, 바람직하게는 크라이오펌프, 이온 펌프, 또는 티타늄 서블리메이션 펌프를 사용한다. 배기 유닛으로서, 콜드 트랩이 부

가되어 있는 터보 분자 펌프를 사용할 수 있다. 크라이오펌프를 사용하여 배기를 수행하는 챔버에서, 예를 들어 수소 분자, 수소 원자를 포함하는 화합물, 예컨대 물(H₂O) 등이 배기된다. 따라서, 챔버에서 형성된 산화물 절연층(386)에 포함된 불순물의 농도를 줄일 수 있다.

- [0422] 수소, 물, 수산기 또는 수소화물과 같은 불순물이 1ppm 이하, 바람직하게는 10ppb 이하로 제거된 고순도 가스를 산화물 절연층(386)의 성막을 위한 스퍼터링 가스로서 사용하는 것이 바람직하다.
- [0423] 상술한 공정을 통해 박막 트랜지스터(380)를 제조할 수 있다.
- [0424] 다음으로, 박막 트랜지스터의 전기적 특성의 변동을 억제하기 위하여, 불활성 가스 분위기 또는 질소 가스 분위기에서 가열 처리(바람직하게는 150℃ 이상 350℃ 미만의 온도)를 수행할 수 있다. 예를 들어, 가열 처리는 질소 분위기에서 250℃로 1시간 동안 수행한다.
- [0425] 또한, 가열 처리는 대기에서 100℃ 이상 200℃ 이하의 온도로 1시간 이상 30시간 이하 동안 수행할 수 있다. 본 실시형태에서, 가열 처리는 150℃로 10시간 동안 수행한다. 이러한 가열 처리는 고정된 가열 온도에서 수행할 수 있다. 대안으로, 가열 온도의 다음과 같은 변화를 복수 회 반복적으로 수행할 수 있는데, 가열 온도를 실온으로부터 100℃ 이상 200℃ 이하의 온도로 높이고, 이어서 실온으로 낮춘다. 또한, 이러한 가열 처리는 산화물 절연막의 형성 전에 감압하에서 수행할 수 있다. 감압하에서, 가열 처리 시간은 단축할 수 있다. 이러한 가열 처리로, 수소가 산화물 반도체층으로부터 산화물 절연층으로 도입되고, 따라서 노멀리-오프 박막 트랜지스터를 얻을 수 있다. 그러므로 액정 표시 장치의 신뢰성을 개선할 수 있다.
- [0426] 산화물 절연층(386) 위에 보호 절연층(373)을 형성한다. 본 실시형태에서, 스퍼터링법으로 100nm 두께의 질화 실리콘막을 보호 절연층(373)으로서 형성한다.
- [0427] 질화물 절연층인 보호 절연층(373) 및 제1 게이트 절연층(372a)은 수분, 수소, 수소화물, 또는 수산화물과 같은 불순물을 함유하지 않고, 이러한 불순물이 외부로부터 침입하는 것을 차단한다.
- [0428] 그러므로 보호 절연층(373)의 형성 후의 제조 공정에서 수분과 같은 불순물이 외부로부터 침입하는 것을 방지할 수 있다. 또한, 장치가 액정 표시 장치와 같은 반도체 장치로서 완성된 후에도 수분과 같은 불순물이 외부로부터 침입하는 것을 장기간 방지할 수 있고, 그러므로 장치의 장기간 신뢰성을 개선할 수 있다.
- [0429] 질화물 절연층인 보호 절연층(373)과 제1 게이트 절연층(372a) 사이에 제공된 절연층들을 제거하여, 보호 절연층(373)을 제1 게이트 절연층(372a)과 접하게 할 수 있다.
- [0430] 따라서, 산화물 반도체층의 수분, 수소, 수소화물, 또는 수산화물과 같은 불순물을 줄일 수 있고, 불순물의 침입을 방지하여 산화물 반도체층의 불순물 농도를 낮게 유지할 수 있다.
- [0431] 보호 절연층(373) 위에 평탄화를 위한 평탄화 절연층을 제공할 수 있다.
- [0432] 상술한 바와 같이 산화물 반도체층을 사용하는 박막 트랜지스터를 사용하는 액정 표시 장치의 표시부의 복수의 화소 각각에서 오프-상태 전류를 감소시킬 수 있다. 그러므로 축적 커패시터에 전압을 유지하기 위한 기간을 연장할 수 있고, 액정 표시 장치에 정지 화상 등을 표시할 때의 전력 소비를 낮출 수 있다. 또한, 정지 화상을 표시하는 경우 제어 신호의 공급을 중단함으로써, 전력 소비를 더욱 낮출 수 있다. 또한, 정지 화상과 동화상을 오동작 없이 스위칭할 수 있다.
- [0433] 실시형태 9는 다른 실시형태에서 기술하는 임의의 구조와 적절히 조합하여 실시할 수 있다.
- [0434] (실시형태 10)
- [0435] 실시형태 10에서, 본 명세서에서 개시하는 액정 표시 장치에 적용할 수 있는 박막 트랜지스터의 또 다른 예를 기술한다. 본 실시형태에서 기술한 박막 트랜지스터는 실시형태 1의 박막 트랜지스터로서 사용할 수 있는 실시형태 2 내지 8 중 임의의 실시형태의 박막 트랜지스터로서 사용할 수 있다.
- [0436] 실시형태 10에서, 투광성을 갖는 도전 재료를 게이트 전극층, 소스 전극층 및 드레인 전극층 중 임의의 것에 사용하는 예를 기술한다. 상술한 실시형태는 상술한 실시형태와 동일한 부분 및 유사한 기능을 갖는 부분 및 공정에 적용할 수 있고, 그 기재는 반복하지 않음을 알아야 한다. 또한, 동일한 부분에 대한 구체적인 기재는 생략한다.
- [0437] 게이트 전극층, 소스 전극층 및 드레인 전극층 중 임의의 것의 재료로서, 가시광을 투과시키는 도전 재료를 사용할 수 있다. 예를 들어, In-Sn-O계 금속 산화물, In-Sn-Zn-O계 금속 산화물, In-Al-Zn-O계 금속 산화물,

Sn-Ga-Zn-O계 금속 산화물, Al-Ga-Zn-O계 금속 산화물, Sn-Al-Zn-O계 금속 산화물, In-Zn-O계 금속 산화물, Sn-Zn-O계 금속 산화물, Al-Zn-O계 금속 산화물, In-O계 금속 산화물, Sn-O계 금속 산화물, 및 Zn-O계 금속 산화물 중 임의의 금속 산화물을 사용할 수 있다. 그 두께는 50nm 이상 300nm 이하의 범위로 적절히 설정한다. 게이트 전극층, 소스 전극층, 및 드레인 전극층 중 임의의 것에 사용하는 금속 산화물의 성막 방법으로서, 스퍼터링법, 진공 증착법(전자빔 증착법 등), 아크 방전 이온 플래팅법, 또는 스프레이법을 이용한다. 스퍼터링법을 이용하는 경우, SiO₂를 2 중량% 이상 10 중량% 이하로 함유하는 타깃을 사용하여 성막을 수행하고, 나중의 공정에서 가열 처리 시의 결정화를 방지하기 위하여 결정화를 억제하는 SiO_x(X>0)를 투광성 도전막에 함유시키는 것이 바람직하다.

[0438] 투광성 도전막에서 성분들의 백분율 단위는 원자%이고, 성분들의 백분율은 전자 프로브 X선 마이크로 애널리저(EPMA)를 사용하여 분석함으로써 평가함을 알아야 한다.

[0439] 박막 트랜지스터를 구비하는 화소에서, 화소 전극층, 또 다른 전극층(예컨대 커패시터 전극층), 또는 배선층(예컨대 커패시터 배선층)을 가시광을 투과시키는 도전막을 사용하여 형성하는 경우, 높은 개구율을 갖는 표시 장치를 실현할 수 있다. 물론, 화소 내의 게이트 절연층, 산화물 절연층, 보호 절연층, 및 평탄화 절연층 각각도 가시광을 투과시키는 막을 사용하여 형성하는 것이 바람직하다.

[0440] 본 명세서에서, 가시광을 투과시키는 막은 75% 내지 100%의 가시광 투과율을 갖는 두께를 구비한 막을 의미한다. 막이 도전성을 갖는 경우, 막은 투명한 도전막으로도 칭한다. 또한, 가시광에 대하여 반투명한 도전막은 게이트 전극층, 소스 전극층, 드레인 전극층, 화소 전극층, 또 다른 전극층, 또는 또 다른 배선층에 적용하는 금속 산화물로서 사용할 수 있다. 가시광에 대하여 반투명한 도전막은 50% 내지 75%의 가시광 투과율을 갖는 막을 나타낸다.

[0441] 박막 트랜지스터가 투광성을 갖는 경우, 개구율이 증가할 수 있다. 특히 10인치 이하의 소형 액정 표시 패널의 경우, 예를 들어 게이트 배선의 수를 증가시킴으로써 표시 화상의 더욱 높은 해상도를 실현하기 위하여 화소의 크기를 감소시키더라도 높은 개구율을 달성할 수 있다. 또한, 박막 트랜지스터의 구성 요소에 투광성을 갖는 막을 사용함으로써, 넓은 시야각을 실현하기 위하여 1화소를 복수의 서브화소로 분할하더라도 높은 개구율을 달성할 수 있다. 즉, 고밀도 박막 트랜지스터들의 그룹을 제공하더라도 높은 개구율을 유지할 수 있어, 충분한 면적의 표시 영역을 확보할 수 있다. 예를 들어, 1화소가 2개 내지 4개의 서브화소를 포함하는 경우, 박막 트랜지스터가 투광성을 갖기 때문에 개구율을 개선할 수 있다. 또한, 박막 트랜지스터의 구성 요소와 동일한 공정으로 동일한 재료를 사용하여 축적 커패시터를 형성할 수 있어, 축적 커패시터가 투광성을 가질 수 있고, 이로 인해 개구율을 더욱 개선할 수 있다.

[0442] 실시형태 10은 다른 실시형태에서 기술한 임의의 구조와 적절히 조합하여 실시할 수 있다.

[0443] (실시형태 11)

[0444] 액정 표시 장치의 한 실시형태인 액정 표시 패널의 외관 및 단면은 도 15a 내지 15c를 참조하여 기술한다. 도 15a 및 15c는 각각 제1 기관(4001) 위에 형성되어 있는 박막 트랜지스터(4010 및 4011) 및 액정 소자(4013)가 제1 기관(4001)과 제2 기관(4006) 사이에 밀봉재(4005)로 밀봉되어 있는 패널의 상면도이다. 도 15b는 도 15a 또는 도 15c의 라인 M-N에 따른 단면도에 상당한다.

[0445] 제1 기관(4001) 위에 제공되어 있는 화소부(4002) 및 주사선 구동 회로(4004)를 둘러싸기 위하여 밀봉재(4005)를 제공한다. 화소부(4002) 및 주사선 구동 회로(4004) 위에 제2 기관(4006)을 제공한다. 그러므로 화소부(4002) 및 주사선 구동 회로(4004)는 제1 기관(4001), 밀봉재(4005) 및 제2 기관(4006)을 통해 액정층(4008)과 함께 밀봉되어 있다. 제1 기관(4001) 위의 밀봉재(4005)에 의해 둘러싸인 영역과는 상이한 영역에, 별도로 준비된 기관 위의 단결정 반도체막 또는 다결정 반도체막을 사용하여 형성한 신호선 구동 회로(4003)가 장착되어 있다.

[0446] 별도로 형성하는 구동 회로의 접속 방법은 특별히 한정하지 않고, COG법, 와이어 본딩법, TAB법 등을 이용할 수 있음을 알아야 한다. 도 15a는 COG법으로 신호선 구동 회로(4003)를 장착하는 예를 나타내고, 도 15c는 TAB법으로 신호선 구동 회로(4003)를 장착하는 예를 나타낸다.

[0447] 또한, 제1 기관(4001) 위에 제공된 화소부(4002) 및 주사선 구동 회로(4004) 각각은 복수의 박막 트랜지스터를 포함한다. 도 15b는 화소부(4002)에 포함된 박막 트랜지스터(4010) 및 주사선 구동 회로(4004)에 포함된 박막 트랜지스터(4011)를 예시한다. 박막 트랜지스터(4010 및 4011) 위에 절연층(4041, 4042, 4020, 및 4021)이 제

공되어 있다.

- [0448] 실시형태 2 내지 9에서 기술한 임의의 박막 트랜지스터를 각각의 박막 트랜지스터(4010 및 4011)로서 적절히 사용할 수 있고, 유사한 공정 및 유사한 재료를 사용하여 형성할 수 있다. 각각의 박막 트랜지스터(4010 및 4011)의 산화물 반도체층에서, 수소 또는 물은 감소되어 있다. 따라서, 박막 트랜지스터(4010 및 4011)는 높은 신뢰성을 갖는다. 본 실시형태에서, 박막 트랜지스터(4010 및 4011)는 n채널 박막 트랜지스터이다.
- [0449] 구동 회로용 박막 트랜지스터(4011)의 산화물 반도체층의 채널 형성 영역과 겹치는 절연층(4021)의 일부 위에 도전층(4040)이 제공되어 있다. 도전층(4040)을 산화물 반도체층의 채널 형성 영역과 겹치는 위치에 제공함으로써, BT 시험에 의한 박막 트랜지스터(4011)의 임계 전압의 변화량을 감소시킬 수 있다. 도전층(4040)의 전위는 박막 트랜지스터(4011)의 게이트 전극층의 전위와 동일하거나 상이할 수 있다. 도전층(4040)은 제2 게이트 전극층으로서도 기능할 수 있다. 또한, 도전층(4040)의 전위는 GND 또는 0V일 수 있거나, 도전층(4040)은 플로팅 상태일 수 있다.
- [0450] 액정 소자(4013)에 포함된 화소 전극층(4030)은 박막 트랜지스터(4010)의 소스 전극층 또는 드레인 전극층에 전기적으로 접속되어 있다. 액정 소자(4013)의 대향 전극층(4031)은 제2 기판(4006) 위에 제공되어 있다. 화소 전극층(4030), 대향 전극층(4031), 및 액정층(4008)이 서로 겹치는 부분은 액정 소자(4013)에 대응한다. 화소 전극층(4030) 및 대향 전극층(4031)은 배향막으로서 각각 기능하는 절연층(4032) 및 절연층(4033)을 별도로 구비하고, 액정층(4008)은 절연층(4032 및 4033)이 그 사이에 개재되어 있는 화소 전극층(4030)과 대향 전극층(4031) 사이에 개재되어 있음을 알아야 한다.
- [0451] 제1 기판(4001) 및 제2 기판(4006) 각각으로서, 투광성 기판을 사용할 수 있고, 유리, 세라믹, 또는 플라스틱을 사용할 수 있다. 플라스틱으로서, 섬유유리-강화 플라스틱(FRP)판, 폴리비닐 플루오라이드(PVF) 필름, 폴리에스테르 필름, 또는 아크릴 수지 필름을 사용할 수 있다.
- [0452] 스페이서(4035)는 절연막의 선택적인 에칭을 통해 얻은 주상형 스페이서이고, 화소 전극층(4030)과 대향 전극층(4031) 사이의 거리(셀 갭)를 제어하기 위하여 제공되어 있다. 대안으로, 구형 스페이서를 사용할 수 있다. 또한, 대향 전극층(4031)은 박막 트랜지스터(4010)와 동일한 기판 위에 형성된 공통 전위선에 전기적으로 접속되어 있다. 공통 접속부의 사용으로, 대향 전극층(4031) 및 공통 전위선은 한 쌍의 기판 사이에 배치된 도전성 입자를 통해 서로 전기적으로 접속할 수 있다. 도전성 입자는 밀봉재(4005)에 포함되어 있다.
- [0453] 액정으로서, 서모트로픽 액정, 저분자 액정, 고분자 액정, 중합체-분산형 액정, 강유전성 액정, 반강유전성 액정 등을 사용한다. 이러한 액정 재료는 조건에 따라 콜레스테릭 상, 스멕틱 상, 큐빅 상, 키랄 네마틱 상, 등방 상 등을 나타낸다.
- [0454] 대안으로, 배향막이 불필요한 블루(blue) 상을 나타내는 액정을 사용할 수 있다. 블루 상은 액정 상 중 하나이고, 콜레스테릭 액정의 온도를 증가시키면서 콜레스테릭 상이 등방 상으로 변하기 직전에 발생하는 상이다. 블루 상은 좁은 온도 범위 내에서만 발생하므로, 온도 범위를 넓히기 위하여 키랄제(chiral agent)를 5중량% 이상으로 함유하는 액정 조성물을 액정층(4008)에 사용한다. 블루 상을 나타내는 액정 및 키랄제를 포함하는 액정 조성물은 1ms 이하의 짧은 응답 시간을 갖고, 광학적으로 등방성이고, 이는 배향 처리를 불필요하게 하고, 시야각 의존성이 작다. 배향막을 제공할 필요가 없으므로, 러빙(rubbing) 처리가 불필요하고, 따라서 러빙 처리로 야기된 정전 방전(electrostatic discharge) 손상을 방지할 수 있고, 제조 공정 시 액정 표시 장치의 결함 및 손상을 줄일 수 있다. 따라서, 액정 표시 장치의 생산성을 개선할 수 있다. 산화물 반도체층을 포함하는 박막 트랜지스터는 특히 박막 트랜지스터의 전기적 특성이 정전기의 영향에 의해 현저하게 변동할 수 있고 설계 범위를 일탈할 수 있는 가능성이 있다. 그러므로 산화물 반도체층을 포함하는 박막 트랜지스터를 구비하는 액정 표시 장치에 대하여 블루 상 액정 재료를 사용하는 것이 더욱 효과적이다.
- [0455] 본 실시형태에서 액정 재료의 고유 저항은 $1 \times 10^{12} \Omega \cdot \text{cm}$ 이상, 바람직하게는 $1 \times 10^{13} \Omega \cdot \text{cm}$ 이상, 더욱 바람직하게는 $1 \times 10^{14} \Omega \cdot \text{cm}$ 이상이다. 액정 재료를 사용하는 액정 셀의 경우의 저항은 $1 \times 10^{11} \Omega \cdot \text{cm}$ 이상이고, 배향막 또는 밀봉재료로부터 불순물이 침입할 수 있어 더욱 바람직하게는 $1 \times 10^{12} \Omega \cdot \text{cm}$ 초과이다. 본 명세서에서 고유 저항의 값은 20°C에서 측정한다.
- [0456] 액정 재료의 고유 저항이 증가함에 따라 액정 재료를 통해 누설되는 전하량을 줄일 수 있어, 액정 소자의 동작 상태를 유지하기 위한 전압의 시간에 따른 감소(decrease over time)를 억제할 수 있다. 그 결과, 유지 기간을 연장할 수 있고, 신호 기입의 빈도를 줄일 수 있고, 표시 장치의 더욱 낮은 전력 소비를 달성할 수 있다.

- [0457] 본 발명의 이러한 실시형태는 투과형 액정 표시 장치뿐만 아니라 반투과형(투과반사형) 또는 반사형 액정 표시 장치에도 적용할 수 있다. 본 실시형태의 표시 장치는 액정 표시 장치에 한정하지 않고, 전계발광 소자(EL 소자)로도 칭함)와 같은 발광 소자를 표시 소자로서 사용하는 EL 표시 장치일 수 있다.
- [0458] 액정 표시 장치의 예는, 편광판이 기관의 외부 표면(뷰어 측)에 제공되어 있고, 착색층 및 표시 소자에 사용하는 전극층이 기관의 내부 표면에 이러한 순서로 제공되어 있지만, 편광판은 기관의 내부 표면에 제공할 수 있다. 편광판과 착색층의 적층 구조는 본 실시형태에서 기술한 구조에 한정하지 않고, 편광판과 착색층의 재료 또는 제조 공정의 조건에 따라 적절하게 설정할 수 있다. 또한, 블랙 매트릭스로서 기능하는 차광막을 표시부 외의 영역에 제공할 수 있다.
- [0459] 박막 트랜지스터(4011 및 4010) 위에 산화물 반도체층과 접하여 절연층(4041)이 형성되어 있다. 절연층(4041)은 실시형태 2에서 기술한 산화물 절연층(416)과 유사한 방법으로 유사한 재료를 사용하여 형성할 수 있다. 본 실시형태에서, 실시형태 2를 이용하여 스퍼터링법으로 산화 실리콘층을 절연층(4041)으로서 형성한다. 또한, 절연층(4041) 위에 접하여 보호 절연층(4042)을 형성한다. 보호 절연층(4042)은 실시형태 2에서 기술한 보호 절연층(403)과 유사한 방식으로 형성할 수 있고, 예를 들어 질화 실리콘막을 사용할 수 있다. 또한, 박막 트랜지스터의 표면 거칠기를 줄이기 위하여, 보호 절연층(4042)은 평탄화 절연막으로서 기능하는 절연층(4021)으로 덮는다.
- [0460] 평탄화 절연막으로서 절연층(4021)을 형성한다. 절연층(4021)으로서, 내열성을 갖는 유기 재료, 예컨대 폴리이미드, 아크릴, 벤조시클로부텐, 폴리아미드, 또는 에폭시를 사용할 수 있다. 이러한 유기 재료 외에, 저-유전율 재료(낮은-k 재료), 실록산계 수지, 포스포실리케이트 유리(PSG), 보로포스포실리케이트 유리(BPSG) 등을 또한 사용할 수 있다. 이러한 재료를 사용하여 형성한 복수의 절연막을 적층함으로써 절연층(4021)을 형성할 수 있다.
- [0461] 절연층(4021)을 형성하기 위한 방법에 대한 특별한 제한은 없다. 절연층(4021)은 재료에 따라 스퍼터링법, SOG 법, 스핀 코팅법, 디핑법, 스프레이 코팅법, 또는 액적 토출법(예를 들어 잉크젯법, 스크린 인쇄법, 또는 오프셋 인쇄법)과 같은 방법, 또는 닥터 나이프, 롤 코터, 커튼 코터, 또는 나이프 코터와 같은 도구(장비)로 형성할 수 있다. 절연층(4021)의 소성 공정(baking step)은 또한 반도체층의 어닐링으로서 기능하고, 이로 인해 액정 표시 장치를 효과적으로 제조할 수 있다.
- [0462] 화소 전극층(4030) 및 대향 전극층(4031)은 투광성 도전 재료, 예컨대 인듐 주석 산화물(ITO), 산화 인듐에 산화 아연(ZnO)이 혼합되어 있는 인듐 아연 산화물(IZO), 산화 인듐에 산화 실리콘(SiO₂)이 혼합되어 있는 도전 재료, 유기 인듐, 유기 주석, 산화 텅스텐을 함유하는 인듐 산화물, 산화 텅스텐을 함유하는 인듐 아연 산화물, 산화 티타늄을 함유하는 인듐 산화물, 또는 산화 티타늄을 함유하는 인듐 주석 산화물을 사용하여 형성할 수 있다. 대안으로, 반사형 액정 표시 장치의 화소 전극층(4030) 또는 대향 전극층(4031)에 대하여 투광 특성이 필요 없거나, 반사 특성이 필요한 경우, 화소 전극층(4030) 또는 대향 전극층(4031)은 텅스텐(W), 몰리브덴(Mo), 지르코늄(Zr), 하프늄(Hf), 바나듐(V), 니오븀(Nb), 탄탈(Ta), 크롬(Cr), 코발트(Co), 니켈(Ni), 티타늄(Ti), 백금(Pt), 알루미늄(Al), 구리(Cu), 또는 은(Ag)과 같은 금속, 그 합금, 및 그 질화물로부터 선택된 하나 또는 복수의 종류를 사용하여 형성할 수 있다.
- [0463] 화소 전극층(4030) 및 대향 전극층(4031)에 대하여 도전성 고분자(도전성 중합체로도 칭함)를 함유하는 도전성 조성물을 사용할 수 있다. 도전성 조성물을 사용하여 형성한 화소 전극은 바람직하게는 10000Ω/□ 이하의 시트 저항 및 550nm의 파장에서 70% 이상의 투과율을 갖는다. 또한, 도전성 조성물에 함유된 도전성 고분자의 저항률은 바람직하게는 0.1Ω·cm 이하이다.
- [0464] 도전성 고분자로서, 소위 π-전자 공액형 도전성 중합체를 사용할 수 있다. 예를 들어, 폴리아닐린 또는 그 유도체, 폴리피롤 또는 그 유도체, 폴리티오펜 또는 그 유도체, 이들 중 둘 이상의 종류의 공중합체 등을 제공할 수 있다.
- [0465] 또한, 다양한 신호 및 전위는 FPC(4018)로부터, 별도로 형성되어 있는 신호선 구동 회로(4003), 주사선 구동 회로(4004), 또는 화소부(4002)에 공급된다.
- [0466] 접속 단자 전극(4015)은 액정 소자(4013)에 포함된 화소 전극층(4030)과 동일한 도전막으로부터 형성하고, 단자 전극(4016)은 박막 트랜지스터(4010 및 4011)의 소스 전극층 및 드레인 전극층과 동일한 도전막으로부터 형성한다.

- [0467] 접속 단자 전극(4015)은 이방성 도전막(4019)을 통해 FPC(4018)에 포함된 단자에 전기적으로 접속되어 있다.
- [0468] 도 15a 내지 15c는 신호선 구동 회로(4003)가 별도로 형성되어 제1 기관(4001) 위에 장착되어 있는 예를 예시하지만, 본 실시형태는 이러한 구조에 한정하지 않는다. 주사선 구동 회로를 별도로 형성한 후 장착할 수 있거나, 신호선 구동 회로의 일부만 또는 주사선 구동 회로의 일부만을 별도로 형성한 후 장착할 수 있다.
- [0469] 블랙 매트릭스(차광층), 광학 부재(광학 기관), 예컨대 편광 부재, 위상차 부재, 또는 반사방지 부재 등을 적절히 제공한다. 예를 들어, 편광 기관 및 위상차 기관을 사용함으로써 원 편광을 이용할 수 있다. 또한, 광원으로서 백라이트, 사이드 라이트 등을 사용할 수 있다.
- [0470] 액티브 매트릭스 액정 표시 장치에서, 매트릭스에 배치되어 있는 화소 전극들의 구동을 통해 스크린에 표시 패턴을 형성한다. 구체적으로, 선택된 화소 전극과 화소 전극에 대응하는 대향 전극 사이에 전압을 인가하고, 따라서 화소 전극과 대향 전극 사이에 배치된 액정층이 광학적으로 변조된다. 이러한 광학적인 변조는 표시 패턴으로서 관찰자에게 인식된다.
- [0471] 또한, 박막 트랜지스터는 정전기 등에 의해 쉽게 손상되므로, 바람직하게는 화소부 또는 구동 회로부와 동일한 기관 위에 보호 회로를 제공한다. 보호 회로는 바람직하게는 산화물 반도체층을 포함하는 비선형 소자로 형성한다. 예를 들어, 보호 회로는 화소부와 주사선 입력 단자 및 신호선 입력 단자 사이에 제공한다. 본 실시형태에서, 복수의 보호 회로를 제공하여, 정전기 등에 기인한 서지 전압이 주사선, 신호선 또는 커패시터 버스선에 인가될 때 화소 트랜지스터는 손상되지 않는다. 따라서, 보호 회로는 서지 전압이 보호 회로에 인가될 때 공통 배선에 전하를 놓아준다. 보호 회로는 공통 배선과 주사선, 신호선 또는 커패시터 버스선 사이에 병렬로 배열되어 있는 비선형 소자들을 포함한다. 각각의 비선형 소자는 다이오드와 같은 2-단자 소자 또는 트랜지스터와 같은 3-단자 소자를 포함한다. 예를 들어, 비선형 소자는 화소부의 박막 트랜지스터와 동일한 공정을 통해 형성할 수 있다. 예를 들어, 게이트 단자를 드레인 단자에 접속함으로써 다이오드와 유사한 특성을 달성할 수 있다.
- [0472] 또한, 액정 표시 모듈의 경우, TN(twisted nematic) 모드, IPS(in-plane-switching) 모드, FFS(fringe field switching) 모드, ASM(axially symmetric aligned micro-cell) 모드, OCB(optical compensated birefringence) 모드, FLC(ferroelectric liquid crystal) 모드, AFLC(antiferroelectric liquid crystal) 모드 등을 이용할 수 있다.
- [0473] 본 명세서에서 개시하는 액정 표시 장치에 대한 특별한 제한은 없고, TN 액정, OCB 액정, STN 액정, VA 액정, ECB 액정, GH 액정, 중합체 분산형 액정, 디스코틱(discotic) 액정 등을 사용할 수 있다. 특히, 노멀리 블랙 액정 패널, 예컨대 수직 배향(VA) 모드를 이용하는 투과형 액정 표시 장치가 바람직하다. 수직 배향 모드의 몇 가지 예가 있는데, 예를 들어 멀티-도메인 수직 배향(MVA) 모드, 패턴 수직 배향(PVA) 모드, ASV 모드 등을 이용할 수 있다.
- [0474] 또한, 본 실시형태는 VA 액정 표시 장치에 적용할 수 있다. VA 액정 표시 장치는 액정 표시 패널의 액정 분자의 배향을 제어하는 형태의 한 종류이다. VA 액정 표시 장치에서, 전압이 인가되지 않을 때 액정 분자는 패널 표면에 대하여 수직 방향으로 배열되어 있다. 또한, 화소를 몇몇 영역(서브화소)으로 분할하고, 분자들이 각각의 영역에서 상이한 방향으로 배열되어 있는 도메인 증배화(domain multiplication) 또는 멀티 도메인 설계로 불리는 방법을 이용할 수 있다.
- [0475] 실시형태 11은 다른 실시형태에서 기술하는 임의의 구조와 적절히 조합하여 실시할 수 있다.
- [0476] (실시형태 12)
- [0477] 실시형태 12에서, 상술한 실시형태들의 임의의 액정 표시 장치를 포함하는 전자 장치의 예를 기술한다.
- [0478] 도 16a는 하우징(9630), 표시부(9631), 스피커(9633), 조작 키(9635), 접속 단자(9636), 기록 매체 관독부(9672) 등을 포함할 수 있는 휴대형 게임기를 예시한다. 도 16a에 예시한 휴대형 게임기는 기록 매체에 저장된 프로그램 또는 데이터를 관독하여 표시부에 표시하는 기능, 무선 통신으로 또 다른 휴대형 게임기와 정보를 공유하는 기능 등을 가질 수 있다. 도 16a에 예시한 휴대형 게임기는 상술한 기능 외에 다양한 기능을 가질 수 있다.
- [0479] 도 16b는 하우징(9630), 표시부(9631), 스피커(9633), 조작 키(9635), 접속 단자(9636), 셔터 버튼(9676), 화상 수신부(9677) 등을 포함할 수 있는 디지털 카메라를 예시한다. 도 16b의 텔레비전 수신 기능을 갖는 디지털 카메라는 정지 화상 및/또는 동화상을 촬영하는 기능, 촬영한 화상을 자동으로 또는 수동으로 보정하는 기능,

안테나로부터 다양한 종류의 정보를 얻는 기능, 촬영한 화상 또는 안테나로부터 얻은 정보를 저장하는 기능, 및 촬영한 화상 또는 안테나로부터 얻은 정보를 표시부에 표시하는 기능을 가질 수 있다. 도 16b의 텔레비전 수신 기능을 갖는 디지털 카메라는 상술한 기능 외에 다양한 기능을 가질 수 있다.

[0480] 도 16c는 하우징(9630), 표시부(9631), 스피커(9633), 조작 키(9635), 접속 단자(9636) 등을 포함할 수 있는 텔레비전 세트를 예시한다. 도 16c의 텔레비전 세트는 텔레비전용 전파를 화상 신호로 처리 및 변환하는 기능, 화상 신호를 표시에 적합한 신호로 처리 및 변환하는 기능, 화상 신호의 프레임 주파수를 변환하는 기능 등을 가질 수 있다. 도 16c의 텔레비전 세트는 상술한 기능 외에 다양한 기능을 가질 수 있다.

[0481] 도 17a는 하우징(9630), 표시부(9631), 스피커(9633), 조작 키(9635), 접속 단자(9636), 포인팅 디바이스(9681), 외부 접속 포트(9680) 등을 포함할 수 있는 컴퓨터를 예시한다. 도 17a의 컴퓨터는 다양한 정보(예를 들어 정지 화상, 동화상, 및 텍스트 화상)를 표시부에 표시하는 기능, 다양한 소프트웨어(프로그램)에 의한 프로세싱을 제어하는 기능, 무선 통신 또는 유선 통신과 같은 통신 기능, 통신 기능으로 다양한 컴퓨터 네트워크에 접속하는 기능, 통신 기능으로 다양한 데이터를 송신 또는 수신하는 기능 등을 가질 수 있다. 도 17a의 컴퓨터는 상술한 기능 외에 다양한 기능을 가질 수 있다.

[0482] 도 17b는 하우징(9630), 표시부(9631), 스피커(9633), 조작 키(9635), 마이크로폰(9638) 등을 포함할 수 있는 휴대 전화를 예시한다. 도 17b의 휴대 전화는 다양한 정보(예를 들어 정지 화상, 동화상, 및 텍스트 화상)를 표시부에 표시하는 기능, 캘린더, 날짜, 시각 등을 표시부에 표시하는 기능, 표시부에 표시된 정보를 조작 또는 편집하는 기능, 다양한 종류의 소프트웨어(프로그램)에 의한 프로세싱을 제어하는 기능 등을 가질 수 있다. 도 17b의 휴대 전화는 상술한 기능 외에 다양한 기능을 가질 수 있다.

[0483] 도 17c는 하우징(9630), 표시부(9631), 조작 키(9635) 등을 포함할 수 있는 전자 페이지(전자책(e-book))으로도 칭함)를 예시한다. 도 17c의 전자 페이지는 다양한 정보(예를 들어 정지 화상, 동화상, 및 텍스트 화상)를 표시부에 표시하는 기능, 캘린더, 날짜, 시각 등을 표시부에 표시하는 기능, 표시부에 표시된 정보를 조작 또는 편집하는 기능, 다양한 종류의 소프트웨어(프로그램)에 의한 프로세싱을 제어하는 기능 등을 가질 수 있다. 도 17c의 전자 페이지는 상술한 기능 외에 다양한 기능을 가질 수 있다.

[0484] 본 실시형태에서 기술한 각각의 전자 장치에서, 액정 표시 장치의 표시부의 복수의 화소 각각에서 오프-상태 전류가 감소할 수 있다. 따라서, 축적 커패시터에 전압을 유지하기 위한 기간을 증가시킬 수 있고, 액정 표시 장치에 정지 화상 등을 표시할 때의 전력 소비를 줄일 수 있는 전자 장치를 제조할 수 있다. 또한, 정지 화상을 표시하는 경우 제어 신호의 공급을 중단함으로써, 전력 소비를 더욱 줄일 수 있다. 또한, 정지 화상과 동화상을 오동작 없이 스위칭할 수 있다.

[0485] 실시형태 12는 다른 실시형태에서 기술하는 임의의 구조와 적절히 조합하여 실시할 수 있다.

[0486] (실시형태 13)

[0487] 실시형태 13에서, 산화물 반도체를 포함하는 보텀-게이트 트랜지스터의 동작 원리를 기술한다.

[0488] 도 19는 산화물 반도체를 포함하는 역 스테거형 절연 게이트 트랜지스터의 단면도이다. 산화물 반도체층(OS)은 그 사이에 제1 게이트 전극(G1)이 개재되어 게이트 전극(G1) 위에 제공되어 있고, 그 위에 소스 전극(S) 및 드레인 전극(D)이 제공되어 있다. 또한, 소스 전극(S) 및 드레인 전극(D) 위에 제2 게이트 절연막(GI2)이 제공되어 있고, 그 위에 제2 게이트 전극(G2)이 제공되어 있다. G2는 접지 전위로 유지된다.

[0489] 이하에서, 에너지 밴드 다이어그램을 이용하여 기술한다. 본 명세서에서 기술한 에너지 밴드 다이어그램은 이해를 위하여 가능한 한 단순화되어 있고 정밀하지는 않다. 도 20a 및 20b는 도 19에 예시한 A-A' 섹션에 따른 에너지 밴드 다이어그램(계통도)이다. 도 20a는 소스에 인가된 전압의 전위가 드레인에 인가된 전압의 전위와 동일한 경우(VD=0V)를 예시하고, 도 20b는 소스에 관한 플러스 전위가 드레인에 인가되는 경우(VD>0)를 예시한다.

[0490] 도 21a 및 21b는 도 19에 예시한 B-B' 섹션에 따른 에너지 밴드 다이어그램(계통도)이다. 도 21a는 플러스 전위(+VG)가 게이트(G1)에 인가되어 있고, 캐리어(전자)가 소스와 드레인 사이에서 흐르는 온 상태를 예시한다. 도 21b는 마이너스 전위(-VG)가 게이트(G1)에 인가되어 있고, 소수 캐리어가 흐르지 않는 경우를 예시한다.

[0491] 도 22는 진공 준위와 금속의 일함수(ϕ_M) 간의 관계 및 진공 준위와 산화물 반도체의 전자 친화도(χ) 간의 관계를 예시한다.

- [0492] 금속은 축퇴하므로, 전도대와 페르미 준위는 서로 대응한다. 한편, 통상적인 산화물 반도체는 일반적으로 n형 반도체이고, 이 경우 페르미 준위(E_f)는 밴드갭의 중앙에 위치한 진성 페르미 준위(E_i)로부터 떨어져 있고, 전도대에 더 가깝게 위치하고 있다. 수소는 산화물 반도체의 도너이고, 산화물 반도체를 n형 산화물 반도체가 되게 하는 하나의 인자인 것으로 알려져 있음을 알아야 한다.
- [0493] 한편, 본 발명의 산화물 반도체는, n형 불순물인 수소를 산화물 반도체로부터 제거하고, 산화물 반도체의 주성분 외의 그러한 불순물이 함유되는 것을 가능한 한 방지하도록 산화물 반도체를 정제함으로써 얻는 진성(i형) 또는 실질적인 진성 산화물 반도체이다. 즉, 불순물을 첨가하는 것이 아니라 수소 또는 물과 같은 불순물을 가능한 한 제거함으로써 정제된 i형(진성) 반도체 또는 이에 가까운 반도체를 얻는 것이 특징이다. 이는, 페르미 준위(E_f)를 진성 페르미 준위(E_i)와 동일한 수준이 되게 한다.
- [0494] 산화물 반도체의 밴드갭(E_g)이 3.15eV인 경우, 전자 친화도(χ)는 4.3eV라고 한다. 소스 전극 및 드레인 전극에 포함된 티타늄(Ti)의 일함수는 산화물 반도체의 전자 친화도(χ)와 실질적으로 동일하다. 이 경우, 전자에 대한 쇼트키(Schottky) 장벽은 금속과 산화물 반도체 간의 계면에 형성되지 않는다.
- [0495] 즉, 금속의 일함수(ϕ_M) 및 산화물 반도체의 전자 친화도(χ)가 서로 동일하고, 금속 및 산화물 반도체가 서로 접해 있는 경우, 도 20a에 예시한 에너지 밴드 다이어그램(계통도)을 얻는다.
- [0496] 도 20b에서, 검은 원(●)은 전자를 나타내고, 플러스 전위가 게이트 및 드레인에 인가되면, 전자는 장벽(h)을 거쳐 산화물 반도체에 주입되고 드레인을 향해 흐른다. 이 경우, 장벽(h)의 높이는 게이트 전압 및 드레인 전압에 따라 변하는데, 플러스의 드레인 전압이 인가되는 경우 장벽의 높이(h)는 전압이 인가되지 않은 도 20a의 장벽 높이, 즉 밴드갭(E_g)의 1/2보다 작다.
- [0497] 이때 산화물 반도체로 주입된 전자는 도 21a에 예시한 바와 같이 산화물 반도체에 흐른다. 또한, 도 21b에서, 마이너스 전위(역 바이어스)가 게이트 전극(G1)에 인가되면, 소수 캐리어인 홀이 실질적으로 0이기 때문에 전류의 값은 0에 매우 가깝다.
- [0498] 예를 들어, 상술한 바와 같은 절연 게이트 트랜지스터가 $1 \times 10^4 \mu\text{m}$ 의 채널 폭(W) 및 $3 \mu\text{m}$ 의 채널 길이를 갖더라도, 오프-상태 전류는 10^{-13}A 이하이고, 문턱전압 이하 기율기(subthreshold swing)(S 값)은 0.1V/dec(게이트 절연막의 두께: 100nm)일 수 있다.
- [0499] 실리콘 반도체의 진성 캐리어 농도는 $1.45 \times 10^{10} / \text{cm}^3$ (300K)이고, 캐리어는 실온에서도 존재함을 알아야 한다. 이는, 열 여기된 캐리어가 실온에서도 존재함을 의미한다. 인 또는 붕소와 같은 불순물이 첨가된 실리콘 웨이퍼를 실용적으로 사용한다. 또한, 소위 진성 실리콘 웨이퍼에서도 제어할 수 없는 불순물이 존재한다. 그러므로 캐리어는 실제로 $1 \times 10^{14} / \text{cm}^3$ 이상으로 실리콘 반도체에 존재하고, 이는 소스와 드레인 간의 전도에 기여한다. 또한, 실리콘 반도체의 밴드갭은 1.12eV이므로, 실리콘 반도체를 포함하는 트랜지스터의 오프-상태 전류는 온도에 따라 현저하게 변한다.
- [0500] 그러므로 넓은 밴드갭을 갖는 산화물 반도체를 트랜지스터에 단순히 사용하는 것이 아니라 주성분 외의 불순물이 함유되는 것을 가능한 한 방지할 수 있도록 산화물 반도체를 정제함으로써, 캐리어 농도는 $1 \times 10^{14} / \text{cm}^3$ 미만, 바람직하게는 $1 \times 10^{12} / \text{cm}^3$ 이하로 되고, 실질적인 동작 온도에서 열 여기되는 캐리어를 제거할 수 있고, 소스 측으로부터 주입되는 캐리어만으로 트랜지스터를 작동시킬 수 있다. 이는, 오프-상태 전류를 $1 \times 10^{-13} \text{A}$ 이하로 감소시킬 수 있고, 오프-상태 전류가 온도 변화에 따라 거의 변하지 않고, 매우 안정적으로 동작할 수 있는 트랜지스터를 얻을 수 있게 한다.
- [0501] 본 발명의 기술적 사상은, 산화물 반도체에 불순물을 첨가하지 않고, 이와는 반대로 바람직하지 않게 존재하는 물 또는 수소와 같은 불순물을 제거함으로써 산화물 반도체 자체를 정제하는 것이다. 즉, 본 발명의 한 실시형태의 특징은, 도너 준위를 형성하는 물 또는 수소를 제거하고, 산소를 충분히 공급하여 산소 결손(oxygen defect)을 더욱 제거함으로써 산화물 반도체 자체를 정제하는 것이다.
- [0502] 산화물 반도체에서, 성막 직후에도 수소는 2차 이온 질량 분석법(SIMS)을 통해 $10^{20} / \text{cm}^3$ 등급으로 관찰된다. 본 발명의 한 가지 기술적 사상은, 도너 준위를 형성하는 물 또는 수소와 같은 불순물을 의도적으로 제거하고, 물 또는 수소를 제거함과 동시에 감소하는 산소(산화물 반도체의 성분 중 하나)를 산화물 반도체에 또한 첨가함으

으로써, 산화물 반도체를 정제하고 전기적으로 i형(진성) 반도체를 얻는 것이다.

- [0503] 그 결과, 수소의 양은 가능한 한 적은 것이 바람직하고, 산화물 반도체의 캐리어도 가능한 한 적은 것이 바람직하다. 산화물 반도체는 캐리어가 제거되어 있는 i형(진성) 반도체이고, 절연 게이트 트랜지스터에 사용한 경우 캐리어를 의도적으로 포함하는 반도체보다는 캐리어의 경로로서의 반도체의 의미가 제공된다.
- [0504] 그 결과, 산화물 반도체로부터 캐리어를 완전히 제거하거나 캐리어를 실질적으로 감소시킴으로서, 절연 게이트 트랜지스터의 오프-상태 전류를 감소시킬 수 있고, 이는 본 발명의 한 실시양태의 기술적 사상이다. 즉, 기준으로서, 수소 농도는 $1 \times 10^{16}/\text{cm}^3$ 이하이고, 캐리어 농도는 $1 \times 10^{14}/\text{cm}^3$ 미만, 바람직하게는 $1 \times 10^{12}/\text{cm}^3$ 이하이다. 본 발명의 기술적 사상에 따르면, 이상적인 수소 농도 및 캐리어 농도는 0 또는 0에 가까운 것이다.
- [0505] 또한, 그 결과로서, 산화물 반도체는 경로로서 기능하고, 산화물 반도체 자체는 캐리어를 포함하지 않거나 매우 적은 캐리어를 포함하도록 정제되어 있는 i형(진성) 반도체이고, 캐리어는 소스 측의 전극을 통해 공급된다. 공급의 정도는 산화물 반도체의 전자 친화도(χ), 이상적으로는 진성 페르미 준위에 대응하는 페르미 준위, 및 소스 또는 드레인 전극의 일함수로부터 얻는 장벽 높이에 의해 결정된다.
- [0506] 그러므로 오프-상태 전류는 가능한 한 적은 것이 바람직하고, 본 발명의 한 실시형태의 특징은, 1V 내지 10V의 드레인 전압이 인가되는 절연 게이트 트랜지스터의 특성에서 채널 폭의 마이크로미터당 오프-상태 전류가 $100\text{aA}/\mu\text{m}$ 이하, 바람직하게는 $10\text{aA}/\mu\text{m}$ 이하, 더욱 바람직하게는 $1\text{aA}/\mu\text{m}$ 이하인 데 있다.
- [0507] (실시형태 14)
- [0508] 실시형태 14에서, 시험 소자 그룹(TEG로도 칭함)을 사용하는 오프-상태 전류의 측정값을 후술한다.
- [0509] 도 23은 $L/W=3\mu\text{m}/50\mu\text{m}$ 의 박막 트랜지스터 200개가 병렬로 접속되어 있는 $L/W=3\mu\text{m}/10000\mu\text{m}$ 의 박막 트랜지스터의 초기 특성을 도시한다. 또한, 그 상면도는 도 24a이고, 부분적으로 확대한 상면도는 도 24b이다. 도 24b의 점선으로 둘러싼 영역은 $L/W=3\mu\text{m}/50\mu\text{m}$ 및 $L_{ov}=1.5\mu\text{m}$ 을 갖는 한 단의 박막 트랜지스터이다. 박막 트랜지스터의 초기 특성을 측정하기 위하여, 기판 온도를 실온으로 설정하였고, 소스와 드레인 간의 전압(이하에서, 드레인 전압 또는 V_d)을 10V로 설정하였고, 소스와 게이트 간의 전압(이하에서, 게이트 전압 또는 V_g)을 -20V로부터 +20V 까지 변화시킨 조건하에서 소스-드레인 전류(이하에서 드레인 전류 또는 I_d 로 칭함)의 변화 특성, 즉 V_g - I_d 특성을 측정하였다. 도 23은 -20V 내지 +5V 범위의 V_g 를 도시함을 알아야 한다.
- [0510] 도 23에 도시한 바와 같이, $10000\mu\text{m}$ 의 채널 폭(W)을 갖는 박막 트랜지스터는 측정 장치(반도체 파라미터 애널라이저, Agilent Technologies Inc가 제조한 Agilent 4156C)의 분해능(100fA) 이하인, 1V 및 10V의 V_d 에서 $1 \times 10^{-13}\text{A}$ 이하의 오프-상태 전류를 갖는다.
- [0511] 측정을 위해 사용한 박막 트랜지스터의 제조 방법을 기술한다.
- [0512] 우선, CVD법으로 유리 기판 위에 기초층으로서의 질화 실리콘층을 형성하였고, 질화 실리콘층 위에 산화 질화 실리콘층을 형성하였다. 스퍼터링법으로 산화 질화 실리콘층 위에 게이트 전극층으로서의 텅스텐층을 형성하였다. 본 실시형태에서, 텅스텐층을 게이트 전극층으로 선택적으로 에칭하였다.
- [0513] 이어서, CVD법으로 게이트 전극층 위에 게이트 절연층으로서 100nm의 두께를 갖는 산화 질화 실리콘층을 형성하였다.
- [0514] 이어서, In-Ga-Zn-O계 산화물 반도체 타겟($\text{In}_2\text{O}_3:\text{Ga}_2\text{O}_3:\text{ZnO}=1:1:2$ 의 몰비)을 사용하여 스퍼터링법으로 게이트 절연층 위에 50nm의 두께를 갖는 산화물 반도체층을 형성하였다. 여기서, 산화물 반도체층을 섬 형상의 산화물 반도체층으로 선택적으로 에칭하였다.
- [0515] 이어서, 클린 오븐에서 질소 분위기에서 450℃로 1시간 동안 산화물 반도체층에 제1 가열 처리를 수행하였다.
- [0516] 이어서, 스퍼터링법으로 산화물 반도체층 위에 소스 전극층 및 드레인 전극층으로서 티타늄층(150nm의 두께를 가짐)을 형성하였다. 여기서, 소스 전극층 및 드레인 전극층을 선택적으로 에칭하여 $3\mu\text{m}$ 의 채널 길이(L) 및 $50\mu\text{m}$ 의 채널 폭(W)을 각각 갖는 200개의 박막 트랜지스터를 병렬로 접속하여 $L/W=3\mu\text{m}/10000\mu\text{m}$ 를 갖는 박막 트랜지스터를 얻었다.
- [0517] 다음으로, 반응성 스퍼터링법으로 산화물 반도체층과 접하는 보호 절연층으로서 300nm의 두께를 갖는 산화 실리콘층을 형성하였다. 여기서, 보호층인 산화 실리콘층을 선택적으로 에칭하여 게이트 전극층, 소스 전극층 및

드레인 전극층 위에 개구 부분을 형성하였다. 그 후, 질소 분위기에서 250℃로 1시간 동안 제2 가열 처리를 수행하였다.

- [0518] 이어서, Vg-Id 특성의 측정 전에 150℃로 10시간 동안 가열 처리를 수행하였다.
- [0519] 상술한 공정으로 보텀-게이트 박막 트랜지스터를 제조하였다.
- [0520] 도 23에 도시한 바와 같이 박막 트랜지스터가 약 1×10^{-13} A의 오프-상태 전류를 갖는 원인은 상술한 제조 공정에서 산화물 반도체층의 수소의 농도가 충분히 감소될 수 있었기 때문이다. 산화물 반도체층의 수소의 농도는 $1 \times 10^{16}/\text{cm}^3$ 이하이다. 산화물 반도체층의 수소의 농도는 2차 이온 질량 분석법(SIMS)으로 측정하였음을 알아야 한다.
- [0521] In-Ga-Zn-O계 산화물 반도체를 사용하는 예를 기술하지만, 본 실시형태는 이에 특별히 한정하지 않는다. 또 다른 산화물 반도체 재료, 예컨대 In-Sn-Zn-O계 산화물 반도체, Sn-Ga-Zn-O계 산화물 반도체, Al-Ga-Zn-O계 산화물 반도체, Sn-Al-Zn-O계 산화물 반도체, In-Zn-O계 산화물 반도체, In-Sn-O계 산화물 반도체, Sn-Zn-O계 산화물 반도체, Al-Zn-O계 산화물 반도체, In-O계 산화물 반도체, Sn-O계 산화물 반도체, 또는 Zn-O계 산화물 반도체를 또한 사용할 수 있다. 산화물 반도체 재료로서, AlO_x 를 2.5 중량% 내지 10 중량%로 혼합한 In-Al-Zn-O계 산화물 반도체 또는 SiO_x 를 2.5 중량% 내지 10 중량%로 혼합한 In-Zn-O계 산화물 반도체를 사용할 수 있다.
- [0522] 캐리어 측정 장치로 측정하는 산화물 반도체층의 캐리어 농도는 $1 \times 10^{14}/\text{cm}^3$ 미만, 바람직하게는 $1 \times 10^{12}/\text{cm}^3$ 이하이다. 즉, 산화물 반도체층의 캐리어 농도는 가능한 한 0에 가깝게 할 수 있다.
- [0523] 박막 트랜지스터는 또한 10nm 이상 1000nm 이하의 채널 길이(L)를 가질 수 있는데, 이는 회로의 동작 속도를 증가시킬 수 있고, 오프-상태 전류가 매우 작는데, 이는 전력 소비의 추가적인 감소를 가능하게 한다.
- [0524] 또한, 회로 설계 시, 산화물 반도체층은 박막 트랜지스터가 오프 상태인 경우 절연체로서 간주할 수 있다.
- [0525] 그 후, 본 실시형태에서 제조한 박막 트랜지스터의 오프-상태 전류의 온도 특성을 평가하였다. 온도 특성은 박막 트랜지스터를 사용하는 최종 제품의 환경 내성, 성능의 유지 등을 고려할 때 중요하다. 변화량이 적을수록 더욱 바람직하고, 이는 제품 설계를 위한 자유도를 증가시킴을 이해하게 된다.
- [0526] 온도 특성을 위하여, 박막 트랜지스터들을 구비한 기관들을 -30℃, 0℃, 25℃, 40℃, 60℃, 80℃, 100℃, 및 120℃의 개별적인 항온으로 유지하였고, 드레인 전압을 6V로 설정하였고, 게이트 전압을 -20V부터 +20V까지 변화시킨 조건하에서 항온 챔버를 사용하여 Vg-Id 특성을 얻었다.
- [0527] 도 25a는 상술한 온도에서 측정하고 서로 겹쳐놓은 Vg-Id 특성들을 도시하고, 도 25b는 도 25a에서 점선으로 둘러싼 오프-상태 전류 영역의 확대한 도면을 도시한다. 도면에서 화살표로 나타낸 가장 오른쪽 곡선은 -30℃에서 얻은 곡선이고, 가장 왼쪽 곡선은 120℃에서 얻은 곡선이고, 다른 온도에서 얻은 곡선들은 그 사이에 위치한다. 온-상태 전류의 온도 의존성은 거의 관찰할 수 없다. 한편, 도 25b의 확대한 도면에서도 명확하게 도시한 바와 같이, 오프-상태 전류는 -20V의 게이트 전압 근방을 제외한 모든 온도에서 측정 장치의 분해능에 근접한 1×10^{-12} A 이하이고, 그 온도 의존성은 관찰되지 않는다. 즉, 120℃의 고온에서도 오프-상태 전류는 1×10^{-12} A 이하로 유지되고, 채널 폭(W)이 10000 μm 임을 고려하면 오프-상태 전류가 현저히 작음을 알 수 있다.
- [0528] 상술한 바와 같이 정제된 산화물 반도체(정제된 OS)를 포함하는 박막 트랜지스터는 온도에 대한 오프-상태 전류의 의존성이 거의 나타나지 않는다. 도 19의 밴드 다이어그램에서 예시한 바와 같이, 도전 타입이 진성 타입에 매우 근접하게 되고, 페르미 준위가 금제대의 중앙에 위치하기 때문에, 정제된 경우의 산화물 반도체는 온도 의존성을 나타내지 않는다고 말할 수 있다. 이는, 산화물 반도체가 3eV 이상의 에너지 갭을 갖고, 매우 적은 열 여기된 캐리어를 포함한다는 점으로부터도 기인한다. 또한, 소스 영역 및 드레인 영역이 축퇴 상태로 있고, 이는 또한 온도 의존성이 없음을 나타내는 요인이다. 박막 트랜지스터는 축퇴된 소스 영역으로부터 산화물 반도체에 주입되는 캐리어에 의해 주로 작동되고, 상술한 특성(온도에 대한 오프-상태 전류의 의존성)은 온도에 대한 캐리어 농도의 의존성에 의해 설명될 수 있다.
- [0529] 오프-상태 전류가 매우 작은 이러한 박막 트랜지스터를 사용하여 표시 장치를 제조하는 경우, 누설 전류가 감소하고, 따라서 표시 데이터를 유지하기 위한 기간을 연장할 수 있다.
- [0530] [실시예 1]

- [0531] 실시예 1에서, 도 1에 도시한 전술한 실시형태에서 기술되어 있고 실제로 제조한 액정 표시 장치의 정지 화상 표시 시 화상 신호 유지 특성의 평가 결과를 기술한다.
- [0532] 우선, 화소부에 포함된 복수의 화소의 상면 레이아웃 다이어그램에 관하여, 기관 위에 형성한 박막 트랜지스터와 같은 소자의 후측(rear side)으로부터 얻은 사진을 도 27에 도시한다.
- [0533] 도 27에 도시한 화소의 사진으로부터, 사각형 화소가 제공되어 있고, 게이트선(2701) 및 신호선(2702)이 서로 직각으로 제공되어 있음을 알 수 있다. 커패시터선(2703)은 게이트선(2701)과 평행한 위치에 제공되어 있음을 또한 알 수 있다. 게이트선(2701) 및 커패시터선(2703)과 신호선(2702)이 서로 겹치는 영역에서, 기생 용량을 줄이기 위하여 절연막이 제공되어 있고, 도 27에서 요철(bump)로서 관찰될 수 있다. 본 실시예에서 기술한 액정 표시 장치는 반사형 액정 표시 장치이고, 적색(R) 컬러 필터(2704R), 녹색(G) 컬러 필터(2704G) 및 청색(B) 컬러 필터(2704B)가 관찰된다. 도 27에서, 게이트선(2701)에 의해 제어되는 영역에, 산화물 반도체인 In-Ga-Zn-O계 비단결정막이 투광성 반도체층으로서 제공되어 있고, 박막 트랜지스터가 형성되어 있다.
- [0534] 도 28은 전술한 실시형태에 따라 정지 화상을 표시할 때 도 27에 도시한 각 화소의 시간에 따른 휘도 변화의 그래프를 도시한다.
- [0535] 도 28로부터, 도 27의 화소의 상면 레이아웃의 경우, 화상 신호 유지 기간은 약 1분임을 알 수 있다. 그러므로 정지 화상을 표시할 때 동일한 화상 신호를 정기적으로 공급하는 동작(도면에서 "리프래시")을 수행함으로써 일정한 휘도를 유지할 수 있다. 그 결과, 구동 회로부에 포함된 트랜지스터에 전압을 인가하는 시간의 길이를 대폭 단축할 수 있다. 또한, 시간에 따른 구동 회로의 열화를 대폭 늦출 수 있고, 이는 액정 표시 장치의 신뢰성 개선과 같은 유리한 효과를 제공한다.
- [0536] [실시예 2]
- [0537] 실시예 2에서, 도 1에 도시한 전술한 실시형태에서 기술되어 있고 실시예 1과는 상이한 구조를 갖도록 실제로 제조한 액정 표시 장치의 정지 화상 표시 시 화상 신호 유지 특성의 평가 결과를 기술한다.
- [0538] 우선, 화소부에 포함된 복수의 화소의 상면 레이아웃 다이어그램에 관하여, 기관 위에 형성한 박막 트랜지스터와 같은 소자의 후측으로부터 얻은 사진을 도 29에 도시한다.
- [0539] 도 29에 도시한 화소의 사진으로부터, 사각형 화소가 제공되어 있고, 게이트선(2901) 및 신호선(2902)이 서로 직각으로 제공되어 있음을 알 수 있다. 커패시터선(2903)은 게이트선(2901)과 평행한 위치에 제공되어 있음을 또한 알 수 있다. 게이트선(2901) 및 커패시터선(2903)과 신호선(2902)이 서로 겹치는 영역에서, 기생 용량을 줄이기 위하여 절연막이 제공되어 있고, 도 29에서 요철로서 관찰될 수 있다. 본 실시예에서 기술한 액정 표시 장치는 반사형 액정 표시 장치이고, 적색(R) 컬러 필터와 겹치는 반사 전극(2904R), 녹색(G) 컬러 필터와 겹치는 반사 전극(2904G) 및 청색(B) 컬러 필터와 겹치는 반사 전극(2904B)이 관찰된다. 도 29에서, 게이트선(2901)에 의해 제어되는 영역에, 산화물 반도체인 In-Ga-Zn-O계 비단결정막이 투광성 반도체층으로서 제공되어 있고, 박막 트랜지스터가 형성되어 있다.
- [0540] 도 30은 전술한 실시형태에 따라 정지 화상을 표시할 때 도 29에 도시한 각 화소의 시간에 따른 휘도 변화의 그래프를 도시한다.
- [0541] 도 30으로부터, 도 29의 화소의 상면 레이아웃의 경우, 화상 신호 유지 기간은 약 1분임을 알 수 있다. 그러므로 정지 화상을 표시할 때 동일한 화상 신호를 정기적으로 공급하는 동작(도면에서 "리프래시")을 수행함으로써 일정한 휘도를 유지할 수 있다. 그 결과, 구동 회로부에 포함된 트랜지스터에 전압을 인가하는 시간의 길이를 대폭 단축할 수 있다. 또한, 시간에 따른 구동 회로의 열화를 대폭 늦출 수 있고, 이는 액정 표시 장치의 신뢰성 개선과 같은 유리한 효과를 제공한다.
- [0542] [실시예 3]
- [0543] 실시예 3에서, 도 1에 도시한 전술한 실시형태에서 기술되어 있고 실시예 1 및 2와는 상이한 구조를 갖도록 실제로 제조한 액정 표시 장치의 정지 화상 표시 시 화상 신호 유지 특성의 평가 결과를 기술한다.
- [0544] 우선, 화소부에 포함된 복수의 화소의 상면 레이아웃 다이어그램에 관하여, 기관 위에 형성한 박막 트랜지스터와 같은 소자의 후측으로부터 얻은 사진을 도 31에 도시한다.
- [0545] 도 31에 도시한 화소의 사진으로부터, 사각형 화소가 제공되어 있고, 게이트선(3101) 및 신호선(3102)이 서로 직각으로 제공되어 있음을 알 수 있다. 커패시터선(3103)은 게이트선(3101)과 평행한 위치에 제공되어 있음을

또한 알 수 있다. 게이트선(3101) 및 커패시터선(3103)과 신호선(3102)이 서로 겹치는 영역에서, 기생 용량을 줄이기 위하여 절연막이 제공되어 있고, 도 31에서 요철로서 관찰될 수 있다. 본 실시예에서 기술한 액정 표시 장치는 중합체 분산형 액정을 사용하는 액정 표시 장치이고, 반사 전극(3104)이 관찰된다. 도 31에서, 게이트선(3101)에 의해 제어되는 영역에, 산화물 반도체인 In-Ga-Zn-O계 비단결정막이 투광성 반도체층으로서 제공되어 있고, 박막 트랜지스터가 형성되어 있다.

[0546] 도 32는 전술한 실시형태에 따라 정지 화상을 표시할 때 도 31에 도시한 각 화소의 시간에 따른 휘도 변화의 그래프를 도시한다.

[0547] 도 32로부터, 도 31의 화소의 상면 레이아웃의 경우, 중합체 분산형 액정은 화상 신호를 유지하는 특성이 있으므로 화상 신호 유지 기간은 실시예 1 및 2 중 임의의 실시예의 시간보다 길 수 있음을 알 수 있다. 그러므로 정지 화상을 표시할 때 동일한 화상 신호를 공급하는 동작의 간격을 연장할 수 있다. 그 결과, 구동 회로부에 포함된 트랜지스터에 전압을 인가하는 시간의 길이를 대폭 단축할 수 있다. 또한, 시간에 따른 구동 회로의 열화를 대폭 늦출 수 있고, 이는 액정 표시 장치의 신뢰성 개선과 같은 유리한 효과를 제공한다.

[0548] [실시예 4]

[0549] 실시예 4에서, 도 1에 도시한 전술한 실시형태에서 기술되어 있고 실시예 1 내지 3과는 상이한 구조를 갖도록 실제로 제조한 액정 표시 장치의 정지 화상 표시 시 화상 신호 유지 특성의 평가 결과를 기술한다. 특히, 본 실시예에서, 임의의 실시예 1 내지 3에서 기술한 복수의 화소의 상면 레이아웃 다이어그램과는 상이한 예를 기술한다. 기판 위에 형성한 박막 트랜지스터와 같은 소자의 후측으로부터 얻은 사진을 도 33에 도시한다.

[0550] 도 33에 도시한 화소의 사진으로부터, 사각형 화소가 제공되어 있고, 게이트선(3301) 및 신호선(3302)이 서로 직각으로 제공되어 있음을 알 수 있다. 임의의 실시예 1 내지 3에서 기술한 화소의 사진과는 다르게 커패시터선이 생략되어 있는 상면 레이아웃 다이어그램을 기술한다. 본 실시예에서 기술한 액정 표시 장치는 투과형 액정 표시 장치이고, 화소 전극(3304)이 관찰된다. 도 33에서, 게이트선(3301)에 의해 제어되는 영역에, 산화물 반도체인 In-Ga-Zn-O계 비단결정막이 투광성 반도체층으로서 제공되어 있고, 박막 트랜지스터가 형성되어 있다.

[0551] [실시예 5]

[0552] 실시예 5에서, 도 1에 도시하고 전술한 실시형태에서 기술한 액정 표시 장치의 동작 방법의 예를 기술한다. 도 2a 내지 2c 및 도 3에서 예로서 제공되어 있는 복수의 n채널 트랜지스터를 사용하여 제조한 구동 회로에서, 정지 화상 및 동화상을 표시하는 동작, 또는 액정 소자에 인가되는 전압을 재기입하는 동작(이하에서 리프레시 동작으로도 칭함) 동안 구동 회로부의 각 배선에 전위를 공급하는 절차 또는 전위의 공급을 중단하는 절차는 도 34를 참조하여 기술한다. 도 34는 시프트 레지스터에 고 전원 전위(VDD)를 공급하기 위한 배선, 저 전원 전위(VSS)를 공급하기 위한 배선, 스타트 펄스(SP)를 공급하기 위한 배선, 및 제1 내지 제4 클럭 신호(CK1 내지 CK4)를 공급하기 위한 배선의 기간 T1 전후의 전위 변화를 예시한다.

[0553] 본 실시예의 액정 표시 장치는 구동 회로부를 계속 작동시키지 않는 정지 화상을 표시할 수 있다. 그러므로 도 34에 예시한 바와 같이 고 전원 전위(VDD), 제1 내지 제4 클럭 신호(CK1 내지 CK4), 및 스타트 펄스와 같은 제어 신호가 시프트 레지스터에 공급되는 기간 및 제어 신호가 공급되지 않는 기간이 존재한다. 도 34에 예시한 기간 T1은 제어 신호가 공급되는 기간, 즉 동화상을 표시하는 기간 및 리프레시 동작을 수행하는 기간에 대응함을 알아야 한다. 도 34에 예시한 기간 T2는 제어 신호가 공급되지 않는 기간, 즉 정지 화상을 표시하는 기간에 대응한다.

[0554] 도 34에서, 고 전원 전위(VDD)가 공급되는 기간은 기간 T1뿐만 아니라 기간 T2의 일부에도 제공되어 있다. 또한, 도 34에서, 제1 내지 제4 클럭 신호(CK1 내지 CK4)가 공급되는 기간은 고 전원 전위(VDD)의 공급 개시와 고 전원 전위(VDD)의 공급 중단 사이에 제공되어 있다.

[0555] 또한, 도 34에 예시한 바와 같이, 제1 내지 제4 클럭 신호(CK1 내지 CK4)는 기간 T1이 시작되기 전에 일단 고 전위로 설정된 후 일정 주기로 발진하도록 개시하고 기간 T1이 끝난 후에 저 전위로 설정된 후 발진하는 것을 중단하도록 설정할 수 있다.

[0556] 전술한 바와 같이, 본 실시예의 액정 표시 장치에서, 시프트 레지스터에 대한 고 전원 전위(VDD), 제1 내지 제4 클럭 신호(CK1 내지 CK4), 및 스타트 펄스와 같은 제어 신호의 공급은 기간 T2에서 중단된다. 이어서, 제어 신호의 공급이 중단된 기간에서, 각 트랜지스터가 온 상태인지 오프 상태인지 여부가 제어되고, 시프트 레지스터로부터의 펄스 신호의 출력이 또한 중단된다. 그러므로 시프트 레지스터의 전력 소비 및 시프트 레지스터에 의

해 구동되는 화소부의 전력 소비를 줄일 수 있다.

[0557] 전술한 리프्रेस 동작은 표시되는 정지 화상의 품질이 열화될 수 있는 가능성이 존재하기 때문에 정기적으로 수행할 필요가 있다. 본 실시예의 액정 표시 장치에서, 산화물 반도체를 포함하는 전술한 트랜지스터는 각 화소의 액정 소자에 인가되는 전압을 제어하기 위한 스위칭 소자로서 사용한다. 따라서, 오프-상태 전류를 대폭 줄일 수 있고, 각 화소의 액정 소자에 인가되는 전압의 변동을 줄일 수 있다. 즉, 정지 화상의 표시로 인해 시프트 레지스터의 동작이 중단되는 기간이 길더라도, 화상 품질의 열화를 억제할 수 있다. 예를 들어, 기간이 3분이더라도, 표시되는 정지 화상의 품질을 유지할 수 있다. 예를 들어, 초당 60회의 재기입을 수행하는 액정 표시 장치 및 3분에 1회의 리프्रेस 동작을 수행하는 액정 표시 장치를 서로 비교하면, 전력 소비를 약 1/10000로 줄일 수 있다.

[0558] 고 전원 전위(VDD)의 공급 중단은 도 34에 예시한 바와 같이 저 전원 전위(VSS)와 동일한 전위를 설정하는 것임을 알아야 한다. 또한, 고 전원 전위(VDD)의 공급 중단은 고 전원 전위가 공급되는 배선의 전위를 플로팅 상태로 설정하는 것일 수 있다.

[0559] 고 전원 전위(VDD)가 공급되는 배선의 전위를 증가시키는 경우(기간 T1 전에 저 전원 전위(VSS)로부터 고 전원 전위(VDD)로 전위가 증가함을 의미함), 배선의 전위는 점진적으로 변하도록 제어하는 것이 바람직하다. 배선의 전위 변화의 변화도가 가파른 경우, 전위의 변화가 잡음이 될 수 있고, 시프트 레지스터로부터 불량 펄스(fault pulse)가 출력될 가능성이 있다. 시프트 레지스터가 게이트선 구동 회로에 포함되어 있는 경우, 불량 펄스는 트랜지스터를 온 상태로 하기 위한 신호로서 기능한다. 따라서, 액정 소자에 인가되는 전압이 불량 펄스에 의해 변할 수 있고, 정지 화상의 품질이 변할 수 있는 가능성이 있다. 그러므로 상술한 바와 같이 배선의 전위 변화를 제어하는 것이 바람직하다. 상술한 내용에서, 도 34는 고 전원 전위(VDD)에 대한 신호의 상승이 하강보다 더욱 완만해지는 예를 예시한다. 특히, 본 실시예의 액정 표시 장치에서, 화소부에 정지 화상을 표시하는 경우, 시프트 레지스터에 대한 고 전원 전위(VDD)의 공급의 중단 및 재공급은 적절히 수행한다. 즉, 고 전원 전위(VDD)를 공급하기 위한 배선의 전위 변화가 잡음으로서 화소부에 부정적인 영향을 미치는 경우, 잡음은 표시 화상의 열화를 직접적으로 야기한다. 그러므로 본 실시예의 액정 표시 장치는 배선의 전위 변화(특히, 전위의 증가)가 잡음으로서 화소부에 침입하는 것을 방지하도록 제어하는 것이 중요하다.

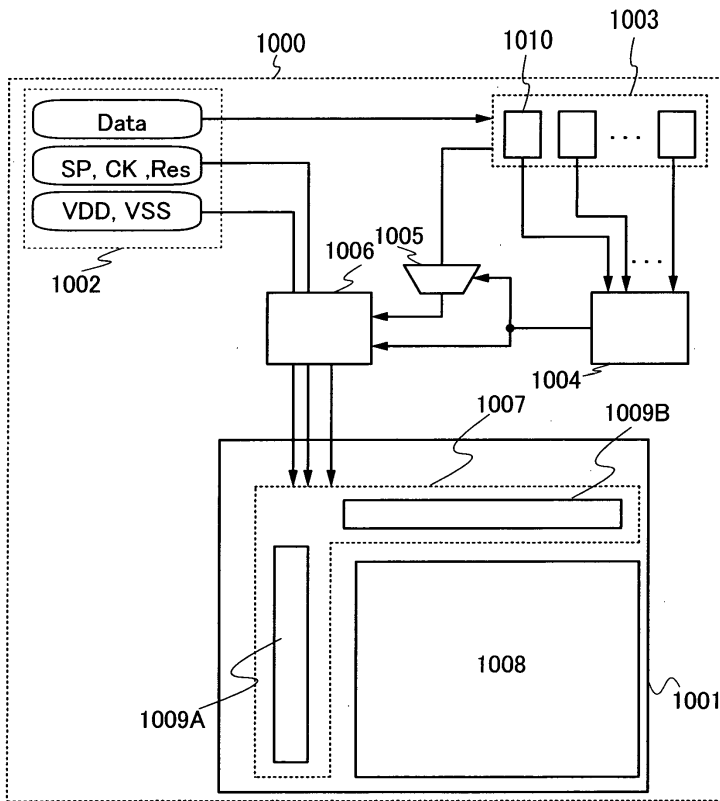
[0560] 본원은 그 전반적이 내용이 본원에 참조로서 포함되는, 일본 특허청에 2009년 10월 16일, 2009년 12월 1일 및 2009년 12월 8일에 각각 출원된 일본특허 출원번호 2009-238916, 2009-273913 및 2009-278999에 기초한다.

부호의 설명

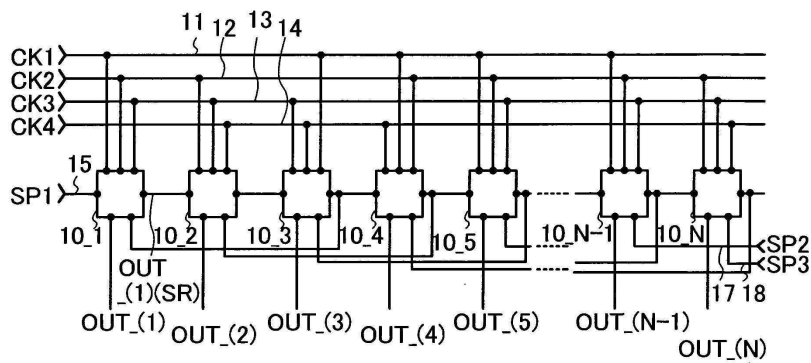
[0561] 1000: 액정 표시 장치; 1001: 표시 패널; 1002: 신호 생성 회로; 1003: 메모리 회로; 1004: 비교 회로; 1005: 선택 회로; 1006: 표시 제어 회로; 1007: 구동 회로부; 1008: 화소부; 1010: 프레임 메모리; 1009A: 게이트선 구동 회로; 1009B: 신호선 구동 회로

도면

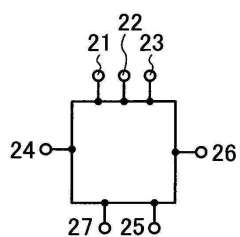
도면1



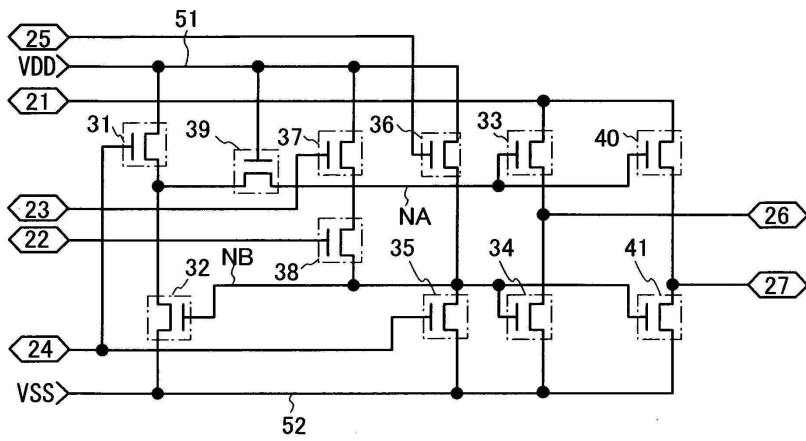
도면2a



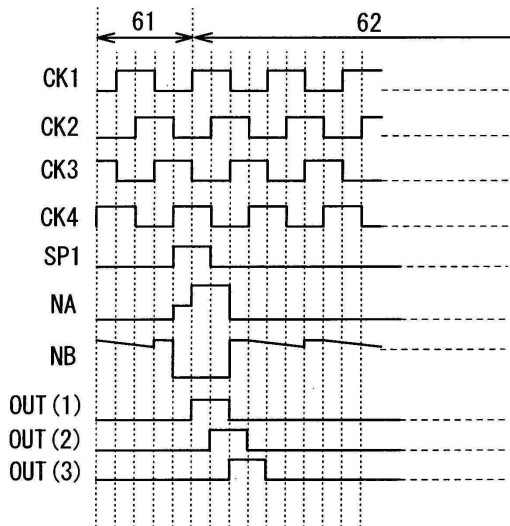
도면2b



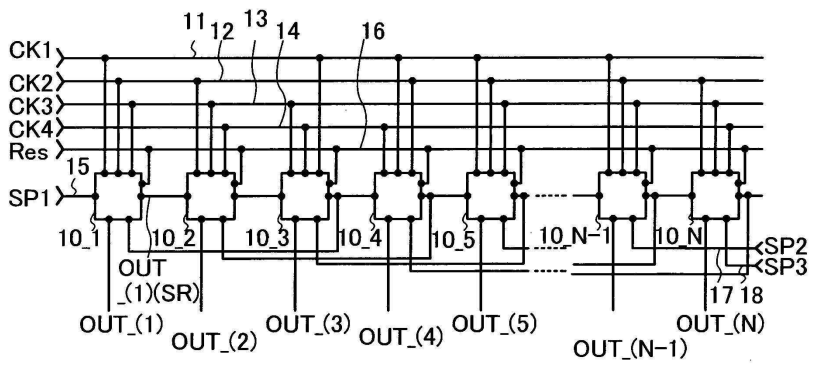
도면2c



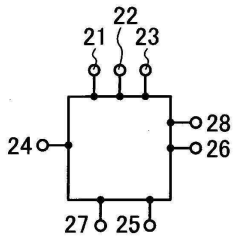
도면3



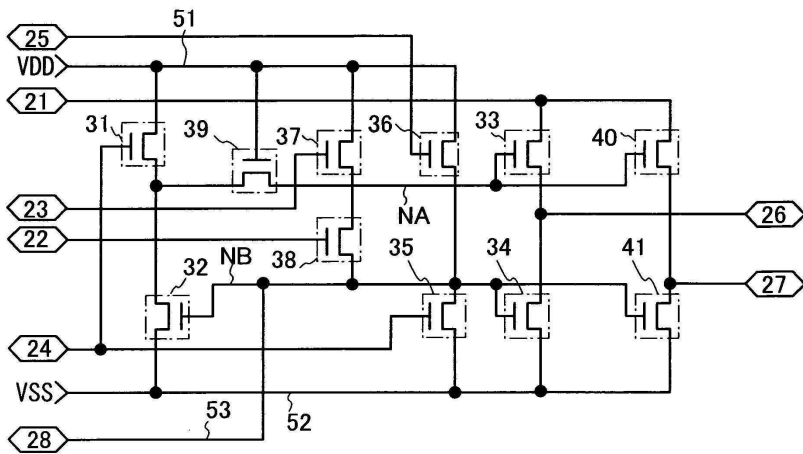
도면4a



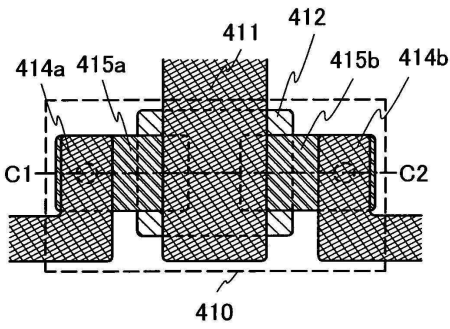
도면4b



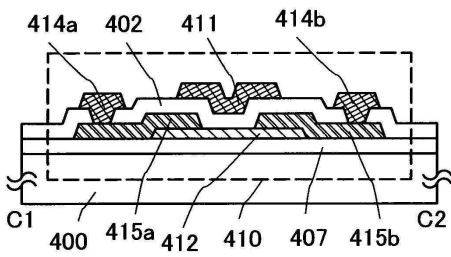
도면4c



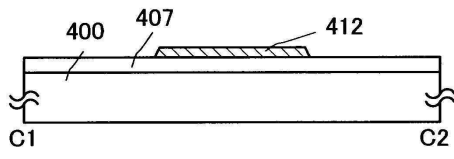
도면5a



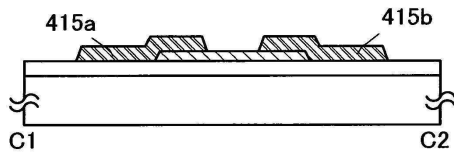
도면5b



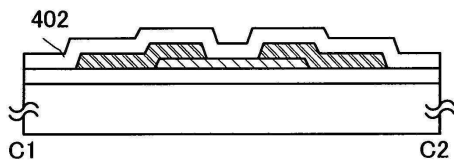
도면6a



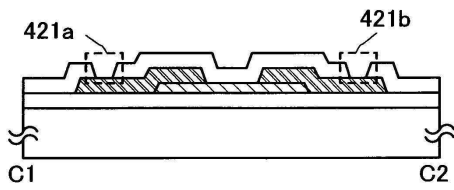
도면6b



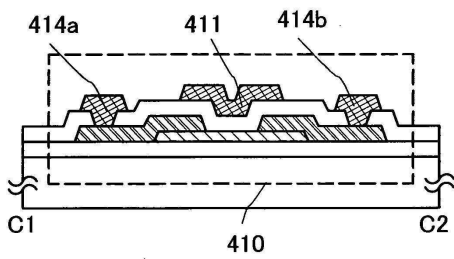
도면6c



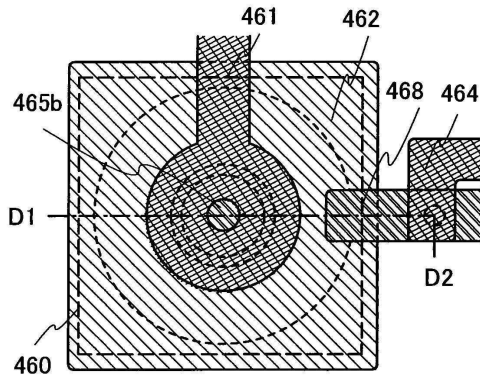
도면6d



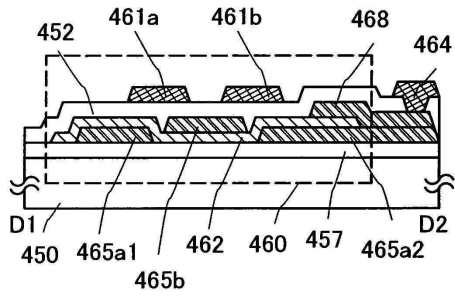
도면6e



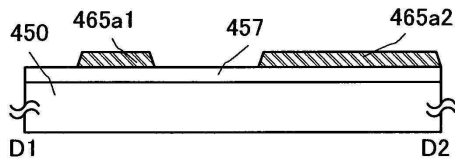
도면7a



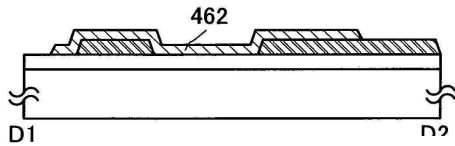
도면7b



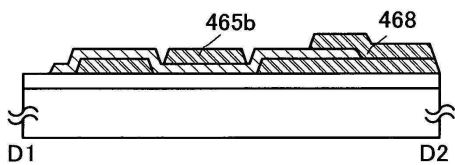
도면8a



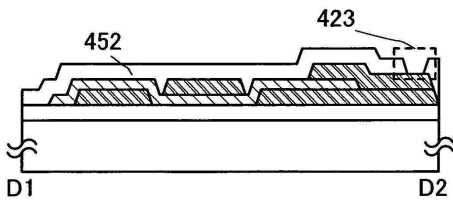
도면8b



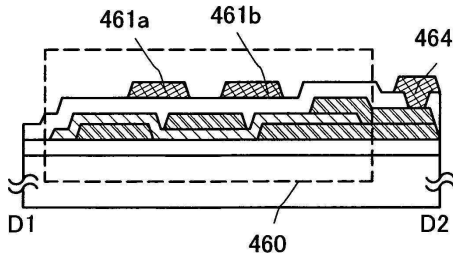
도면8c



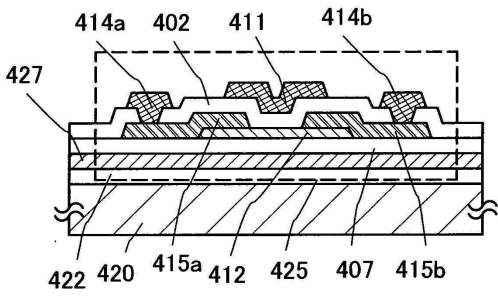
도면8d



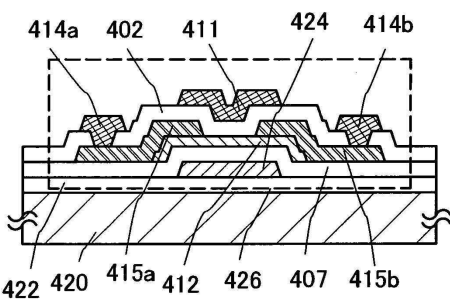
도면8e



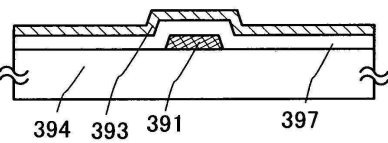
도면9a



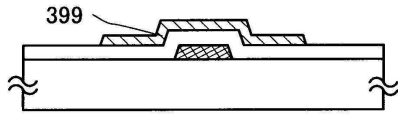
도면9b



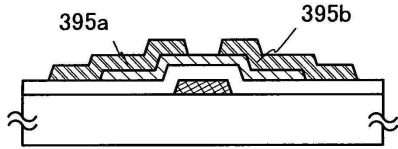
도면10a



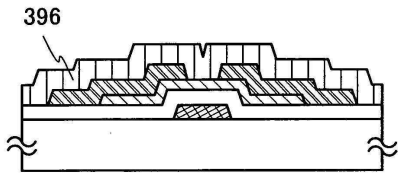
도면10b



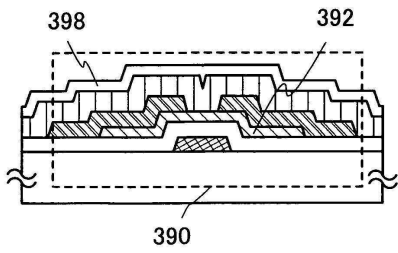
도면10c



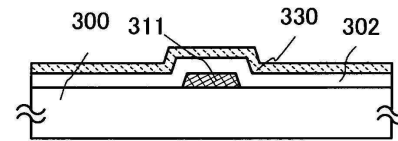
도면10d



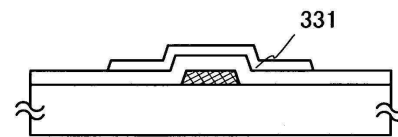
도면10e



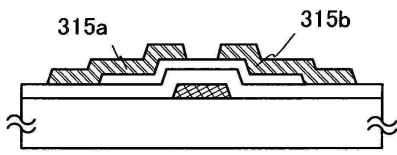
도면11a



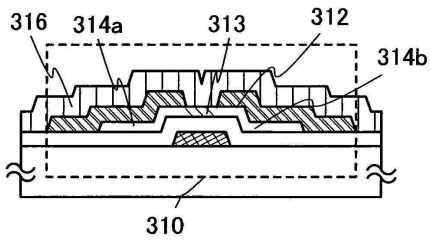
도면11b



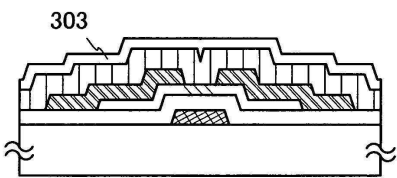
도면11c



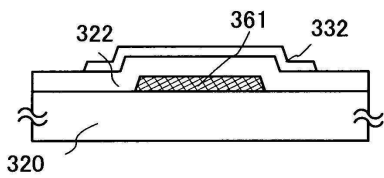
도면11d



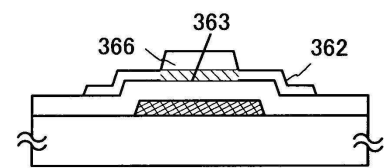
도면11e



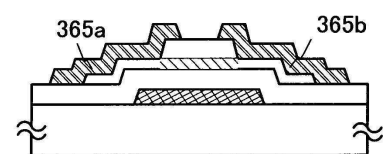
도면12a



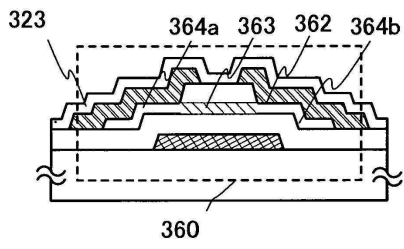
도면12b



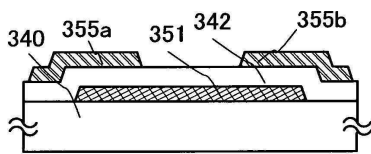
도면12c



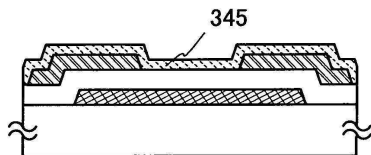
도면12d



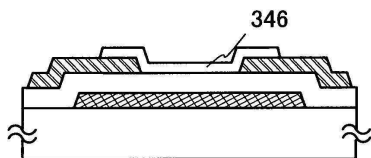
도면13a



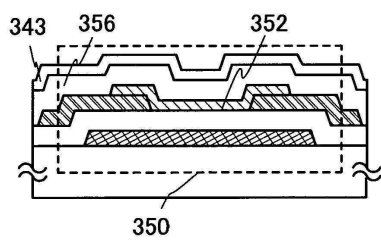
도면13b



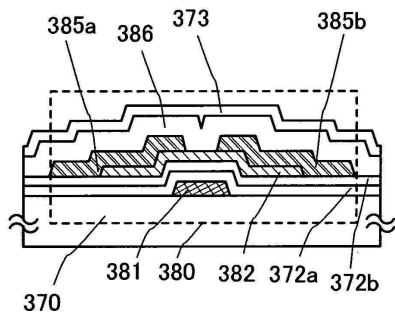
도면13c



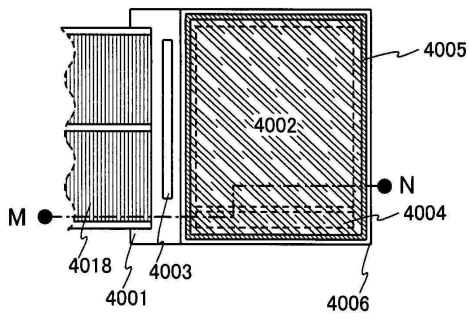
도면13d



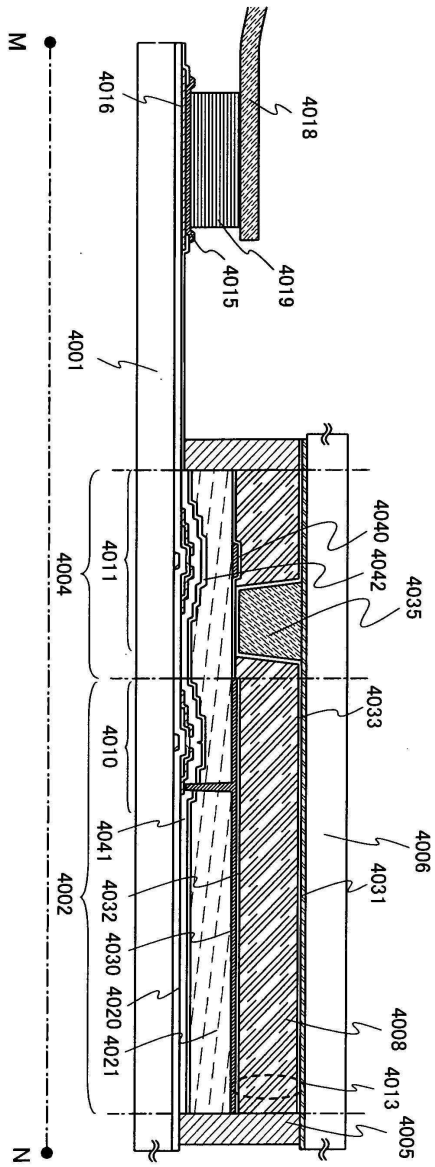
도면14



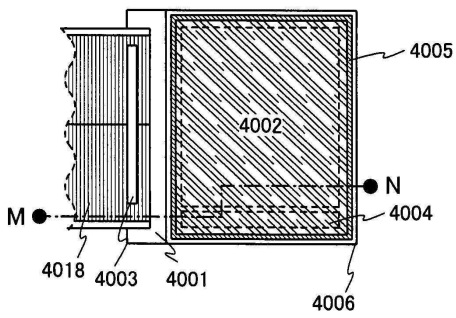
도면15a



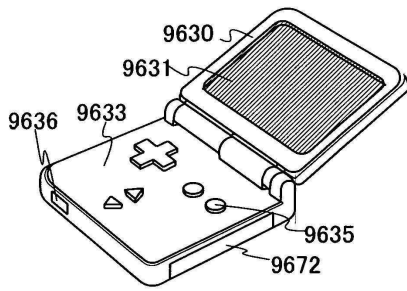
도면15b



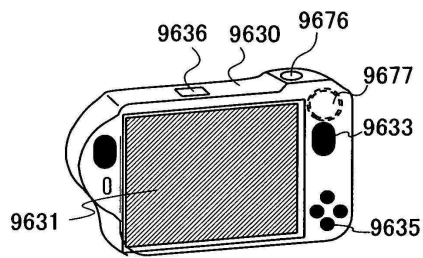
도면15c



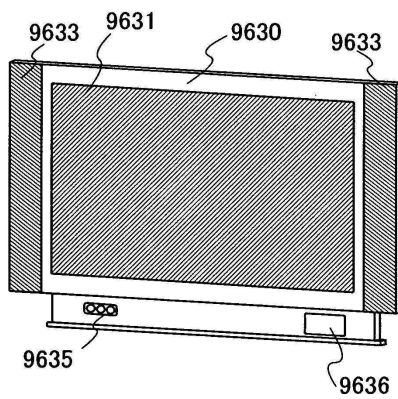
도면16a



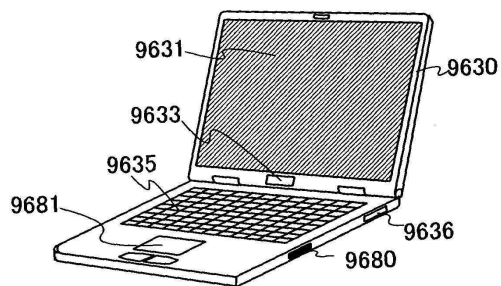
도면16b



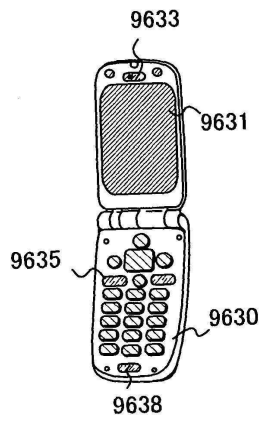
도면16c



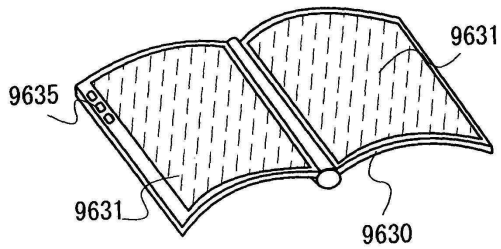
도면17a



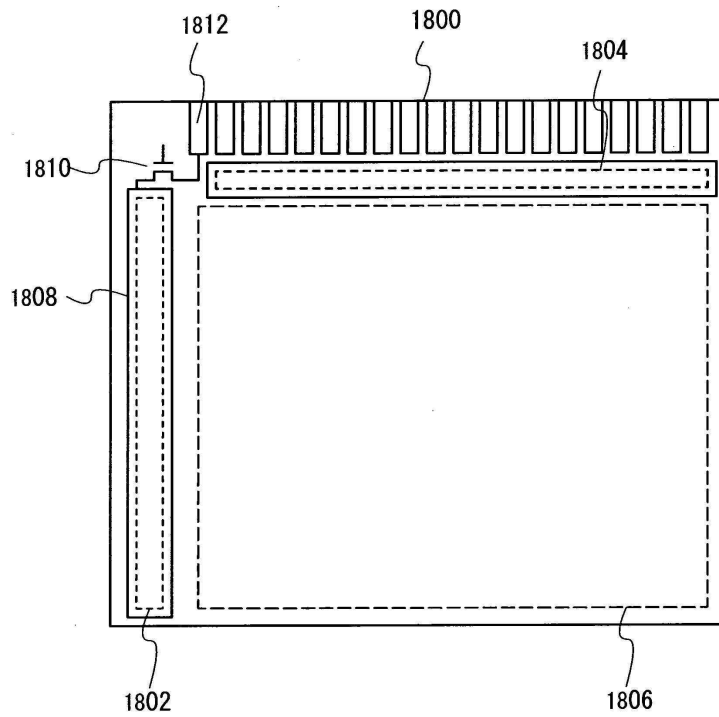
도면17b



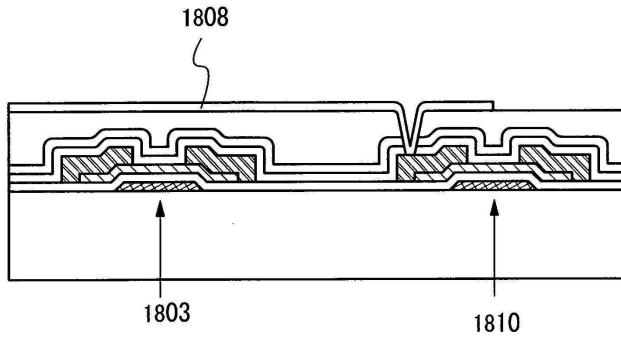
도면17c



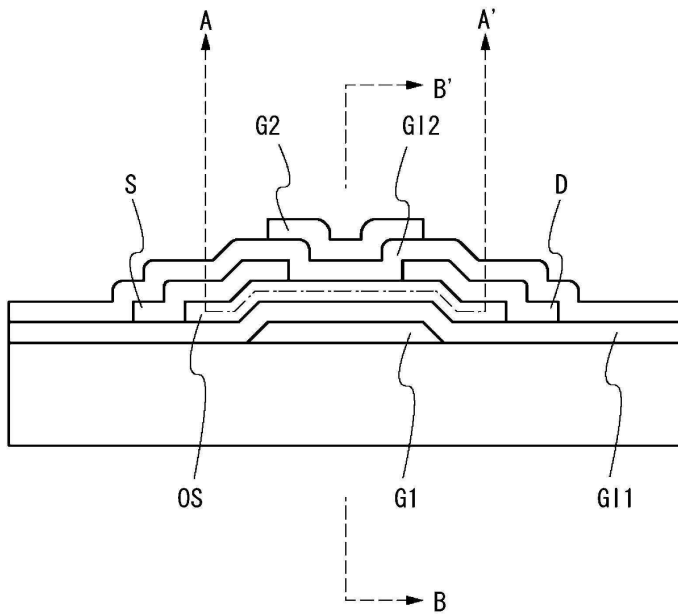
도면18a



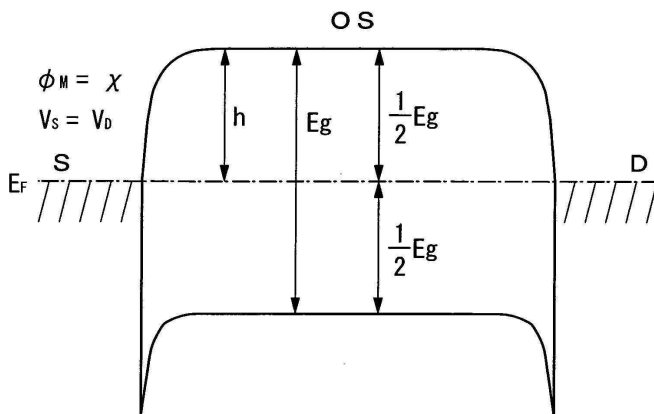
도면18b



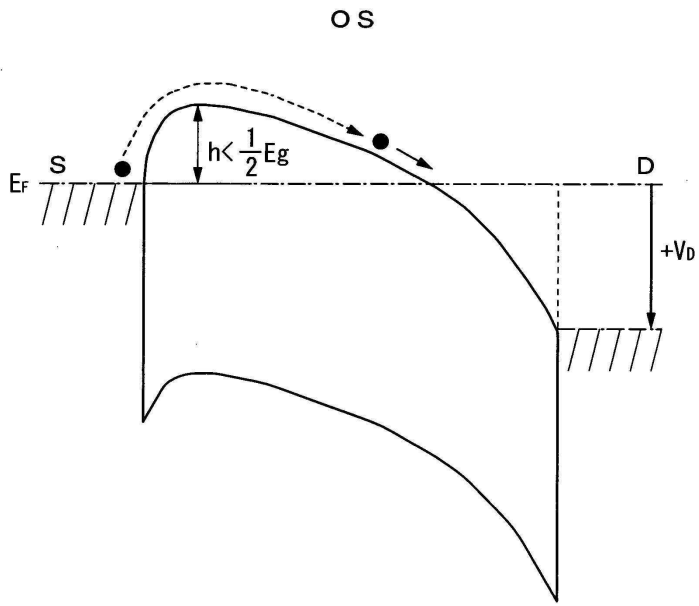
도면19



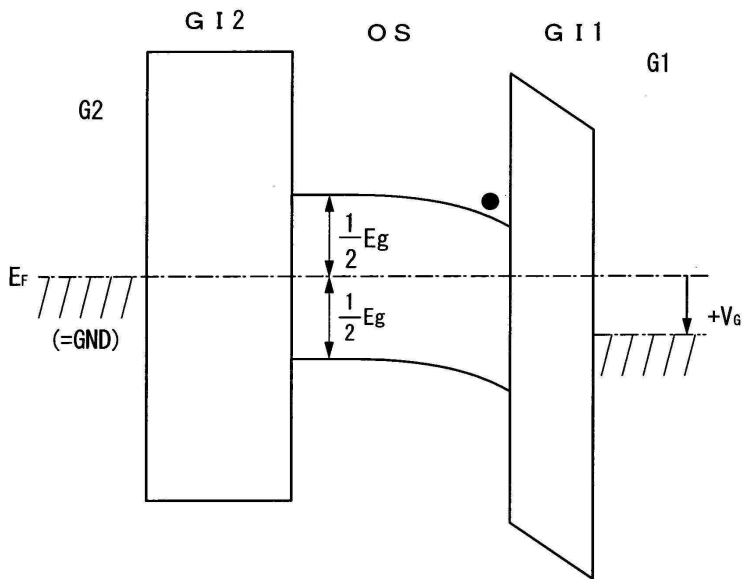
도면20a



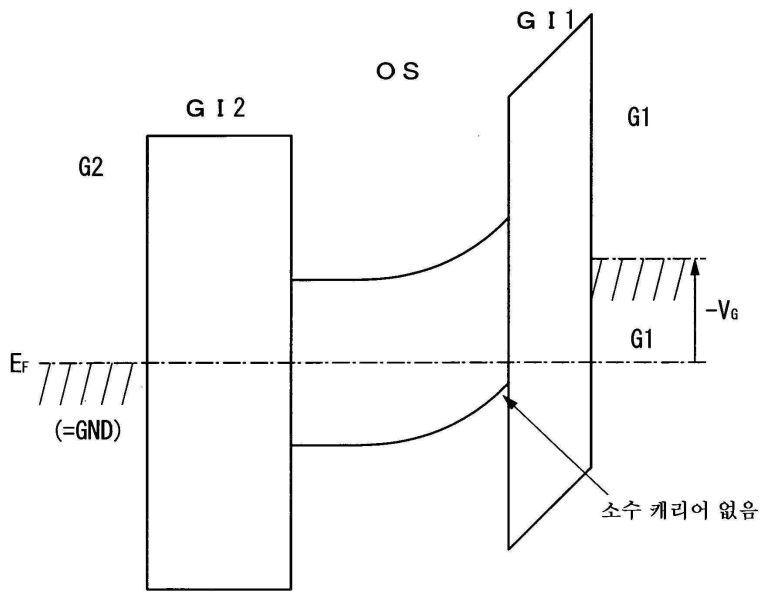
도면20b



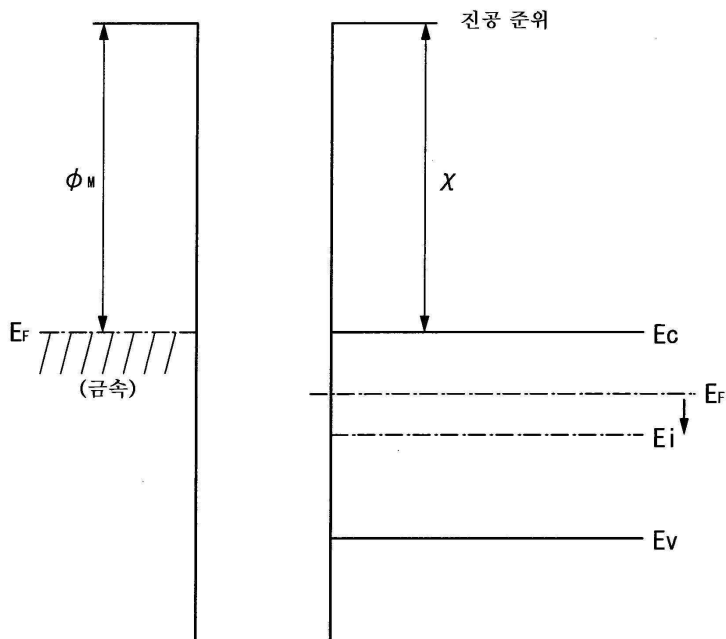
도면21a



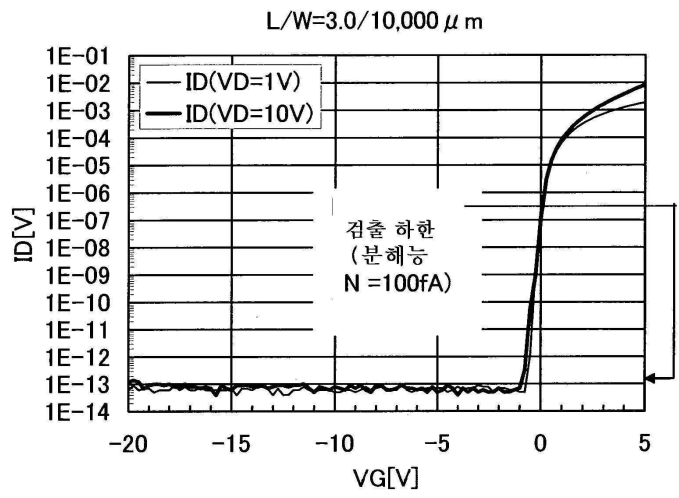
도면21b



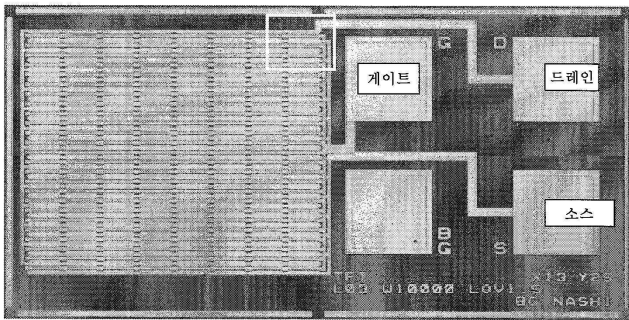
도면22



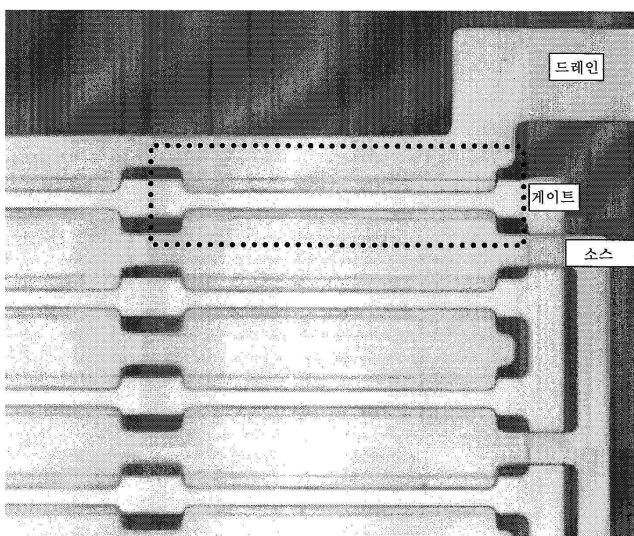
도면23



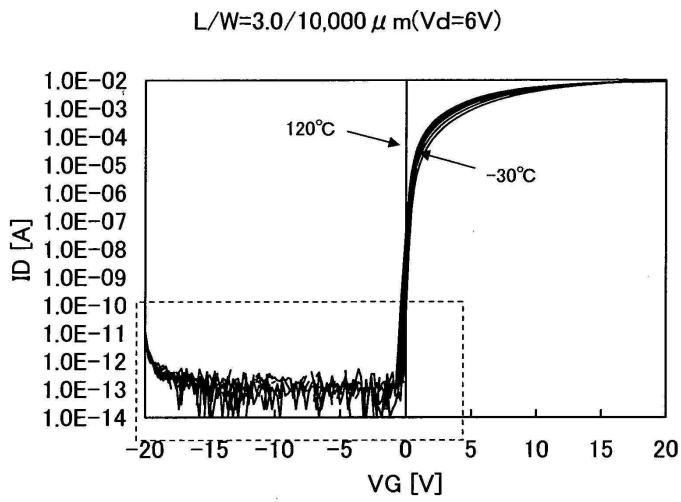
도면24a



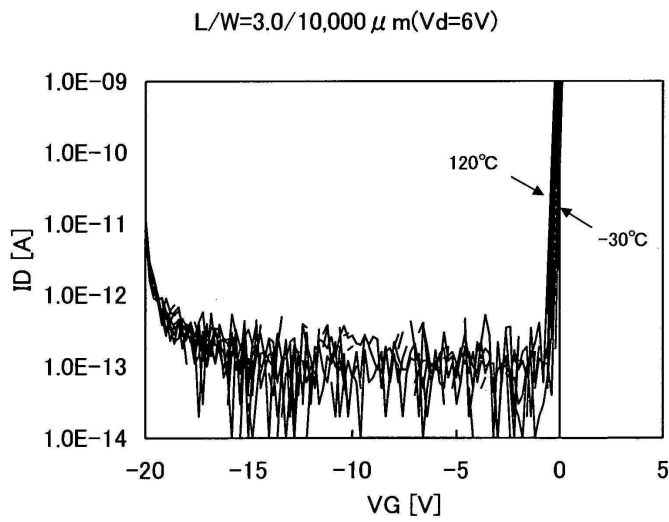
도면24b



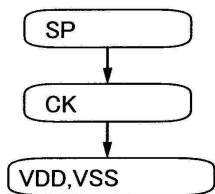
도면25a



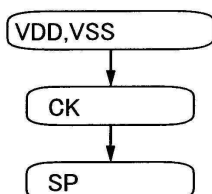
도면25b



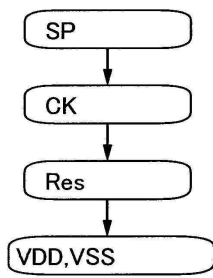
도면26a



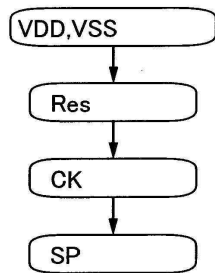
도면26b



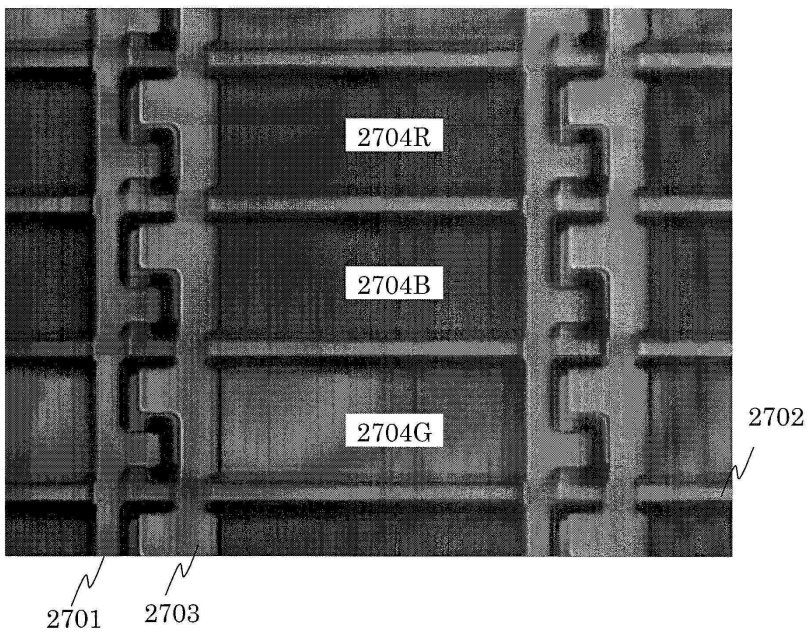
도면26c



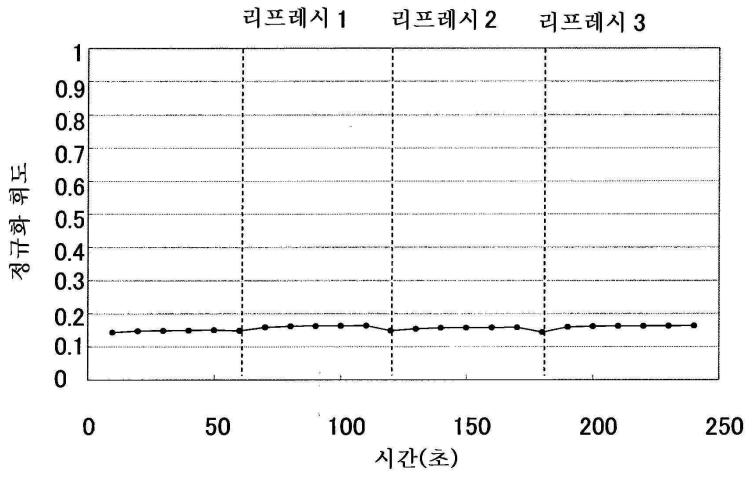
도면26d



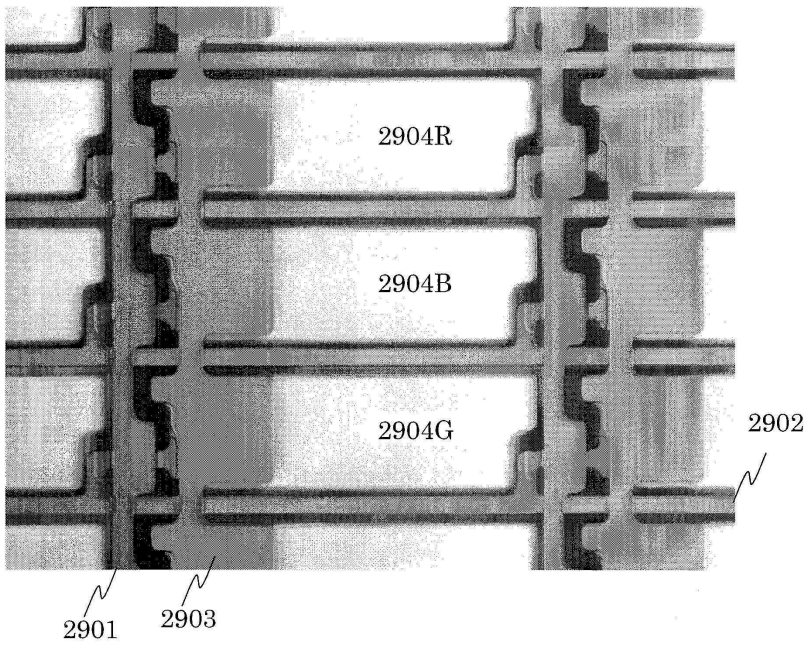
도면27



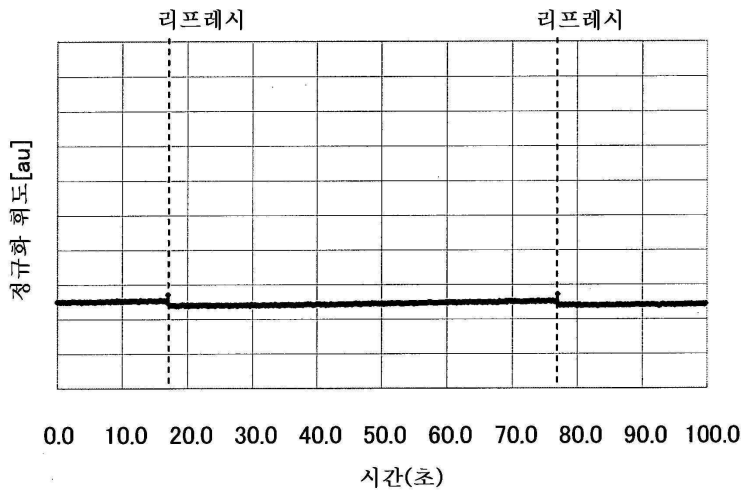
도면28



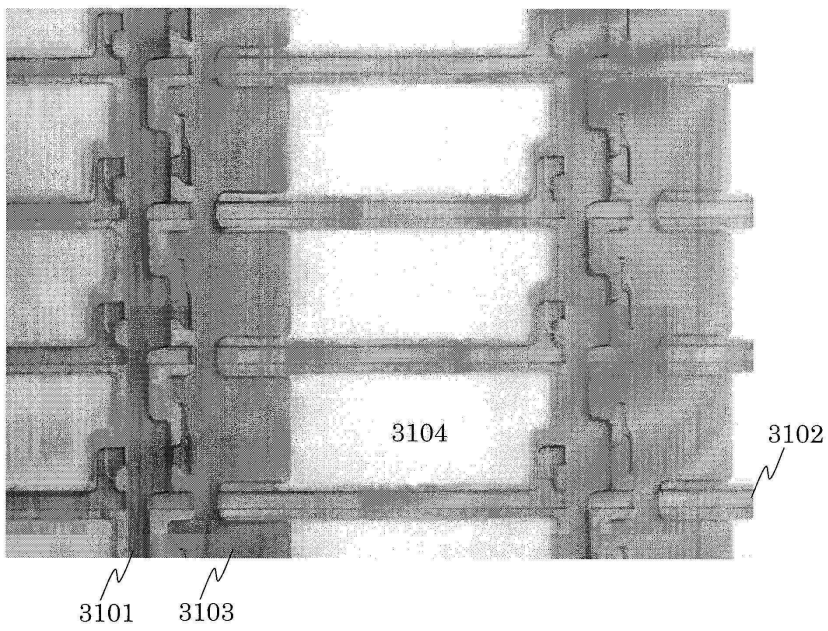
도면29



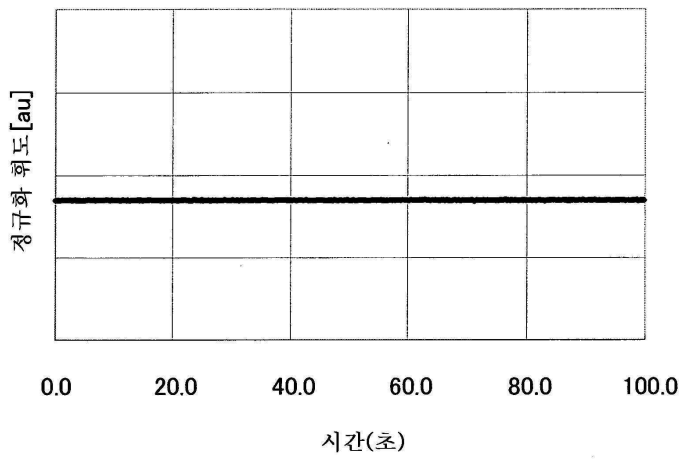
도면30



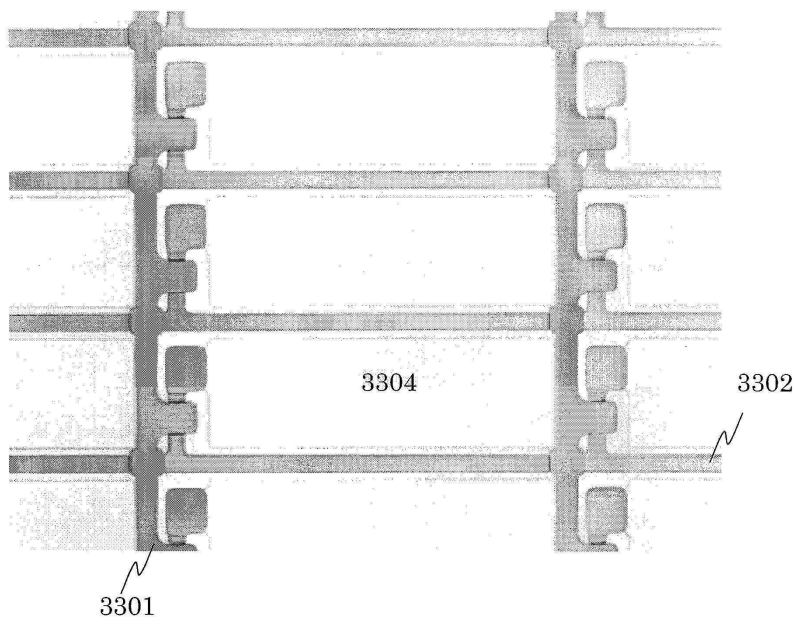
도면31



도면32



도면33



도면34

