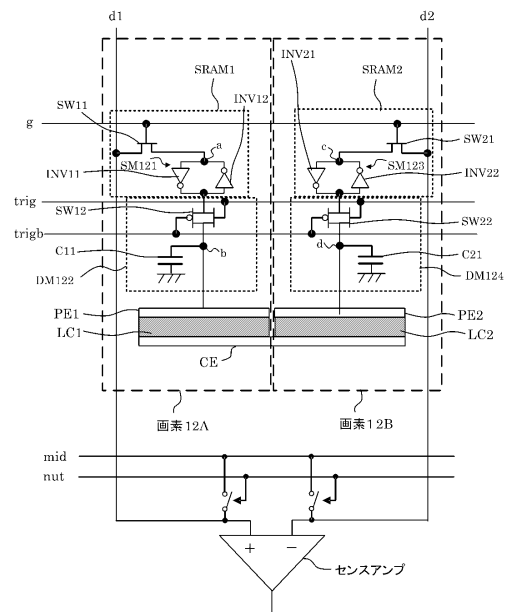




【特許請求の範囲】

【請求項 1】

複数本の列データ線と複数本の行走査線とが交差する各交差部に設けられた複数の画素からなる液晶表示装置であって、

前記画素は、

対向する画素電極と共通電極との間に液晶が充填封入された表示素子と、

入力された映像信号の各フレームデータについて、表示期間が 1 フレーム期間よりも短いサブフレームを複数用いて表示するためのサンプリングを、前記列データ線を介して行う第 1 のスイッチング部と、

前記第 1 のスイッチング部と共に S R A M を構成し、前記第 1 のスイッチング部が前記サンプリングしたサブフレームデータを保持する第 1 の保持部と、

前記第 1 の保持部が保持した前記サブフレームデータを出力させる第 2 のスイッチング部と、

前記第 2 のスイッチング部と共に D R A M を構成し、前記第 2 のスイッチング部を通して入力される前記第 1 の保持部に保持された前記サブフレームデータにより記憶内容が書き換えられ、出力データを前記画素電極に印加する第 2 の保持部と、

前記複数の画素に行単位で、前記サブフレームデータを前記第 1 の保持部に書き込むことを繰り返し、前記サブフレームデータが前記複数の画素の全てに書き込まれた後、トリガパルスにより前記複数の画素全ての前記第 2 のスイッチング部をオンにして、前記第 1 の保持部に保持された前記サブフレームデータにより前記複数の画素の前記第 2 の保持部の記憶内容を書き換える動作を前記サブフレーム毎に行う画素制御部とを備え、

前記複数の画素について、第 1 の画素と第 2 の画素のペア毎に、前記第 1 の画素の前記第 1 のスイッチング部に接続されている第 1 の列データ線と、前記第 2 の画素の前記第 1 のスイッチング部に接続されている第 2 の列データ線とが、それぞれ接続されたセンスアンプとを備え、

前記 D R A M を通して前記画素電極に書き込んだ信号を、前記第 2 のスイッチング部をオンにして前記 D R A M から前記 S R A M を通して、前記第 1 のスイッチング部から前記列データ線を介して読み出して、前記センスアンプを用いて画素検査をする

ことを特徴とする液晶表示装置。

【請求項 2】

前記請求項 1 に記載の液晶表示装置の検査方法であって、

前記第 1 の画素の前記第 1 のスイッチング部に接続されている前記第 1 の列データ線に 1 ビットの検査用信号を入力するとともに、前記第 2 の画素の前記第 1 のスイッチング部に接続されている前記第 2 の列データ線に前記検査用信号の反転信号を入力するステップと、

前記第 1 の画素の S R A M に前記検査用信号をラッチするとともに、前記第 2 の画素の S R A M に前記反転信号をラッチするステップと、

前記第 1 の画素の前記第 2 のスイッチング部をオンにして、前記第 1 の画素の S R A M にラッチした前記検査用信号を前記第 1 の画素の前記 D R A M にラッチするステップと、

前記第 2 の画素の前記第 2 のスイッチング部をオンにして、前記第 2 の画素の S R A M にラッチした前記反転信号を前記第 2 の画素の前記 D R A M にラッチするステップと、

前記第 1 の画素の前記第 2 のスイッチング部をオンにして、前記第 1 の画素の D R A M にラッチした前記検査用信号を前記第 1 の画素の S R A M に読み出すステップと、

前記第 2 の画素の前記第 2 のスイッチング部をオンにして、前記第 2 の画素の D R A M にラッチした前記反転信号を前記第 2 の画素の S R A M に読み出すステップと、

前記ラッチされた前記検査用信号を前記第 1 の列データ線に供給するとともに、前記ラッチされた前記反転信号を前記第 2 の列データ線に供給するステップと、

前記供給された前記検査用信号と、前記供給された前記反転信号とに基づく電位差を前記センスアンプにより増幅するステップと

を含むことを特徴とする液晶表示装置の検査方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は液晶表示装置及び液晶表示装置検査方法に係り、構成する画素の小型化を可能にすると共に、画素検査を正確に行うことを可能とする液晶表示装置及び液晶検査方法に関する。

【背景技術】

【0002】

従来から、液晶表示装置における中間調表示方式の1つとして、サブフレーム駆動方式が知られている。時間軸変調方式の一種であるサブフレーム駆動方式では、所定の期間（例えば、動画像の場合には1画像の表示単位である1フレーム）を複数のサブフレームに分割し、表示されるべき階調にあわせて、それらのサブフレームを組み合わせ、各画素の駆動を行う。表示されるべき階調は、所定の期間内に占める画素の駆動期間の割合によって定まる。そして、所定の期間内に占める画素の駆動期間の割合は、分割された各サブフレームの組み合わせによって定まる。

【0003】

前述のようなサブフレーム駆動方式を採用した液晶表示装置として、例えば特許文献1に記載されているように、各画素が、マスターラッチ、スレーブラッチ、液晶表示素子、及び第1～第3の計3つのスイッチングトランジスタとから構成されるものが知られている。

【0004】

この場合、各画素では、マスターラッチは2つの入力端子のうち、一方の入力端子に対しては、第1のスイッチングトランジスタを通して1ビットの第1のデータが印加されると共に、他方の入力端子に対しては、第2のスイッチングトランジスタを通して、第1のデータとは相補的な関係にある1ビットの第2のデータが印加される。そして行走査線を介した行選択信号の印加に基づき、対象となる画素が選択されると、これら第1のスイッチングトランジスタ及び第2のスイッチングトランジスタがオン状態となり、第1のデータが書き込まれる。第1のデータが論理値「1」で、第2のデータが論理値「0」のとき、その画素はデータに基づいた表示を行う。

【0005】

あるサブフレーム期間内で、全ての画素に対して上述したような動作により各データが書き込まれた後、そのサブフレーム期間内で、全画素の第3のスイッチングトランジスタがオン状態とされる。そして、マスターラッチに書き込まれたデータが同時にスレーブラッチへ読み出される。そしてスレーブラッチされたデータが液晶表示素子の画素電極に、そのスレーブラッチでラッチされたデータを印加する。サブフレーム毎に前述の一連の動作が繰り返され、1フレーム期間内の全てのサブフレームの組み合わせに基づき、所望の階調表示が行われる。

【0006】

すなわち、サブフレーム駆動方式を採用した液晶表示装置では、1フレーム期間内に存在する全てのサブフレームについて、同一又は異なる所定の表示期間が各サブフレームに割り当てられている。そして、各画素は、最大階調表示時は全てのサブフレームで白表示を行い（表示とされ）、最小階調表示時は全てのサブフレームが白表示を行わない（非表示とされる、換言すれば黒表示とされる）。そして最大階調表示時および最小階調表示時以外の場合は、表示される階調に応じて、表示されるサブフレームが選択される。なお、この従来の液晶表示装置は、入力されるデータが階調を示すデジタルデータであり、2段ラッチ構成のデジタル駆動方式を用いている。

【先行技術文献】

【特許文献】

【0007】

【特許文献1】特表2001-523847号公報

10

20

30

40

50

【発明の概要】

【発明が解決しようとする課題】

【0008】

しかしながら、前述の従来の液晶表示装置では、各画素内の2つのラッチはそれぞれ、いわゆるSRAM (Static Random Access Memory) で構成されるため、回路を構成するトランジスタの数が多くなってしまう。そのため、画素の小型化が困難であるという問題を有している。

【0009】

また、前述の従来の液晶表示装置の各画素は通常、シフトレジスタなどを含んだ回路を構成したシリコンバックプレーンを用いるが、これは大規模半導体集積回路 (LSI: Large Scale Integrated circuit) 工程を介して作成される。ウェハ作成後のプローブ検査において、画素検査が正常に行えない課題という問題を有している。この問題は、画素検査が行われる場合、列データ線にデータを入力してその入力データをSRAMに書き込んだ後、正常に書き込まれたかどうかを検査するため、列データ線からSRAMに書き込まれたデータを読み出すが、このとき列データ線に溜まっていた電荷によってSRAMが書き換わってしまう可能性があるために生じる。

【0010】

これまでの議論に加えて、前述した特許文献1に記載されている液晶表示装置は2つの相補ビット線をもつ2スイッチ型のSRAMであるが、関連する従来技術として、1つのビット線と1つのスイッチで構成される1スイッチ型のSRAMを採用した場合の問題についても述べる。

【0011】

例えば、いわゆるフルハイビジョン (FHD) の解像度を有する液晶表示装置の場合、画面縦方向の画素数は1080画素となり、各列データ線の容量は1pF程度になる。例えば、列データ線が“L”レベルで0Vとする。そして例えば、列データ線に接続されたスイッチングトランジスタと共にSRAMを構成する、互いに、第1のインバータの入力端子が第2のインバータの出力端子に接続され、また第2のインバータの入力端子が第1のインバータの入力端子に接続された2つのインバータのうち、上記スイッチングトランジスタに接続された方のインバータの入力端子の電圧が“H”レベルで3.3Vとする。この場合、画素検査を行うためにSRAMに書き込まれたデータを列データ線から読み出すことを目的として上記スイッチングトランジスタをオン状態としたときに、そのスイッチングトランジスタに出力端子が接続された他方のインバータを構成しているPチャネルMOS (Metal Oxide Semiconductor) 型電界効果トランジスタ (以下、PMOSトランジスタという) を通して電源から、上記の1pF程度の電荷容量に充電されることになる。

【0012】

このとき、上記の他方のインバータを構成しているトランジスタの駆動力は、上記の一方のインバータを構成しているトランジスタの駆動力よりも小さいため、充電時間が長くなる傾向がある。そのため必要な充電が完全に行われないうまま、上記の一方のインバータの入力端子の電圧がその反転電圧を下回ってしまう傾向を有する。そして、上記の一方のインバータの入力端子の電圧、すなわちSRAMの書き込まれるべきデータが書き換えられてしまう。このため、SRAMのデータを列データ線に出力することができず、正確な画素検査が行えないという問題が有る。

【0013】

本発明は以上の点に鑑みなされたもので、構成する画素の小型化を可能にすると共に、画素検査を正確に行うことを可能とする液晶表示装置及びその画素検査方法を提供することを目的とする。

【課題を解決するための手段】

【0014】

前述の課題を解決するため本発明は、複数本の列データ線と複数本の行走査線とが交差

する各交差部に設けられた複数の画素からなる液晶表示装置であって、前記画素は、対向する画素電極と共通電極との間に液晶が充填封入された表示素子と、入力された映像信号の各フレームデータについて、表示期間が1フレーム期間よりも短いサブフレームを複数用いて表示するためのサンプリングを、前記列データ線を介して行う第1のスイッチング部と、前記第1のスイッチング部と共にSRAMを構成し、前記第1のスイッチング部が前記サンプリングしたサブフレームデータを保持する第1の保持部と、前記第1の保持部が保持した前記サブフレームデータを出力させる第2のスイッチング部と、前記第2のスイッチング部と共にDRAMを構成し、前記第2のスイッチング部を通して入力される前記第1の保持部に保持された前記サブフレームデータにより記憶内容が書き換えられ、出力データを前記画素電極に印加する第2の保持部と、前記複数の画素に行単位で、前記サブフレームデータを前記第1の保持部に書き込むことを繰り返し、前記サブフレームデータが前記複数の画素の全てに書き込まれた後、トリガパルスにより前記複数の画素全ての前記第2のスイッチング部をオンにして、前記第1の保持部に保持された前記サブフレームデータにより前記複数の画素の前記第2の保持部の記憶内容を書き換える動作を前記サブフレーム毎に行う画素制御部とを備え、前記複数の画素について、第1の画素と第2の画素のペア毎に、前記第1の画素に接続されている第1のデータ線と、前記第2の画素に接続されている第2のデータ線とが、それぞれ接続されたセンスアンプとを備えることを特徴とする液晶表示装置を提供する。

10

【0015】

また本発明は、上記目的を達成するため、上述の液晶表示装置の検査方法であって、前記第1の画素に接続されている前記第1のデータ線に1ビットの検査用信号を入力するとともに、前記第2の画素に接続されている前記第2のデータ線に、前記入力された検査用信号の反転信号を入力するステップと、前記第1の画素のSRAMに前記検査用信号をラッチするとともに、前記第2の画素のSRAMに前記反転信号をラッチするステップと、前記ラッチされた前記検査用信号を前記第1のデータ線に供給するとともに、前記ラッチされた前記反転信号を前記第2のデータ線に供給するステップと、前記供給された前記検査用信号と、前記供給された前記反転信号とに基づく電位差を前記センスアンプにより増幅するステップとを備えることを特徴とする液晶表示装置の検査方法を提供する。

20

【発明の効果】

【0016】

本発明によれば、構成する画素の小型化を可能にすると共に、画素検査を正確に行うことを可能とする液晶表示装置及びその画素検査方法を提供することができる。

30

【図面の簡単な説明】

【0017】

【図1】本発明の実施の形態に係る液晶表示装置1の全体構成図である。

【図2】本発明の第1の実施の形態に係る回路図である。

【図3】本発明の実施の形態に係るインバータの一例の回路図である。

【図4】本発明の実施の形態に係る画素の断面構造図の例である。

【図5】本発明の実施の形態に係る液晶表示装置1における画素の書き込み／読み出し動作説明用タイミングチャートである。

40

【図6】本発明の実施の形態に係る液晶表示装置1の液晶の、飽和電圧および液晶の閾値電圧を2値重みつきパルス幅変調データとして多重化する説明図である。

【図7】本発明の実施の形態に係るセンスアンプ回路の構成図である。

【図8】本発明の実施の形態に係る画素検査の動作説明用タイミングチャートである。

【図9】本発明の実施の形態に係る液晶表示装置1のDRAMをオンした場合とオフした場合を説明する画素回路模式図である。

【発明を実施するための形態】

【0018】

以下、図面を参照して本発明の実施形態について説明する。図1は、本発明の実施形態に係る液晶表示装置1のブロック図である。液晶表示装置1は、複数の画素12A及び画

50

素 1 2 B が規則的に配置された画像表示部と、タイミングジェネレータと、垂直シフトレジスタと、データラッチ回路と、水平ドライバと、センスアンプと、画素読み出し用シフトレジスタとから構成される。

【0019】

水平ドライバは、水平シフトレジスタと、ラッチ回路と、レベルシフタ／画素ドライバとから構成される。また、画素読み出し用シフトレジスタは、1 行分の画素数の半分の画素数に相当する段数を有するシフトレジスタである。

【0020】

画像表示部は、垂直シフトレジスタに一端が接続されて行方向（X 方向）に延在する m 本（ m は 2 以上の自然数）の行走査線 $g_1 \sim g_m$ と、レベルシフタ／画素ドライバに一端が接続されて列方向（Y 方向）に延在する n 本（ n は 2 以上の自然数）の列データ線 $d_1 \sim d_n$ とが交差する各交差部に設けられ、二次元マトリクス状に配置された、それぞれ（ $m \times n$ ）／2 個ずつの画素 1 2 A 及び 1 2 B をから構成される（図 1 では、画像表示部を破線で囲んだブロックで示す。）。画素 1 2 A と画素 1 2 B とは、同じ行走査線に接続された隣接する 2 つの画素である。画像表示部内の全ての画素 1 2 A 及び 1 2 B は、一端がタイミングジェネレータに接続されたトリガパルス用トリガ線 $trig$ 及び $trigb$ に共通接続されている。

【0021】

正転トリガパルス用トリガ線 $trig$ が伝送する正転トリガパルスと、反転トリガパルス用トリガ線 $trigb$ が伝送する反転トリガパルスとは、常に逆論理値の関係（相補的な関係）にある。

【0022】

タイミングジェネレータは、上位装置から垂直同期信号 Vst 、水平同期信号 Hst 、基本クロック CLK といった外部信号を入力信号として受ける。そしてタイミングジェネレータは、これらの外部信号に基づいて、交流化信号 FR 、V スタートパルス VST 、H スタートパルス HST 、クロック信号 VCK 及びクロック信号 HCK 、ラッチパルス LT 、トリガパルス $trig / trigb$ 、画素読み出し用シフトレジスタクロック信号 $TCCK / TCCKb$ などの各種の内部信号を生成する。

【0023】

上記の内部信号のうち、交流化信号 FR は、1 サブフレーム毎に極性反転する信号である。交流化信号 FR は、画像表示部を構成する画素 1 2 A 及び画素 1 2 B 内の液晶表示素子の共通電極に、後述する共通電極電圧 $Vcom$ として供給される。スタートパルス VST は、後述する各サブフレームの開始のタイミングで出力されるパルス信号である。このスタートパルス VST によって、サブフレームの切替わりが制御される。

【0024】

スタートパルス HST は、水平シフトレジスタに入力する開始タイミングに出力されるパルス信号である。クロック信号 VCK は、垂直シフトレジスタにおける 1 水平走査期間（1 H）を規定するシフトクロックであり、クロック信号 VCK のタイミングにあわせて垂直シフトレジスタがシフト動作を行う。クロック信号 HCK は、水平シフトレジスタにおけるシフトクロックであり、32 ビット幅でデータをシフトしていくための信号である。ラッチパルス LT は、水平シフトレジスタが水平方向の 1 行の画素数分のデータをシフトし終わったタイミングで出力されるパルス信号である。

【0025】

また、タイミングジェネレータは、正転トリガパルスを、正転トリガパルス用トリガ線 $trig$ を通して、また反転トリガパルスを、反転トリガパルス用トリガ線 $trigb$ を通して画像表示部内の全画素 1 2 A 及び 1 2 B に供給する。正転トリガパルスと反転トリガパルスとは、画像表示部内の各画素 1 2 A 及び 1 2 B に設けられた（図 1 では図示を省略した）第 1 の信号保持手段に対し順次、データの書き込みが完了された直後に出力される。そして、そのサブフレーム期間内で、画像表示部内の全画素 1 2 A 及び 1 2 B の第 1 の信号保持手段のデータが同じ画素内の（図 1 では図示を省略した）第 2 の信号保持手

段に一度に転送される。なお、第 1 の信号保持手段及び第 2 の信号保持手段については、後に詳述する。

【0026】

垂直シフトレジスタは、それぞれのサブフレームの最初に供給される V スタートパルス V S T を、クロック信号 V C K に従って転送する。そして垂直シフトレジスタは、行走査線 g 1 ~ g m に対して行走査信号を 1 H 単位で順次排他的に供給する。また垂直シフトレジスタは、1 フレーム期間では全ての行走査線 g 1 ~ g m に行走査線を供給する。これにより、1 フレーム期間において、画像表示部において最も上にある行走査線 g 1 から最も下にある行走査線 g m まで、行走査線が 1 本ずつ順次 1 H 単位で選択されていく。

【0027】

データラッチ回路は、図示しない外部回路から供給される 1 サブフレーム毎に分割された 32 ビット幅のデータを、上位装置からの基本信号 C L K に基づいてラッチした後、基本信号 C L K に同期して水平シフトレジスタへ出力する。

【0028】

ここで、映像信号の 1 フレームが、その映像信号の 1 フレーム期間より短い表示期間を持つ複数のサブフレームに分割されて、それらサブフレームの組み合わせによって階調表示が行われる本実施の形態では、前述したような画素と周辺回路の外部にある上位構成回路において、映像信号の画素毎の階調を示す階調データが、上記複数のサブフレーム全体で各画素の階調を表示するための各サブフレーム単位の 1 ビットのサブフレームデータに変換される。そして、これら画素と周辺回路の外部にある上位構成回路において、更に同じサブフレームにおける 32 画素分の上記サブフレームデータをまとめて上記 32 ビット幅のデータとしてデータラッチ回路に供給している。

【0029】

水平シフトレジスタは、1 ビットシリアルデータの処理系でみた場合、タイミングジェネレータから 1 H の最初に供給される H スタートパルス H S T によりシフトを開始し、データラッチ回路から供給される 32 ビット幅のデータをクロック信号 H C K に同期してシフトする。ラッチ回路は、水平シフトレジスタが画像表示部の 1 行分の画素数 n と同じ n ビット分のデータをシフトし終わった時点で、タイミングジェネレータから供給されるラッチパルス L T に従って、水平シフトレジスタから並列に供給される n ビット分のデータ（すなわち、同じ行の n 画素分のサブフレームデータ）をラッチし、レベルシフタ／画素ドライバのレベルシフタへ出力する。

【0030】

ラッチ回路へのデータ転送が終了すると、タイミングジェネレータから H スタートパルスが再び出力され、水平シフトレジスタはクロック信号 H C K に従ってデータラッチ回路からの 32 ビット幅のデータのシフトを再開する。

【0031】

レベルシフタ／画素ドライバに設けられたレベルシフタは、ラッチ回路によりラッチされて供給される 1 行の n 画素に対応した n 個のサブフレームデータの信号レベルを、液晶駆動電圧までレベルシフトする。レベルシフタ／画素ドライバに設けられた画素ドライバは、レベルシフト後の 1 行の n 画素に対応した n 個のサブフレームデータを、n 本の列データ線 d 1 ~ d n に並列に出力する。

【0032】

水平ドライバを構成する水平シフトレジスタ、ラッチ回路、及びレベルシフタ／画素ドライバは、1 H 内において今回データを書き込む画素行に対するデータの出力と、次の 1 H 内でデータを書き込む画素行に関するデータのシフトとを並行して行う。ある水平走査期間において、ラッチされた 1 行分の n 個のサブフレームデータが、データ信号としてそれぞれ n 本の列データ線 d 1 ~ d n に並列に、かつ、一斉に出力される。

【0033】

ここで、列データ線 d 1 ~ d n は、画素検査時は隣接する 2 本の列データ線単位で用いられる。隣接する 2 本のデータ線はセンスアンプに接続されており、微弱な電位信号差を

10

20

30

40

50

増幅してVDD、GND信号（ここでは、VDDは電源電圧であり、GNDは基準電圧である。）に変換し、変換された各画素検査信号は、TESTをオン制御することによって1Hの半分の画素数分の画素検査信号が一斉に画素読み出し用シフトレジスタに格納される。その後、TESTをオフ制御し、画素読み出し用シフトレジスタに画素検査信号をラッチする。画素読み出し用シフトレジスタクロック信号CLKは、2本の列データ線毎に配置されたセンスアンプから入力された信号を転送するためのクロックである。画素読み出し用シフトレジスタクロック信号CLK/CLKbに従って画素検査された信号がシリアルに出力端子TOUTから順次読み出される。

【0034】

画像表示部を構成する複数の画素12A及び12Bのうち、垂直シフトレジスタからの行走査信号により選択された1行の $n/2$ 個ずつの画素12A及び画素12Bは、レベルシフタ／画素ドライバから一斉に出力された1行分の n 個のサブフレームデータを n 本のデータ線d1～dnを介してサンプリングし、各画素12A及び画素12B内の（図1では図示を省略した）後述する第1の信号保持手段に書き込む。

【0035】

次に、本発明の液晶表示装置の要部の画素12A及び画素12Bの各実施の形態について詳細に説明する。

（第1の実施の形態）

本発明が有する多数の側面のうちの一つの側面を、第1の実施の形態として図2に示し、以下に説明する。図2は液晶表示装置1の各画素を、その周辺回路と共に示した図である。図2において、画素12A（図2中では破線で示す。）及び画素12B（図2中では破線で示す。）は、図1中の任意の同じ1本の行走査線gに接続された、列方向に隣接する2つの画素であり、画素12Aは任意の1本の列データ線d1と1本の行走査線gとの交差部に設けられ、画素12Bは上記列データ線d1に隣接する列データ線d2と行走査線gとの交差部に設けられている。また、列データ線d1と列データ線d2はセンスアンプに接続されている。センスアンプはd1とd2から入力される微弱な電位差を増幅する回路である。

【0036】

画素12Aは、第1のスイッチング手段であるスイッチSW11、スイッチSW11のオン／オフに応じて信号（データ）を保持する第1の保持手段SM121、第2のスイッチング手段であるスイッチSW12、スイッチSW12のオン／オフに応じて信号を保持する第2の保持手段である容量C11、画素電極である反射電極PE1と液晶LC1、共通電極であるCEから構成される。第1の保持手段SM121は、インバータINV11とインバータINV12とから構成される。スイッチSW11と、第1の保持手段SM121は、SRAM（Static Random Access Memory）を構成する（図2中ではSRAM1）。スイッチSW12と、容量C11とは、DRAM（Dynamic Random Access Memory）を構成する（図2中ではDM122）。

【0037】

画素12Bは、第1のスイッチング手段であるスイッチSW21、スイッチSW21のオン／オフに応じて信号（データ）を保持する第1の保持手段SM123、第2のスイッチング手段であるスイッチSW22、スイッチSW22のオン／オフに応じて信号を保持する第2の保持手段である容量C21、画素電極である反射電極PE2と液晶LC2、共通電極であるCEから構成される。第1の保持手段SM123は、インバータINV21とインバータINV22とから構成される。スイッチSW21と、第1の保持手段SM123は、SRAM（Static Random Access Memory）を構成する（図2中ではSRAM2）。スイッチSW22と、容量C21とは、DRAM（Dynamic Random Access Memory）を構成する（図2中ではDM124）。

【0038】

液晶表示素子LMC1及び液晶表示素子LMC2は、離間対向配置された光反射特性を有する画素電極である反射電極PE1及び反射電極PE2と、光透過性を有する共通電極

10

20

30

40

50

C Eとの間の空間に、液晶 L C 1 及び液晶 L C 2 が充填封入された構造からなる。

【0039】

スイッチ S W 1 1 及びスイッチ S W 2 1 は、ゲートが行走査線 g に共通に接続され、ドレインが列データ線 d 1 及び d 2 に別々に接続され、ソースが S M 1 2 1 及び S M 1 2 3 の入力端子に別々に接続されている、各 1 個の N チャネル M O S 型トランジスタ（以下、N M O S トランジスタという）により構成されている。S M 1 2 1 は、一方の出力端子が他方の入力端子に接続された 2 つのインバータ I N V 1 1 及びインバータ I N V 1 2 からなる自己保持型メモリである。同様に S M 1 2 3 は、一方の出力端子が他方の入力端子に接続された 2 つのインバータ I N V 2 1 及びインバータ I N V 2 2 からなる自己保持型メモリである。

10

【0040】

インバータ I N V 1 1 は、その入力端子がインバータ I N V 1 2 の出力端子とスイッチ S W 1 1 を構成する N M O S トランジスタのソースとに接続されている。インバータ I N V 1 2 は、その入力端子がスイッチ S W 1 2 とインバータ I N V 1 1 の出力端子とに接続されている。同様に、インバータ I N V 2 1 は、その入力端子がインバータ I N V 2 2 の出力端子とスイッチ S W 2 1 を構成する N M O S トランジスタのソースとに接続されている。インバータ I N V 2 2 は、その入力端子がスイッチ S W 2 2 とインバータ I N V 2 1 の出力端子とに接続されている。

【0041】

インバータ I N V 1 1、インバータ I N V 1 2、インバータ I N V 2 1、及びインバータ I N V 2 2 は、いずれも図 3 に示すような、互いのゲート同士及びドレイン同士が接続された、P チャネル M O S 型トランジスタ（以下、P M O S トランジスタという）P T r 及び N M O S トランジスタ N T r とからなる C M O S インバータの構成であるが、それぞれの駆動力が異なるように設計されている。

20

【0042】

スイッチ S W 1 1 及びスイッチ S W 2 1 各々から見て S M 1 2 1 及び S M 1 2 3 を構成している入力側のインバータ I N V 1 1 及びインバータ I N V 2 1 内のトランジスタは、スイッチ S W 1 1 及び S W 2 1 各々から見て S M 1 2 1 及び S M 1 2 3 を構成している出力側のインバータ I N V 1 2 及びインバータ I N V 2 2 内のトランジスタに比較して、駆動力の大きいトランジスタを用いている。さらにスイッチ S W 1 1 及び S W 2 1 を構成している N M O S トランジスタの駆動力は、インバータ I N V 1 2 及びインバータ I N V 2 2 を構成している N M O S トランジスタの駆動力よりも大きいトランジスタで構成されている。

30

【0043】

これは、スイッチ S W 1 1 及びスイッチ S W 2 1 の入力側の電圧が “ H ” レベルのときにインバータ I N V 1 1 及びインバータ I N V 2 1 の入力側のトランジスタが反転する電圧以上に達するためには、スイッチ S W 1 1 及びスイッチ S W 2 1 に流れる電流が、出力側のインバータ I N V 1 2 及びインバータ I N V 2 2 のトランジスタを構成する N M O S トランジスタを流れる電流よりも大きい必要があるためである。

【0044】

従って、スイッチ S W 1 1 及びスイッチ S W 2 1 を構成している N M O S トランジスタの駆動力はインバータ I N V 1 2 及びインバータ I N V 2 2 を構成している N M O S トランジスタの駆動力よりも大きく構成するため、これを考慮してスイッチ S W 1 1 及びスイッチ S W 2 1 を構成している N M O S トランジスタのトランジスタサイズと、インバータ I N V 1 2 及びインバータ I N V 2 2 を構成している N M O S トランジスタのトランジスタサイズとを決める必要がある。

40

【0045】

スイッチ S W 1 2 及びスイッチ S W 2 2 は、それぞれ互いのドレイン同士が接続され、かつ互いのソース同士が接続された N M O S トランジスタと P M O S トランジスタとからなるトランSMissionゲートの構成とされている。N M O S トランジスタのゲートは正

50

転トリガパルス用トリガ線 $t r i g$ に接続され、PMOS トランジスタのゲートは反転トリガパルス用トリガ線 $t r i g b$ に接続されている。

【0046】

また、スイッチ $S W 1 2$ 及びスイッチ $S W 2 2$ は一方の端子が $S M 1 2 1$ 及び $S M 1 2 3$ にそれぞれ接続され、他方の端子が容量 $C 1 1$ 及び容量 $C 2 1$ と液晶表示素子 $L C M 1$ 及び液晶表示素子 $L C M 2$ の反射電極 $P E 1$ 及び反射電極 $P E 2$ とにそれぞれ接続されている。従って、スイッチ $S W 1 2$ 及びスイッチ $S W 2 2$ はトリガ線 $t r i g$ を介して供給される正転トリガパルスが“H”レベル（このときは、トリガ線 $t r i g b$ を介して供給される反転トリガパルスは“L”レベル）のときはオン状態とされ、 $S M 1 2 1$ 及び $S M 1 2 3$ の記憶データを読み出して容量 $C 1 1$ 及び容量 $C 2 1$ 及び反射電極 $P E 1$ 及び反射電極 $P E 2$ へ転送する。

10

【0047】

また、スイッチ $S W 1 2$ 及びスイッチ $S W 2 2$ はトリガ線 $t r i g$ を介して供給される正転トリガパルスが“L”レベル（このときは、トリガ線 $t r i g b$ を介して供給される反転トリガパルスは“H”レベル）のときはオフ状態とされ、 $S M 1 2 1$ 及び $S M 1 2 3$ の記憶データの読み出しは行わない。

【0048】

スイッチ $S W 1 2$ 及びスイッチ $S W 2 2$ はトランсмисシオンゲートの構成とされているため、図3に示すGNDからVDDまでの範囲の電圧をオン・オフすることができる。つまり、トランсмисシオンゲートを構成するNMOS トランジスタとPMOS トランジスタの各ゲートに印加される信号がGND側の電位（“L”レベル）のときは、PMOS トランジスタが導通することができない代わりに、NMOS トランジスタが低抵抗で導通することができる。一方、ゲート入力信号がVDD側の電位（“H”レベル）のときはNMOS トランジスタが導通することができない代わりに、PMOS トランジスタが低抵抗で導通することができる。

20

【0049】

従って、トリガ線 $t r i g$ を介して供給される正転トリガパルスと、トリガ線 $t r i g b$ を介して供給される反転トリガパルスとにより、スイッチ $S W 1 2$ 及びスイッチ $S W 2 2$ を構成するトランсмисシオンゲートをオン／オフ制御することによって、GNDからVDDまでの電圧範囲を低抵抗／高抵抗でスイッチングすることができる。

30

【0050】

容量 $C 1 1$ はスイッチ $S W 1 2$ と共に $D M 1 2 2$ のDRAMを構成しており、容量 $C 2 1$ はスイッチ $S W 2 2$ と共に $D M 1 2 4$ のDRAMを構成している。ここで、 $S M 1 2 1$ 及び $S M 1 2 3$ の記憶データと容量 $C 1 1$ 及び容量 $C 2 1$ の保持データとが異なっていた場合、スイッチ $S W 1 2$ 及びスイッチ $S W 2 2$ がオンとされ、 $S M 1 2 1$ 及び $S M 1 2 3$ の記憶データが容量 $C 1 1$ 及び容量 $C 2 1$ へ転送されたときには、容量 $C 1 1$ 及び容量 $C 2 1$ の保持データが $S M 1 2 1$ 及び $S M 1 2 3$ の記憶データで置き換えられる必要がある。

【0051】

容量 $C 1 1$ 及び容量 $C 2 1$ の保持データが書き換わる場合、その保持データは充電、または放電によって変化し、また容量 $C 1 1$ の充放電はインバータ $I N V 1 1$ の出力信号によって、容量 $C 2 1$ の充放電はインバータ $I N V 2 1$ の出力信号によってそれぞれ駆動される。容量 $C 1 1$ 及び容量 $C 2 1$ の保持データを充電によって“L”レベルから“H”レベルに書き換える場合、インバータ $I N V 1 1$ 及びインバータ $I N V 2 1$ の出力信号は“H”であり、このときインバータ $I N V 1 1$ 及びインバータ $I N V 2 1$ を構成するPMOS トランジスタ（図3の $P T r$ ）がオン、NMOS トランジスタ（後述する図3の $N T r$ ）がオフするため、インバータ $I N V 1 1$ 、インバータ $I N V 2 1$ のPMOS トランジスタのソースに接続されている電源電圧VDDによって容量 $C 1 1$ 、容量 $C 2 1$ が充電される。

40

【0052】

50

一方、容量C 1 1、容量C 2 1の保持データを放電によって“H”レベルから“L”レベルに書き換える場合、インバータI N V 1 1及びインバータI N V 2 1の出力信号は“L”レベルであり、このときインバータI N V 1 1及びインバータI N V 2 1を構成するN M O Sトランジスタ（後述する図3のN T r）がオン、P M O Sトランジスタ（図3のP T r）がオフするため、容量C 1 1及び容量C 2 1の蓄積電荷がインバータI N V 1 1及びインバータI N V 2 1のN M O Sトランジスタ（後述する図3のN T r）を通してG N Dへ放電される。スイッチS W 1 2及びスイッチS W 2 2は、上述したトランスミッションゲートを用いたアナログスイッチの構成であるため、上記の容量C 1 1及び容量C 2 1の高速な充放電が可能になる。

【0053】

更に、本実施の形態ではインバータI N V 1 1及びインバータI N V 2 1の駆動力は、インバータI N V 1 2及びインバータI N V 2 2の駆動力よりも大きく設定されているため、容量C 1 1及び容量C 2 1を高速に充放電駆動することが可能である。また、スイッチS W 1 2及びスイッチS W 2 2をオンにすると、容量C 1 1及び容量C 2 1に蓄えられた電荷はインバータI N V 1 2及びインバータI N V 2 2の入力ゲートにも影響を与えるが、インバータI N V 1 2及びインバータI N V 2 2に対してインバータI N V 1 1及びインバータI N V 2 1の駆動力を大きく設定していることにより、インバータI N V 1 2及びインバータI N V 2 2のデータ入力反転よりもインバータI N V 1 1及びインバータI N V 2 1による容量C 1 1、容量C 2 1の充放電が優先され、S M 1 2 1、S M 1 2 3の記憶データを書き換えてしまうことはない。

【0054】

図2に示した本実施の形態の画素1 2 A及び画素1 2 Bによれば、上記のように、液晶表示素子L C M 1及びL C M 2の印加電圧を高く設定することができ、ダイナミックレンジを大きく取ることが可能になるという効果を得られる。

【0055】

さらに、画素の小型化が可能であるという顕著な効果を得られる。この2つの画素1 2 A及び1 2 Bの小型化は、図2に示したように計1 4個のトランジスタと2つの容量C 1 1及び容量C 2 1とから構成され、従来の2つの画素よりも少ない数の構成素子により画素を構成できるからという理由に加えて、以下に説明するように、S M 1 2 1、S M 1 2 3、D M 1 2 2、D M 1 2 4、反射電極P E 1、及び反射電極P E 2を、素子の高さ方向

【0056】

図4は、本発明の実施形態に係る画素の断面構成図である。図2に示した容量C 1 1や容量C 2 1には、配線間で容量を形成するM I M（Metal-Insulator-Metal）容量や、基板-ポリシリコン間で容量を形成するDiffusion容量、2層ポリシリコン間で容量を形成するP I P（Poly-Insulator-Poly）容量などを用いることができる。図4は、このうちM I Mにより容量C 1 1を構成した場合の液晶表示装置の断面構成図を示す。なお、図4は画素1 2 Aの一部の構成断面図を示している。

【0057】

図4において、シリコン基板に形成されたNウェル上に、ドレインとなる拡散層を共通化することでドレイン同士が接続されたインバータI N V 1 1のP M O SトランジスタP T r 1 1と、スイッチS W 1 2のP M O SトランジスタT r 2とが形成されている。また、シリコン基板に形成されたPウェル上に、ドレインとなる拡散層を共通化することでドレイン同士が接続されたインバータI N V 1 2のN M O SトランジスタN T r 1 2と、スイッチS W 1 2のN M O SトランジスタT r 1とが形成されている。なお、図4にはインバータI N V 1 1を構成するN M O SトランジスタとインバータI N V 1 2を構成するP M O Sトランジスタとは図示されていない。

【0058】

また、上記の各トランジスタP T r 1 1、T r 2、T r 1、N T r 1 2の上方には、層間絶縁膜をメタル間に介在させて第1メタル、第2メタル、第3メタル、電極、第4メタ

10

20

30

40

50

ル、及び第5メタルが積層されている。第5メタルは画素毎に形成される反射電極PEを構成している。スイッチSW12を構成するNMOSトランジスタTr1及びPMOSトランジスタTr2の各ソースを構成する各拡散層は、コンタクトにより第1メタルにそれぞれ電氣的に接続され、更に、スルーホールを通して第2メタル、第3メタル、第4メタル、及び第5メタルに電氣的に接続されている。すなわち、スイッチSW12を構成するNMOSトランジスタTr1及びPMOSトランジスタTr2の各ソースは、反射電極PEに電氣的に接続されている。

【0059】

更に、反射電極PE（第5メタル）上には保護膜としてパッシベーション膜（PSV）が形成され、透明電極である共通電極CEに離間対向配置されている。それら画素電極PE1と共通電極CEとの間に液晶LC1が充填封止されて、液晶表示素子LCM1を構成している。

【0060】

ここで、第3メタル上には層間絶縁膜を介してMIM電極が形成されている。このMIM電極は、第3メタル及び第3メタルとMIM電極との間の層間絶縁膜と共に容量C11を構成している。MIMにより容量C11を構成すると、SM121とスイッチSW11、スイッチSW12はトランジスタと第1メタル及び第2メタルの各層の配線、DM122はトランジスタ上部の第3メタルを利用したMIM配線にて形成することが可能になる。MIM電極は、スルーホールを介して第4メタルに電氣的に接続され、更に第4メタルはスルーホールを介して反射電極PE1に電氣的に接続されているため、容量C11は反射電極PE1に電氣的に接続されている。

【0061】

図4中で図示を省略した光源が照射した光は、共通電極CE及び液晶LC1を透過して反射電極PE1（第5メタル）に入射して反射され、元の入射経路を逆進して共通電極CEを通して射出される。

【0062】

本実施の形態によれば、図4に示すように、5層配線である第5メタルを反射電極PE1に割り当てることにより、SM121とDM122の容量部、反射電極PE1を高さ方向に有効に配置することが可能になり、画素小型化が実現できる。これにより、例えば3 μ m以下のピッチの画素を電源電圧3.3Vのトランジスタで構成できる。この3 μ mピッチの画素では対角の長さ0.55インチの横方向4000画素、縦方向2000画素の液晶表示パネルを実現できる。

【0063】

次に、本実施の形態の画素12A及び画素12Bを用いた図1の液晶表示装置1のデータ書き込み及び読み出し動作について、図5のタイミングチャートを併せ参照して説明する。前述したように、液晶表示装置1において、垂直シフトレジスタからの行走査信号により行走査線g1から行走査線gmに向って、行走査線が1本ずつ順次1H単位で選択されていくため、画像表示部を構成する複数の画素12A及び画素12Bは、選択された行走査線に共通に接続された1行のn個の画素単位でデータの書き込みが行われる。そして、画像表示部を構成する複数の画素12A及び画素12Bの全てに書き込みが終わった後、トリガパルスに基づいて全画素一斉に読み出しが行われる。

【0064】

図5（A）に、水平ドライバから列データ線d1～dnに出力される1ビットのサブフレームデータの一画素の書き込み期間及び読み出し期間を模式的に示す。左下がりの斜線が書き込み期間を示す。なお、図5（A）において、B0b、B1b、B2bはビットBO、B1、B2のデータの反転データであることを示す。

【0065】

また、図5（B）は、タイミングジェネレータから正転トリガパルス用トリガ線trigに出力されるトリガパルスを示す。このトリガパルスは1サブフレーム毎に出力される。なお、反転トリガパルス用トリガ線trigbに出力される反転トリガパルスは正転ト

リガパルスと常に逆論理値であるのでその図示は省略してある。

【0066】

まず、行走査信号により選択された1行の複数の画素12A及び12Bのうち、画素12Aは、スイッチSW11がオン状態とされ、その時列データ線d1に出力される図5（A）のビットB0の正転サブフレームデータがスイッチSW11によりサンプリングされることでSM121に書き込まれる。また、画素12Bは、スイッチSW21がオン状態とされ、その時列データ線d2に出力される図5（A）のビットB0の正転サブフレームデータがスイッチSW21によりサンプリングされてSM123に書き込まれる。以下、同様にして、画像表示部を構成する全ての画素のSM121及びSM123にビットB0のサブフレームデータの書き込みが行われ、その書き込み動作が終了した後の図5に示す時間T1で、図5（B）に示すように“H”レベルの正転トリガパルスが画像表示部11を構成する全ての画素12A及び12Bに同時に供給される。

10

【0067】

これにより、全ての画素12A及び12BのスイッチSW12及びSW22がオン状態とされるため、SM121及びSM123に記憶されているビットB0の正転サブフレームデータがスイッチSW12を通して容量C11及びC21に一斉に転送されて保持されると共に、反射電極PE1及びPE2に印加される。この容量C11及びC21によるビットB0の正転サブフレームデータの保持期間は、時間T1から図5（B）に示すように次の“H”レベルの正転トリガパルスが入力される時間T2までの1サブフレーム期間である。図5（C）は、反射電極PE1及びPE2に印加されるサブフレームデータのビットを模式的に示す。

20

【0068】

ここで、サブフレームデータのビット値が「1」、すなわち“H”レベルのときには反射電極PE1、反射電極PE2には電源電圧VDD（ここでは例えば3.3V）が印加され、ビット値が「0」、すなわち“L”レベルのときには反射電極PE1及び反射電極PE2には0Vが印加される。一方、共通電極CEには、GND及びVDDに制限されることなく、自由な電圧が共通電極電圧Vcomとして印加できるようになっており、“H”レベルの正転トリガパルスが入力される時と同時タイミングで規定の電圧に切り替わるようにされている。ここでは、共通電極電圧Vcomは、正転サブフレームデータが反射電極PE1及び反射電極PE2に印加されるサブフレーム期間は、図5（D）に示すように0Vよりも液晶の閾値電圧Vttだけ低い電圧に設定される。

30

【0069】

図2で示した液晶LC1及び液晶LC2は、反射電極PE1及び反射電極PE2の印加電圧と共通電極電圧Vcomとの差電圧の絶対値である、液晶LC1及び液晶LC2の印加電圧に応じた階調表示を行う。従って、ビットB0の正転サブフレームデータが反射電極PE1及び反射電極PE2に印加される時刻T1～T2の1サブフレーム期間では、液晶LC1及び液晶LC2の印加電圧は、図5（E）に示すように、サブフレームデータのビット値が「1」のときは $3.3V + V_{tt}$ （ $= 3.3V - (-V_{tt})$ ）となり、サブフレームデータのビット値が「0」のときは $+V_{tt}$ （ $= 0V - (-V_{tt})$ ）となる。

40

【0070】

図6に、液晶の印加電圧（RMS電圧）と液晶のグレースケール値との関係を示す。図6に示すように、グレースケール値曲線は黒のグレースケール値が液晶の閾値電圧VttのRMS電圧に対応し、白のグレースケール値が液晶の飽和電圧Vsatt（ $= 3.3V + V_{tt}$ ）のRMS電圧に対応するようにシフトされる。グレースケール値を液晶応答曲線の有効部分に一致させることが可能である。従って、液晶LCは上記のように液晶LCMの印加電圧が（ $3.3V + V_{tt}$ ）のときは白を表示し、 $+V_{tt}$ のときは黒を表示する。

。

【0071】

続いて、上記のビットB0の正転サブフレームデータを表示しているサブフレーム期間内において、図5（A）にB0bで示すようにビットB0の反転サブフレームデータの画

50

素 1 2 A 及び画素 1 2 B の S M 1 2 1 及び S M 1 2 3 への書き込みが順番に開始される。そして、画像表示部 1 1 の全画素の S M 1 2 1 及び S M 1 2 3 にビット B 0 の反転サブフレームデータが書き込まれ、その書き込み終了後の時刻 T 2 で図 5 (B) に示すように “H” レベルの正転トリガパルスが画像表示部 1 1 を構成する全ての画素に同時に供給される。

【0072】

これにより、全ての画素 1 2 A 及び画素 1 2 B のスイッチ S W 1 2 及びスイッチ S W 2 2 がオンとされるため、S M 1 2 1 及び S M 1 2 3 に記憶されているビット B 0 の反転サブフレームデータがスイッチ S W 1 2 及びスイッチ S W 2 2 を通して容量 C 1 1 及び容量 C 2 1 に転送されて保持されると共に、反射電極 P E 1、反射電極 P E 2 に印加される。この容量 C 1 1 及び容量 C 2 1 によるビット B 0 の反転サブフレームデータの保持期間は、時刻 T 2 から図 5 (B) に示すように次の “H” レベルの正転トリガパルスが入力される時刻 T 3 までの 1 サブフレーム期間である。ここで、ビット B 0 の反転サブフレームデータはビット B 0 の正転サブフレームデータと常に逆論理値の関係にあるため、ビット B 0 の正転サブフレームデータが「1」のときは「0」、ビット B 0 の正転サブフレームデータが「0」のときは「1」である。

【0073】

一方、共通電極電圧 V c o m は、反転サブフレームデータが反射電極 P E 1 及び反射電極 P E 2 に印加されるサブフレーム期間は、図 5 (D) に示すように 3.3 V よりも液晶の閾値電圧 V t t だけ高い電圧に設定される。従って、ビット B 0 の反転サブフレームデータが反射電極 P E 1 及び反射電極 P E 2 に印加される時刻 T 2 ~ T 3 の 1 サブフレーム期間では、液晶 L C 1 及び液晶 L C 2 の印加電圧は、サブフレームデータのビット値が「1」のときは $-V_{tt}$ ($= 3.3 V - (3.3 V + V_{tt})$) となり、サブフレームデータのビット値が「0」のときは $-3.3 V - V_{tt}$ ($= 0 V - (3.3 V + V_{tt})$) となる。

【0074】

従って、ビット B 0 の正転サブフレームデータのビット値が「1」であった時は続いて入力されるビット B 0 の反転サブフレームデータのビット値が「0」であるため、液晶 L C 1 及び液晶 L C 2 の印加電圧は、 $-(3.3 V + V_{tt})$ となり、液晶 L C 1 及び液晶 L C 2 に印加される電位の方向はビット B 0 の正転サブフレームデータの時とは逆となるが絶対値が同じであるため、画素 1 2 A 及び 1 2 B はビット B 0 の正転サブフレームデータ表示時と同じ白を表示する。同様に、ビット B 0 の正転サブフレームデータのビット値が「0」であった時は続いて入力されるビット B 0 の反転サブフレームデータのビット値が「1」であるため、液晶 L C 1 及び液晶 L C 2 の印加電圧は、 $-V_{tt}$ となり、液晶 L C 1 及び液晶 L C 2 に印加される電位の方向はビット B 0 の正転サブフレームデータの時とは逆となるが絶対値が同じであるため、画素 1 2 A 及び 1 2 B は黒を表示する。

【0075】

従って、画素 1 2 A 及び画素 1 2 B は図 5 (E) に示すように、時刻 T 1 ~ 時刻 T 3 までの 2 サブフレーム期間は、ビット B 0 とビット B 0 の相補ビット B 0 b とで同じ階調を表示すると共に、液晶 L C 1 及び液晶 L C 2 の電位方向がサブフレーム毎に反転する交流駆動が行われるため、液晶 L C 1 及び液晶 L C 2 の焼き付きを防止することができる。

【0076】

続いて、上記の相補ビット B 0 b の反転サブフレームデータを表示しているサブフレーム期間内において、図 5 (A) に B 1 で示すようにビット B 1 の正転サブフレームデータの画素 1 2 A 及び画素 1 2 B の S M 1 2 1 及び S M 1 2 3 への書き込みが順番に開始される。そして、画像表示部 1 1 の全画素 1 2 A 及び画素 1 2 B の S M 1 2 1 及び S M 1 2 3 にビット B 1 の正転サブフレームデータが書き込まれ、その書き込み終了後の時刻 T 3 で図 5 (B) に示すように “H” レベルの正転トリガパルスが画像表示部 1 1 を構成する全ての画素に同時に供給される。

【0077】

10

20

30

40

50

これにより、全ての画素のスイッチSW12及びSW22がオンとされるため、SM121及びSM123に記憶されているビットB1の正転サブフレームデータがスイッチSW12及びスイッチSW22を通して容量C11、C21に転送されて保持されると共に、反射電極PE1、PE2に印加される。この容量C11及び容量C21によるビットB1の正転サブフレームデータの保持期間は、時刻T3から図5(B)に示すように次の“H”レベルの正転トリガパルスが入力される時刻T4までの1サブフレーム期間である。

【0078】

一方、共通電極電圧Vcomは、正転サブフレームデータが反射電極PE1及び反射電極PE2に印加されるサブフレーム期間は、図5(D)に示すように0Vよりも液晶の閾値電圧Vttだけ低い電圧に設定される。従って、ビットB1の正転サブフレームデータが反射電極PE1及び反射電極PE2に印加される時刻T3～T4の1サブフレーム期間では、液晶LC1、液晶LC2の印加電圧は、図5(E)に示すように、サブフレームデータのビット値が「1」のときは $3.3V + V_{tt}$ ($= 3.3V - (-V_{tt})$) となり、サブフレームデータのビット値が「0」のときは $+V_{tt}$ ($= 0V - (-V_{tt})$) となる。

【0079】

続いて、上記のビットB1の正転サブフレームデータを表示しているサブフレーム期間内において、図5(A)にB1bで示すようにビットB1の反転サブフレームデータの画素12A及び画素12BのSM121及びSM123への書き込みが順番に開始される。そして、画像表示部11の全画素のSM121及びSM123にビットB1の反転サブフレームデータが書き込まれ、その書き込み終了後の時刻T4で図5(B)に示すように“H”レベルの正転トリガパルスが画像表示部11を構成する全ての画素に同時に供給される。

【0080】

これにより、全ての画素12A及び画素12BのスイッチSW12及びスイッチSW22がオン状態とされるため、SM121及びSM123に記憶されているビットB1の反転サブフレームデータがスイッチSW12及びスイッチSW22を通して容量C11及びC21に転送されて保持されると共に、反射電極PE1及び反射電極PE2に印加される。この容量C11及び容量C21によるビットB0の反転サブフレームデータの保持期間は、時刻T4から図5(B)に示すように次の“H”レベルの正転トリガパルスが入力される時刻T5までの1サブフレーム期間である。ここで、ビットB1の反転サブフレームデータはビットB1の正転サブフレームデータと常に逆論理値の関係にある。

【0081】

一方、共通電極電圧Vcomは、反転サブフレームデータが反射電極PE1及び反射電極PE2に印加されるサブフレーム期間は、図5(D)に示すように3.3Vよりも液晶の閾値電圧Vttだけ高い電圧に設定される。従って、ビットB1の反転サブフレームデータが反射電極PE1及び反射電極PE2に印加される時間T4～時間T5の1サブフレーム期間では、液晶LCの印加電圧は、サブフレームデータのビット値が「1」のときは $-V_{tt}$ ($= 3.3V - (3.3V + V_{tt})$) となり、サブフレームデータのビット値が「0」のときは $-3.3V - V_{tt}$ ($= 0V - (3.3V + V_{tt})$) となる。

【0082】

これにより、画素12A及び画素12Bは図5(E)に示すように、時間T3～時間T5までの2サブフレーム期間はビットB1とビットB1の相補ビットB1bとで同じ階調を表示すると共に、液晶表示素子LCMの電位方向がサブフレーム毎に反転する交流駆動が行われるため、液晶LCの焼き付きを防止することができる。

【0083】

以下、上記と同様の動作が繰り返され、本実施の形態の画素12A及び12Bを有する液晶表示装置によれば、複数のサブフレームの組み合わせによって階調表示を行うことができる。

【0084】

10

20

30

40

50

なお、ビットB0と相補ビットB0bの各表示期間は同じ第1のサブフレーム期間であり、また、ビットB1と相補ビットB1bの各表示期間も同じ第2のサブフレーム期間であるが、第1のサブフレーム期間と第2のサブフレーム期間とは同一であるとは限らない。ここでは、一例として第2のサブフレーム期間は第1のサブフレーム期間の2倍に設定されている。また、図5(E)に示すように、ビットB2と相補ビットB2bの各表示期間である第3のサブフレーム期間は、第2のサブフレーム期間の2倍に設定されている。他のサブフレーム期間についても同様であり、システムに従って各サブフレーム期間の長さが所定の長さ決められ、またサブフレーム数も任意の数に決定される。

【0085】

次に、本発明の実施の形態に係る液晶表示装置1の画素検査の基本動作について、適宜図2を参照して説明する。まず、画素検査の開始時にある特定の行走査線gに“H”レベルの行走査信号を供給してスイッチSW11及びスイッチSW21をそれぞれオンにする。また、トリガ線trigとtrigbにそれぞれ“H”レベルのトリガパルス及び“L”レベルの反転トリガパルスを供給して、スイッチSW12及びスイッチSW22もそれぞれオンにする。

【0086】

次に、列データ線d1に1ビットの検査信号として“L”レベルのデータを供給する。これにより、画素12AのSM121を構成するインバータINV11の入力端子とインバータINV12の出力端子との接続点であるa点に“L”レベルのデータが書き込まれ、またインバータINV11の出力端子及びインバータINV12の入力端子がスイッチSW12を介して容量C11に接続された接続点であるb点に“H”レベルのデータが書き込まれる。このとき、画素12AのSM121において、インバータINV11を構成するトランジスタの駆動力が、インバータINV12を構成するトランジスタの駆動力よりも大きいため、a点はSM121の入力として、b点はSM121の出力としてそれぞれ機能する。ここでスイッチSW12はオン状態となっており、C11も“H”レベルのデータが書き込まれた状態になっている。

【0087】

一方、列データ線d2に1ビットの検査信号として“H”レベルのデータを供給する。これにより、画素12BのSM123を構成するインバータINV21の入力端子とインバータINV22の出力端子との接続点であるc点に“H”レベルのデータが書き込まれ、またインバータINV21の出力端子及びインバータINV22の入力端子がスイッチSW22を介して容量C21に接続された接続点であるd点に“L”レベルのデータが書き込まれる。このとき、画素12BのSM123において、インバータINV21を構成するトランジスタの駆動力がインバータINV22を構成するトランジスタの駆動力よりも大きいため、c点はスイッチSM123の入力として、d点はスイッチSM123の出力としてそれぞれ機能する。ここでスイッチSW22はオンしているため、C21も“L”レベルのデータが書き込まれた状態になっている。

【0088】

次に、行走査線gを“L”レベルにすると、画素12Aの反射電極PE1と画素12Bの反射電極PE2はそれぞれ入力データを反転した“H”レベルのデータと“L”レベルのデータがラッチされた状態になる。

【0089】

データの書込みが終わった後、d1とd2に接続されたセンスアンプの入力をnutをオンすることにより、中間電圧を供給したmidに接続する。これにより、センスアンプの入力のd1とd2は中間電圧の1.65Vにプリチャージされる。その後、nutをオフする。d1とd2は信号線の容量があるため、1.65Vの電圧が保持される。

【0090】

次に、行走査線gを“H”レベルにすると、画素12Aと画素12Bに書き込まれたデータが信号線d1と信号線d2にそれぞれ出力される。画素12Aと画素12Bは入力と出力が予め定められたSRAMであるため、d1とd2の信号線に保持されている1.6

10

20

30

40

50

5 Vが画素1 2 Aと画素1 2 Bに書き込まれることになるが、画素1 2 Aと画素1 2 Bに書き込まれたデータも信号線d 1と信号線d 2にそれぞれ出力されることになり、信号線d 1と信号線d 2はそれぞれ画素1 2 Aと画素1 2 Bに書き込まれたデータに影響されて信号線のレベルが変化する。

【0091】

つまり、信号線d 1は画素1 2 Aに書き込まれたデータによりインバータI N V 1 2によって“ L ”レベルに駆動され、信号線d 2は画素1 2 Bに書き込まれたデータによりインバータI N V 2 2によって“ H ”レベルに駆動される。インバータI N V 1 2とインバータI N V 2 2の駆動力は非常に小さく信号線容量は大きいため、信号線をそれぞれ“ L ”レベルと“ H ”レベルに駆動するには時間がかかるが、信号線d 1と信号線d 2がそれぞれわずかに電位差が発生すれば、信号線d 1と信号線d 2から入力されたセンスアンプが電位差を増幅し、“ L ”レベルに出力される。

10

【0092】

このセンスアンプによって取り出された信号は、バッファにて信号波形を整形され、画素読み出し用シフトレジスタの所定の場所に入力される。この後、タイミングジェネレータから送られてくるT C K / T C K bの信号に従って、シリアルに出力端子T O U Tから信号を取り出す。

【0093】

以上の画素検査を2つの画素1 2 A及び1 2 Bに対し、列データ線d 1から“ L ”レベルのデータを入力して、列データ線d 2から“ H ”レベルのデータを入力して、それぞれの信号を読み出す第1の検査方法と、列データ線d 1から“ H ”レベルのデータを入力して、列データ線d 2から“ L ”レベルのデータを入力して、それぞれの信号を読み出す第2の検査方法との2種類を、タイミングを変えて2回実行する。

20

【0094】

これにより、画素1 2 A及び画素1 2 Bにおいて“ L ”レベルの電圧や“ H ”レベルの電圧を読み出すことが可能になるため、メモリとしてロジックの画素機能検査が可能になる。このとき、例えばプロセスにより、容量C 1 1や容量C 2 1がG N DやV D Dに接続された配線などにショートしていれば、画素検査において任意のデータを読み出すことが不可能である。またS M 1 2 1やS M 1 2 3がショートしていたり、断線していたりしていた場合においても本発明に係る画素検査において任意のデータを読み出すことが不可能である。以上のデータ読み出しが不可能な場合は、不良画素が存在する液晶表示装置であると判断して、ビジネス上適切な対応をとることが可能となる。

30

【0095】

続いて、センスアンプ回路の構成図を図7に示す。センスアンプ回路は、+ / -の2つのゲート入力の差電圧を回路内部で増幅して出力する。電圧源回路はセンスアンプに供給するアナログ電圧を抵抗分割により形成している。なお、センスアンプ回路は図7の構成とは限らない。さらにゲインの高い高性能なセンスアンプを用いる場合もありうる。

【0096】

次に、本実施の形態における前述した動作不良に対応した画素検査の動作について、図1、図2、及び図8のタイミングチャートを併せ参照して更に詳細に説明する。

40

【0097】

画素検査時において、まず、偶数番目の列データ線d e v (d 2、d 4、d 6、・・・、d n) に接続された画素1 2 BをHデータ書き込み側とし、奇数番目の列データ線d o d (d 1、d 3、d 5、・・・、d n - 1) に接続された画素1 2 AをLデータ書き込み側とするものとする。この場合、画素検査時の最初の時間t 1において、t r i gが“ H ”レベル、t r i g bが“ L ”レベルとし、画素1 2 AのS W 1 2、及び画素1 2 BのS W 2 2がオンに制御される。

【0098】

次に時間t 2から時間t 3までの間、L Tを“ H ”レベルに制御し、列データ線d 1 ~ d nに所定のデータを書き込む。このとき、前述したように、偶数番目の列データ線d e

50

v (d 2、d 4、d 6、・・・、d n)に“H”レベルのデータを書込み、奇数番目の列データ線d o d (d 1、d 3、d 5、・・・、d n-1)に“L”レベルのデータを書込む。時間t 2から時間t 4において、画像表示部の或る1本の行走査線g 1を“H”レベルに制御し、レベルシフタ／画素ドライバから列データ線d 1～d nに書き込まれたデータを1行分の画素1 2 Aと画素1 2 Bに書き込む。

【0099】

次に画素に書き込まれたデータの読み出し動作を行う。時間t 4. 5においてT l a tを“L”レベルにして、全ての列データ線をオープン状態にする。これにより列データ線d 1～d nは容量のみで電圧が確定される状態となる。

【0100】

10

時間t 5において、奇数番目の列データ線d o dと、偶数番目の列データ線d e vを制御信号n u tを“H”レベルとすることにより、m i d信号(1. 65V)にショートさせる。これにより、列データ線d 1とd 2は1. 65Vとなる。その後、制御信号n u tを“L”レベルとすることにより、全ての列データ線をオープン状態にする。これにより列データ線d 1～d nは容量のみで1. 65Vの電圧が確定されている状態となる。

【0101】

時間t 6で行走査線g 1を“H”レベルに制御することによって、画素1 2 Aと画素1 2 Bに書き込んだデータを読み出す。T 6のタイミングで、画素1 2 AのインバータI N V 1 2によって列データ線d 1が駆動され、画素1 2 BのインバータI N V 2 2によって列データ線d 2が駆動される。インバータI N V 1 2とインバータI N V 2 2の駆動力は非常に小さいものであるため、最初はわずかに列データ線の電位が変動するが、時間をかけてそれぞれ“L”レベル、“H”レベルのデータとなる。これにより、列データ線d 1は“L”レベル方向に駆動され、列データ線d 2は“H”レベル方向に駆動される。

20

【0102】

このわずかなd 1とd 2の電圧差をセンスアンプが増幅し、センスアンプの出力に接続されたバッファに入力される。バッファによってV D D(電源電圧)、G N D(基準電圧)レベルにデータが整形される。時間t 6でT E S Tを“H”レベルに制御することによって、センスアンプの出力に接続されたバッファの出力e 1からe nを一斉に画素読み出し用シフトレジスタにラッチする。時間t 7でT E S Tを“L”レベルにして画素読み出し用シフトレジスタのラッチを完了する。

30

【0103】

時間t 7から、画素読み出し用シフトレジスタに供給される、互いに逆位相の図8に示すクロック信号T C K b及びクロック信号T C Kを交互にオン、オフを繰り返す。これにより、画素読み出し用シフトレジスタに格納された読出し信号のうち、列センスアンプバッファ出力e nからの読出し信号から列センスアンプバッファ出力e 1からの読出し信号に向かって順番に出力端子T O U Tへ出力される。クロック信号T C K b及びクロック信号T C Kは、1行分の画素数の半分の数のオン／オフを繰り返すことによって、全データを読み出して1行分の検査を終了する。この1行分の画素の読み出し信号と入力検査信号とを比較し、両者が同じであるか否かにより画素検査ができる。

【0104】

40

以上の動作終了後、今度は垂直シフトレジスタを制御することによって、次の画素行の各画素1 2 A及び画素1 2 Bの組を選択し、上記と同様にして画素検査を行う。これらを繰り返し、垂直方向の画素数分の検査を実行し、画像表示部を構成する全ての画素において、検査を実施する。なお、入力する検査信号は上記のように列データ線d 1に“L”レベル、列データ線d 2に“H”レベルにする必要は無く、反対のデータを書き込んで検査してもよい。

【0105】

このようにして、本実施の形態によれば、画素検査を正確に実施することができる。本実施の形態によれば、画素検査のために画素1 2 A及び画素1 2 Bに検査用のトランジスタを増加させること無く検査が行えるため、画素内に2つのS R A Mを用いた従来の液晶

50

表示装置に比べて画素の小型化を可能にでき、しかも画素検査が正確にできる。

【0106】

以上はDRAMをオンに制御したときの画素検査であったが、本発明はDRAMをオフにした場合の画素検査も行える。このとき、図9において、*trig*を“L”レベル、*trigb*を“H”レベルに制御することによってDRAMをオフにした検査も行える。その他のタイミングチャートは上記と同様であるため省略する。

【0107】

この場合、DRAMをオンにした場合とオフにした場合の2種類の画素検査を行い、検査結果を比較することでDRAMのオープン検査を行うことが出来る。

【0108】

DRAMがある場合とない場合の模式図を図9に、図9(A)および図9(B)としてそれぞれ示す。DRAMがある場合は図2のスイッチSW12及びスイッチSW22がオンの場合、DRAMがない場合はb点及びd点において、プロセスの不具合にて配線が切断され、C11とC21が接続されていない場合を示している。換言すると、図9では、画素回路内のインバータINV12とインバータINV22にそれぞれ容量C11と容量C21が接続されているかいないかが、(A)と(B)の相違点である。

【0109】

このとき、インバータINV12に容量C11が接続されインバータINV22に容量C21が接続されている場合(A)には、インバータの駆動力が強く、インバータINV12に容量C11が接続されずインバータINV22に容量C21が接続されていない場合(B)にはインバータの駆動力が弱い。これはインバータINV12を構成するゲート電圧は液晶LC1と容量C11の容量で決定されるのだが、図9に図示しない(図2に図示)インバータINV11の出力電圧で充電されて決定される。インバータINV11の出力電圧は、インバータINV11の入力電圧レベルによって決定されるが、インバータINV11の入力電圧は1.65Vに書き込まれたd1電圧によって、1.65V程度に決定される。

【0110】

つまり図2のb点に“L”レベルの電圧が書き込まれていた場合、読み出すときはインバータINV11によってb点の電圧を1.65Vに書き換えようとする。しかしながら、b点における液晶LC1と容量C11の容量が大きい場合1.65Vに書き換えるのに時間がかかり、その結果としてわずかに“H”レベルの反転電圧がa点に出力される。このわずかにa点が“H”レベルになることによって、インバータINV11はわずかに“L”レベルを出力しようとする。これらを繰り返すことによって、少しずつ列データ線d1は“H”レベルになっていく。

【0111】

これは画素12Aの場合であるが、画素12Bには画素12Aの反転電圧を書き込むため、c点の電圧はわずかに“L”レベルの電圧が出力され、徐々に列データ線d2は“L”レベルになっていく。この結果、センスアンプが判定できる電位差がd1とd2に出力され、センスアンプの出力には“H”レベル(VDD)電圧が出力されて画素検査が行えることになる。

【0112】

このとき、DRAMが断線されており接続されていない場合には、b点には液晶LC1の容量しかなく、この容量をインバータINV11で1.65Vに書き換えようとする。b点の容量が小さい場合、1.65Vに短時間で書き換えてしまうため、インバータINV12の入力電圧は1.65Vになってしまい、a点の電圧は1.65Vになってしまう。画素12Bにおいてもc点の電圧も1.65Vとなり、接続されているd1とd2の電位差がほとんどなく、センスアンプが不感となり、正規判定の電圧を出力することが出来ない。

【0113】

このため、図8において時間t6からd1とd2が所定の電圧に変動していく時間が(

10

20

30

40

50

A)と比較して(B)の方が長くなる。センスアンプが正常に動作しだす電位差が決まっているため、時間 t_6 から時間 t_7 までの時間のある時間(X)に調整することで、(A)では正常に検査可能だが、(B)では正常に検査できないようにすることができる。

【0114】

このX時間においてDRAMを接続して検査する(A)を採用することにより、画素内のDRAM部がオープン(切断されている)であると正常に検査できないことになる。これにより、DRAMのオープン検査を実施することができるようになる。通常、オープン検査は画素電極をシリーズにスルーホールを経由して検査する必要があるが、この本発明に係る方法によれば、画素構成を変更することが無いため、画素ピッチを拡大することがなくDRAMのオープン検査を実施することが出来る。

10

【0115】

なお、前述した各実施の形態に示す具体的な数値等は、発明の理解を容易とするための例示にすぎず、特に断る場合を除き、本発明を限定するものではない。

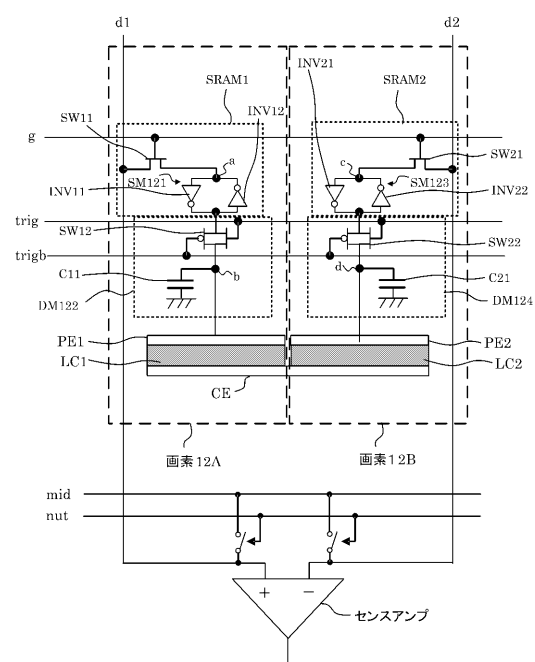
【符号の説明】

【0116】

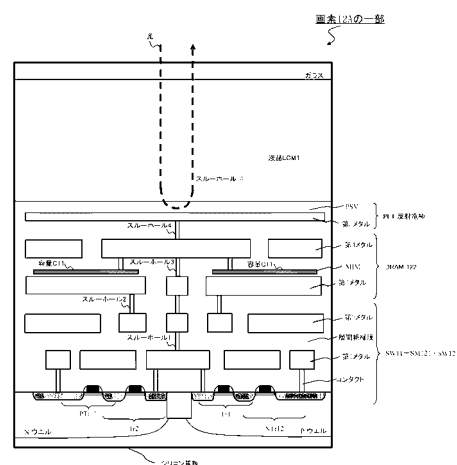
1 液晶表示装置
12A、12B 画素
CE 共通電極
LC1、LC2 液晶
PE1、PE2 反射電極
LCM1、LCM2 液晶表示素子
C11、C21 容量
SW11、SW12、SW21、SW22 スイッチ
INV11、INV12、INV21、INV22 インバータ
d1、d2 列データ線
g 行走査線

20

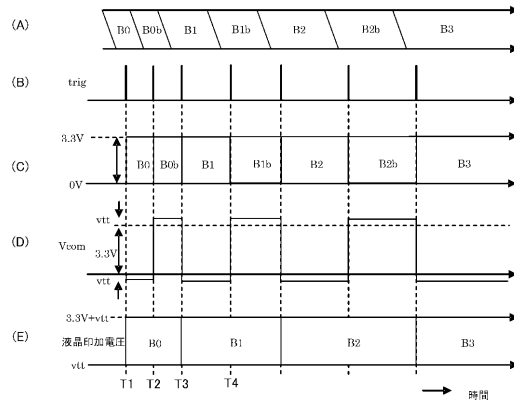
【图 2】



【图 4】



【図 5】



【図 6】

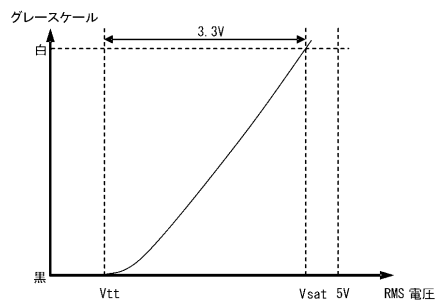
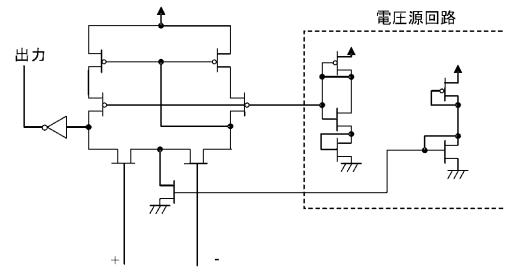
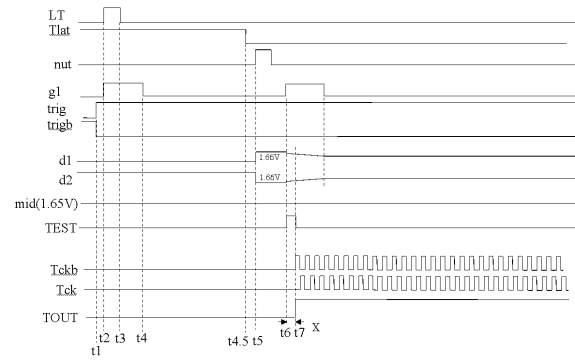


図6

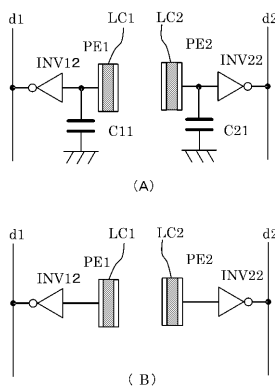
【図 7】



【図 8】



【図 9】



フロントページの続き

(51)Int.Cl.	F I	テーマコード (参考)
	G 0 2 F 1/133	5 5 0
	G 0 2 F 1/13	1 0 1

F ターム(参考) 5C080 AA10 BB05 DD15 DD22 EE29 FF11 FF12 GG12 GG15 GG17
JJ03 JJ04