



(12) 发明专利申请

(10) 申请公布号 CN 104702287 A

(43) 申请公布日 2015. 06. 10

(21) 申请号 201510119354. 2

(22) 申请日 2015. 03. 18

(71) 申请人 四川特伦特科技股份有限公司

地址 610041 四川省成都市高新区益州大道  
中段 1800 号创业大厦 1606 号

(72) 发明人 陈元春 江德智 王红艳

(74) 专利代理机构 北京天奇智新知识产权代理  
有限公司 11340

代理人 杨春

(51) Int. Cl.

H03M 1/12(2006. 01)

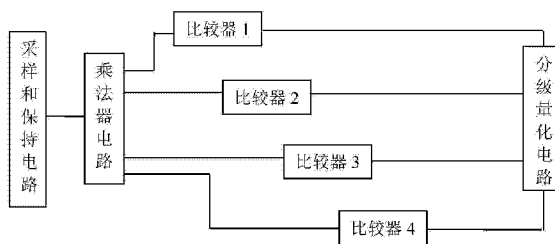
权利要求书1页 说明书4页 附图2页

(54) 发明名称

一种高速模数处理电路

(57) 摘要

本发明为了降低高速模数转换装置对于模拟电路和数字电路之间相互协调的要求和成本,提供了一种高速模数处理电路,采样和保持电路、乘法器电路、多个比较器以及分级量化电路。本发明采用分时复用的原理,对待量化的数据进行瀑布式处理,提高了数据被量化的效率和精度。此外,本发明集成了量化和编码这两个模块为一个分级量化电路,进一步提高了模数处理的速度。



1. 一种高速模数处理电路,包括:采样和保持电路、乘法器电路、多个比较器以及分级量化电路,其中,输入信号和所述采样和保持电路的输入端相连,输出采样和保持信号;所述采样和保持信号和所述乘法器的输入端相连,输出被扩大的采样和保持信号;所述被扩大的采样和保持信号与多个比较器形成一一对应的连接,其特征在于,所述分级量化电路包括高速 DSP 芯片、电源芯片、存储芯片和加法器阵列芯片,所述高速 DSP 芯片和存储芯片均为多片,其中,所述各片高速 DSP 芯片中的至少一些以分时复用的方式对数据进行编码,并将编码后的数据轮流存储到多片存储芯片中的至少几个中,所述各片高速 DSP 芯片中的另一些的至少一部分用于监控网路负荷,且剩余的高速 DSP 芯片用于作为上述编码用的或上述监控用的 DSP 芯片的备用芯片。

2. 根据权利要求 1 的高速模数处理电路,其特征在于,所述电源芯片采用 4 相模组电源。

3. 根据权利要求 1 的高速模数处理电路,其特征在于,所述 DSP 芯片与所述存储芯片的数量相同。

4. 根据权利要求 1 的高速模数处理电路,其特征在于,所述加法器阵列芯片为由多个串行加法器构成的阵列。

5. 根据权利要求 1 的高速模数处理电路,其特征在于,所述存储芯片为 flash 芯片。

6. 根据权利要求 1 的高速模数处理电路,其特征在于,所述高速 DSP 芯片采用 TI 公司的 TMS320F2812 芯片。

7. 根据权利要求 1 的高速模数处理电路,其特征在于,所述高速模数处理电路还包括定时刷新模块,用于刷新所述存储芯片。

8. 根据权利要求 1 的高速模数处理电路,其特征在于,所述编码包括压缩。

## 一种高速模数处理电路

### 技术领域

[0001] 本发明涉及高速数据处理技术领域,更具体地,涉及一种高速模数处理电路。

### 背景技术

[0002] 模数转换是将模拟输入信号转换为 N 位二进制数字输出信号的技术。采用数字信号处理能够方便地实现各种先进的自适应算法,完成模拟电路无法实现的功能,因此,越来越多的模拟信号处理正在被数字技术所取代。与之相应的是,作为模拟系统和数字系统之间桥梁的模数转换的应用日趋广泛。

[0003] 有多种类型的模数转换器 (ADC) 已经广泛用于各种应用当中。闪速式 (flash) ADC 在一瞬间比较模拟信号电压和多个电压电平,产生一个代表该模拟电压的多比特数字值。逐次逼近 ADC 使用一系列阶段将一个模拟电压转换成数字比特。每个阶段比较一个模拟电压和一个参考电压,产生一个数字比特。在分级比较 (sub-ranging) ADC 中,每个阶段比较一个模拟电压和几个电压电平,所以每个阶段产生几个比特。在管线中,随后的阶段比在前的阶段产生更低的有效数字比特。

[0004] 常见的模数转换器结构主要有积分式、逐次逼近式、flash 结构、pipeline 结构、循环结构模数转换器,其中循环结构模数转换器在速度、功耗和面积等折中性能方面具有优势,应用非常广泛。

[0005] 虽然模数变换器 (ADC) 的结构目前已有多种,但高速模数变换器往往需使用多个比较器,如所谓的闪电 ADC (Flash ADC)。这种结构下比较器的数目与模数变换器的精度位数成指数关系增长,因此很难实现高精度。可行的办法,是使用两个低精度的高速 ADC 通过二次变换原理实现高精度。具体过程是:1. 通过一个 ADC (粗变换 ADC) 对输入的模拟信号进行一次粗变换,得到输入模拟信号的高位部分数字化值。2. 利用数模变换器 (DAC) 将粗结果转换成相应的模拟信号,去减原始的输入模拟信号以得到残差,并将残差放大若干倍。3. 通过另一个 ADC (精变换 ADC) 对放大后的残差信号做模数变换,得到输入模拟信号的低位部分数字化值。将两次低精度的变换值相组合,即可得到高精度的结果。由于上述过程中各个步骤顺序进行,使高精度 ADC 的整体速度比其内部子 ADC 的速度慢了很多。

[0006] 然而,上述方案需要模拟信号和数字信号二者的完善协调和处理,这对于硬件电路的设计以及模数转换电路的制作工艺以及测试都带来了许多不便之处。尤其是对于高速的模数转换器来说,其电路的复杂程度影响了最终的成本居高不下。

### 发明内容

[0007] 本发明为了降低高速模数转换装置对于模拟电路和数字电路之间相互协调的要求和成本,提供了一种高速模数处理电路,采样和保持电路、乘法器电路、多个比较器以及分级量化电路,其中,输入信号和所述采样和保持电路的输入端相连,输出采样和保持信号;所述采样和保持信号和所述乘法器的输入端相连,输出被扩大的采样和保持信号;所述被扩大的采样和保持信号与多个比较器形成一一对应的连接,所述分级量化电路包括高

速 DSP 芯片、电源芯片、存储芯片和加法器阵列芯片,所述高速 DSP 芯片和存储芯片均为多片,其中,所述各片高速 DSP 芯片中的至少一些以分时复用的方式对数据进行编码,并将编码后的数据轮流存储到多片存储芯片中的至少几个中,所述各片高速 DSP 芯片中的另一些的至少一部分用于监控网路负荷,且剩余的高速 DSP 芯片用于作为上述编码用的或上述监控用的 DSP 芯片的备用芯片。

[0008] 进一步地,所述电源芯片采用 4 相模组电源。

[0009] 进一步地,所述 DSP 芯片与所述存储芯片的数量相同。

[0010] 进一步地,所述加法器阵列芯片为由多个串行加法器构成的阵列。

[0011] 进一步地,所述存储芯片为 flash 芯片。

[0012] 进一步地,所述高速 DSP 芯片采用 TI 公司的 TMS320F2812 芯片。

[0013] 进一步地,所述高速模数处理电路还包括定时刷新模块,用于刷新所述存储芯片。

[0014] 进一步地,所述编码包括压缩。

[0015] 本发明的有益效果是:采用分时复用的原理,对待量化的数据进行瀑布式处理,提高了数据被量化的效率和精度。此外,本发明集成了量化和编码这两个模块为一个分级量化电路,进一步提高了模数处理的速度。

## 附图说明

[0016] 图 1 示出了根据本发明的高速模数处理电路的结构框图。

[0017] 图 2 示出了电源芯片的电路原理图。

[0018] 图 3 示出了 4 片 TMS320F2812 芯片和 4 片 flash 芯片的数据信号连接示意图。

## 具体实施方式

[0019] 根据本发明的一个实施例,如图 1 所示,本发明的高速模数处理电路包括:采样和保持电路、8 倍乘法器电路、4 个比较器以及分级量化电路,其中,采样和保持电路可以采用 LF398 或 AD583K 芯片,8 倍乘法器电路可以采用提供增益的放大器电路实现。

[0020] 输入信号和所述采样和保持电路的输入端相连,输出采样和保持信号;所述采样和保持信号和所述乘法器的输入端相连,输出被扩大的采样和保持信号;所述被扩大的采样和保持信号与多个比较器形成一一对应的连接。所述分级量化电路包括 4 片高速 DSP 芯片、1 片电源芯片、4 片存储芯片,以及 1 片加法器阵列芯片。

[0021] 图 2 示出了电源芯片的电路原理图,其中,电源芯片包括一个多相 PWM 控制芯片,8 位的 VID 信号被输送给多相 PWM 控制芯片作为产生输出给高速 DSP 芯片的 Vcore 电压的基准。多相 PWM 控制芯片产生四路脉宽可调的方波,每相错开 90 度相位,送到四相的 MOSFET 驱动芯片去。驱动芯片受到方波的控制,以一定的间隔向上桥和下桥 MOS 管的栅极轮流送去方波,在一个周期的一定时间里上桥导通,另一段时间里下桥导通,电流分别经过上桥和下桥流过扼流圈,四相的电流合在一起,由滤波电容平滑就得到了输出的 Vcore。当负载变化或者输出电压有偏差时,多相 PWM 控制芯片将监测到变化,相应地调整 PWM 方波信号的脉宽占空比,输出电压就受调节回到预定值。这样的电源芯片能够为本发明的高速处理提供稳定的电压,有助于维护工作器件的稳定性。

[0022] 图 3 示出了 4 片 TMS320F2812 芯片和 4 片 flash 芯片的数据信号连接示意图,这

也是分级量化电路的主体结构示意图。高速 DSP 芯片 1 和高速 DSP 芯片 2 为对数据进行编码的高速 DSP 芯片；高速 DSP 芯片 1 分别连接 flash 芯片 1、flash 芯片 2 和 flash 芯片 3，高速 DSP 芯片 2 分别连接 flash 芯片 1、flash 芯片 3 和 flash 芯片 4。高速 DSP 芯片 3 为监控加法器阵列芯片的负荷的高速 DSP 芯片，且分别连接 flash 芯片 1、flash 芯片 2 和 flash 芯片 3。高速 DSP 芯片 4 为向高速 DSP 芯片 1-3 提供冗余的高速 DSP 芯片，且分别连接 flash 芯片 2 和 flash 芯片 4。

[0023] 下面通过举例的方式详细说明本发明的上述分时复用的原理。多路复用器 MUX 根据计时器（未示出）的 PWM 时序控制 4 片高速 DSP 芯片的开启时序。该计时器输出的 PWM 时序的周期为 TMS320F2812 芯片的工作周期（根据其核心频率计算）的  $1/6$ 。

[0024] 例如，PWM 时序的周期为  $6T$ ，则在  $0-2T$  期间，MUX 选通高速 DSP 芯片 1，使该高速 DSP 芯片 1 处理  $0-2T$  期间输入到该模数处理电路的数据，即，对输入的数据进行量化和编码。量化和编码后的数据被送入 flash 芯片 1 中。同时，flash 芯片 2 中的数据（如果有的话）被通过加法器阵列芯片按照在  $1T-2T$  期间检测到的全部串行加法器的工作状态，利用相对空闲的串行加法器进行叠加。

[0025] 在该 DSP 芯片 1 已经读取了此时间内输入的数据以后且尚处于其工作周期中时，一旦到达  $1T$ ，则 MUX 选通高速 DSP 芯片 3，使高速 DSP 芯片 3 在  $1T-2T$  期间监测加法器阵列芯片的负荷，即监测该加法器阵列芯片向哪些目标地址发送了数据，并获得其发送数据所采用的多个串行加法器的工作状态。表示这些工作状态的数据被送入 flash 芯片 4 中。

[0026] 一旦到达  $2T$ ，MUX 就选通高速 DSP 芯片 2，使得在  $2T-4T$  期间，使该高速 DSP 芯片 2 处理  $2T-4T$  期间输入到该模数处理电路的数据，即，对输入的数据进行量化和编码。量化和编码后的数据被送入 flash 芯片 3 中。同时，flash 芯片 1 中的数据被通过加法器阵列芯片按照在  $1T-2T$  期间检测到的全部串行加法器的工作状态，利用相对空闲的串行加法器进行叠加。

[0027] 一旦到达  $3T$ ，则 MUX 选通高速 DSP 芯片 3，使高速 DSP 芯片 3 在  $3T-4T$  期间监测加法器阵列芯片的负荷，即监测该加法器阵列芯片向哪些目标地址发送了数据，并获得其发送数据所采用的多个串行加法器的工作状态。表示这些工作状态的数据被送入 flash 芯片 4 中。

[0028] 一旦到达  $4T$ ，MUX 则选通高速 DSP 芯片 4，使得在  $4T-6T$  期间，使该高速 DSP 芯片 4 处理  $4T-6T$  期间输入到该模数处理电路的数据，即，对输入的数据进行量化和编码。量化和编码后的数据被送入 flash 芯片 2 中。同时，flash 芯片 3 中的数据被通过加法器阵列芯片按照在  $3T-4T$  期间检测到的全部串行加法器的工作状态，利用相对空闲的串行加法器进行叠加。

[0029] 一旦到达  $5T$ ，则 MUX 选通高速 DSP 芯片 3，使高速 DSP 芯片 3 在  $5T-6T$  期间监测加法器阵列芯片的负荷，即监测该加法器阵列芯片向哪些目标地址发送了数据，并获得其发送数据所采用的多个串行加法器的工作状态。表示这些工作状态的数据被送入 flash 芯片 4 中。

[0030] 经过上述  $6T$  这样的一个分时复用周期，每个高速 DSP 芯片都不会工作在超负荷状态，并且当上述分时复用周期多次重复，以处理被输入到该模数处理电路的一组数据以后，各个高速 DSP 芯片的缓存都不会因数据量过大而出现现有技术中类似的模数处理电路中

的处理器占用率过高、温度过热、整体数据量化和编码能力下降的问题,从而提高了数据量化和编码的速度和效率。

[0031] 上述加法器阵列芯片的多个串行加法器的工作状态将被保存到 flash 芯片 4 中。在处理完所述被输入到该模数处理电路的一组数据以后,高速 DSP 芯片 4,即为其他高速 DSP 芯片提供冗余和支援的芯片,将对 flash 芯片 4 中存储的多组工作状态进行统计,查找其中超出阈值而仍然没有处理完的数据,将该组数据进行重新发送,并且如果有空余串行加法器或距离目前时间最近的工作状态表明串行加法器尚有被新开辟的可能,则可以利用该空余串行加法器或新开辟一个传输串行加法器,控制加法器阵列芯片进行该组被输入到该模数处理电路的且刚被量化和编码结束的一组数据的发送。

[0032] 而且,在上述分时复用的一个时间周期(花费时间是例如上述的 6T)中,flash 芯片 1-flash 芯片 3 被依次轮流地使用,作为加法器阵列芯片的缓冲存储器。优选地,所述高速模数处理电路还包括定时刷新模块,用于刷新所述存储芯片。在上述示例性描述中,未示出该存储芯片,但本领域技术人员应当清楚的是,该刷新模块是不需要付出创造性劳动就能够得到的。例如,在每一次 flash 芯片 1-flash 芯片 3 之一中的数据被发送完毕时,均由刷新模块控制该 flash 芯片刷新,以使该 flash 芯片被初始化,从而有利于其他分时复用周期的存储。

[0033] 本领域技术人员清楚的是,根据本发明的其他实施例,所述的高速 DSP 芯片也可以互不相同或部分地相同。

[0034] 以上应用具体个例对本发明的原理及实施方式进行了阐述,应该理解,以上实施方式只是用于帮助理解本发明,而不应理解为对本发明的限制。对于本领域的一般技术人员,依据本发明的思想,可以对上述具体实施方式进行变化。

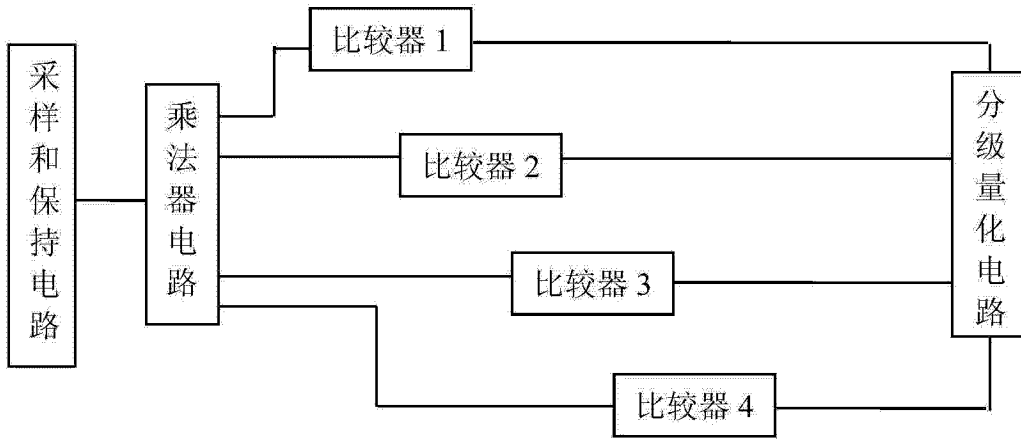


图 1

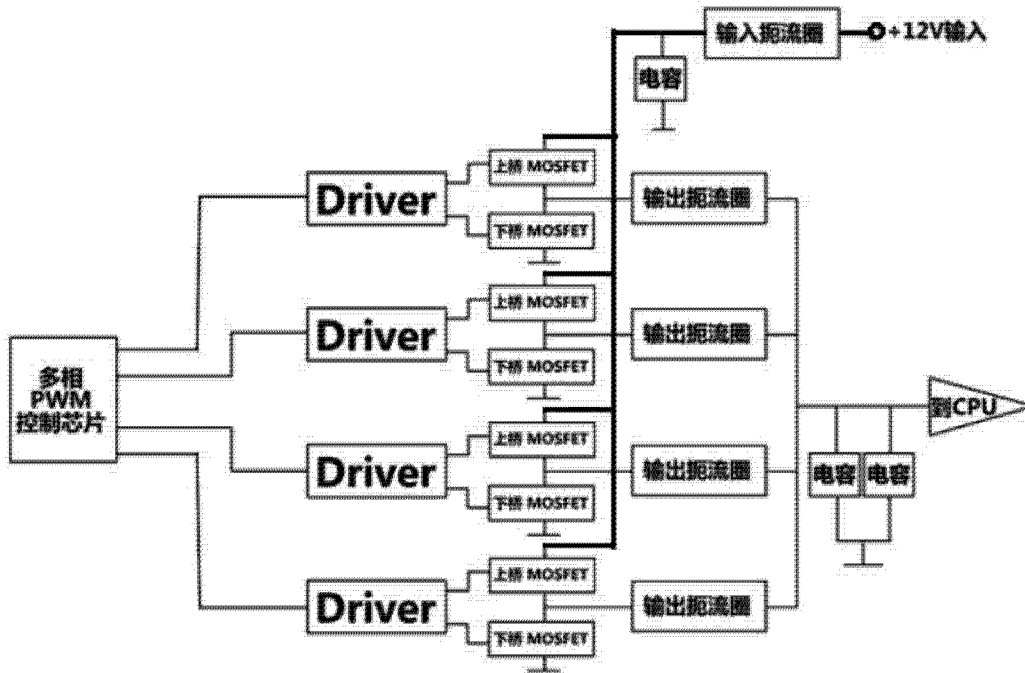


图 2

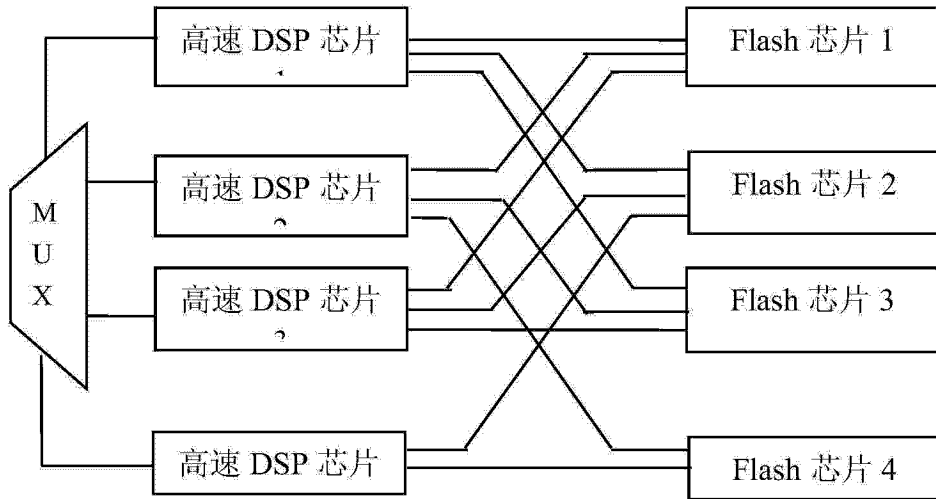


图 3