(19)日本国特許庁(JP)　(12)特　許　公　報(B2)　(11)特許番号
特許第3587529号
(P3587529)
(45)発行日　平成16年11月10日(2004.11.10)　(24)登録日　平成16年8月20日(2004.8.20)

(51)Int.Cl.[7]　F I
G11C 27/00　G11C 27/00　101A

請求項の数 27　(全 22 頁)

(21)出願番号　特願平8-510307
(86)(22)出願日　平成7年9月13日(1995.9.13)
(65)公表番号　特表平9-509518
(43)公表日　平成9年9月22日(1997.9.22)
(86)国際出願番号　PCT/US1995/011590
(87)国際公開番号　WO1996/008823
(87)国際公開日　平成8年3月21日(1996.3.21)
審査請求日　平成14年9月13日(2002.9.13)
(31)優先権主張番号　08/306,266
(32)優先日　平成6年9月14日(1994.9.14)
(33)優先権主張国　米国(US)

(73)特許権者
ウィンボンド・エレクトロニクス・コーポレーション
台湾・シンチュ・サイエンス－ベースド　インダストリアル　パーク・クリエーション　ロード　サード・ナンバー　４
(74)代理人
弁理士　山川　政樹
(74)代理人
弁理士　黒川　弘朗
(74)代理人
弁理士　紺野　正幸
(74)代理人
弁理士　西山　修

最終頁に続く

(54)【発明の名称】書込み中の読取り電圧プログラム方法を取り入れたアナログ信号記憶及び回復のための集積回路システム

(57)【特許請求の範囲】

【請求項１】

アナログメモリデバイスの記憶素子の中に電圧レベルを記憶する方法において：

ａ）記憶すべき電圧レベルを受信する過程と；

ｂ）受信した電圧レベルより低い電圧レベルを表す、記憶素子に印加するための目標電圧を確定する過程と；

ｃ）記憶素子に保持されている電圧量を増加させるために記憶素子に電圧ランプ信号を印加すると同時に、記憶素子の電圧レベルが目標電圧と一致するか否かを判定するために、記憶素子の電圧レベルを読取る過程と；

ｄ）記憶素子の電圧レベルが目標電圧と一致したときに電圧ランプ信号の活動を停止する過程と；

ｅ）記憶素子の得られた記憶電圧を読取る過程と；

ｆ）目標電圧を、得られた記憶電圧と受信した電圧レベルとの差に比例する量だけ増加させる過程と；

ｇ）記憶電圧と受信した電圧レベルとの差が所定値よりも低くなるまで、過程ｃ）～ｆ）を繰り返す過程とを含む方法。

【請求項２】

１対の記憶素子の間の差電圧としてアナログ信号を記憶する装置において：

ａ）記憶すべき電圧レベルを受信するための手段と；

ｂ）受信した電圧レベルより低い電圧レベルを表す、記憶素子に印加するための目標電圧

を確定する手段と；
ｃ）記憶素子に保持されている電圧量を増加させるために各記憶素子に電圧ランプ信号を印加すると同時に、記憶素子の電圧レベルが目標電圧と一致するか否かを判定するために、記憶素子の電圧レベルを読取る手段と；
ｄ）各記憶素子の電圧レベルが目標電圧と一致したときに電圧ランプ信号の活動を停止する手段と；
ｅ）各記憶素子の得られた記憶電圧を読取る手段と；
ｆ）目標電圧を、得られた記憶電圧と受信した電圧レベルとの差に比例する量だけ増加させる手段と；
ｇ）手段ｃ）～ｆ）を双方の記憶セルについて所定の回数だけ動作するように制御する手段と；
ｈ）２つの記憶素子の間で得られた電圧差を受信電圧レベルと比較して、その差を確定する手段と；
ｉ）２つの記憶素子の一方の中に記憶されている電圧を、受信電圧レベルと２つの記憶セルの間の差電圧との差を減少させるのに十分な量だけ調製する手段とを具備する装置。
【請求項３】
１対の不揮発性記憶素子の間の差電圧としてアナログ信号を記憶する装置において：
ａ）記憶すべき電圧レベルを受信する手段と；
ｂ）受信した電圧レベルより低い電圧レベルを表す、記憶素子に印加するための目標電圧を確定する手段と；
ｃ）記憶素子に保持されている電圧量を増加させるために各記憶素子に電圧ランプ信号を印加すると同時に、記憶素子の電圧レベルが目標電圧と一致するか否かを判定するために、記憶素子の電圧レベルを読取る手段と；
ｄ）各記憶素子の電圧レベルが目標電圧と一致したときに電圧ランプ信号の活動を停止する手段と；
ｅ）各記憶素子の得られた記憶電圧を読取る手段と；
ｆ）目標電圧を、得られた記憶電圧と受信した電圧レベルとの差に比例する量だけ増加させる手段と；
ｇ）手段ｃ）～ｆ）を双方の記憶セルについて所定の回数だけ動作するように制御する手段と；
ｈ）２つの記憶素子の間で得られた電圧差を受信電圧レベルと比較して、その差を確定する手段と；
ｉ）２つの記憶素子の一方の中に記憶されている電圧レベルを、受信電圧レベルと２つの記憶セルの間の差電圧との差を減少させるのに十分な量だけ調製する手段と
を具備する装置。
【請求項４】
アナログメモリデバイスの不揮発性記憶素子の中に電圧レベルを記憶する方法において：
ａ）記憶すべき電圧レベルを受信する過程と；
ｂ）受信した電圧レベルより低い電圧レベルを表す、記憶素子に印加するための目標電圧を確定する過程と；
ｃ）記憶素子に保持されている電圧量を増加させるために記憶素子に電圧ランプ信号を印加すると同時に、記憶素子の電圧レベルが目標電圧と一致するか否かを判定するために、記憶素子の電圧レベルを読取る過程と；
ｄ）記憶素子の電圧レベルが目標電圧と一致したときに電圧ランプ信号の活動を停止する過程と；
ｅ）記憶素子の得られた記憶電圧を読取る過程と；
ｆ）目標電圧を、得られた記憶電圧と受信した電圧レベルとの差に比例する量だけ増加させる過程と；
ｇ）記憶電圧と受信した電圧レベルとの差が所定値よりも低くなるまで、過程ｃ）～ｆ）を繰り返す過程とを含む方法。

【請求項５】
アナログメモリ記憶素子の中に入力電圧レベルを記憶する方法において：
記憶素子の中に記憶されている電圧レベルを入力電圧レベルに一致させるために、まず前記入力電圧レベルの90％の大きさの第１の目標電圧レベルを設定し、ついでこの第１の目標電圧レベルに向けて前記記憶素子の中に記憶されている電圧レベルを増加するよう前記アナログメモリ記憶素子に電圧ランプ信号を直接印加すると同時に、該記憶素子内部の得られた電圧レベルを読取り且つ該第１の目標電圧レベルと比較する過程と；
前記記憶素子に記憶されている電圧レベルが前記第１の目標電圧レベルに到達した際の前記記憶素子に現に記憶されている電圧レベルと前記入力電圧レベルとの差の90％の大きさの電圧レベルを前記第１の目標電圧レベルに加えた大きさの第２の目標電圧レベルを設定し、ついでこの第２の目標電圧レベルに向けて前記記憶素子に電圧ランプ信号を印加し、該記憶素子内部の得られた電圧レベルを読取り且つ該第２の目標電圧レベルと比較して、前記記憶素子に記憶される電圧レベルが前記入力電圧レベルを超える前に、記憶素子への電圧ランプ信号の印加を停止する過程とを含む方法。
【請求項６】
アナログメモリ記憶素子の中に入力電圧レベルを記憶する装置において：
記憶素子の中に記憶されている電圧レベルを入力電圧レベルに一致させるために、まず前記入力電圧レベルの90％の大きさの第１の目標電圧レベルを設定し、ついでこの第１の目標電圧レベルに向けて前記記憶素子の中に記憶されている電圧レベルを増加するよう前記アナログメモリ記憶素子に電圧ランプ信号を直接印加すると同時に、該記憶素子内部の得られた電圧レベルを読取り且つ該第１の目標電圧レベルと比較する手段と；
前記記憶素子に記憶されている電圧レベルが前記第１の目標電圧レベルに到達した際の前記記憶素子に現に記憶されている電圧レベルと前記入力電圧レベルとの差の90％の大きさの電圧レベルを前記第１の目標電圧レベルに加えた大きさの第２の目標電圧レベルを設定し、ついでこの第２の目標電圧レベルに向けて前記記憶素子に電圧ランプ信号を印加し、該記憶素子内部の得られた電圧レベルを読取り且つ該第２の目標電圧レベルと比較して、前記記憶素子に記憶される電圧レベルが前記入力電圧レベルを超える前に、記憶素子への電圧ランプ信号の印加を停止する手段とを具備する装置。
【請求項７】
記憶素子の中に電圧レベルを記憶する装置において：
ａ）記憶すべき電圧レベルを受信する手段と；
ｂ）受信した電圧レベルより低い電圧レベルを表す、記憶素子に印加するための目標電圧を確定する手段と；
ｃ）記憶素子に保持されている電圧量を増加させるために記憶素子に電圧ランプ信号を印加すると同時に、記憶素子の電圧レベルが目標電圧と一致するか否かを判定するために、記憶素子の電圧レベルを読取る手段と；
ｄ）記憶素子の電圧レベルが目標電圧と一致したときに電圧ランプ信号の活動を停止する手段と；
ｅ）記憶素子の得られた記憶電圧を読取る手段と；
ｆ）目標電圧を、得られた記憶電圧と受信した電圧レベルとの差に比例する量だけ増加させる手段と；
ｇ）記憶電圧と受信した電圧レベルとの差が所定値よりも低くなるまで動作するように手段ｃ）～ｆ）の動作を制御する手段とを具備する装置。
【請求項８】
アナログメモリデバイスの１対の記憶素子の間の差電圧としてアナログ信号を記憶する方法において：
前記１対の記憶素子のそれぞれに対して、
ａ）記憶すべき電圧レベルを受信する過程と；
ｂ）受信した電圧レベルより低い電圧レベルを表す、記憶素子に印加するための目標電圧を確定する過程と；

ｃ）記憶素子に保持されている電圧量を増加させるために記憶素子に電圧ランプ信号を印加すると同時に、記憶素子の電圧レベルが目標電圧と一致するか否かを判定するために、記憶素子の電圧レベルを読取る過程と；
ｄ）記憶素子の電圧レベルが目標電圧と一致したときに電圧ランプ信号の活動を停止する過程と；
ｅ）記憶素子の得られた記憶電圧を読取る過程と；
ｆ）目標電圧を、得られた記憶電圧と受信した電圧レベルとの差に比例する量だけ増加させる過程と；
ｇ）過程ｃ）～ｆ）を所定の回数だけ繰り返す過程と；
ｈ）１対の記憶素子の間で得られた電圧差を受信電圧レベルと比較して、その差を確定する過程と；
ｉ）２つの記憶素子の一方の中に記憶されている電圧レベルを、受信電圧レベルと２つの記憶セルの間の差電圧との差を減少させるのに十分な量だけ調整する過程とを含む方法。
【請求項９】
不揮発性アナログメモリ記憶素子の中に入力電圧レベルを記憶する方法において：
記憶素子の中に記憶されている電圧レベルを入力電圧レベルに一致させるために、まず前記入力電圧レベルの90％の大きさの第１の目標電圧レベルを設定し、ついでこの第１の目標電圧レベルに向けて前記記憶素子の中に記憶されている電圧レベルを増加するよう前記アナログメモリ記憶素子に電圧ランプ信号を直接印加すると同時に、該記憶素子内部の得られた電圧レベルを読取り且つ該第１の目標電圧レベルと比較する過程と；
前記記憶素子に記憶されている電圧レベルが前記第１の目標電圧レベルに到達した際の前記記憶素子に現に記憶されている電圧レベルと前記入力電圧レベルとの差の90％の大きさの電圧レベルを前記第１の目標電圧レベルに加えた大きさの第２の目標電圧レベルを設定し、ついでこの第２の目標電圧レベルに向けて前記記憶素子に電圧ランプ信号を印加し、該記憶素子内部の得られた電圧レベルを読取り且つ該第２の目標電圧レベルと比較して、前記記憶素子に記憶される電圧レベルが前記入力電圧レベルを超える前に、記憶素子への電圧ランプ信号の印加を停止する過程とを含む方法。
【請求項１０】
不揮発性記憶素子の中に電圧レベルを記憶する装置において：
ａ）記憶すべき電圧レベルを受信する手段と；
ｂ）受信した電圧レベルより低い電圧レベルを表す、記憶素子に印加するための目標電圧を確定する手段と；
ｃ）記憶素子に保持されている電圧量を増加させるために記憶素子に電圧ランプ信号を印加すると同時に、記憶素子の電圧レベルが目標電圧と一致するか否かを判定するために、記憶素子の電圧レベルを読取る手段と；
ｄ）記憶素子の電圧レベルが目標電圧と一致したときに電圧ランプ信号の活動を停止する手段と；
ｅ）記憶素子の得られた記憶電圧を読取る手段と；
ｆ）目標電圧を、得られた記憶電圧と受信した電圧レベルとの差に比例する量だけ増加させる手段と；
ｇ）記憶電圧と受信した電圧レベルとの差が所定値よりも低くなるまで動作するように手段ｃ）～ｆ）の動作を制御する手段と
を具備する装置。
【請求項１１】
アナログメモリデバイスの記憶素子の中に電圧レベルを記憶する方法において：
ａ）記憶すべき電圧レベルを受信する過程と；
ｂ）受信した電圧レベルより低い電圧レベルを表す、記憶素子に印加するための目標電圧を確定する過程と；
ｃ）記憶素子に保持されている電圧量を増加させるために記憶素子に電圧ランプ信号を印加すると同時に、記憶素子の電圧レベルが目標電圧と一致するか否かを判定するために、

記憶素子の電圧レベルを読取る過程と；
ｄ）記憶素子の電圧レベルが目標電圧と一致したときに電圧ランプ信号の活動を停止する過程と；
ｅ）記憶素子の得られた記憶電圧を読取る過程と；
ｆ）目標電圧を、得られた記憶電圧と受信した電圧レベルとの差に比例する量だけ増加させる過程と；
ｇ）過程ｃ）～ｆ）を所定の回数だけ繰り返す過程とを含む方法。
【請求項１２】
アナログメモリデバイスの不揮発性記憶素子の中に電圧レベルを記憶する方法において：
ａ）記憶すべき電圧レベルを受信する過程と；
ｂ）受信した電圧レベルより低い電圧レベルを表す、記憶素子に印加するための目標電圧を確定する過程と；
ｃ）記憶素子に保持されている電圧量を増加させるために記憶素子に電圧ランプ信号を印加すると同時に、記憶素子の電圧レベルが目標電圧と一致するか否かを判定するために、記憶素子の電圧レベルを読取る過程と；
ｄ）記憶素子の電圧レベルが目標電圧と一致したときに電圧ランプ信号の活動を停止する過程と；
ｅ）記憶素子の得られた記憶電圧を読取る過程と；
ｆ）目標電圧を、得られた記憶電圧と受信した電圧レベルとの差に比例する量だけ増加させる過程と；
ｇ）過程ｃ）～ｆ）を所定の回数だけ繰り返す過程とを含む方法。
【請求項１３】
記憶素子の中に電圧レベルを記憶する装置において：
ａ）記憶するべき電圧レベルを受信する手段と；
ｂ）受信した電圧レベルより低い電圧レベルを表す、記憶素子に印加するための目標電圧を確定する手段と；
ｃ）記憶素子に保持されている電圧量を増加させるために記憶素子に電圧ランプ信号を印加すると同時に、記憶素子の電圧レベルが目標電圧と一致するか否かを判定するために、記憶素子の電圧レベルを読取る手段と；
ｄ）記憶素子の電圧レベルが目標電圧と一致したときに電圧ランプ信号の活動を停止する手段と；
ｅ）記憶素子の得られた記憶電圧を読取る手段と；
ｆ）目標電圧を、得られた記憶電圧と受信した電圧レベルとの差に比例する量だけ増加させる手段と；
ｇ）手段ｃ）～ｆ）を所定の回数だけ動作するようにその動作を制御する手段とを具備する装置。
【請求項１４】
前記装置は、さらに
EEPROMセルの行と、
直列に接続された第１及び第２のトランジスタを含み、第１のトランジスタのゲートは入力クリア線に接続し且つ第２のトランジスタのゲートは入力選択線に接続している基準EEPROMセルと、
第１及び第２の入力端子と出力端子とを含み、第１の入力端子は第２のトランジスタのソースに接続し、第２の入力端子は基準電圧線に接続し且つ出力端子は第１のトランジスタのゲートに接続している比較器とを備え、
第１のトランジスタのゲートはEEPROMセルの行のそれぞれの第１のトランジスタのゲートに接続した、請求項13記載の記憶素子の中に電圧レベルを記憶する装置。
【請求項１５】
さらに、トランジスタを含む基準セルを設け、該基準セルのトランジスタのクリアゲート電圧が前記記憶素子の環境における変動を補正するために選択的に制御される、請求項13

記載の記憶素子の中に電圧レベルを記憶する装置。
【請求項１６】
前記装置は、記憶素子の行と列を有し、かつ各行が行選択トランジスタを有し、
列グループの記憶素子の中で第１の複数の記憶素子を第２の複数の記憶素子から分離するために、列グループの記憶素子に追加の行選択トランジスタを設けることにより、前記記憶素子に接続する書込み中の読取り線における総キャパシタンスを減少させる、請求項13記載の記憶素子の中に電圧レベルを記憶する装置。
【請求項１７】
前記装置は、さらに
不揮発性セルの行と、
直列に接続された第１及び第２のトランジスタを含み、第１のトランジスタのゲートは入力クリア線に接続し且つ第２のトランジスタのゲートは入力選択線に接続している基準セルと、
第１及び第２の入力端子と出力端子とを含み、第１の入力端子は第２のトランジスタのソースに接続し、第２の入力端子は基準電圧線に接続し且つ出力端子は第１のトランジスタのゲートに接続している比較器とを備え、
第１のトランジスタのゲートは不揮発性セルの行のそれぞれの第１のトランジスタのゲートに接続した、請求項13記載の記憶素子の中に電圧レベルを記憶する装置。
【請求項１８】
１対の記憶素子間の電圧の差としてアナログ値を記憶する装置において：
第１及び第２の記憶回路とを具備し、それぞれの記憶回路は、
記憶すべき電圧レベルを受信するトラックホールド回路と；
受信電圧レベルより低い電圧レベルを表す、記憶素子に印加するための目標電圧を確定する積分器と；
記憶素子に保持されている電圧量を増加させるために、記憶素子に電圧ランプ信号を印加すると同時に、記憶素子の電圧が目標電圧を超えるか否かを判定するために、記憶素子の電圧レベルを読取る電圧ランプ回路と；
記憶素子の電圧が目標電圧を超えたときに電圧ランプ信号の活動を停止させる比較器とを有し；
前記積分器は記憶素子の得られた記憶電圧をさらに読取り、新たな目標電圧を確定し且つ新たな目標電圧を記憶素子に所定の回数だけ印加するために、電圧ランプ回路及び比較器を制御し；
前記第１及び第２の記憶回路が、アナログ値を表す差を有する第１双び第２の入力電圧を受信し；
前記第１の記憶回路の前記積分器は前記サンプルホールド回路及び前記第２の記憶回路の前記記憶素子からの入力をさらに受信し；
前記第２の記憶素子の前記積分器は前記サンプルホールド回路及び前記第１の記憶回路の前記記憶素子からの入力をさらに受信し；
前記積分器のそれぞれが、２つの記憶素子の間の得られた電圧差を入力電圧レベルの差と比較してその差を確定し、それぞれの記憶素子の中に記憶されている電圧を、入力電圧レベル間の差と２つの記憶セルの間の差電圧との差を減少させるのに十分な量だけ調整するようにそれぞれの比較器と高電圧回路を制御する装置。
【請求項１９】
EEPROMセル内に電圧レベルを記憶するための装置において：
ａ）記憶すべき電圧レベルを受信する手段と；
ｂ）受信した電圧レベルより低い電圧レベルを表す、EEPROMセルに印加するための目標電圧を確定する手段と；
ｃ）記憶素子に保持されている電圧量を増加させるためにEEPROMセルに電圧ランプ信号を印加すると同時に、EEPROMセルの電圧レベルが目標電圧と一致するか否かを判定するために、EEPROMセルの電圧レベルを読取る手段であって；

目標電圧を受信し、前記目標電圧をEEPROMセルの電圧レベルと連続的に比較する比較器と；
比較器から信号を受信するラッチと；
前記ラッチによって活動が停止されるまで、前記EEPROMセルに連続的に増加する電圧信号を印加するように、ラッチに接続された高電圧ランプ回路とを具備する手段と；
ｄ）EEPROMセルの電圧レベルが目標電圧と一致したときに電圧ランプ信号の活動を停止する手段と；
ｅ）EEPROMセルの得られた記憶電圧を読取る手段と；
ｆ）目標電圧を、得られた記憶電圧と受信した電圧レベルとの差に比例する量だけ増加させる手段と；
ｇ）手段ｃ）～ｆ）を所定の回数だけ動作するように制御する手段と；
ｈ）前記高電圧ランプ回路に接続するドレインと、入力選択線に接続するゲートと、ソースとを有する第１のトランジスタデバイスと；
前記第１のトランジスタのソースに接続するドレインと、入力クリア線に接続するゲートと、出力線に接続すると共に、電流源を介して接地点にも接続するソースとを有する第２のトランジスタデバイスと；
第１のトランジスタのソースに接続する正規読取り線に接続する第１の入力端子を有し且つ基準電圧に接続する第２の入力端子を有する比較器であって、その出力端子が第２のトランジスタの入力クリア線に接続する比較器とを具備するEEPROMセルと
と具備する装置。

【請求項２０】
記憶素子内に電圧レベルを記憶する装置において：
記憶すべき電圧レベルを受信するトラックホールド回路と；
受信した電圧レベルより低い電圧レベルを表す、記憶素子に印加するための目標電圧を確定する積分器と；
記憶素子に保持されている電圧量を増加させるために記憶素子に電圧ランプ信号を印加すると同時に、記憶素子の電圧が目標電圧と一致するか否かを判定するために、記憶素子の電圧レベルを読取る電圧ランプ回路と；
記憶素子の電圧が目標電圧と一致したときに電圧ランプ信号の活動を停止する比較器とを具備し；
前記積分器は記憶素子の得られた記憶電圧をさらに読取り、新たな目標電圧を確定し且つ新たな目標電圧を記憶素子に所定の回数だけ印加するために電圧ランプ回路及び比較器を制御する装置。

【請求項２１】
不揮発性記憶素子の中に電圧レベルを記憶する装置において：
記憶すべき電圧レベルを受信するトラックホールド回路と；
受信した電圧レベルより低い電圧レベルを表す、記憶素子に印加するための目標電圧を確定する積分器と；
記憶素子に保持されている電圧量を増加させるために記憶素子に電圧ランプ信号を印加すると同時に、記憶素子の電圧が目標電圧と一致するか否かを判定するために、記憶素子の電圧レベルを読取る電圧ランプ回路と；
記憶素子の電圧が目標電圧と一致した一ときに電圧ランプ信号の活動を停止する比較器とを具備し；
前記積分器は記憶素子の得られた記憶電圧をさらに読取り、新たな目標電圧を確定し且つ新たな目標電圧を記憶素子に所定の回数だけ印加するために電圧ランプ回路及び比較器を制御する装置。

【請求項２２】
１対の不揮発性記憶素子間の電圧の差としてアナログ値を記憶する装置において：
第１及び第２の記憶回路とを具備し、それぞれの記憶回路は、
記憶すべき電圧レベルを受信するトラックホールド回路と；

受信電圧レベルより低い電圧レベルを表す、記憶素子に印加するための目標電圧を確定する積分器と；
記憶素子に保持されている電圧量を増加させるために、記憶素子に電圧ランプ信号を印加すると同時に、記憶素子の電圧が目標電圧を超えるか否かを判定するために、記憶素子の電圧レベルを読取る電圧ランプ回路と；
記憶素子の電圧が目標電圧を超えたときに電圧ランプ信号の活動を停止させる比較器とを有し；
前記積分器は記憶素子の得られた記憶電圧をさらに読取り、新たな目標電圧を確定し且つ新たな目標電圧を記憶素子に所定の回数だけ印加するために、電圧ランプ回路及び比較器を制御し；
前記第１双び第２の記憶回路が、アナログ値を表す差を有する第１及び第２の入力電圧を受信し；
前記第１の記憶回路の前記積分器は前記サンプルホールド回路及び前記第２の記憶回路の前記記憶素子からの入力をさらに受信し；
前記第２の記憶素子の前記積分器は前記サンプルホールド回路及び前記第１の記憶回路の前記記憶素子からの入力をさらに受信し；
前記積分器のそれぞれが、２つの記憶素子の間の得られた電圧差を入力電圧レベルの差と比較してその差を確定し、それぞれの記憶素子の中に記憶されている電圧を、入力電圧レベル間の差と２つの記憶セルの間の差電圧との差を減少させるのに十分な量だけ調整するようにそれぞれの比較器と高電圧回路を制御する装置。

【請求項２３】
アナログメモリデバイスの記憶素子の中に電圧レベルを記憶する方法において：
ａ）記憶すべき電圧レベルを受信する過程と；
ｂ）受信した電圧レベルより低い電圧レベルを表す、記憶素子に印加するための目標電圧を確定する過程と；
ｃ）記憶素子に保持されている電圧量を増加させるために記憶素子に電圧ランプ信号を印加する過程と；
ｄ）記憶素子の電圧レベルが目標電圧と一致したときに電圧ランプ信号の活動を停止する過程と；
ｅ）記憶素子の得られた記憶電圧を読取る過程と；
ｆ）目標電圧を、得られた記憶電圧と受信した電圧レベルとの差に比例する量だけ増加させる過程と；
ｇ）記憶電圧と受信した電圧レベルとの差が所定値よりも低くなるまで、過程ｃ）～ｆ）を繰り返す過程とを含む方法。

【請求項２４】
アナログメモリ記憶素子の中に入力電圧レベルを記憶する方法において：
記憶素子の中に記憶されている電圧レベルを入力電圧レベルに一致させるために、まず前記入力電圧レベルの90％の大きさの第１の目標電圧レベルを設定し、ついでこの第１の目標電圧レベルに向けて前記記憶素子の中に記憶されている電圧レベルを増加するよう前記アナログメモリ記憶素子に電圧ランプ信号を直接印加する過程と；
前記記憶素子に記憶されている電圧レベルが前記第１の目標電圧レベルに到達した際の前記記憶素子に現に記憶されている電圧レベルと前記入力電圧レベルとの差の90％の大きさの電圧レベルを前記第１の目標電圧レベルに加えた大きさの第２の目標電圧レベルを設定し、ついでこの第２の目標電圧レベルに向けて前記記憶素子に電圧ランプ信号を印加して、前記記憶素子に記憶される電圧レベルが前記入力電圧レベルを超える前に、記憶素子への電圧ランプ信号の印加を停止する過程とを含む方法。

【請求項２５】
アナログメモリデバイスの１対の記憶素子の間の差電圧としてアナログ信号を記憶する方法において：
前記１対の記憶素子のそれぞれに対して、

ａ）記憶すべき電圧レベルを受信する過程と；
ｂ）受信した電圧レベルより低い電圧レベルを表す、記憶素子に印加するための目標電圧を確定する過程と；
ｃ）記憶素子に保持されている電圧量を増加させるために記憶素子に電圧ランプ信号を印加する過程と；
ｄ）記憶素子の電圧レベルが目標電圧と一致したときに電圧ランプ信号の活動を停止する過程と；
ｅ）記憶素子の得られた記憶電圧を読取る過程と；
ｆ）目標電圧を、得られた記憶電圧と受信した電圧レベルとの差に比例する量だけ増加させる過程と；
ｇ）過程ｃ）～ｆ）を所定の回数だけ繰り返す過程と；
ｈ）１対の記憶素子の間の得られた電圧差を受信電圧レベルと比較して、その差を確定する過程と；
ｉ）２つの記憶素子の一方の中に記憶されている電圧レベルを、受信電圧レベルと２つの記憶セルの間の差電圧との差を減少させるのに十分な量だけ調整する過程とを含む方法。
【請求項２６】
アナログメモリデバイスの記憶素子の中に電圧レベルを記憶する方法において：
ａ）記憶すべき電圧レベルを受信する過程と；
ｂ）受信した電圧レベルより低い電圧レベルを表す、記憶素子に印加するための目標電圧を確定する過程と；
ｃ）記憶素子に保持されている電圧量を増加させるために記憶素子に電圧ランプ信号を印加する過程と；
ｄ）記憶素子の電圧レベルが目標電圧と一致したときに電圧ランプ信号の活動を停止する過程と；
ｅ）記憶素子の得られた記憶電圧を読取る過程と；
ｆ）目標電圧を、得られた記憶電圧と受信した電圧レベルとの差に比例する量だけ増加させる過程と；
ｇ）過程ｃ）～ｆ）を所定の回数だけ繰り返す過程とを含む方法。
【請求項２７】
記憶素子の中に電圧レベルを記憶する装置において：
ａ）記憶すべき電圧レベルを受信する手段と；
ｂ）受信した電圧レベルより低い電圧レベルを表す、記憶素子に印加するための目標電圧を確定する手段と；
ｃ）記憶素子に保持されている電圧量を増加させるために記憶素子に電圧ランプ信号を印加する手段と；
ｄ）記憶素子の電圧レベルが目標電圧と一致したときに電圧ランプ信号の活動を停止する手段と；
ｅ）記憶素子の得られた記憶電圧を読取る手段と；
ｆ）目標電圧を、得られた記憶電圧と受信した電圧レベルとの差に比例する量だけ増加させる手段と；
ｇ）手段ｃ）～ｆ）を所定の回数だけ動作するように制御する手段とを含む装置。
【発明の詳細な説明】
発明の背景
1.発明の分野
本発明は一般に集積回路アナログ記憶デバイスの分野に関し、特に、そのアナログ記憶セルの中で電圧プログラム動作を実行する方法及び装置に関する。
2.関連技術の説明
米国特許第4,890,259号は、アナログ入力信号を複数回サンプリングし、次に、追加のサンプルを取り出して、一時的に保持している間に、各々が不揮発性フローティングゲートメモリセル、好ましくはEEPROMセルから構成されている複数の記憶場所、すなわち、セル

に先の一組のアナログ信号のサンプルを並行ローティングするような不揮発性、高密度集積回路アナログ回路記録再生システムを開示している。そのシステムにおいては、各々の記憶セルへの複数群のサンプルの書込みは、書込みパルスを繰り返し供給し、その後に、各々のセルに対して読取り動作を実行して、各セルに記憶されている情報を各々のトラックホールド（サンプルホールド）回路により保持されている情報と比較することによって実行される。その後に続く書込み／読取り動作の間、書込みパルスの振幅を増して行き、先の読取り動作でセルから読取られた情報が対応するトラックホールド回路に保持されている値とほぼ等しくなったならば、セルへの書込みパルスを停止させるか又はセルから遮断する。

米国特許第4,989,179号は、多重レベルアナログ情報としてデジタルデータを記憶するためにアナログメモリを使用することを記載している。さらに、アナログメモリのアレイの編成も記載されている。

米国特許第5,126,967号は米国特許第4,890,259号のシステムを改良したもので、記憶サイドアレイの両側のアレイ中に１つ又は複数の基準記憶列を設け、その基準記憶列を使用して、隣接する記憶セルが信号サンプルを記憶すると同時に基準信号を記憶する。再生中、記憶されていた基準信号を読み戻し、同時に読取られている信号記憶セルの相対列位置に従って互いに対して重み付けされるが、この場合、出力信号は読み戻されたサンプル信号と、読み戻された基準信号との差（信号セルの行における位置に従って互いに重み付けされている）として取り出される。

米国特許第5,241,494号も米国特許第4,890,259号のシステムを改良している。米国特許第5,241,494号のシステムにおいては、アナログ記憶セルのプログラミングを高い分解能で実行するために、多重レベル反復書込みプロセスを実行する。詳細にいえば、書込み中のセルに電圧パルスを増大させる粗サイクルを適用し、セルの電圧を目標電圧に近い電圧に急速に設定する。粗サイクルは、かなり急激に電圧が増加して行く電圧ランプを採用することによって実行される。その後に続く精密記録サイクルの間に、より漸進的に電圧が増加する電圧ランプに基づいて反復パルスを印加することにより、記憶電圧を精密同調する。

上述のシステムのいずれにおいても、各EEPROMセルの結果電圧が目標電圧に近いか又はそれを越えているかを判定するために、各々の電圧パルスを印加した後にEEPROMセルに対して読み取り動作を実行する。得られた電圧が目標電圧を越えた場合、セルはオーバプログラムされたという。記載されているシステムでは、オーバプログラムされたセルを完全にクリアし、そのセルに対し反復書込みプロセス全体を繰り返さなければ、オーバプログラムを修正できない。セルをクリアして、反復記憶動作を繰り返す必要をなくすために、わずかな量の電圧のオーバプログラム又はアンダプログラムであれば、それを許容するのであるが、その結果、理論の上で実現可能と思われる分解能と比べて、分解能は低くなる。より高いレベルの分解能を達成できるように、アナログ記憶セルの電圧をプログラミングする改良された方法を提供することが望ましいであろう。

この向上した分解能は、デジタルデータを多重レベルアナログ情報として記憶するのに有用である。

要求される高電圧書き込み動作を少なくすることにより動作の速度をさらに速くすることは可能であるが、そのようなプログラム方法は、よりコンパクトで、より経済的な実施形態が得られ、同じサンプル速度に対して列ドライバ回路の数が少なくなるので望ましい。高速プログラミングがシステムの目標である場合、高電圧書込み動作の回数をできる限り少なくしなければならない。

発明の概要

本発明の１つ面に従えば、１つには、アナログセルに書込んでいると同時にアナログセルを読取ることにより、各セルのオーバプログラムをほぼ回避するように、アナログ電圧セルをプログラミングする改良された方法及び装置が提供される。アナログセルに書込んでいる間にアナログセルを読取ることによって、起こりうるセルのオーバプログラムはほぼ即時に検出され、重大なオーバプログラムが起こる前に書込み動作が終了する。そのため

、本発明によれば、書込み動作が完了するたびに個別に読取り動作を実行するアナログ記憶システムで実現されるより、より高いレベルの分解能を達成できる。ここでは、書込み中に記憶電圧を読取る過程を「書込み中の読取り」過程という。
本発明の一実施態様では、上述の動作は不揮発性アナログ記憶セルを次のように使用することにより実現される。まず、記憶すべき入力アナログ電圧信号を受信する。記憶素子に印加するための目標電圧を入力電圧に基づいて確定するが、この目標電圧は入力電圧より幾分か低いレベルに設定される。次に、記憶素子の電圧を増加させるために、記憶素子に高電圧ランプ信号を印加する。同時に、電圧レベルが目標電圧を越えたか否かを判定するために、記憶素子の電圧レベルを読取り、越えていれば、電圧ランプの活動を停止する。その後、記憶素子の電圧レベルを読取るために正規の読取り動作を実行する。次に、目標電圧を、記憶電圧と入力電圧との間に残っている差に比例する量だけ増加させる。高電圧ランプを印加すると同時に電圧レベルを読取り、次に、目標電圧を適切な量だけ増加させる過程を所定の回数だけ繰り返すか、あるいは、記憶電圧と入力電圧との間に残っている差が所定の値より小さくなるまで繰り返す。
このように、電圧ランプを印加している間にセルの電圧を感知することによって、各々個々の高電圧ランプの印加を終了させる。セルで得られた電圧を読取るために読取り動作を実行し、その電圧を、先の目標アナログ信号と、記憶セルの実際の電圧と、入力アナログ信号レベルとに基づいてさらに別の目標電圧レベルが適応設定されるように、入力電圧レベルと比較する。
一実施態様においては、当初、目標電圧は入力電圧レベルの約90％に設定される。その後、目標電圧を、入力電圧レベルと記憶セルから読取られる電圧レベルとの間に残っている差の約90％だけ増加させる。目標電圧を確定し、次に、記憶素子を読取ると同時に電圧ランプを印加するプロセスは、４回～６回繰り返される。また、この実施態様では、記憶セルは、従来通りのEEPROMセルを高電圧ランプの印加と同時にセルの読取りを可能にするように変形したセルである。同時読取り動作を可能にするために、従来のEEPROMセルの中で採用されている電気接点に加えて、別の電気接点がEEPROMセルに設けられている。
別の実施態様においては、各々個々の入力信号を２つのEEPROMセルの電圧差として記憶するために、２つのEEPROMセルが設けられている。アナログ電圧レベルを記憶するための前述の過程は双方のセルに適用される（ただし、入力信号を電圧差として記憶するために幾分か変形されている）。所定の回数の記憶サイクルが完了した後、その結果として発生する２つのセルの電圧レベルの差を確定し、入力電圧レベルと比較する。２つのセルのアナログ電圧の差が入力アナログ信号レベルと厳密に等しくない場合、対のセルの一方又は双方の電圧レベルを、入力電圧により密接に対応する差を得るのに十分な量だけ増加させる。その後、双方のセルから電圧レベルを読取り、その差を求めることによって、読取り動作を実行する。このようにして、さらに高いレベルの精度と分解能が得られる。
精度の向上が実現されるので、本発明は、温度信号、圧力信号、振動信号、音声信号又は音楽信号などのアナログ信号を記憶するシステムで採用されると有利である。しかしながら、本発明はデジタル情報を記憶するシステムで採用されても良い。そのようなシステムにおいては、デジタル情報を表わすために、各セルの中で多重レベル電圧のような個別のアナログ信号レベルを定義する。たとえば、セルごとに２ビット又は８ビットの情報をそれぞれ記憶するために、各々の記憶セルの中で、456又は256のレベルを定義する。このように、各々個々の記憶素子が１ビットの情報しか記憶しないデジタル記憶デバイスと比べて、はるかに高い記憶密度を得ることができる。本発明の電圧プログラミング方法を採用することによって得られる高度の分解能は、個別のレベルを信頼性をもって定義し、それにより、高い記憶密度を実現することを可能にする。
必要とされる高電圧書込み動作の回数を減らすことにより、本発明では、アナログ電圧をさらに急速に記憶できる。このスピードアップは新たな用途への適用を可能にすると共に、コストを低減することができる。

【図面の簡単な説明】

図１は、本発明に従って構成されたアナログ記憶システムのブロック線図である。

図２は、図１のシステムのいくつかの部分、特に、１つのEEPROMに１つのアナログ信号を記憶する本発明の「書込み中の読取り」の面に関連する部分のブロック線図である。
図３は、図２のシステムのトラックホールド回路（サンプルホールド回路）の概略図である。
図４は、図２のシステムの高電圧パワースイッチ回路の回路図である。
図5Aは、図２のシステムの「書込み中の読取り」EEPROMの第１の実施形態の回路図である。
図5Bは、温度修正読取りを実行するように構成された、図２のシステムの「書込み中の読取り」EEPROMの第２の実施形態の回路図である。
図６は、２つのEEPROMセルの中に記憶されている電圧の差としてアナログ信号を記憶する図２のシステムの代替実施形態のブロック線図である。
図７は、アナログ／デジタル変換器、デジタル／アナログ変換器及びコントローラと共に図２のアナログ記憶システムを採用するデジタルメモリシステムのブロック線図である。

発明の詳細な説明

次に、図を参照して、本発明の好ましい実施形態を説明する。以下に説明する本発明の実施形態は米国特許第4,890,259号、第4,989,179号、第5,126,967号及び第5,241,494号の中に記載されているシステムに関係しており、これらの特許は全て本出願の譲受人に譲渡され、また、それぞれ、参考として本明細書中に全内容を取り入れられている。
本発明を取り入れたアナログ集積回路を図１を参照して説明し、その後、残る図に関して書込み中の読取り回路の面を説明する。図に示すシステムのいくつかの素子に係わる概略回路図を提示する付録を添付してあり、場合に応じて付録の概略図を特に参照する。
図１は、本発明のアナログ集積回路記憶／回復システムを示す。制御入力信号は制御／タイミング論理回路11に結合し、これはマイクロプロセッサコンパチブル直列インタフェースとして実現されても良い。制御／タイミング回路11は記憶／回復システムの様々な素子を協調させ、試験回路12にも結合している。試験回路12はシステムの不可欠な素子ではないが、そのような回路は、制御／タイミング論理回路における誤りを検出し、障害のある素子を削除し且つメモリアレイの試験の速度を増すために、評価と試験には共通する回路である。
システムの中心となるのはメモリアレイ13である。メモリアレイ13は不揮発性メモリセル、好ましくはEEPROMセルの行と列である。メモリアレイ13と堺を接しているのは行デコーダ14と、列ドライバを制御するために使用されるアナログ読取り／書込み回路15である。メモリアレイ13は、行デコーダ14が特定の１つの行を起動し且つ読取り／書込み列ドライバ15は起動された行の個々のセルを逐次アクセスするように、ページモードアドレス指定方式を使用する。
メモリアレイ13は、記録時又は書込み時に起動された行に高電圧レベルを供給する行高電圧回路16にも隣接している。記録電圧を発生するために、高電圧発生器回路17も設けられている。発生器17は高電圧発振器19に結合する高電圧タイミング／論理回路18と、行高電圧発生器20と、記録時に使用されるタイミング信号を供給する列高電圧発生器21とを含む。高電圧発振器19は行高電圧発生器20と、列高電圧発生器21とに結合して、行発生器と列発生器のタイミングを規定する。行高電圧発生器20は行高電圧回路16に結合している。列高電圧発生器21は読取り／書込み列ドライバ15に結合している。
本発明のシステムは、組合わせクロック／発振器23と、アドレッシングシーケンサ24とを含むクロックアドレスシーケンサ22によりタイミングを規定される同期的なものである。これらは、シーケンサ24からのアドレスのタイミングを規定して生成させる。タイミングを規定したアドレスの生成と、ページモードアドレス指定方式とを組合わせることによって、システムはアナログ情報をリアルタイムで記憶できる。アドレスシーケンサ24に対するオプション入力により、信号の事象トリガ記憶が可能になる。アドレスシーケンサ24は列アドレスバッファ25と、行アドレスバッファ９とに結合している。これらのバッファはアドレスシーケンサ24と行デコーダ14との間と、アドレスシーケンサ24と列デコーダ15との間にそれぞれ介在している。行アドレスバッファ９は行デコーダ14に行アドレスを供給

する。列アドレスバッファ25は、列デコーダ26を介して、アクセスすべき読取り／書込み列ドライバ15のアドレスを供給する。列デコーダ26は読取り／書込み列ドライバ15に結合している。
列デコーダ26はI/Oインタフェースデバイス28のノード27にも結合している。I/Oインタフェースデバイス28は入力信号コディショナ29と、出力信号コンディショナ30とを含む。I/Oインタフェースデバイス28は、変換器からのアナログ入力信号をA/D変換なしにメモリセルに直接に記憶可能である信号に変換すると共に、記憶されているアナログ情報をD/A変換なしに出力変換器を駆動するのに適する形態に変換するメカニズムを構成する。音声情報の場合、入力変換器と出力変換器はマイクロホンとスピーカになるであろう。
図２は、図１のアナログ列読取り／書込み回路15及びメモリアレイ13のうち、１つのEEPROMセルの中に蓄積される電圧のプログラミングのために特に構成されている関連部分を示す。詳細にいえば、図２はトラックホールド回路（サンプルホールド回路）100と、積分器102と、比較器104と、ラッチ106とを含み、それらは、各々、図１のアナログ列読取り／書込み回路15の一部である。図２は、マルチプレクサ113及びスイッチ110を介して高電圧ランプ源112に接続する単一のEEPROMセル108をさらに示している。ラッチ106の出力端子は、EEPROMセル108への高電圧の印加を制御するスイッチ110に接続している。マルチプレクサ113は、１列分のセルのEEPROMセルの中の１つに高電圧信号を印加させる。図２には、その列のEEPROMセルの中の１つだけを特定して示してある。列のEEPROMへの高電圧ランプ信号の印加は時間多重化されて、信号を列の全てのセルに逐次記憶できる。
使用中、トラックホールド回路100は列デコーダ26（図１）から、記憶すべきアナログ信号レベルに対応する入力電圧を受信する。トラックホールド回路100は入力アナログ信号をサンプリングし、信号をEEPROMセル108を設定すべき固定電圧に保持する。トラックホールド回路100により保持されるサンプリング電圧は、EEPROMセル108に印加するための目標電圧を確定するように動作する積分器102へ伝送される。当初、目標電圧は、たとえば、サンプリング電圧値の90％のような、サンプリング電圧値より小さい値に設定される。目標電圧は比較器104へ伝送され、比較器104はその目標電圧をEEPROMセルの中に保持されている現在電圧（当初はゼロであろう）と比較する。EEPROMセルの現在電圧は接続線路115に沿って比較器104に供給される。以下にさらに詳細に説明するが、線路115に沿って比較器に供給される電圧は、正規の読取り動作とは別の「書込み中の読取り」動作の間に決められる。比較器104は、目標電圧がEEPROMセルの電圧を越えているか否かを指示する信号を出力する。比較器から出力された信号はラッチ106を介して供給されて、スイッチ110を制御する。目標電圧が線路115に沿ってEEPROMセル108から出力される電圧より高い間は、スイッチ110は閉成したままであるので、EEPROMセルに高電圧ランプ信号が印加され、セルの電圧を一様に増加させる。セルの電圧が目標電圧に達すると、比較器104からの出力信号は状態を変化させ、その結果、ラッチ106はスイッチ110を開成するので、高電圧ランプはEEPROMセルから遮断される。このようにして、EEPROMセルは初期目標電圧値とほぼ同じ電圧値に設定される。
その後、EEPROMセル108で正規の読取り動作を実行し、読取り電圧を接続線路114に沿って積分器102へ伝送すると、積分器102は新たな目標電圧を確定するように動作する。さらに特定すると、積分器102はサンプリング電圧と、線路114に沿って供給される電圧との差を確定し、たとえば、初期目標電圧に、蓄積されている電圧とサンプリング電圧との間に残っている差の90％を加えたものに等しい新たな目標電圧を規定するように動作する。言いかえれば、新たな目標電圧はサンプリング電圧の約99％に設定されるということになる。温度やその他の要因の結果として変動することもあるが、EEPROMセル108の中に蓄積されている実際の電圧に応じて、新たな目標電圧の実際のレベルは99％とは異なる場合もある。次に、新たな目標電圧を比較器104に印加し、上記の過程を繰り返して、EEPROM108に保持されている電圧を新たな目標電圧まで増加させるために、高電圧ランプをEEPROM108に再び印加する。先の場合と同様に、EEPROMセル108から書込み中の読取り電圧が出力され、線路115に沿って比較器104へ伝送される。EEPROMセルが新たな目標電圧に達すると、ラッチ106は再びスイッチ110を開成するように動作し、それによって高電圧ランプの印加を

停止する。EEPROMセル108の中に保持されている実際の電圧を確定するために正規の読取り動作を再び実行し、「正規の」読取り電圧を線路114に沿って積分器102へ伝送する。別の新たな目標電圧が積分器102により計算されるのであるが、この新たな目標電圧は、先の目標電圧の和に、たとえば、サンプル電圧とEEPROM108の中に保持されている実際の電圧との間に残っている差の90%を加えた電圧に等しい。新たな目標電圧を再びEEPROMに印加すると同時に、EEPROMから書込み中の読取り電圧を出力させる。

目標電圧を確定して、EEPROMセル108に印加するという蓄積サイクルの全シーケンスは所定の回数実行されるのであるが、このシーケンスは、たとえば、４回から６回実行されても良い。特定のシステムインプリメンテーションに関わる実際の回数は、システムの特定の要件と制約に基づいて決定されても良く、速度と正確さを最良の状態で折り合わせるべく選択されるのが好ましい。サイクルの数が少なすぎると、セルでの結果はアンダプログラムとなるであろう。サイクルの数が多すぎると、不必要な量の時間が費やされ、さらにオーバプログラミングの危険も生じてしまうであろう。所定のサイクル数を規定すると有利であるが、インプリメンテーションによっては、サイクルの総数を動的に制御できる、おそらくは適応制御できるのが望ましい場合もあろう。たとえば、実際のEEPROMセル電圧をサンプル電圧と比較し、その差が所定の最小閾値より小さくなったときには書込みサイクルを終了させる追加の回路を設けても良い。

図２はEEPROMセルを１つしか示していないが、上述の動作はアナログ記憶デバイスの中の全てのセルに適用される。セルは列と行を成して配列されており、各々の列グループは別個のトラックホールド回路と、積分器回路と、比較器と、ラッチと、マルチプレクサとを含む列ドライバを有する。

トラックホールド回路の有効性能を改善すると共に、様々な外乱の除去率を向上させるために、基準電圧を記憶する少数の基準セル（図示せず）を設けても良い。基準セルを使用して、温度変化誤差を排除することにより、総読取り精度をさらに改善できる。詳細にいえば、記憶中の基準セルは、読取り中、強制的に基準電圧とされる。EEPROMセルのクリアゲートにおける電圧の値（以下に図5Aを参照してさらに詳細に説明する）は読取り中に、基準電圧を正しい値に復元するために調整される。同時に、そのEEPROMセルを含む行からの全ての電圧を復元する。それらの電圧を連続して読み戻すことにより、温度変化誤差を除去できる。さらに、異なる温度で記録されたセルについて、EEPROMセルごとに基準セルを使用することにより、さらに適切な温度補償を実行できる。これは、長い時間間隔を経て記録された単一の行の中にサンプルを記憶するシステムに要求されるであろう。アレイは一度に１対のセルずつ記録でき、各対は１つの基準セルと、１つの信号セルとを有する。信号セルのわずかなオーバプログラムは、それと対を成す基準セルのわずかな追加プログラムによって修正可能である。たとえば、各々の値を記憶するために１対のセルを採用することにより、アナログ信号の記憶時と出力時の双方で温度変化誤差又はその他の誤差を修正できる。各対のセルのうち一方は基準セルとして採用される。基準セルのクリアゲート電圧は、温度変化誤差又はその他の誤差を修正するように調整される。この点に関して、図5Bに示す基準セル配置を採用しても良い。基準セルを取り入れたEEPROMセルの特定の配置は米国特許第5,126,967号の図１に示されており、この特許の中に示されている、基準記憶素子列の設置に関連する特徴を本発明の集積回路の実施形態の中でも採用できる。EEPROMセルの列及びセルの基準列の配置の詳細は本発明には関係がないので、ここでは詳細な説明を省く。

各々の書込み高電圧ランプは、書込み高電圧の各サイクルがほぼ同一であるように慎重に制御されなければならないことに注意すべきである。詳細にいえば、書込み高電圧ランプのサイクルごとに、目標電圧の値とEEPROMセルに蓄積される電荷を除いて、EEPROMセルを同一の条件にさらすべきである。そのため、サイクルごとに目標電圧を一定に保持すると、高電圧ランプを印加している間のEEPROMセルの出力は、そのEEPROMセルに追加の電荷が蓄積される前に目標電圧に達してしまうであろう。従って、電荷が蓄積電圧になる前にEEPROMセルはその出力端子で目標電圧に達しているので、それ以上のセルの書込みは起こらない。セルがわずかにオーバプログラムされたならば、次のサイクルの間に目標電圧を減

少させるのが好ましい。これにより、その後の書込みサイクルによってもEEPROMの電圧の変化はそれ以上起こらなくなる。
このように、図２のシステムにより実行されるアナログ電圧値をプログラミングする方法は、記憶電圧を入力電圧と、セルに蓄積されている実際の電圧とに基づいて調整するように動作する。従って、この方法は適応性のある方法である。このため、多数のセルを同時に書込んでいるときでも、個々のセルの変動は自動的に補正される。
図３～図５を参照して、図２の構成要素の詳細を述べる。図３は、コンデンサ116と、演算増幅器118とを含むスイッチトキャパシタトラックホールド回路として実現されたトラックホールド回路100を示す。コンデンサ116はスイッチ120を介して入力電圧線（図２）に接続している。コンデンサ116は演算増幅器118の反転入力端子にも接続している。演算増幅器118を迂回する第２のスイッチ122はコンデンサ116と、積分器102（図２）に接続する出力線125との間に接続されている。スイッチ120はコンデンサ116を出力線125に直接に接続することもできる。
トラック期間中に、スイッチ120は入力線をコンデンサ116に接続するように制御され、一方、スイッチ122は閉鎖状態に保持されるので、オフセット電圧と入力の双方がコンデンサに蓄積される。ホールド期間中には、スイッチ120はコンデンサ116を出力線125に接続するように制御され、スイッチ122は開成したままである。この構成によって、演算増幅器のオフセット電圧は完全に相殺される。ところが、スイッチ122を通る電荷の供給は中止されず、その結果、記憶値の正確さが制限されるであろう。従って、ゲート面積が最小であるスイッチを使用するのが好ましい。記憶コンデンサ116は５ピコファラド（pF）程度の高いキャパシタンスを有しているのが好ましい。高いキャパシタンスはホールド時間を長くし且つ高い精度を得るのに役立つ。
出力線125における望ましくない遷移を防止するために、出力線125とスイッチ120との間に別にコンデンサ（図示せず）を設けても良い。キャパシタンスを適切に選択すれば、追加のコンデンサがあっても、回路の所望の動作は変化しない。
積分器102の実現形態の一例の概略回路図を付録にも概略図Ａ及びＢとして記載した。概略図Ａ及びＢの中の素子を簡単に参照すると、論理入力「DIFB」がハイに保持されたとき、コンデンサC3とコンデンサC4は互いに接続し、「V1」と「DRAIN」との電圧差は出力端子における新たな目標電圧を増分するために使用される。制御信号S1及びS2は２つの入力電圧「V1」及び「DRAIN」をサンプリングし、増幅器の入力端子であるノード「INM」へ強制的に電荷を送り出す。増幅器の利得は非常に大きいので、帰還コンデンサC2は逆の電荷を与える。この動作は出力電圧を、C3とC4の和をC2で除算したコンデンサ比に比例する電圧だけ変化させる。この比は１未満とされるべきであり、0.9に設定されても良い。これは図２におけるようなプログラムに使用される構成である。
再び図２を参照して、次に列比較器104を簡単に説明する。比較器104は、プログラミング中のEEPROMセルに印加される電圧ランプをオフするために使用される、利得が大きい高速比較器である。このようなことは、書込みサイクル全体の中の書込み中の読取り期間の間に起こる。書込み中の読取り期間は非常に「雑音の多い」期間であると思われる。従って、比較器104は、接地雑音と電源雑音の双方の除去率を改善するために、３つの利得の異なる段（図２に特定しては示されていない）を含むのが好ましい。３つの利得の異なる段を有する比較器104の一実施形態は、付録の中に概略図C,D及びＥとして記載されている。
次に、高電圧パワースイッチ110を一実施形態を示す図４を参照して説明する。先に述べた通り、スイッチ110の機能はプログラミング中のセルに（列マルチプレクサ113を介して）高電圧を印加することである。図４の回路では、この高電圧は、電荷ポンプ（図示せず）により、ポンプが125マイクロ秒の速度で繰り返す０ボルトから20ボルトの100マイクロ秒ランプとして発生されるCHV列高電圧として識別されている。スイッチ110は３つの論理制御端子と、単一の出力端子COLNとを有するブートストラップハイサイドスイッチである。
簡単にいえば、図４の回路の特徴のいくつかを考慮すると、採用されている制御信号はWR（書込み信号）と、HENB（高電圧イネーブルバー信号）である。書込み動作の場合、WRは

ハイであり、HENBはロー、CHVもローである。この状態はブートストラップC2コンデンサをノード８で正の約４ボルトに充電させる。その後、プログラムされるセルのソースに所望の書込み電圧が現れるまで、CHVの電圧は上昇する。HENBはラッチ106によってハイに駆動される。この状態はノード８を５ボルトまで急速に放電させる。この電圧はそれ以上のプログラミングを阻止するが、依然として、M4がゲートダイオードブレークダウンによって電流を引き出すのを十分に阻止しうる高い値を有する。

読取り動作の場合には、M4のゲート電圧は０ボルトにされる。この状態は、読取り中にCHVとCOLNとの間に電流が流れるのを阻止する。この状態に入るときには、WRをローにし、次にDSCHをハイにさせる。定常電源電流は取り出されない。

HENB信号はC3を介して印加されて、ノード８を放電させる。DSCHがハイである間、信号HENBはローに戻されるべきである。これによりC3は充電されるが、ノードC3BはDSCHによりVSSに保持される。読取り動作中、DSCH信号はM4が確実にオフ状態のままであるようにハイでなければならない。

再び図２を参照して、次にマルチプレクサ113をさらに説明する。高電圧ランプ回路112によりスイッチ110を介して供給される電圧を１つの列の中の各々のEEPROMセル108に独立して印加させるために、マルチプレクサ113はアレイの各列に接続している。各列は別個のマルチプレクサを有する。

マルチプレクサ113の一実施形態においては、各列は32個のセルを有しているので、1:32マルチプレクサが必要である。これは、最初に1:4セレクトを使用し、続いて４回の1:8セレクトを実行することによって実現されても良い。

次に、図5Aを参照して、EEPROMセル108を説明する。EEPROMセル108はソーストランジスタ124と、ドレイントランジスタ126とを含む。図２のランプ回路112により供給される高電圧ランプ信号はトランジスタ124のソースに印加されるが、このトランジスタは20ボルトセレクト信号をもゲートに受ける。トランジスタ126は3.5から0.0ボルトのランプクリア信号をゲートに受ける。「書込み中の読取り」電圧線は、電流源にも接続するトランジスタ126のドレインに接続している。

書込み動作中、高電圧ランプ信号はトランジスタ124のソースに印加され、同時に、トランジスタ126のドレインから書込み中の読取り電圧が検出される。このように、電圧レベルが設定されている間に、EEPROM108により保持されている電圧レベルを検出する。これは、先に引用した特許の中に記載されているEEPROMセルのように、書込み動作と同時に読取り動作を実行することは不可能である典型的なEEPROMセルとは対照的である。そのようなEEPROMセルの中では、ドレイントランジスタへの出力接続は存在しない。そうではなく、ソーストランジスタが高電圧ランプ又は読取り電圧線のいずれかに接続されている。そのため、EEPROMセルの中に蓄積されたアナログ信号レベルの双方を同時に読取り且つ書込むということはありえない。

前述のように、一実施形態においては、メモリアレイの各列は32個のEEPROMセルを含む。その実施形態では、書込み中の読取り電圧線の総キャパシタンスを減少させるために、32個のセルごとに、書込み中の読取り電圧線を分離すべきである。図5AのEEPROMセルのセレクトゲートは、記憶アレイの他の全ての行（たとえば、合わせて128あっても良い）を分離するために採用される。トランジスタ126のクリアゲートは、書込み中の読取り電圧線に接続するリード線のインプラントと短絡されるのが好ましい。EEPROMセル32個ずつの各セルグループを別個のグループ、すなわち、ノードアップ／ダウングループに分離する活性層を設けることにより、さらに分離が実現される。32個のセルごとに分離し、それにより、線の総キャパシタンスを減少させるために、EEPROMセルのセレクトゲートを採用することにより、書込み速度をさらに増すことができる。

図5Bを参照すると、温度修正読取りを実行するEEPROMの別の実施形態が示されている。図5Bの実施形態は図5Aの実施形態に類似しており、同じ素子は同じ図中符号に′記号を付して示されている。図5Bの実施形態の場合、正規読取り接続線125′は、正規の読取り動作を実行するために、トランジスタ124′のソースと、電流源127′とに接続している。温度修正読取りを実行するために、基準セルの正規読取り接続線125′は比較器129′を介して

セルのVCLEARゲートに接続し、比較器は基準電圧をさらに受信する。基準セルのVCLEARゲートは１行分の記憶セル全てに共通している。正規読取り電圧と基準電圧を比較器を介してVCLEAゲートに供給することにより、その行のセル全てについて温度やその他の要因を修正するために選択された電圧にVCLEARゲートの電圧を強制的に設定できる。これにより、連続読取り動作が有効に得られる。尚、図5Bに示す正規読取り線は図5Aの実施形態の中で採用されることに注意すべきである。しかしながら、図5Aの実施形態の場合、正規読取り線は比較器を介してVCLEARゲートに至るルートを経ていない。

ここまでは、各々の入力信号値を記憶するために単一のEEPROMセルを採用するシステムと共に使用するための電圧プログラム方法及び電圧プログラム装置を説明した。次に、図６を参照して、各々のアナログ信号値を差電圧として記憶するために１対のEEPROMセルを採用する本発明の別の実施形態を説明する。図６の代替実施形態は図２～図5Bの実施形態に類似しており、類似する又は同一の素子については改めて説明をしない。

図６は、図２の単一の回路に類似しているが、各々が１つの変形させた積分器を含む２つの書込み中の読取り回路を示す。図６の中では、図２の素子に類似する又はそれと同一の素子は同じ図中符号に100を加えた図中符号によって示されている。第１の回路の素子には添字１を付し、第２の回路の素子には添字２を付してある。たとえば、対の回路のうち第１の回路はトラックホールド回路200_1、比較器204_1、ラッチ206_1等々を含む。対の回路のうち第２の回路はトラックホールド回路200_2、比較器204_2、ラッチ206_2等々を含む。

２つの回路の変形積分器は、それぞれ、250_1及び250_2として示されている。図２の積分器102は２つの入力、すなわち、トラックホールド回路からの一方の入力と、EEPROMセルからの他方の入力のみを受信するが、積分器250_1及び250_2は、それぞれ、別の２つの入力を含む。詳細にいえば、積分器250_1はトラックホールド回路200_2から線路201_2に沿って入力を受ける。同様に、積分器250_2はトラックホールド回路200_1から線路201_1に沿って入力を受ける。積分器250_1は第２の回路のEEPROM出力線214_2からの入力をさらに受ける。同様に、積分器250_2は第１の回路の線路214_1からの入力を受ける。従って、各々の積分器はそれ独自のトラックホールド回路及びEEPROMセルからの入力信号を受信すると共に、他方の回路のトラックホールド回路及びEEPROMセルからの入力信号をも受信する。変形積分器250_1及び250_2の機能は、EEPROMセルの中に記憶されている電圧差の精度を向上させることである。この差電圧は、別個の入力信号Voltage　Ａ及びVoltage　Ｂの電圧差と等しくなるようにされる。

第１の組の書込みサイクルは図２の実施形態の場合と同じように実行される。所定の数の書込みサイクルの後、積分器250_1及び250_2はそのトラックホールド出力とEEPROMの「正規読取り」電圧との差と、トラックホールド出力と対を成すセルの「正規」読取り電圧との差の双方を測定する。差の値について、互いに減算を行う。この「２つの差の差」は、対のEEPROMセルのわずかなアンダプログラム又はオーバプログラムを修正するように積分器の出力端子における目標電圧を調整するために使用される。わずかなオーバプログラムを修正する能力は、精度を向上させるためには重要である。入力電圧の一方が基準電圧であれば、そのセルの出力を使用して、他方の入力の厳密な電圧を復元することができる。２つの入力を差信号として採用する場合には、出力差信号の電圧スイング範囲は単一のEEPROMセルの中に記憶できる範囲の２倍の大きさである。

比較器が記述する「２つの差の差」は、論理入力「DIFB」がローに保持されているときに概略図Ｂの回路を使用して実現されても良い。そのため、コンデンサC4はC3と接続されなくなり、２つの制御信号S1及びS2により「DRAIN2」と「V2」との間で切替えられる。コンデンサC3に対する２つの入力は反転されているので、２つの入力の差電圧をC3をC2で除算した比の0.45によって出力から減算する。入力「V1」及び「DRAIN」に関しても、C4をC2で除算した比は同じ0.45の値である。

EEPROMセル208_1及び208_2は共に同じ数の書込みサイクルを受け取る。サイクル数はデジタルEEPROMプログラムビットにより選択できる。デフォルト値は４つの正規書込みサイクルと、１つの差分書込みサイクルとに設定されても良い。差分書込みは常に一方の目標電圧をドライブアップし、他方の目標電圧を同じ量だけドライブダウンする。所期の動作は、

２つのEEPROMセルの読取り電圧差のごく小さな最終調整としてである。
そこで、図６のシステムにより実行される差分書込み動作のいくつかの例を挙げる。
差分書込みが開始されたときに２つのEEPROMセルが既に厳密に正しいと設定されていれば、積分器の出力端子における２つの目標電圧は変化せず、書込み動作が繰り返される。目標電圧に変化は起こらないので、最終書込みサイクルによりEEPROMセルに蓄積される電荷の変化はほとんど又は全くなく、最終読取り電圧差は所望の値になる。
一方のセルは厳密に正しいが、他方のEEPROMセルの読取り電圧が所期の電圧よりわずかに高い場合には、正しいEEPROMセルの目標電圧をわずかに増加させ、他方のセルの目標電圧を差分書込みサイクルについて同じ量だけ減少させる。この調整によって、２つのEEPROMセルの読取り差電圧は所望の値により近くなる。
一方のセルが正しく、他方のセルはまだわずかに低い場合、正しいセルに関わる目標を減少させる一方で、低いセルの目標を書込みサイクルについて増加させる。
双方のセルが同じ電圧だけ高い又は低い場合には、読取り差電圧は正しいので、目標電圧は変更されない。
従って、追加の書込みサイクルを実行すると、２つのEEPROMセル208_1及び208_2の差電圧は入力アナログ信号電圧と非常に精密に一致する。その後、EEPROMセル208_1とEEPROMセル208_2の双方からの読取り動作を実行し、そこから差電圧を確定する。図示されていない別の実施形態では、入力アナログ信号電圧を２つのセルの電圧の平均として蓄積しても良い。そのような実施形態においては、２つの電圧の平均が入力アナログ信号電圧と精密に一致するようにセルの一方の電圧を選択された量だけ調整するために、すぐ前に説明した補足プログラミングサイクルを採用しても良い。
図７を参照して、アナログ記憶システムの特定の適用形態を説明する。図７のシステムの中には、高密度デジタル記憶システムの１構成要素として、先に説明した実施形態のいずれかに従って構成されたアナログ記憶回路300が取り入れられている。入力デジタル／アナログ変換器301は、デジタル入力を表わすためにアナログ電圧を発生する。コントローラ302はアナログ記憶回路300に、アナログ電圧をメモリアレイの既知の記憶場所に記録することを命令する。デジタルデータが望まれる場合には、コントローラ302はアナログ記憶回路300からアナログ出力電圧を取り出し、アナログ／デジタル変換器303にアナログ値を変換し且つデジタルデータを出力することを命令する。デジタルデータを表わすために多レベルアナログ信号を使用すると、デジタルシステムと比べて記憶容量は大幅に増加する。図７の実施形態においては、個々のアナログ記憶セルはデジタルデータを実際には個別の事前定義済電圧レベルとして記憶する。セルごとに６の個別のレベルがあるとき、各セルは４ビットデジタル値として記憶することになる。セルごとに64の個別のレベルを採用すると、各セルの中に６ビットデジタル値が記憶されるであろう。高密度のアナログ記憶を実現することによって、これまでは実行不可能であった数多くの用途への適用が可能になることがわかる。
以上、アナログ記憶システムの中でEEPROMセルなどの記憶セルの電圧レベルをプログラミングする方法及び装置を説明した。本発明は、音声信号や音楽信号を含む広範囲にわたるアナログ信号情報を記憶するシステムの中で採用されると有利である。一実施形態においては、デジタルデータをアナログ形態に変換し、次に、従来のデジタルセルより高い記憶密度を有するアナログ記憶セルの中に記憶させるデジタルデータ記憶システムで本発明を採用している。
ここでは本発明の特定の実施形態と適用形態を説明したが、それらは単に本発明の一般的原理を例示するためのものであり、本発明の範囲を限定すると解釈されるべきである。本発明の一般的原理は多種多様な用途や、広範囲にわたる実施形態で展開されて良い。

【図１】

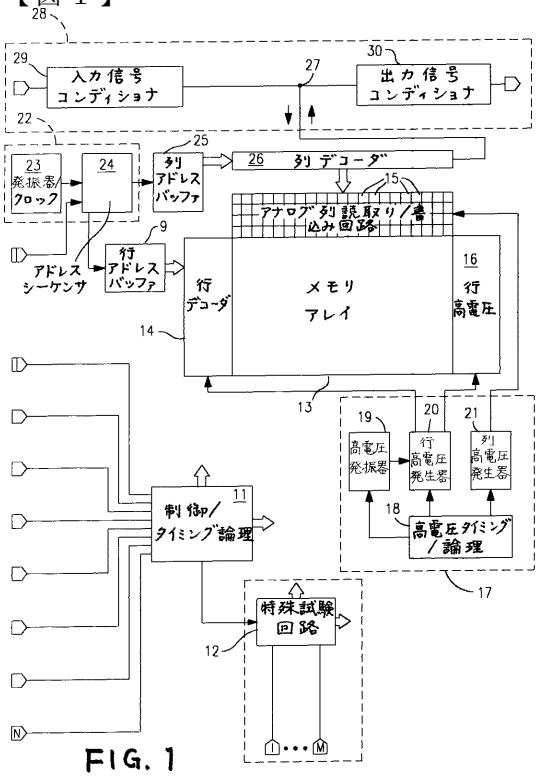

FIG. 1

【図２】

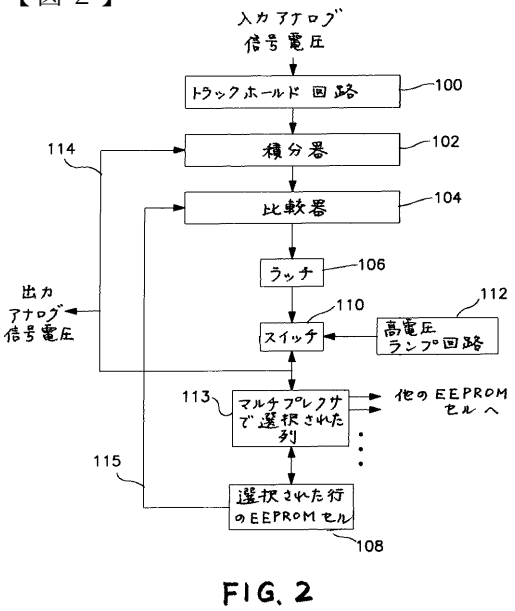

FIG. 2

【図３】

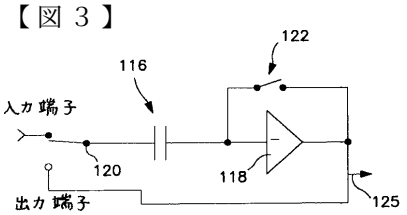

FIG. 3

【図４】

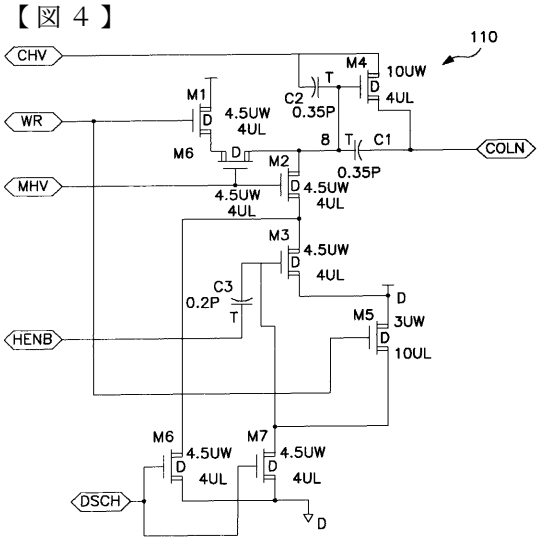

FIG. 4

【図５Ｂ】

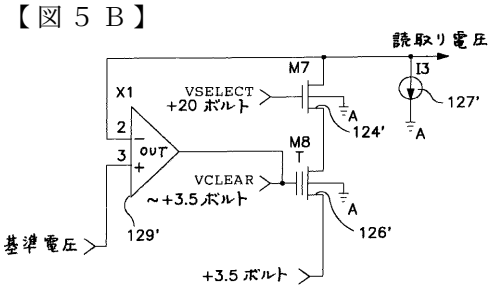

FIG. 5B

【図５Ａ】

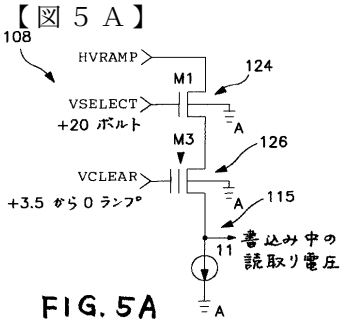

FIG. 5A

【図６】

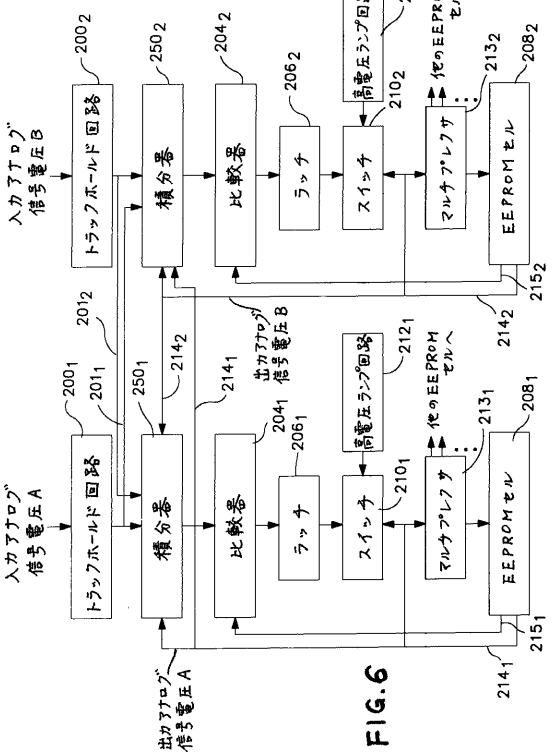

FIG.6

【図７】

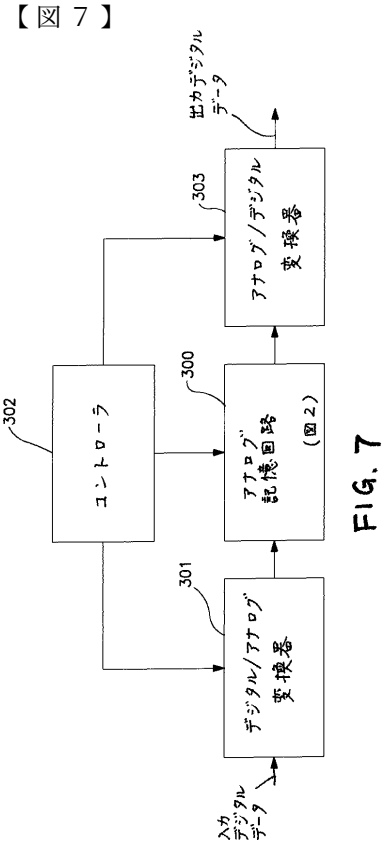

FIG. 7

【図８】

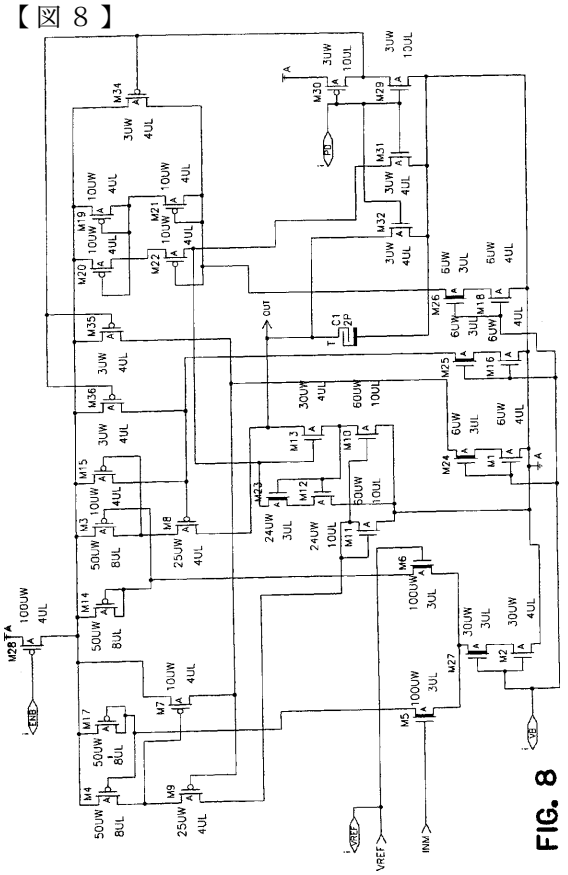

FIG. 8

【図９】

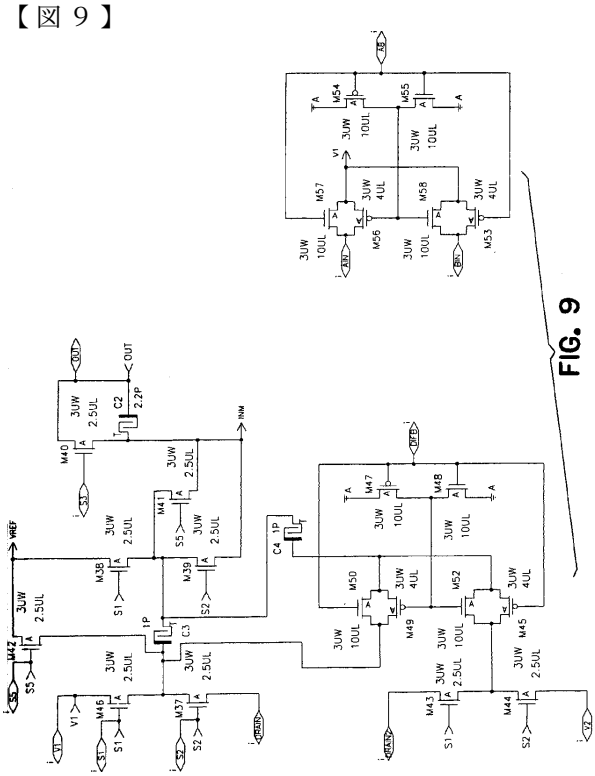

FIG. 9

【図１０】

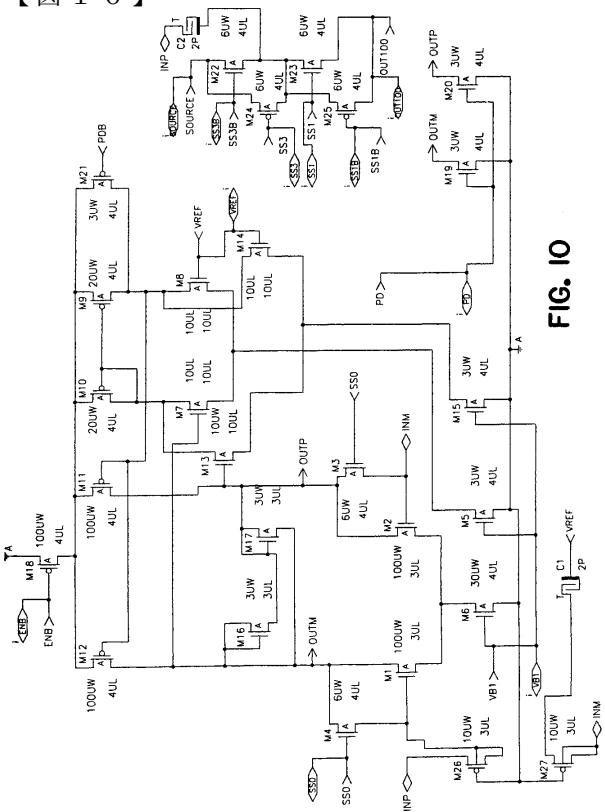

FIG. 10

【図１１】

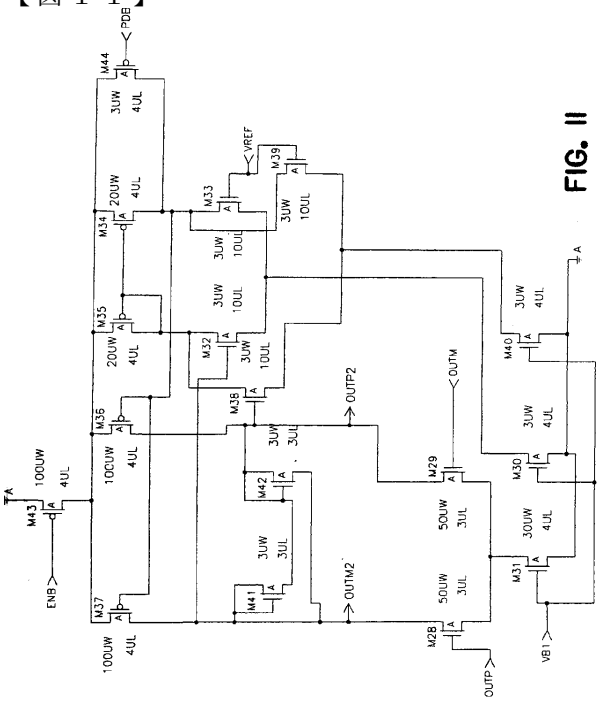

FIG. 11

【図１２】

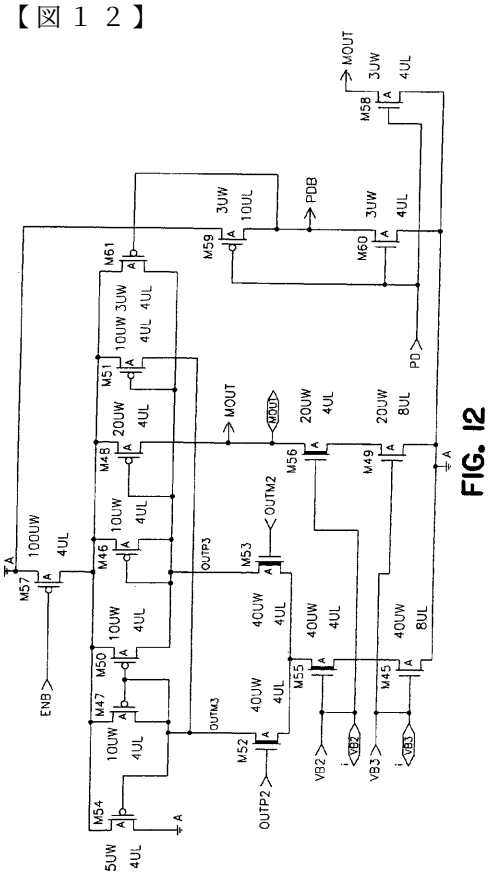

FIG. 12

フロントページの続き

(74)代理人
弁理士 山川 茂樹
(72)発明者 エング, ローレンス・デイ
アメリカ合衆国 ９４０６２ カリフォルニア州・レドウッド シティ・ハイド ストリート・１０５
(72)発明者 ブリス, トレヴァー
アメリカ合衆国 ９５０３５ カリフォルニア州・ミルピタス・スペリオル ロード・７８２

審査官 飯田 清司

(56)参考文献 特表平０６－５０４１５６（ＪＰ, Ａ）
特開昭６３－１５３７９９（ＪＰ, Ａ）
特開昭６０－２３６１９５（ＪＰ, Ａ）
米国特許第５２３９５００（ＵＳ, Ａ）
米国特許第５２４１４９４（ＵＳ, Ａ）
米国特許第５２８９４０１（ＵＳ, Ａ）

(58)調査した分野(Int.Cl.^{7}, ＤＢ名)
G11C 27/00 101
G11C 16/00