

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2012 年 12 月 27 日(27.12.2012)



(10) 国際公開番号

WO 2012/176700 A1

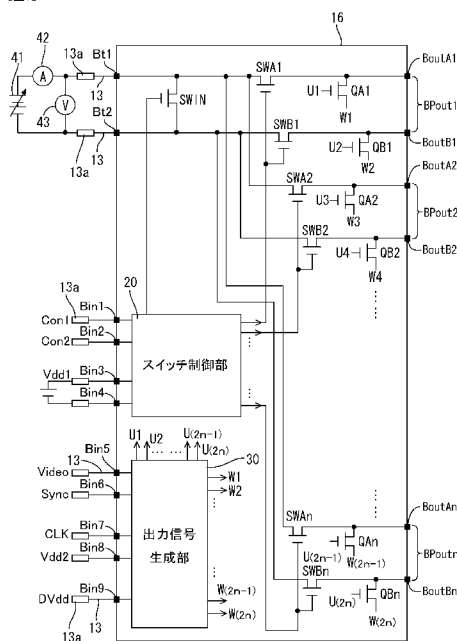
- (51) 国際特許分類:
G01R 27/02 (2006.01) G02F 1/1345 (2006.01)
G02F 1/13 (2006.01)
- (21) 国際出願番号: PCT/JP2012/065328
- (22) 国際出願日: 2012 年 6 月 15 日(15.06.2012)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願 2011-140757 2011 年 6 月 24 日(24.06.2011) JP
- (71) 出願人 (米国を除く全ての指定国について):
シャープ株式会社(SHARP KABUSHIKI KAISHA)
[JP/JP]; 〒5458522 大阪府大阪市阿倍野区長池町
2 2 番 2 2 号 Osaka (JP).
- (72) 発明者; および
- (75) 発明者/出願人 (米国についてのみ): 玉木 誠
(TAMAKI Makoto).
- (74) 代理人: 特許業務法人暁合同特許事務所(AKAT-SUKI UNION PATENT FIRM); 〒4600008 愛知県名古屋市中区栄二丁目 1 番 1 号 日土地名古屋ビル 5 階 Aichi (JP).
- (81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, JP, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.
- (84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI

[続葉有]

(54) Title: INTEGRATED CIRCUIT, DISPLAY PANEL COMPRISING INTEGRATED CIRCUIT, AND CONNECTION RESISTANCE MEASUREMENT METHOD FOR INTEGRATED CIRCUIT

(54) 発明の名称: 集積回路、集積回路を備えた表示パネル、集積回路の接続抵抗測定方法

[図3]



20... SWITCH CONTROL UNIT
30... OUTPUT SIGNAL GENERATION UNIT

(57) Abstract: An integrated circuit (16) comprises: output terminal pair sections (BoutA, BoutB) configured by a pair of output terminal sections that output output signals to an output-side external wiring during normal operation; a pair of measurement signal terminal sections (Bt1, Bt2) connected to an input-side external wiring (13) and which input and output measurement signals during connection resistance measurement; a first measurement switch (SWIN) that switches the connection status between the pair of measurement signal terminal sections during connection resistance measurement; second measurement switches (SWA, SWB) that switch the connection status of the pair of measurement signal terminal sections (Bt1, Bt2) and the output terminal pair sections (BoutA, BoutB) during connection resistance measurement; and a switch control unit (20) that controls the switching operation of the first measurement switch (SWIN) and the second measurement switches (SWA, SWB).

(57) 要約: 集積回路 16 は、通常動作時に出力信号を出力側外部配線に出力する出力端子部が対を成して構成される出力端子対部 (BoutA, BoutB) と、入力側外部配線 13 と接続されて、接続抵抗測定時に測定信号を入出力する一対の測定信号端子部 (Bt1, Bt2) と、接続抵抗測定時に、一対の測定信号端子部間の接続状態を切替える第 1 測定用スイッチ SWIN と、接続抵抗測定時に、一対の測定信号端子部 (Bt1, Bt2) と出力端子対部 (BoutA, BoutB) との接続状態を切替える第 2 測定用スイッチ (SWA, SWB) と、第 1 測定用スイッチ SWIN および第 2 測定用スイッチ (SWA, SWB) の切替え動作を制御するスイッチ制御部 20 とを備える。

WO 2012/176700 A1

WO 2012/176700 A1



(BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG). 添付公開書類:

— 国際調査報告 (条約第 21 条(3))

明 細 書

発明の名称：

集積回路、集積回路を備えた表示パネル、集積回路の接続抵抗測定方法

技術分野

[0001] 本発明は、集積回路を接続配線に接続した際の接続部の抵抗を測定する技術に関する。

背景技術

[0002] 従来、集積回路を接続配線に接続した際の接続部の抵抗を測定する技術として、例えば、特許文献 1 に記載の技術が知られている。特許文献 1 では、集積回路のデータ入力端子とデータ入力ラインとの接続抵抗を測定する際に、集積回路のアナログ処理を停止させ、接続抵抗の測定に係るデータ入力端子を基準電圧（グランド）に接続する技術が開示されている。

先行技術文献

特許文献

[0003] 特許文献1：特開 2 0 1 0 - 2 1 0 5 2 6 号公報

[0004] （発明が解決しようとする課題）

しかしながら、上記特許文献 1 に開示の技術では、データ入力側に関する接続抵抗値を、簡易かつより正確に測定できるものの、データ出力側に関する抵抗の測定については記載されておらず、データ出力側に関する抵抗の測定についても簡易かつより正確に測定できる技術が所望されていた。

発明の概要

[0005] 本発明は、このような状況に鑑みてなされたものであり、集積回路のデータ出力側に関する接続抵抗値を、簡易かつ好適に測定できる技術を提供することを目的とする。

[0006] （課題を解決するための手段）

上記課題を解決するために、本発明に係る集積回路は、外部配線に接続された状態において前記外部配線との接続抵抗を測定する接続抵抗測定機能を

有する集積回路であって、入力側外部配線と接続される複数の入力端子部と、通常動作時に、前記複数の入力端子部から入力される入力信号に応じた信号処理を行うことによって出力信号を生成する出力信号生成部と、通常動作時に前記出力信号を出力側外部配線に出力する出力端子部が対を成して構成される出力端子対部と、前記入力側外部配線と接続されて、接続抵抗測定時に測定信号を入出力する一对の測定信号端子部と、接続抵抗測定時に、前記一对の測定信号端子部間の接続状態を切替える第1測定用スイッチと、接続抵抗測定時に、前記一对の測定信号端子部と前記出力端子対部との接続状態を切替える第2測定用スイッチと、接続抵抗測定時に、前記第1測定用スイッチおよび前記第2測定用スイッチの切替え動作を制御するスイッチ制御部とを備える。

[0007] この構成によれば、第1測定用スイッチおよび第2測定用スイッチのスイッチ制御を適宜行うことによって、集積回路のデータ出力側に関する接続抵抗値を、簡易かつ好適に測定することができる。例えば、第1測定用スイッチをオンさせるとともに、第2測定用スイッチをオフさせることによって入力側接続抵抗を測定する。また、第1測定用スイッチをオフさせるとともに、第2測定用スイッチをオンさせることによって入力側接続抵抗と出力側接続抵抗とが加算された接続抵抗を測定する。加算された接続抵抗から入力側接続抵抗を減算することによって出力側接続抵抗を測定できる。

[0008] また、前記スイッチ制御部は、前記一对の測定信号端子部と前記入力側外部配線との間の接続抵抗を測定する際に、前記第1測定用スイッチをオンさせるとともに、前記第2測定用スイッチをオフさせ、前記出力端子対部と前記出力側外部配線との間の接続抵抗を測定する際に、前記第1測定用スイッチをオフさせるとともに、前記第2測定用スイッチをオンさせるようにしてもよい。本構成によれば、集積回路のデータ出力側に関する接続抵抗値を、簡易かつ好適に測定することができる。

[0009] また、前記第1測定用スイッチは、前記一对の測定信号端子部間に設けられた第1電界効果トランジスタによって構成され、前記第2測定用スイッチ

は、一方の測定信号端子部と一方の出力端子部との間に設けられた第2電界効果トランジスタと、他方の測定信号端子部と他方の出力端子部との間に設けられた第3電界効果トランジスタとによって構成されるようにしてもよい。この構成によれば、電界効果トランジスタのV-I特性から推定される電界効果トランジスタの電圧降下と、接続抵抗測定時に電界効果トランジスタに流れる電流（測定電流）とから電界効果トランジスタのオン抵抗を算出できる。そのため、電界効果トランジスタのオン抵抗を除いて接続抵抗値を測定することができ、より正確な出力側接続抵抗値を得ることができる。

[0010] また、前記測定信号端子部は、前記複数の入力端子部のうちいずれか2個の入力端子部によって構成されるようにしてもよい。この構成によれば、測定信号端子部に限らず、入力端子部に係る接続抵抗を測定することができる。

[0011] また、前記出力信号生成部と各出力端子部との間に設けられ、通常動作時において、前記出力信号生成部の制御によって前記出力信号生成部と各出力端子部との接続状態を切替える複数の出力スイッチをさらに備え、複数の入力端子部は、接続抵抗測定時に、前記スイッチ制御部に電源を供給し、前記出力信号生成部へは電源を供給しない電源入力端子部を含むようにしてもよい。この構成によれば、接続抵抗測定時に、通常動作を行う回路系は接続抵抗測定系と分離されるため、通常動作を行う回路系の影響を受けずに、好適に接続抵抗測定を行うことができる。

[0012] また、前記集積回路は、液晶パネルを駆動する液晶駆動用集積回路であり、前記出力信号生成部は前記入力信号に応じて、前記出力信号として前記液晶パネルを駆動する液晶駆動信号を生成するようにしてもよい。

[0013] また、上記集積回路を表示用集積回路として備えて表示パネルを構成してもよい。この構成によれば、表示用集積回路の接続抵抗を測定することによって表示パネルの歩留まりを向上できる。

[0014] また、前記表示パネルは液晶パネルであり、前記出力信号は前記液晶パネルを駆動する液晶駆動信号であるようにしてもよい。この構成によれば、液

晶パネルの歩留まりを向上できる。

[0015] また、本発明に係る接続抵抗測定方法は、外部配線に接続された状態において前記外部配線との接続抵抗を測定する接続抵抗測定機能を有する集積回路において、接続抵抗を測定する方法であって、入力側外部配線と接続されて測定信号を入出力する一对の測定信号端子部と、前記一对の測定信号端子部間の接続状態を切替える第1測定用スイッチと、前記一对の測定信号端子部と前記出力端子対部との接続状態を切替える第2測定用スイッチとを前記集積回路に設ける工程と、前記集積回路を前記外部配線に接続する接続工程と、前記第1測定用スイッチをオンさせるとともに、第2測定用スイッチをオフさせた状態で、前記測定信号を前記一对の測定信号端子部に供給し、前記一对の測定信号端子部間の電圧と、前記一对の測定信号端子部間に流れる電流とを測定し、測定電圧および測定電流に基づいて、前記一对の測定信号端子部と前記入力側外部配線との間の第1接続抵抗を測定する第1測定工程と、前記第1測定用スイッチをオフさせるとともに、第2測定用スイッチをオンさせた状態で、前記測定信号を前記一对の測定信号端子部に供給し、前記一对の測定信号端子部間の電圧と、前記一对の測定信号端子部間に流れる電流とを測定し、測定電圧、測定電流および前記第1接続抵抗に基づいて、前記出力端子対部と前記出力側外部配線との間の第2接続抵抗を測定する第2測定工程とを含む。

[0016] 上記測定方法において、前記第1測定用スイッチは、前記一对の測定信号端子部間に設けられた第1電界効果トランジスタによって構成し、前記第2測定用スイッチは、一方の測定信号端子部と一方の出力端子部との間に設けられた第2電界効果トランジスタと、他方の測定信号端子部と他方の出力端子部との間に設けられた第3電界効果トランジスタとによって構成する工程と、前記第1測定工程および第2測定工程は、オンされた電界効果トランジスタのドレインソース間の電圧－電流特性を利用して、前記オンされた電界効果トランジスタによる電圧降下を推定する工程と、推定された前記電圧降下と前記測定電流とから、前記オンされた電界効果トランジスタのオン抵

抗を算出する工程と、前記第 1 接続抵抗あるいは前記第 2 接続抵抗を測定する際に、算出された前記オン抵抗を除く工程とを含むようにしてもよい。

また、上記測定方法において、前記接続工程の前において、各電界効果トランジスタに関する、所定のゲート電圧におけるドレインソース間の電圧－電流特性を取得する工程と、前記第 1 測定工程および第 2 測定工程において、オンされる電界効果トランジスタを、前記所定のゲート電圧によってオンする工程とをさらに含むようにしてもよい。この場合、より正確に電界効果トランジスタのオン抵抗による電圧降下を推定できる。

[0017] また、上記測定方法において、前記集積回路は、通常動作時に、前記複数の入力端子部から入力される入力信号に応じた信号処理を行うことによって出力信号を生成する出力信号生成部と、前記出力信号生成部と各出力端子部との間に設けられ、通常動作時において、前記出力信号生成部の制御によって、前記出力信号生成部と各出力端子部との接続状態を切替える複数の出力スイッチとを備え、該方法は、接続抵抗測定時において、前記出力信号生成部への電源供給を停止する工程を含むようにしてもよい。

[0018] (発明の効果)

本発明によれば、集積回路のデータ出力側に関する接続抵抗値を、簡易かつ好適に測定できる。

図面の簡単な説明

[0019] [図1]本発明に係る液晶パネルの構成を概略的に示す平面図

[図2]液晶パネルの配線を示す部分側面図

[図3]液晶コントローラ・ドライバ IC の構成を概略的に示すブロック図

[図4]液晶コントローラ・ドライバ IC のバンプ配置を概略的に示す平面図

[図5]接続抵抗測定に係る等価回路図

[図6]入力側接続抵抗測定に係る処理を示すフローチャート

[図7]入力側接続抵抗測定時の測定用スイッチの状態を示す説明図

[図8]入力側接続抵抗測定時の V－I 特性を概略的に示すグラフ

[図9]出力側接続抵抗測定に係る処理を示すフローチャート

[図10]出力側接続抵抗測定時の測定用スイッチの状態を示す説明図

[図11]出力側接続抵抗測定時のV-I特性を概略的に示すグラフ

発明を実施するための形態

[0020] 本発明に係る一実施形態を、図1から図11を参照して説明する。

[0021] 1. 液晶パネルの構成

図1は、本発明に係る液晶パネル（表示パネルの一例）10の構成を概略的に示す平面図である。液晶パネル10は、例えば、携帯電話、PDA、スマートフォン、タブレット型多機能携帯端末装置に搭載される。図1に示されるように、液晶パネル10は、ガラス基板11、複数の入力配線（入力側外部配線の一例）13、液晶コントローラ・ドライバIC（集積回路の一例）16、液晶表示部17、ゲート線（出力側外部配線の一例）Lg、およびソース線（出力側外部配線の一例）Ls等を含む。

[0022] 液晶パネル10は、本実施形態では、例えば、TFT（Thin Film Transistor）カラー液晶パネルであり、液晶コントローラ・ドライバ16からの液晶駆動信号（出力信号の一例）に応じて、カラー画像を表示する。液晶表示部17はTFTおよび液晶セルLCを含む複数の画素、図示しないカラーフィルタおよびフィルタ側基板等を含む。

[0023] なお、液晶コントローラ・ドライバIC16（以下、単にIC16と記す）は単に液晶ドライバとし、液晶コントローラは液晶パネル10に含まれない構成であってもよい。また、液晶パネル10はバックライト装置を含んでもよい。

[0024] 図2に示されるように、ガラス基板11上には、例えばITOからなる複数の入力配線13、複数のゲート線Lg、および複数のソース線Lsが、液晶表示部17の大きさ、すなわち表示画素数の数に応じて形成されている。

[0025] 各入力配線13の一端にはFPC（フレキシブル基板）21と接続するためのFPC用パッド13aが形成され、各入力配線13の他端にはIC16の入力側パンプBinと接続するためのIC用パッド部13bが形成されている。

[0026] また、各ゲート線 L_g およびソース線 L_s の一端には、 $IC16$ の出力側パンプ対 B_{out} と接続するための IC 用パッド部 15 が形成されている。そして、各ゲート線 L_g には、液晶表示部 17 内の各画素に対応する TFT のゲートに印加するゲート信号（コモンライン選択信号） S_g が $IC16$ から供給される。各ソース線 L_s には、 TFT のソースに印加するソース信号（階調信号） S_s が $IC16$ から供給される。

[0027] また、図2に示されるように、 $FPC21$ と FPC 用パッド $13a$ 、入力側パンプ B_{in} と IC 用パッド部 $13b$ 、出力側パンプ B_{out} と IC 用パッド部 15 とは、本実施形態では、それぞれ異方性導電材 12 によって電氣的に接続される。

[0028] 2. 液晶コントローラ・ドライバ IC の構成

次に図3および図4を参照して、 $IC16$ を説明する。図3は $IC16$ の構成を概略的に示すブロック図であり、図4は、 $IC16$ のバンプ配置を概略的に示す平面図である。

[0029] $IC16$ は、入力配線 13 、ゲート線 L_g 、およびソース線 L_s に接続された状態において、接続抵抗測定機能を有する。 $IC16$ は、複数の入力側パンプ B_{in} （入力端子部の一例）、スイッチ制御部 20 、出力信号生成部 30 、複数の出力側パンプ対（出力端子対部の一例） B_{out} 、測定信号端子部 B_{t1} 、 B_{t2} 、複数の出力スイッチ QA 、 QB 、第1測定用スイッチ $SWIN$ 、複数の第2測定用スイッチ SWA 、 SWB 等を含む。本実施形態において、各測定用スイッチは、図3に示されるように FET によって構成されている。なお、各測定用スイッチは FET に限られない。

[0030] 第1測定用スイッチ（第1電界効果トランジスタ） $SWIN$ は、一対の測定信号入力バンプ（測定信号端子部の一例） B_{t1} 、 B_{t2} 間に設けられている。また、各第2測定用スイッチ（第2電界効果トランジスタ） SWA は、測定信号入力バンプ（一方の測定信号端子部） B_{t1} と出力側パンプ（一方の出力端子部） B_{outA} との間に設けられ、各第2測定用スイッチ（第3電界効果トランジスタ） SWB は、測定信号入力バンプ（他方の測定信号

端子部) B t 2 と出力側ポンプ (他方の出力端子部) B o u t B との間に設けられている。

[0031] 複数の入力側ポンプ B i n 1 ~ B i n 9 は、 I C 1 6 が基板 1 1 に搭載される際に、異方性導電材 1 2 および I C 用パッド 1 3 b を介して入力側外部配線 1 3 に接続される。

[0032] 複数の出力側ポンプ対 B P o u t は、 I C 1 6 の通常動作時に、すなわち I C 1 6 が液晶表示部 1 7 に画像を表示させる時に、出力信号 S g、S s をゲート線 L g およびソース線 L s に出力する出力側ポンプ B o u t A および B o u t B が対を成して構成される。各出力側ポンプ B o u t A と各出力側ポンプ B o u t B は、ゲート線 L g あるいはソース線 L s の I C 用パッド部 1 5 と異方性導電材 1 2 を介して接続された場合、図 4 に示されるように、 I C 用パッド部 1 5 によって短絡される。すなわち、 I C 1 6 が基板 1 1 に接続されると、各出力側ポンプ対 B P o u t 内の出力側ポンプ B o u t A と出力側ポンプ B o u t B は電氣的に結合される。

[0033] また、複数の出力スイッチ Q A、Q B が、出力信号生成部 3 0 と各出力側ポンプ B o u t A、B o u t B との間に設けられる。各出力スイッチ Q A、Q B は、 I C 1 6 の通常動作時において、出力信号生成部 3 0 の切替制御信号 U に基づいて、出力信号生成部 3 0 と各出力側ポンプ B o u t A、B o u t B との接続状態を切替える。例えば、全ての出力スイッチ Q A、Q B が I C 1 6 の通常動作時においてオンされ、出力信号生成部 3 0 からの出力信号 W が各出力側ポンプ B o u t A、B o u t B に供給される。なお、これに限られず、通常動作時に出力スイッチ Q A、Q B のいずれか一方をオンするようにしてもよい。

[0034] 出力信号生成部 3 0 は、 I C 1 6 の通常動作時に、複数の入力側ポンプ B i n 5 ~ B i n 9 から入力される入力信号に応じた信号処理を行うことによって複数の出力信号 W を生成する。入力信号には、図 3 に示されるように、例えば、映像信号 V i d e o、同期信号 S y n c、クロック信号 C L K、電源 V d d 2 および駆動用電源 D V d d 等が含まれる。また、複数の出力信号

Wには、ゲート信号S_gおよびソース信号S_sが含まれる。

[0035] 出力信号生成部30は、図示しない演算回路および増幅回路等の信号処理回路を含み、映像信号V_id_eo、同期信号S_yn_c、クロック信号C_LK、および駆動用電源D_Vd_d等に基づいてソース信号S_sを生成する。また、出力信号生成部30は、同期信号S_yn_c、クロック信号C_LK、および駆動用電源D_Vd_d等に基づいてゲート信号S_gを生成する。

[0036] さらに、出力信号生成部30は、通常動作時に、複数の出力スイッチQ_A、Q_Bをオンする複数の切替制御信号Uを生成する。各切替制御信号は、各出力スイッチQ_A、Q_Bのゲートに供給される。すなわち、通常動作時には出力スイッチQ_A、Q_Bがオンされて、各出力側パンプB_ou_t A、B_ou_t Bからゲート信号S_gおよびソース信号S_sが出力される。なお、ゲート信号S_gあるいはソース信号S_sを、いずれの出力スイッチQ_A、Q_B、すなわち、各出力側パンプB_ou_t A、B_ou_t Bに供給するかは、液晶表示部17の画素構成に応じて適宜決定される。

[0037] また、一对の測定信号入力パンプ（測定信号端子部の一例）B_t1、B_t2は、異方性導電材12およびI_C用パッド13bを介して入力側外部配線13に接続され、接続抵抗測定時に測定信号（測定電圧および測定電流）を入出力する。具体的には、測定信号端子部B_t1から測定電圧Vが入力され、測定信号端子部B_t2から測定電圧Vの印加による測定電流Iが戻る。

[0038] 第1測定用スイッチS_WI_Nは、I_C16における接続抵抗測定時に、一对の測定信号端子部B_t1、B_t2間の接続状態を切替える。

[0039] スイッチ制御部20には、第1制御信号C_on₁、第2制御信号C_on₂および電源V_dd₁が入力される。スイッチ制御部20は、第1制御信号C_on₁および第2制御信号C_on₂に基づいて、第1測定用スイッチS_WI_Nおよび第2測定用スイッチS_WA、S_WBの切替え動作を制御する。第1制御信号C_on₁は、例えば、主にスイッチ制御部20にスイッチ切替え動作を開始および終了させるタイミング信号である。第2制御信号C_on₂は、例えば、出力端子対部B_Po_utの抵抗測定を順次行うために、制御する

出力端子対部 B P o u t を順に走査させるシフト信号である。

[0040] 具体的には、スイッチ制御部 20 は、一对の測定信号入力バンプ B t 1, B t 2 と入力側外部配線 13 との間の接続抵抗を測定する際には、第 1 測定用スイッチ S W I N をオンさせるとともに、第 2 測定用スイッチ S W A, S W B をオフさせる。一方、出力端子対部 B P o u t と出力側外部配線 L g, L s との間の接続抵抗を測定する際に、第 1 測定用スイッチ S W I N をオフさせるとともに、第 2 測定用スイッチ S W A, S W B をオンさせる。

[0041] 電源 V d d 1 は、接続抵抗測定時に、スイッチ制御部 20 のみに供給する電源である。すなわち、本実施形態においては、接続抵抗測定時に出力信号生成部 30 には電源が供給されず、出力信号 W (ゲート信号 S g、ソース信号 S s) および制御信号 U は生成されない。そのため、接続抵抗測定時に、出力信号生成部 30 と各出力端子対部 B P o u t 1 ~ B P o u t n との電氣的制御は遮断される。

[0042] 一方、通常動作時には、第 1 測定用スイッチ S W I N および全ての第 2 測定用スイッチ S W A, S W B はオフされ、接続抵抗測定系は通常動作する回路系 (液晶駆動回路系) とは遮断される。

[0043] 3. 接続抵抗測定

次に、本実施形態における接続抵抗測定を図 5 から図 11 を参照して説明する。図 5 は、接続抵抗測定時の等価回路を示す回路図である。図 5 に示されるように、接続抵抗測定時、F P C 21 の所定の端子および入力配線 13 を介して測定信号入力バンプ B t 1, B t 2 に測定電源 41 が接続される。また、測定電源 41 と F P C 21 との間において、測定電流 I を計測する電流計 42 が測定電源 41 と直列に接続され、測定電圧 V を計測する電圧計 43 が測定電源 41 と並列に接続される。なお、本接続抵抗測定は、例えば、基板 11 への I C 接続時の接続検査、出荷前の再検査、市場不良の原因解析、製品耐久試験、および製品保管試験等において利用される。

[0044] 図 5 において、第 1 入力接続抵抗 R i n1 は、測定信号入力バンプ B t 1 が異方性導電材 12 によって I C 用パッド 13 b に接続された状態の抵抗を示

す。すなわち、第1入力接続抵抗 R_{in1} には、測定信号入力バンプ B_{t1} および異方性導電材12による抵抗が含まれる。同様に、第2入力接続抵抗 R_{in2} には、測定信号入力バンプ B_{t2} および異方性導電材12による抵抗が含まれる。また、第1出力接続抵抗 R_{outA} には、出力側バンプ B_{outA} および異方性導電材12による抵抗が含まれ、第2出力接続抵抗 R_{outB} には、出力側バンプ B_{outB} および異方性導電材12による抵抗が含まれる。

[0045] 3-1. 測定信号入力側の接続抵抗測定

まず、図6から図8を参照して測定信号入力側の接続抵抗の測定について説明する。測定信号入力側の接続抵抗（第1接続抵抗：以下、単に入力接続抵抗という） R_{in} は、第1入力接続抵抗 R_{in1} と第2入力接続抵抗 R_{in2} との合計であり、 $R_{in} = R_{in1} + R_{in2}$ となる。

[0046] 図6は入力接続抵抗測定に係る処理を示すフローチャートであり、図7は入力接続抵抗測定時の各スイッチの状態を示す説明図である。図8は入力接続抵抗測定時の測定電圧 V と測定電流 I との関係（ $V-I$ 特性）を概略的に示すグラフである。

[0047] 入力接続抵抗 R_{in} の測定においては、図6に示されるように、まず、測定用スイッチ（FET） SW_{IN} 、 SW_A 、 SW_B の特性が、各スイッチの製造時等において測定される（ステップS100）。すなわち、各スイッチがガラス基板11にボンディングされる前に、所定のゲート電圧のもとで、ドレインソース間電圧とドレインソース間電流との特性（ $V-I$ 特性）が取得される（図8、図11参照）。そして、接続抵抗測定の際に、 $V-I$ 特性を利用して、各測定用スイッチによる電圧降下が推定される。推定された電圧降下とドレインソース間電流（測定電流）から、各測定用スイッチ（FET） SW_{IN} 、 SW_A 、 SW_B のオン抵抗 T_{in} 、（ $T_{outA} + T_{outB}$ ）が決定（算出）される。

なお、各測定用スイッチ（FET） SW_{IN} 、 SW_A 、 SW_B がガラス基板11にボンディングされた後における、各測定用スイッチをオンするゲー

ト電圧は、事前にV-I特性を取得する際の上記所定のゲート電圧と、ほぼ等しい電圧となるように設計されているものとする。

[0048] 次いで、IC16が、ガラス基板11上のIC用パッド部13b, 15に異方性導電材12を用いてボンディングされる（ステップS105）。次いで、FPC21および入力側パンプBin3, Bin4を介して、スイッチ制御部20に電源Vdd1が供給される（ステップS110）。

[0049] 続いて、FPC21および入力側パンプBin1, Bin2を介して、スイッチ制御部20に制御信号Con1, Con2が供給される。そして、制御信号Con1, Con2にしたがって、図7に示されるように、第1測定用スイッチSWINのみがオン（導通）とされ、第2測定用スイッチSWAおよび第2測定用スイッチSWBは全てオフ（非導通）とされる（ステップS115）。

[0050] 次いで、FPC21および測定信号入力パンプBt1を介して測定電圧Vが印加される。そして、測定電圧Vを変化させて、図8に実線で示されるV-I特性（ $R_{in} + T_{in}$ の特性）が測定される。 $R_{in} + T_{in}$ の特性では、入力接続抵抗 R_{in} と第1測定用スイッチSWINのオン抵抗 T_{in} が加味された、V-I特性が測定される。そのV-I特性から、図8に示されるように、測定電圧V1、V2、V3に対応した電流値I1、I2、I3が測定される（ステップS120）。ここで、電圧V1は、測定電流Iが測定電圧Vに応じて増加する増加領域内の任意の電圧値であり、電圧V2は増加領域から測定電流Iが飽和する飽和領域へ変化する点での電圧値であり、電圧V3は飽和領域内の電圧値である。

[0051] その際、本実施形態においては、 $\Delta V / \Delta I$ あるいは $\Delta I / \Delta V$ が急激に変化する点から、測定電圧V2および測定電流I2を決定する。この場合、増加領域（0V-V2近傍）において、電圧V1が所定の電圧幅 ΔV で複数箇所、測定される。なお、ここで、電圧幅 ΔV は、例えば、測定電圧Vの最大値を5Vとすると、0.1Vの電圧差とされる。 ΔI はその ΔV に対応した電流差とされる。

そして、 V_2 / I_2 （合計抵抗値） $= R_{in} + T_{in}$

の関係から、合計抵抗値からオン抵抗 T_{in} を差し引いて、すなわち、オン抵抗分を除外して、入力接続抵抗 R_{in} が算出される（ステップS125）

ここで、オン抵抗 T_{in} は、第1測定用スイッチ SW_{IN} の電圧降下、すなわち、ドレインソース電圧 V_{ds} と、測定電流 I_2 とから、 $T_{in} = V_{ds} / I_2$ によって算出される。なお、ドレインソース電圧 V_{ds} は、図8において、測定電流 I_2 と「 T_{in} の特性」との交点から、 V_{ds1} となる。

次いで測定電圧 V を0Vに戻して、入力接続抵抗 R_{in} の測定を終了する（ステップS130）。

[0052] 3-2. 信号出力側の接続抵抗測定

次いで、図9から図11を参照して信号出力側の接続抵抗の測定について説明する。信号出力側の接続抵抗（第2接続抵抗：以下、単に出力接続抵抗という） R_{out} は、第1出力接続抵抗 R_{outA} と第2出力接続抵抗 R_{outB} との合計であり、

$R_{out} = R_{outA} + R_{outB}$ となる。

[0053] 図9は出力接続抵抗測定に係る処理を示すフローチャートであり、図10は出力接続抵抗測定時の各スイッチの状態を示す説明図である。図11は出力接続抵抗測定時の測定電圧 V と測定電流 I との関係（ $V-I$ 特性）を概略的に示すグラフである。なお、出力接続抵抗 R_{out} の測定は、各出力端子対部 $BP_{out1} \sim BP_{outn}$ について行われるが、測定方法は同一のため、説明の便宜上、出力端子対部 BP_{out1} についてのみ説明する。なお、全ての出力端子対部 $BP_{out1} \sim BP_{outn}$ について出力接続抵抗 R_{out} が測定されることには限定されない。所望の出力端子対部 BP_{out} 、例えば、不具合に関連した出力端子対部 BP_{out} に関してのみ出力接続抵抗 R_{out} を測定するようにしてもよい。

[0054] 出力接続抵抗 R_{out} の測定は、入力接続抵抗 R_{in} の測定に引き続いて行われ、制御信号 $Con1$ 、 $Con2$ にしたがって、図10に示されるよう

に、出力端子対部B P o u t 1の一对の第2測定用スイッチS W A 1、S W B 1のみがオン（導通）とされ、第1測定用スイッチS W I Nおよび他の出力端子対部B P o u tの第2測定用スイッチS W A、S W Bは全てオフ（非導通）とされる（ステップS 2 0 0）。

[0055] 次いで、ステップS 1 2 0と同様に、F P C 2 1および測定信号入力バンプB t 1を介して測定電圧Vが印加される。そして、測定電圧Vを変化させて、図1 1に実線で示される、入力接続抵抗R i n、出力接続抵抗R o u t、第2測定用スイッチS W A 1、S W B 1のオン抵抗T o u t A 1、T o u t B 1が加味された、V-I特性が測定される。そのV-I特性から、図1 1に示されるように、ステップS 1 2 0と同様に、測定電圧V 5、V 6、V 7に対応した電流値I 5、I 6、I 7が測定される（ステップS 2 0 5）。ここで、電圧V 5は、測定電流Iが測定電圧Vに応じて増加する増加領域の電圧値であり、電圧V 6は増加領域から測定電流Iが飽和する飽和領域へ変化する点での電圧値であり、電圧V 7は飽和領域の電圧値である。

[0056] 次いで、ステップS 1 2 5と同様な方法で、 $\Delta V / \Delta I$ 、あるいは $\Delta I / \Delta V$ が急激に変化する点から、測定電圧V 6および測定電流I 6を決定する。そして、 $V 6 / I 6$ （合計抵抗値） $= R i n + R o u t + T o u t A 1 + T o u t B 1$

の関係から、合計抵抗値からオン抵抗（ $T o u t A 1 + T o u t B 1$ ）とR i nとを差し引いて、出力接続抵抗R o u tが算出される（ステップS 2 1 0）。すなわち、オン抵抗分を除外して、出力接続抵抗R o u tが算出される。ここで、 $T o u t A 1 + T o u t B 1$ （オン抵抗の合計値）は、オン抵抗T i nと同様に算出される。すなわち、第2測定用スイッチS W A 1、S W B 1による電圧降下、すなわち、ドレインソース電圧V d sの合計値は、図1 1において、測定電流I 6と「 $T o u t A + T o u t B$ の特性」との交点から、V d s 2となる。そして、 $V d s 2 = (T o u t A 1 + T o u t B 1) * I 6$ の関係から、 $T o u t A 1 + T o u t B 1$ が算出される。

[0057] 次いで、測定電圧Vを0 Vに戻す（ステップS 2 1 5）。そして、全ての

出力接続抵抗 R_{out} の測定が終了した場合には（ステップ S 2 2 0 : YES）、制御信号 $Con1$ 、 $Con2$ を測定終了の信号に設定し（ステップ S 2 3 0）、測定用スイッチを全てオフさせる（ステップ S 2 3 5）。

[0058] 一方、全ての出力接続抵抗 R_{out} の測定が終了していない場合には（ステップ S 2 2 0 : NO）、今回測定用のスイッチ SWA、SWB をオフして、次回測定用のスイッチ SWA、SWB をオンしてステップ S 2 0 5 の処理に戻る（ステップ S 2 2 5）。

[0059] 4. 実施形態の効果

上記したように、本実施形態においては、第 1 測定用スイッチ SWIN をオンさせるとともに、第 2 測定用スイッチ SWA、SWB をオフさせることによって入力側接続抵抗 R_{in} が測定される。また、第 1 測定用スイッチをオフさせるとともに、第 2 測定用スイッチをオフさせることによって入力側接続抵抗 R_{in} と出力側接続抵抗 R_{out} とが加算された接続抵抗が測定される。そして、加算された接続抵抗から入力側接続抵抗 R_{in} を減算することによって出力側接続抵抗 R_{out} が測定される。そのため、IC16 の出力側接続抵抗 R_{out} を、簡易かつ好適に測定できる。

[0060] また、各接続抵抗 R_{in} 、 R_{out} を測定する際に、第 1 測定用スイッチ SWIN のオン抵抗 T_{in} 、および第 2 測定用スイッチ SWA、SWB のオン抵抗 T_{outA} 、 T_{outB} が差し引かれる。すなわち、各測定用スイッチのオン抵抗を除外して（差し引いて）各接続抵抗 R_{in} 、 R_{out} の値を測定することができるため、より正確な出力側接続抵抗値を得ることができる。また、オン抵抗を差し引いて接続抵抗を測定する際に、 $V-I$ 特性を測定し、測定電流 I が増加領域から測定電飽和領域へ変化する点が利用される。そのため、FET（測定用スイッチ）間の測定誤差を低減させることができる。また、その際、 $\Delta V / \Delta I$ が急激に変化する点、あるいは $\Delta I / \Delta V$ が急激に変化する点が利用される。そのため、 $V-I$ 特性における電流増加領域の任意の一点を利用する場合と比べ、FET による電圧降下分の検出精度が向上され、それによって、接続抵抗測定の精度が向上される。

[0061] また、接続抵抗測定時に、電源入力端子部を介してスイッチ制御部20に電源が供給され、出力信号生成部30への電源供給は停止される。それにより、接続抵抗測定時に、出力スイッチQA、QBの制御は停止される。そのため、通常動作を行う回路系は接続抵抗測定系と分離されるため、通常動作を行う回路系の影響を受けずに、好適に接続抵抗測定を行うことができる。また、通常動作時に、第2測定用スイッチSWA、SWBはオフされ、接続抵抗測定系は通常動作を行う回路系と分離されるため、接続抵抗測定系の影響を受けずに、好適に通常動作を行うことができる。

[0062] <他の実施形態>

本発明は上記記述及び図面によって説明した実施形態に限定されるものではなく、例えば次のような実施形態も本発明の技術的範囲に含まれる。

[0063] (1) 上記実施形態においては、測定用スイッチのオン抵抗を加味して接続抵抗を算出する例を示したが、これに限られず、測定用スイッチのオン抵抗を加味せずに接続抵抗を算出するようにしてもよい。

[0064] (2) 上記実施形態においては、 $\Delta V / \Delta I$ あるいは $\Delta I / \Delta V$ が、急激に変化する点から、測定電圧 V_2 、 V_6 および測定電流 I_2 、 I_6 を決定し、測定電圧 V_2 、 V_6 および測定電流 I_2 、 I_6 から、ドレインソース間電圧 V_{ds} 、すなわち、オン抵抗を算出する例を示したが、これに限られない。例えば、 $\Delta V / \Delta I$ あるいは $\Delta I / \Delta V$ を求めることなく、単に、図8あるいは図9の $V-I$ 特性から、増加領域から飽和領域への変化点である測定電圧 V_2 、 V_6 および測定電流 I_2 、 I_6 を決定してもよい。あるいは、単に、図8あるいは図9の $V-I$ 特性から、電流増加領域における任意の測定電圧 V_1 、 V_5 および測定電流 I_1 、 I_5 を決定し、図8あるいは図9に示される $V-I$ 特性を利用して、ドレインソース間電圧 V_{ds} を決定（推定）する。そして、決定されたドレインソース間電圧 V_{ds} および測定電流 I_1 、 I_5 からオン抵抗を算出するようにしてもよい。

[0065] (3) 上記実施形態においては、FETのオン抵抗による電圧降下を推定する際に、IC16を基板11に接続する（接続工程）前において、各FE

Tに関する、所定のゲート電圧におけるドレインソース間のV-I特性を取得する例を示したが、これに限られない。事前にV-I特性を取得せずに、例えば、FETの仕様書に記載されたV-I特性を利用するようにしてもよい。

[0066] (4) 上記実施形態においては、一对の測定信号端子部B_{t1}, B_{t2}を複数の入力端子部B_{in}とは個別に設ける例を示したがこれに限られない。測定信号端子部を、複数の入力端子部B_{in}のうちいずれか2個の入力端子部によって構成するようにしてもよい。この場合には、測定信号端子部として使用される入力端子部B_{in}を、接続抵抗測定時に内部回路と切り離す、出力スイッチQ_A, Q_Bと同様な入力スイッチを設けるようにすればよい。この場合、測定信号端子部B_{t1}, B_{t2}以外の入力側接続抵抗の測定が可能になる。

[0067] (5) 上記実施形態では、集積回路として液晶コントローラ・ドライバICに本発明を適用する例を示したが、これに限られない。本発明は、接続抵抗を測定したい如何なる集積回路にも適応できる。また、表示パネルとして液晶パネルを例示したが、他の種類の表示パネル、例えば、ELパネルにも本発明は適用可能である。

符号の説明

[0068] 10...液晶パネル、13...入力側外部配線、16...液晶コントローラ・ドライバIC（集積回路）、20...スイッチ制御部、30...出力信号生成部、B_{in}...入力側パンプ、B_{outA}, B_{outB}...出力側パンプ、B_{Pout}...出力側パンプ対、B_{t1}, B_{t2}...一对の測定信号端子部、L_g...ゲート線（出力側外部配線）、L_s...ソース線（出力側外部配線）、Q_A, Q_B...出力スイッチ、SW_{IN}...第1測定用スイッチ、SW_A, SW_B...第2測定用スイッチ

請求の範囲

[請求項1]

外部配線に接続された状態において前記外部配線との接続抵抗を測定する接続抵抗測定機能を有する集積回路であって、

入力側外部配線と接続される複数の入力端子部と、

通常動作時に、前記複数の入力端子部から入力される入力信号に応じた信号処理を行うことによって出力信号を生成する出力信号生成部と、

通常動作時に前記出力信号を出力側外部配線に出力する出力端子部が対を成して構成される出力端子対部と、

前記入力側外部配線と接続されて、接続抵抗測定時に測定信号を入出力する一対の測定信号端子部と、

接続抵抗測定時に、前記一対の測定信号端子部間の接続状態を切替える第1測定用スイッチと、

接続抵抗測定時に、前記一対の測定信号端子部と前記出力端子対部との接続状態を切替える第2測定用スイッチと、

接続抵抗測定時に、前記第1測定用スイッチおよび前記第2測定用スイッチの切替え動作を制御するスイッチ制御部と

を備えた、集積回路。

[請求項2]

前記スイッチ制御部は、

前記一対の測定信号端子部と前記入力側外部配線との間の接続抵抗を測定する際に、前記第1測定用スイッチをオンさせるとともに、前記第2測定用スイッチをオフさせ、

前記出力端子対部と前記出力側外部配線との間の接続抵抗を測定する際に、前記第1測定用スイッチをオフさせるとともに、前記第2測定用スイッチをオンさせる、請求項1に記載の集積回路。

[請求項3]

前記第1測定用スイッチは、前記一対の測定信号端子部間に設けられた第1電界効果トランジスタによって構成され、

前記第2測定用スイッチは、一方の測定信号端子部と一方の出力端

子部との間に設けられた第2電界効果トランジスタと、他方の測定信号端子部と他方の出力端子部との間に設けられた第3電界効果トランジスタとによって構成されている、請求項1または請求項2に記載の集積回路。

[請求項4] 前記測定信号端子部は、前記複数の入力端子部のうちいずれか2個の入力端子部によって構成される、請求項1から請求項3のいずれか一項に記載の集積回路。

[請求項5] 前記出力信号生成部と各出力端子部との間に設けられ、通常動作時において、前記出力信号生成部の制御によって前記出力信号生成部と各出力端子部との接続状態を切替える複数の出力スイッチをさらに備え、

前記複数の入力端子部は、接続抵抗測定時に、前記スイッチ制御部に電源を供給し、前記出力信号生成部へは電源を供給しない電源入力端子部を含む、請求項1から請求項4のいずれか一項に記載の集積回路。

[請求項6] 前記集積回路は、液晶パネルを駆動する液晶駆動用集積回路であり、

前記出力信号生成部は前記入力信号に応じて、前記出力信号として前記液晶パネルを駆動する液晶駆動信号を生成する、請求項1から請求項5のいずれか一項に記載の集積回路。

[請求項7] 請求項1から請求項6のいずれか一項に記載の集積回路を表示用集積回路として備えた、表示パネル。

[請求項8] 前記表示パネルは液晶パネルであり、

前記出力信号は前記液晶パネルを駆動する液晶駆動信号である、請求項8に記載の表示パネル。

[請求項9] 外部配線に接続された状態において前記外部配線との接続抵抗を測定する接続抵抗測定機能を有する集積回路において、接続抵抗を測定する方法であって、

通常動作時に前記出力信号を出力側外部配線に出力する出力端子部が対を成して構成される出力端子対部と、入力側外部配線と接続されて測定信号を入出力する一对の測定信号端子部と、前記一对の測定信号端子部間の接続状態を切替える第1測定用スイッチと、前記一对の測定信号端子部と前記出力端子対部との接続状態を切替える第2測定用スイッチとを前記集積回路に設ける工程と、

前記集積回路を前記外部配線に接続する接続工程と、

前記第1測定用スイッチをオンさせるとともに、前記第2測定用スイッチをオフさせた状態で、前記測定信号を前記一对の測定信号端子部に供給し、前記一对の測定信号端子部間の電圧と、前記一对の測定信号端子部間に流れる電流とを測定し、測定電圧および測定電流に基づいて、前記一对の測定信号端子部と前記入力側外部配線との間の第1接続抵抗を測定する第1測定工程と、

前記第1測定用スイッチをオフさせるとともに、前記第2測定用スイッチをオンさせた状態で、前記測定信号を前記一对の測定信号端子部に供給し、前記一对の測定信号端子部間の電圧と、前記一对の測定信号端子部間に流れる電流とを測定し、測定電圧、測定電流および前記第1接続抵抗に基づいて、前記出力端子対部と前記出力側外部配線との間の第2接続抵抗を測定する第2測定工程と、

を含む、接続抵抗測定方法。

[請求項10]

前記第1測定用スイッチは、前記一对の測定信号端子部間に設けられた第1電界効果トランジスタによって構成し、前記第2測定用スイッチは、一方の測定信号端子部と一方の出力端子部との間に設けられた第2電界効果トランジスタと、他方の測定信号端子部と他方の出力端子部との間に設けられた第3電界効果トランジスタとによって構成する工程と、

前記第1測定工程および前記第2測定工程は、

オンされた電界効果トランジスタのドレインソース間の電圧ー電

流特性を利用して、前記オンされた電界効果トランジスタによる電圧降下を推定する工程と、

推定された前記電圧降下と前記測定電流とから、前記オンされた電界効果トランジスタのオン抵抗を算出する工程と、

前記第 1 接続抵抗あるいは前記第 2 接続抵抗を測定する際に、算出された前記オン抵抗を除く工程とを含む、請求項 9 に記載の接続抵抗測定方法。

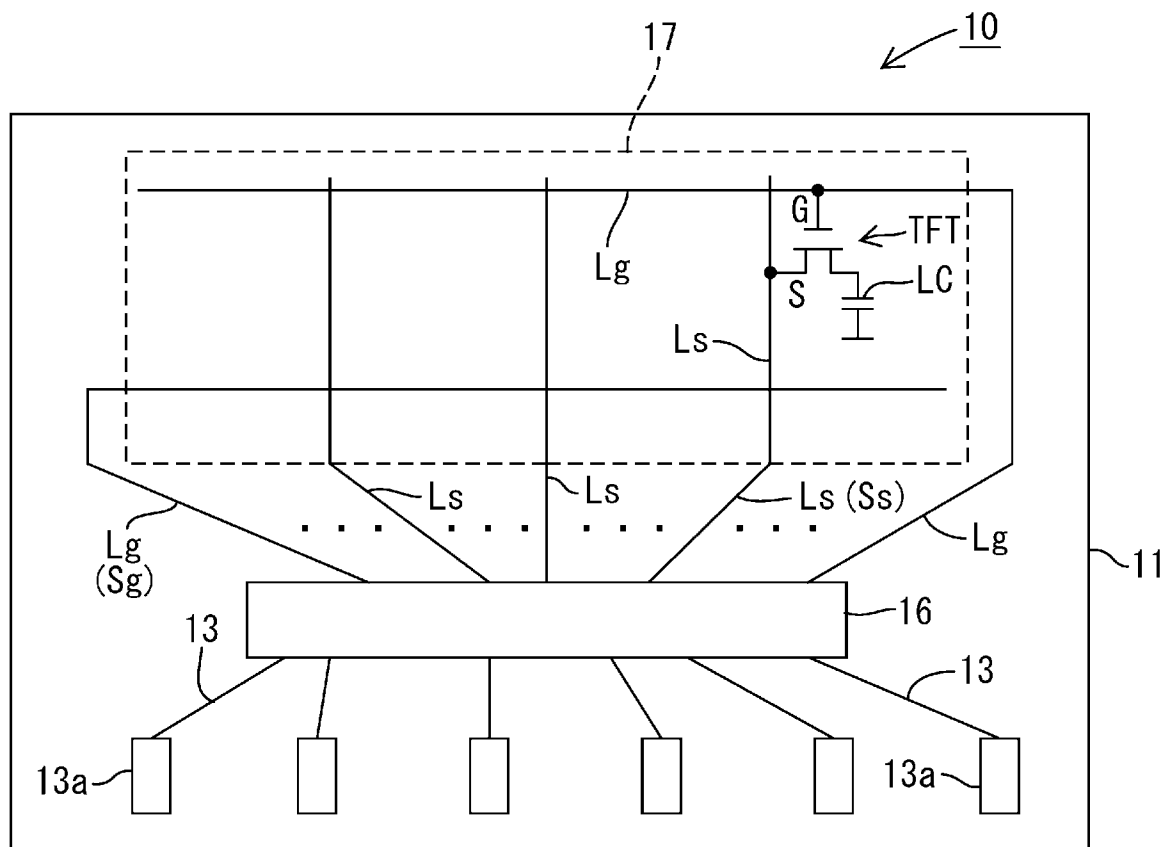
[請求項11] 前記接続工程の前において、各電界効果トランジスタに関する、所定のゲート電圧におけるドレインソース間の電圧－電流特性を取得する工程と、

前記第 1 測定工程および前記第 2 測定工程において、オンされる電界効果トランジスタを、前記所定のゲート電圧によってオンする工程と、をさらに含む、請求項 9 または請求項 10 に記載の接続抵抗測定方法。

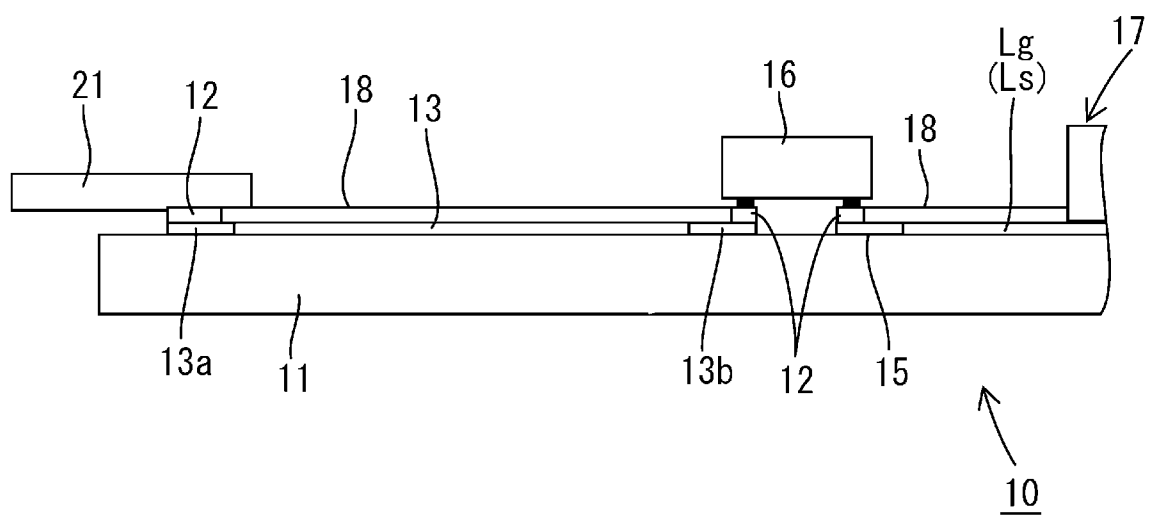
[請求項12] 前記集積回路は、前記入力側外部配線と接続される複数の入力端子部と、通常動作時に、前記複数の入力端子部から入力される入力信号に応じた信号処理を行うことによって出力信号を生成する出力信号生成部と、前記出力信号生成部と各出力端子部との間に設けられ、通常動作時において、前記出力信号生成部の制御によって、前記出力信号生成部と各出力端子部との接続状態を切替える複数の出力スイッチとを備え、該方法は、

接続抵抗測定時において、前記出力信号生成部への電源供給を停止する工程を含む、請求項 9 から請求項 11 のいずれか一項に記載の接続抵抗測定方法。

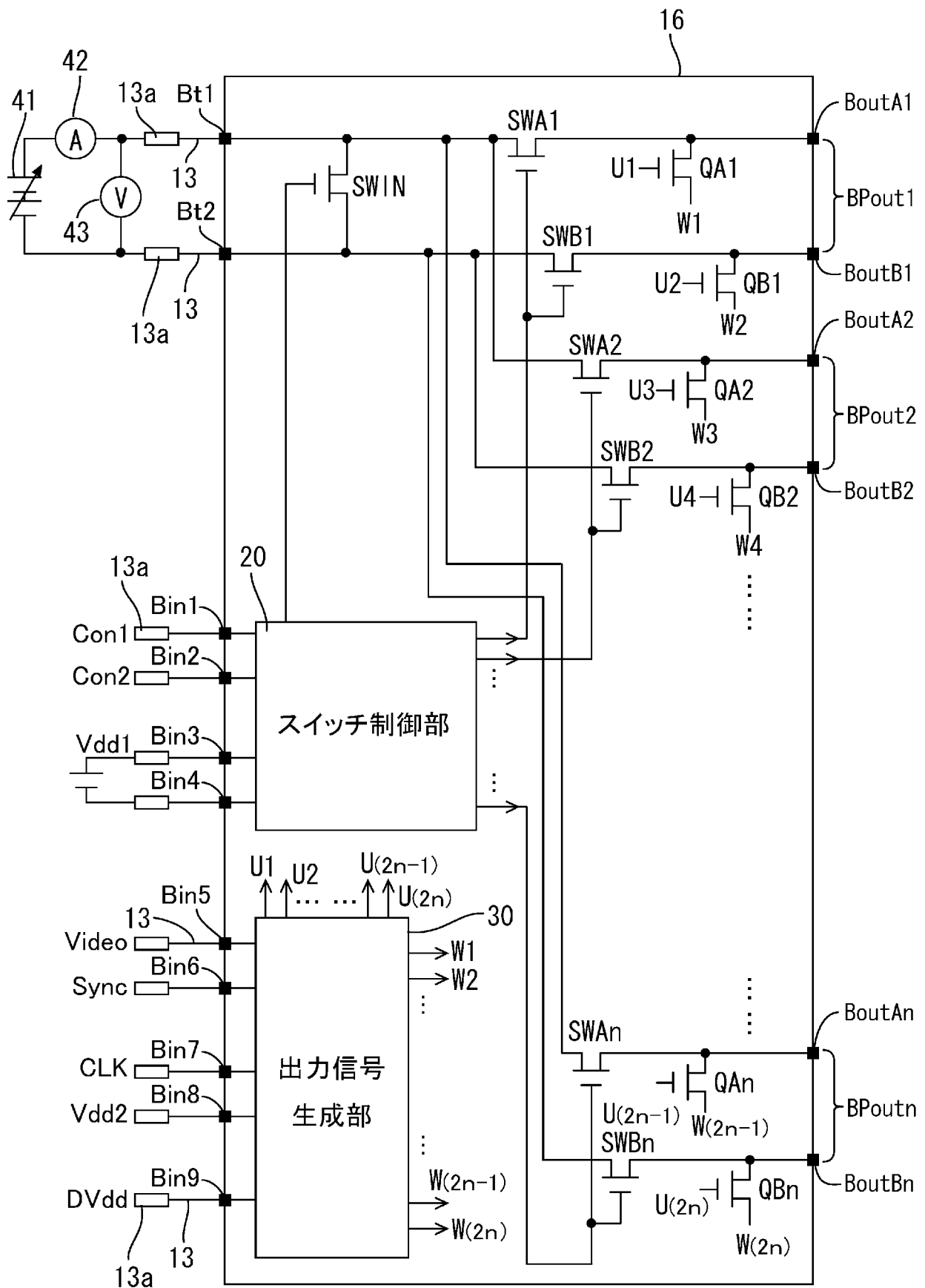
[図1]



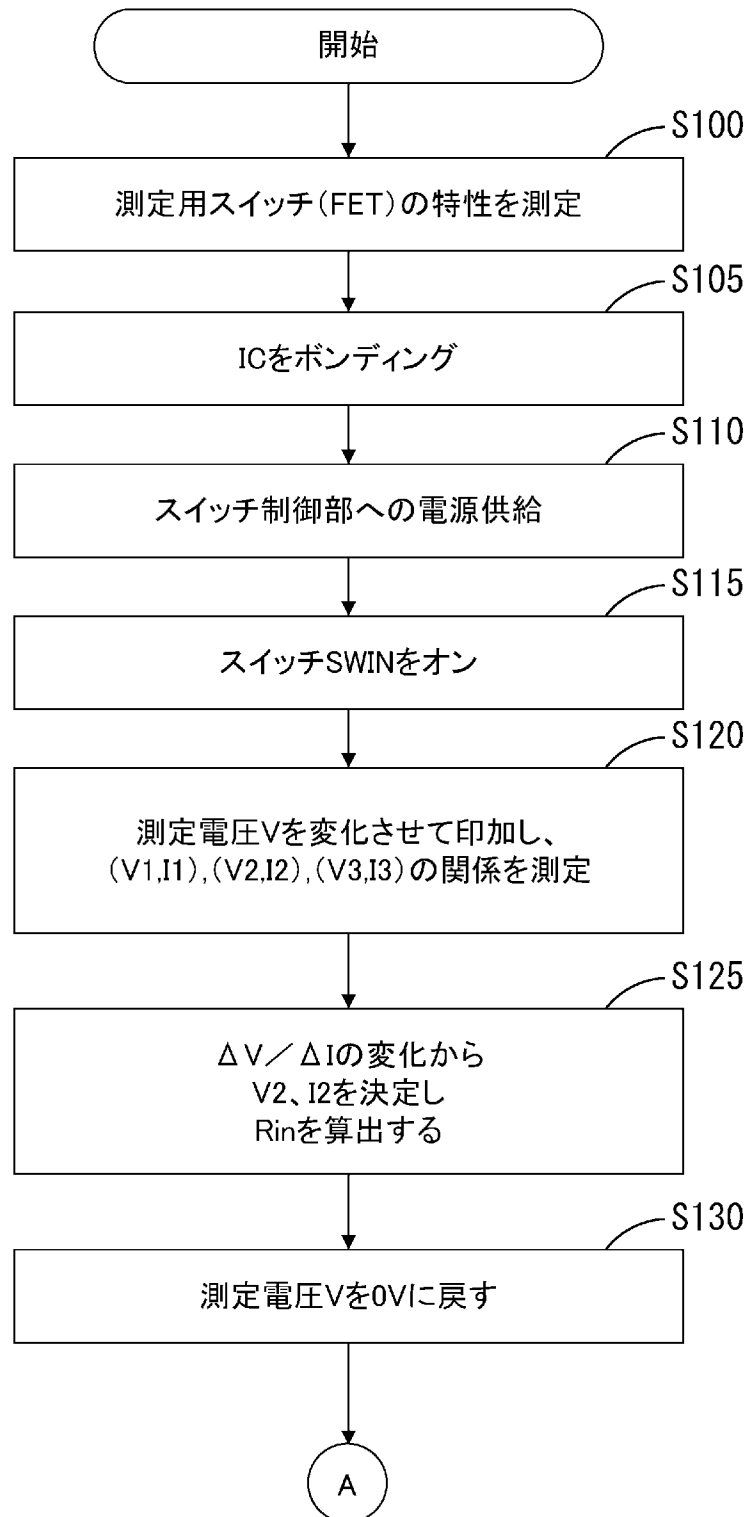
[図2]



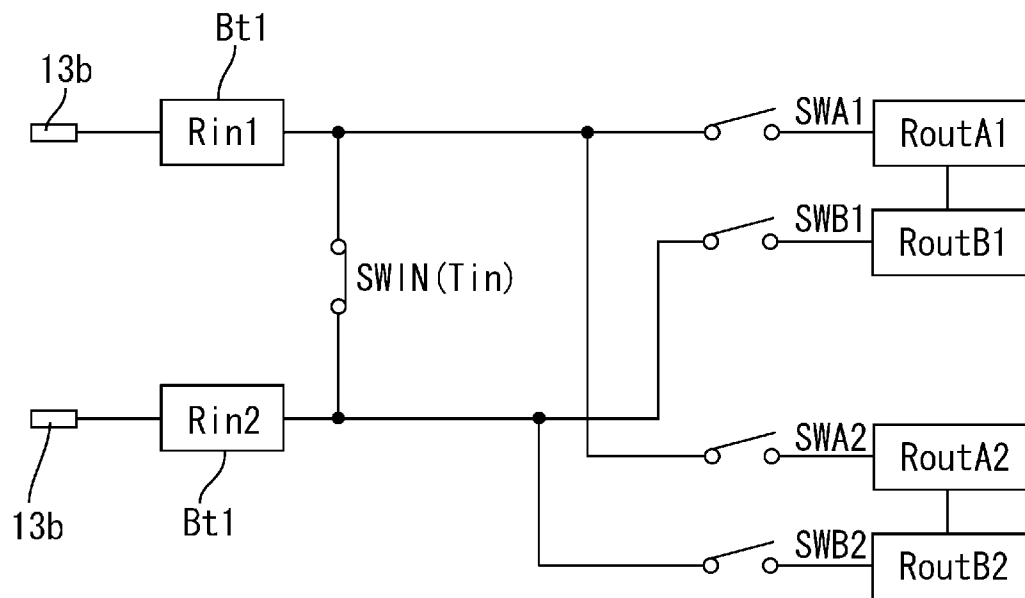
[図3]



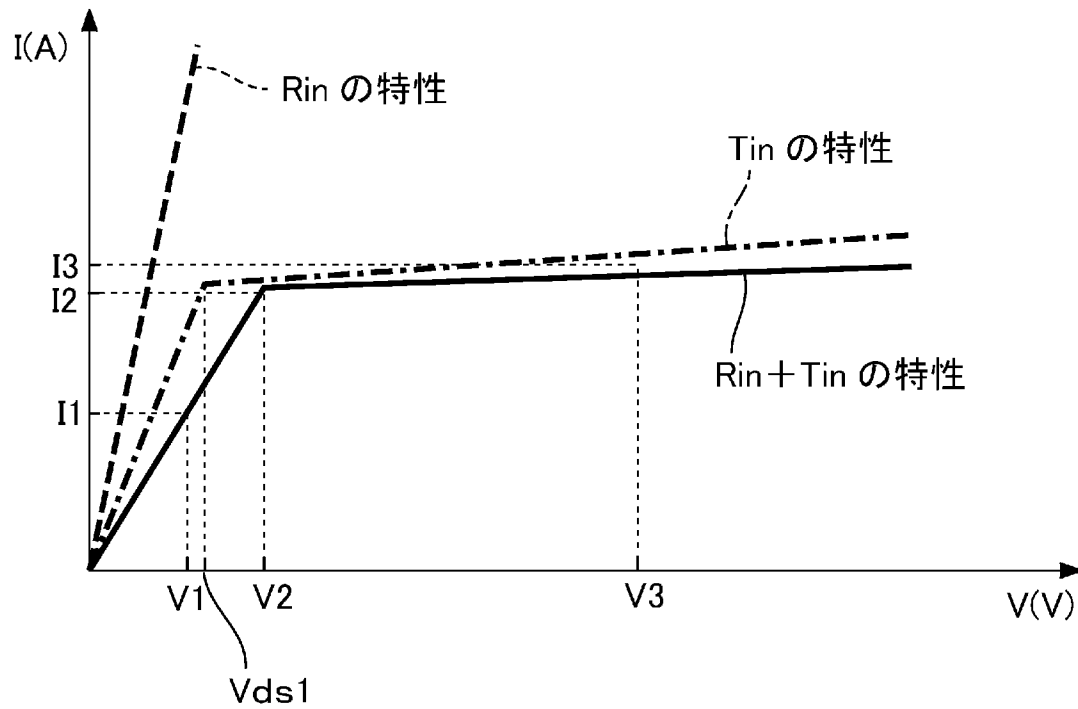
[図6]



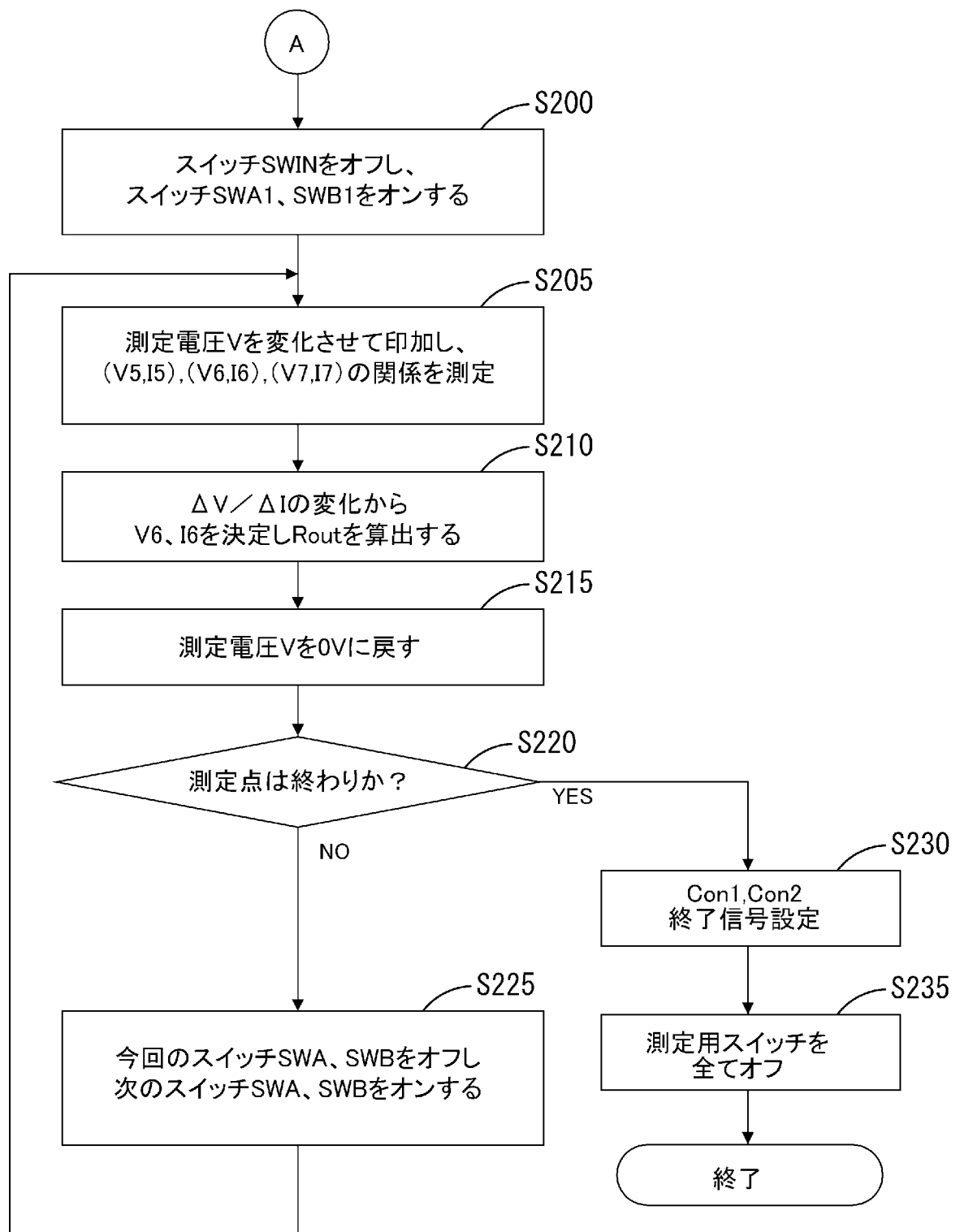
[図7]



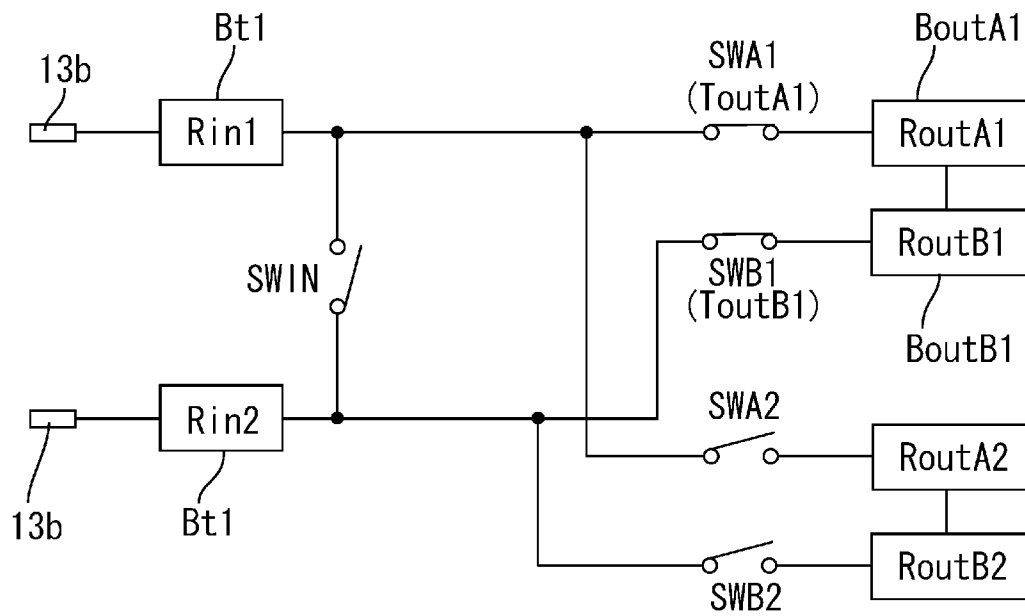
[図8]



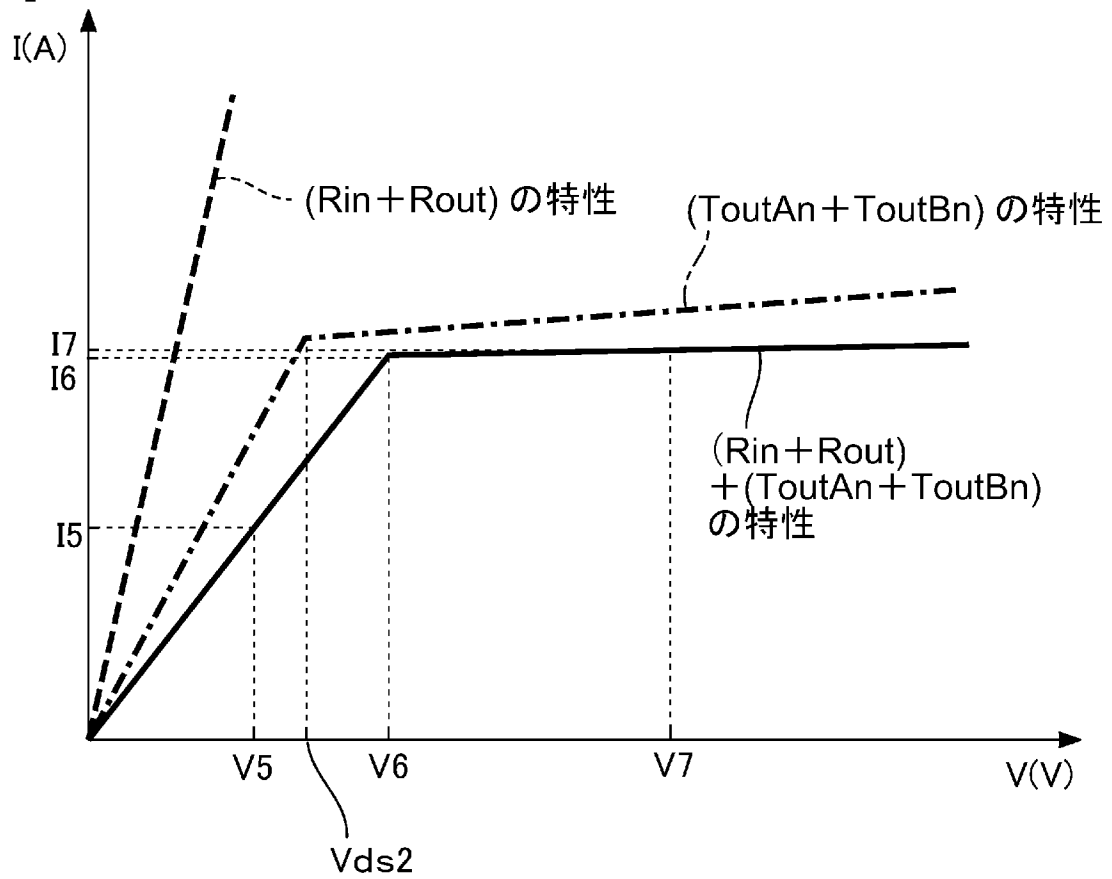
[図9]



[図10]



[図11]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2012/065328

A. CLASSIFICATION OF SUBJECT MATTER

G01R27/02(2006.01)i, G02F1/13(2006.01)i, G02F1/1345(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

G01R27/02, G02F1/13, G02F1/1345, G01R31/28, G01R31/02

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2012
Kokai Jitsuyo Shinan Koho	1971-2012	Toroku Jitsuyo Shinan Koho	1994-2012

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2004-219155 A (Seiko Epson Corp.), 05 August 2004 (05.08.2004), paragraphs [0025] to [0030]; fig. 1, 4 (Family: none)	1-12
A	JP 10-213633 A (Mitsubishi Electric Corp.), 11 August 1998 (11.08.1998), paragraphs [0023] to [0033]; fig. 1, 2 (Family: none)	1-12
A	JP 04-159752 A (NEC Corp.), 02 June 1992 (02.06.1992), entire text; all drawings (Family: none)	1-12

☒ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

* Special categories of cited documents:

“A” document defining the general state of the art which is not considered to be of particular relevance

“E” earlier application or patent but published on or after the international filing date

“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

“O” document referring to an oral disclosure, use, exhibition or other means

“P” document published prior to the international filing date but later than the priority date claimed

“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

“&” document member of the same patent family

Date of the actual completion of the international search
19 July, 2012 (19.07.12)

Date of mailing of the international search report
31 July, 2012 (31.07.12)

Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2012/065328

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2006-194676 A (Matsushita Electric Industrial Co., Ltd.), 27 July 2006 (27.07.2006), entire text; all drawings (Family: none)	1-12
P, A	JP 2011-257272 A (Sony Corp.), 22 December 2011 (22.12.2011), paragraphs [0058] to [0061] (Family: none)	1-12

A. 発明の属する分野の分類 (国際特許分類 (I P C))

Int.Cl. G01R27/02 (2006.01)i, G02F1/13 (2006.01)i, G02F1/1345 (2006.01)i

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (I P C))

Int.Cl. G01R27/02, G02F1/13, G02F1/1345, G01R31/28, G01R31/02

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1 9 2 2 - 1 9 9 6 年
日本国公開実用新案公報	1 9 7 1 - 2 0 1 2 年
日本国実用新案登録公報	1 9 9 6 - 2 0 1 2 年
日本国登録実用新案公報	1 9 9 4 - 2 0 1 2 年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	JP 2004-219155 A (セイコーエプソン株式会社) 2004.08.05, 段落 0025-0030, 図 1, 4 (ファミリーなし)	1-12
A	JP 10-213633 A (三菱電機株式会社) 1998.08.11, 段落 0023-0033, 図 1, 2 (ファミリーなし)	1-12
A	JP 04-159752 A (日本電気株式会社) 1992.06.02, 全文, 全図 (ファミリーなし)	1-12

☒ C 欄の続きにも文献が列挙されている。☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの
「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)
「O」口頭による開示、使用、展示等に言及する文献
「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Y」特に関連のある文献であって、当該文献と他の 1 以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「&」同一パテントファミリー文献

国際調査を完了した日

1 9 . 0 7 . 2 0 1 2

国際調査報告の発送日

3 1 . 0 7 . 2 0 1 2

国際調査機関の名称及びあて先

日本国特許庁 (I S A / J P)
郵便番号 1 0 0 - 8 9 1 5
東京都千代田区霞が関三丁目 4 番 3 号

特許庁審査官 (権限のある職員)

荒井 誠

2 S

3 2 0 3

電話番号 0 3 - 3 5 8 1 - 1 1 0 1 内線 3 2 5 8

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	JP 2006-194676 A (松下電器産業株式会社) 2006.07.27, 全文, 全図 (ファミリーなし)	1-12
PA	JP 2011-257272 A (ソニー株式会社) 2011.12.22, 段落 0058-0061 (ファミリーなし)	1-12