

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2014-3253

(P2014-3253A)

(43) 公開日 平成26年1月9日(2014.1.9)

(51) Int.Cl.	F I	テーマコード (参考)
HO 1 L 29/41 (2006.01)	HO 1 L 29/44 S	4M104
HO 1 L 21/28 (2006.01)	HO 1 L 21/28 3O1B	
HO 1 L 29/417 (2006.01)	HO 1 L 21/28 3O1R	
HO 1 L 29/12 (2006.01)	HO 1 L 29/50 M	
HO 1 L 29/78 (2006.01)	HO 1 L 29/78 652T	

審査請求 未請求 請求項の数 6 O L (全 13 頁) 最終頁に続く

(21) 出願番号 特願2012-139386 (P2012-139386)
 (22) 出願日 平成24年6月21日 (2012.6.21)

(71) 出願人 000002130
 住友電気工業株式会社
 大阪府大阪市中央区北浜四丁目5番33号
 (74) 代理人 110001195
 特許業務法人深見特許事務所
 (72) 発明者 山田 俊介
 大阪市此花区島屋一丁目1番3号 住友電気工業株式会社大阪製作所内
 (72) 発明者 玉祖 秀人
 大阪市此花区島屋一丁目1番3号 住友電気工業株式会社大阪製作所内
 Fターム(参考) 4M104 AA03 BB02 BB05 BB25 BB38
 CC01 DD08 DD16 DD26 DD34
 DD37 DD79 DD84 DD90 DD95
 FF02 FF13 FF22 FF31 GG09
 GG14 GG18 HH08 HH15

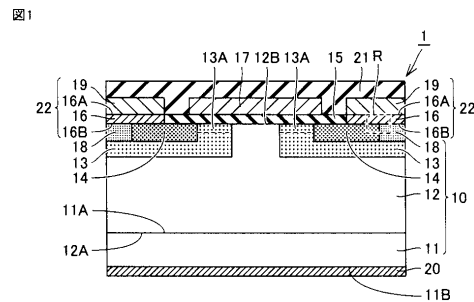
(54) 【発明の名称】 炭化珪素半導体装置

(57) 【要約】

【課題】 炭化珪素に形成されたp型不純物領域およびn型不純物領域の双方に対してオーミック接触可能な電極を有する炭化珪素半導体装置を提供する。

【解決手段】 炭化珪素半導体装置1は、炭化珪素基板10と、コンタクト電極16とを有する。炭化珪素基板10は、n型領域14およびn型領域14と接するp型領域18を含む。コンタクト電極16は、炭化珪素基板10と接する。コンタクト電極16は、TiSiを含む第1の領域5と、Alを含む第2の領域3とを有する。第1の領域5は、n型領域14と接するn接触領域5aと、p型領域18と接するp接触領域5bとを有する。第2の領域3は、p型領域18およびn型領域14と接し、かつp接触領域5bおよびn接触領域5aを囲むように形成されている。

【選択図】 図1



【特許請求の範囲】

【請求項 1】

n 型領域および前記 n 型領域と接する p 型領域を含む炭化珪素基板と、
前記炭化珪素基板と接するコンタクト電極とを備え、
前記コンタクト電極は、TiSiを含む第 1 の領域と、Alを含む第 2 の領域とを有し

、
前記第 1 の領域は、前記 n 型領域と接する n 接触領域と、前記 p 型領域と接する p 接触領域とを有し、

前記第 2 の領域は、前記 p 型領域および前記 n 型領域と接し、かつ前記 p 接触領域および前記 n 接触領域を囲むように形成されている、炭化珪素半導体装置。

10

【請求項 2】

前記コンタクト電極は、炭素の原子数がシリコンの原子数よりも多い領域を含む、請求項 1 に記載の炭化珪素半導体装置。

【請求項 3】

前記第 2 の領域は、前記 p 接触領域と前記 n 接触領域とを覆うように形成されている、請求項 1 または 2 に記載の炭化珪素半導体装置。

【請求項 4】

前記コンタクト電極における、Tiの原子数を x、Alの原子数を y、Siの原子数を z としたとき、x、y および z のうち任意の 2 つの原子数の比は $1/3$ 以上 3 以下である、請求項 1～3 のいずれか 1 項に記載の炭化珪素半導体装置。

20

【請求項 5】

前記 p 接触領域および前記 n 接触領域の各々の前記炭化珪素基板の主面と平行な方向における幅は 500 nm 以下である、請求項 1～4 のいずれか 1 項に記載の炭化珪素半導体装置。

【請求項 6】

前記コンタクト電極は、TiCを含む第 3 の領域をさらに有する、請求項 1～5 のいずれか 1 項に記載の炭化珪素半導体装置。

【発明の詳細な説明】

【技術分野】

【0001】

30

本発明は炭化珪素半導体装置に関し、より特定的には、炭化珪素基板と接するコンタクト電極を有する炭化珪素半導体装置に関する。

【背景技術】

【0002】

近年、半導体装置の製造用に炭化珪素基板が用いられ始めている。炭化珪素は珪素に比べて大きなバンドギャップを有する。そのため、炭化珪素基板を用いた半導体装置は、耐圧が高く、オン抵抗が低く、また高温環境下での特性の劣化が小さいといった利点を有する。

【0003】

炭化珪素に対してオーミック電極を形成する方法としては、たとえば、まず高濃度にドーピングされた不純物領域にNiやAlを含む金属材料が蒸着される。その後、当該金属材料を1000程度の温度で急速熱処理することで反応層を形成することにより、反応層と炭化珪素との間でオーミック接触が実現される（非特許文献1参照）。

40

【先行技術文献】

【非特許文献】

【0004】

【非特許文献1】松波弘之、他3名、「半導体SiC技術と応用（第2版）」、日刊工業新聞社、2011年9月30日、p.298-309

【発明の概要】

【発明が解決しようとする課題】

50

【0005】

しかしながら、Niは、炭化珪素に形成されたn型の不純物領域に対してはオーミック接触が可能であるが、炭化珪素に形成されたp型の不純物領域に対して高い接触抵抗を示す。一方、Alは、炭化珪素に形成されたp型の不純物領域に対してはオーミック接触可能であるが、炭化珪素に形成されたn型の不純物領域に対して高い接触抵抗を示す。それゆえ、炭化珪素に形成されたp型不純物領域およびn型不純物領域の両方に対してオーミック接触を実現することは非常に困難であった。

【0006】

そこで本発明の目的は、炭化珪素に形成されたp型不純物領域およびn型不純物領域の双方に対してオーミック接触可能な電極を有する炭化珪素半導体装置を提供することである。

10

【課題を解決するための手段】

【0007】

本発明に係る炭化珪素半導体装置は、炭化珪素基板と、コンタクト電極とを有する。炭化珪素基板は、n型領域およびn型領域と接するp型領域を含む。コンタクト電極は、炭化珪素基板と接する。コンタクト電極は、TiSiを含む第1の領域と、Alを含む第2の領域とを有する。第1の領域は、n型領域と接するn接触領域と、p型領域と接するp接触領域とを有する。第2の領域は、p型領域およびn型領域と接し、かつp接触領域およびn接触領域を囲むように形成されている。

【0008】

ここでTiSiとは、Ti-Si結合を有する化合物のことであり、TiとSiとの組成比が1:1以外の場合も含む。

20

【0009】

本発明に係る炭化珪素半導体装置によれば、TiSiを含む第1の領域とn型領域とにおいてオーミック接触が可能であり、かつAlを含む第2の領域とp型領域とにおいてオーミック接触が可能である。結果として、n型領域およびp型領域の双方に対してオーミック接触を実現することができる。

【0010】

上記の炭化珪素半導体装置において好ましくは、コンタクト電極は、炭素の原子数がシリコンの原子数よりも多い領域を含む。

30

【0011】

これにより、炭素の原子数がシリコンの原子数よりも多い領域を含まないコンタクト電極と比較して、低い接触抵抗を実現することができる。

【0012】

上記の炭化珪素半導体装置において好ましくは、第2の領域は、p接触領域とn接触領域とを覆うように形成されている。これにより、保護電極に対向する第2の領域の面積が大きくなるため、保護電極との密着性を向上することができる。

【0013】

上記の炭化珪素半導体装置において好ましくは、コンタクト電極における、Tiの原子数をx、Alの原子数をy、Siの原子数をzとしたとき、x、yおよびzのうち任意の2つの原子数の比は1/3以上3以下である。これにより、n型領域およびp型領域の双方に対して良好なオーミック接触を実現することができる。

40

【0014】

上記の炭化珪素半導体装置において好ましくは、p接触領域およびn接触領域の各々の炭化珪素基板の主面と平行な方向における幅は500nm以下である。これにより、n型領域およびp型領域の双方に対して良好なオーミック接触を実現することができる。

【0015】

上記の炭化珪素半導体装置において好ましくは、コンタクト電極は、TiCを含む第3の領域をさらに有する。ここでTiCとは、Ti-C結合を有する化合物のことであり、TiとCとの組成比が1:1以外の場合も含む。これにより、n型領域およびp型領域の

50

双方に対して良好なオーミック接触を実現することができる。

【発明の効果】

【0016】

以上の説明から明らかなように、本発明によれば、炭化珪素に形成されたp型不純物領域およびn型不純物領域の双方に対してオーミック接触可能な電極を有する炭化珪素半導体装置を提供することができる。

【図面の簡単な説明】

【0017】

【図1】本発明の一実施の形態に係る炭化珪素半導体装置の構成を示す概略断面図である。

10

【図2】図1における領域Rの拡大断面図である。

【図3】図1における領域Rの拡大平面図である。

【図4】図1における領域Rの拡大断面図である。

【図5】図1における領域Rの拡大断面図である。

【図6】本発明の一実施の形態に係る炭化珪素半導体装置の製造方法を概略的に示すフロー図である。

【図7】本発明の一実施の形態に係る炭化珪素半導体装置の製造方法の第1の工程を示す概略断面図である。

【図8】本発明の一実施の形態に係る炭化珪素半導体装置の製造方法の第2の工程を示す概略断面図である。

20

【図9】本発明の一実施の形態に係る炭化珪素半導体装置の製造方法の第3の工程を示す概略断面図である。

【図10】本発明の一実施の形態に係る炭化珪素半導体装置の製造方法の第4の工程を示す概略断面図である。

【図11】本発明の一実施の形態に係る炭化珪素半導体装置の製造方法の第5の工程を示す概略断面図である。

【図12】本発明の一実施の形態に係る炭化珪素半導体装置のコンタクト電極における原子濃度を示す図である。

【発明を実施するための形態】

【0018】

30

以下、図面に基づいて本発明の一実施の形態を説明する。なお、以下の図面において同一または相当する部分には同一の参照番号を付し、その説明は繰返さない。

【0019】

まず本発明の一実施の形態における炭化珪素半導体装置としてのMOSFET1(Metal Oxide Semiconductor Field Effect Transistor)の構成について説明する。

【0020】

図1を参照して、MOSFET1は炭化珪素基板10を有する。炭化珪素基板10は、n⁺基板11と、n⁻SiC層12と、pボディ13と、n⁺ソース領域14と、p⁺領域18とを有する。

40

【0021】

n⁺基板11は、炭化珪素(SiC)からなる、導電型がn型の基板である。n⁺基板11は、高濃度のn型不純物(導電型がn型である不純物)、たとえばN(窒素)を含んでいる。

【0022】

n⁻SiC層12は、SiCからなる、導電型がn型の半導体層である。n⁻SiC層12は、n⁺基板11の一方の主面11A上に、たとえば10μm程度の厚みで形成されている。n⁻SiC層12に含まれるn型不純物は、たとえばN(窒素)であり、n⁺基板11に含まれるn型不純物よりも低い濃度、たとえば5×10¹⁵cm⁻³の濃度で含まれている。

50

【0023】

一对のpボディ13はp型の導電性を有する。一对のpボディ13は、n⁻SiC層12において、n⁺基板11側の主面である第1の主面12Aとは反対側の主面である第2の主面12B（基板面）を含むように互いに分離して形成されている。pボディ13に含まれるp型不純物は、たとえばAl（アルミニウム）、B（ホウ素）などであり、n⁺基板11に含まれるn型不純物よりも低い濃度、たとえば $1 \times 10^{17} \text{ cm}^{-3}$ の濃度で含まれている。

【0024】

n⁺ソース領域14はn型の導電性を有するn型領域である。n⁺ソース領域14は、第2の主面12Bを含み、かつpボディ13に取り囲まれるように、一对のpボディ13のそれぞれの内部に形成されている。n⁺ソース領域14は、n型不純物、たとえばP（リン）などをn⁻SiC層12に含まれるn型不純物よりも高い濃度、たとえば $1 \times 10^{20} \text{ cm}^{-3}$ の濃度で含んでいる。

10

【0025】

p⁺領域18はp型の導電性を有するp型領域である。p⁺領域18は、一对のpボディ13のうち一方のpボディ13の内部に形成されたn⁺ソース領域14から見て、他方のpボディ13の内部に形成されたn⁺ソース領域14とは反対側に、第2の主面12Bを含むように形成されている。p⁺領域18は、p型不純物、たとえばAl、Bなどをpボディ13に含まれるp型不純物よりも高い濃度、たとえば $1 \times 10^{20} \text{ cm}^{-3}$ の濃度で含んでいる。

20

【0026】

またMOSFET1は、ゲート絶縁膜としてのゲート酸化膜15（絶縁膜）と、ゲート電極17と、一对のコンタクト電極16（ソースコンタクト電極）と、保護電極19と、ドレイン電極20と、パシベーション膜21とを備えている。

【0027】

ゲート酸化膜15は、第2の主面12Bに接触し、一方のn⁺ソース領域14の上部表面から他方のn⁺ソース領域14の上部表面にまで延在するようにn⁻SiC層12の第2の主面12B上に形成されている。ゲート酸化膜15は、好ましくは酸化珪素膜および窒化珪素膜の少なくともいずれかを含み、たとえば二酸化珪素（SiO₂）からなっている。

30

【0028】

ゲート電極17は、一方のn⁺ソース領域14上から他方のn⁺ソース領域14上にまで延在するように、ゲート酸化膜15に接触して配置されている。また、ゲート電極17は、ポリシリコン、Alなどの導電体からなっている。

【0029】

コンタクト電極16は、一对のn⁺ソース領域14上のそれぞれから、ゲート酸化膜15から離れる向きにp⁺領域18上にまで延在するとともに、第2の主面12Bに接触して配置されている。コンタクト電極16の構成の詳細については後述する。

【0030】

保護電極19は、コンタクト電極16に接触して形成されており、Alなどの導電体からなっている。そして、保護電極19は、コンタクト電極16を介してn⁺ソース領域14と電気的に接続されている。この保護電極19とコンタクト電極16とは、ソース電極22を構成する。

40

【0031】

ドレイン電極20は、n⁺基板11においてn⁻SiC層12が形成される側の主面である一方の主面11Aとは反対側の主面である他方の主面11Bに接触して形成されている。このドレイン電極20は、たとえば上記コンタクト電極16と同様の構成を有していてもよいし、Ni（ニッケル）など、n⁺基板11とオーミックコンタクト可能な他の材料からなってもよい。これにより、ドレイン電極20はn⁺基板11と電気的に接続されている。

50

【0032】

パシベーション膜21は、一方の保護電極19上からゲート電極17上を通り、他方の保護電極19上にまで延在するように形成されている。このパシベーション膜21は、たとえばSiO₂からなっており、保護電極19およびゲート電極17を外部と電氣的に絶縁するとともに、MOSFET1を保護する機能を有している。

【0033】

次に、図2～図5を参照して、図1におけるMOSFET1の領域Rの構成の詳細について説明する。

【0034】

図2を参照して、領域Rは、n⁺ソース領域14と、p⁺領域18と、コンタクト電極16とを含んでいる領域である。p⁺領域18はn⁺ソース領域14と接している。コンタクト電極16は、TiSiを含む第1の領域5と、Alを含む第2の領域3を有する。第1の領域5は、主面14Aにおいてn⁺ソース領域14と接するn接触領域5aと、主面18Aにおいてp⁺領域18と接するp接触領域5bとを有している。また、第2の領域3は、n⁺ソース領域14およびp⁺領域18と接し、かつp接触領域5bおよびn接触領域5aを囲むように形成されている。

10

【0035】

なお、第2の領域3は、Al-O結合を有する化合物を含んでいても構わない。また、コンタクト電極16は炭素を含んでいてもよく、第1の領域5および第2の領域3も炭素を含んでいても構わない。

20

【0036】

図2に示すように、第2の領域3の厚みは第1の領域5の厚みよりも大きく、第2の領域3が第1の領域5を覆うように形成されていても構わない。p接触領域5bは、たとえばp⁺領域18の主面18A上に島状に配置されている。また、n接触領域5aは、たとえばn⁺ソース領域14の主面14A上に島状に配置されている。p接触領域5bおよびn接触領域5aの各々の幅W（より詳細には、p接触領域5bおよびn接触領域5aの各々の炭化珪素基板10の第2の主面12Bと平行な方向における幅）は500nm以下である。好ましくは、当該幅Wは10nm以上100nm以下であり、より好ましくは、当該幅Wは30nm以上60nm以下である。なお、n⁺ソース領域14およびp⁺領域18の幅は、たとえばそれぞれ3.2μm程度および1.8μm程度である。また、コンタクト電極16の厚みTは、たとえば100nm程度である。なお、図2は、図3の線分II-IIにおける断面図である。

30

【0037】

図3は、図2に示した領域Rを紙面の上側（矢印Xの方向）から見た平面図である。図3に示すように、複数のn接触領域5aはn⁺ソース領域14の主面14A上にまだらに配置されている。また、複数のp接触領域5bはp⁺領域18の主面18A上にまだらに配置されている。n⁺ソース領域14はp⁺領域18と境界2において接している。第1の領域5は、境界2においてn⁺ソース領域14およびp⁺領域18の双方に接する第1のpn接触領域5cを有していても構わない。また、コンタクト電極16は、TiCを含む第3の領域6を有していても構わない。p接触領域5b、n接触領域5a、第1のpn接触領域5cおよび第3の領域6は、平面視においてたとえば略円形を有している。

40

【0038】

図4を参照して、第1の領域5の高さが第2の領域3の高さよりも大きくても構わない。この場合、第2の領域3の上部は第1の領域から突き出るように配置されている。なお、平面視において第2の領域3は、第1の領域5を囲むように形成されている。

【0039】

図5を参照して、複数の第1の領域5の高さが異なっても構わない。複数の第1の領域5のうち、一方の第1の領域5の高さは第2の領域3の高さよりも大きく、他方の第1の領域5の高さは第2の領域の高さよりも小さくても構わない。具体的には、複数のp接触領域5bは、第2の領域3よりも高いp接触領域5bおよび第2の領域3よりも低い

50

p接触領域5bを有していても構わない。同様に、複数のn接触領域5aは、第2の領域3よりも高いn接触領域5aおよび第2の領域3よりも低いn接触領域5aを有していても構わない。なお、平面視において第2の領域3は、第1の領域5を囲むように形成されている。

【0040】

図12を参照して、コンタクト電極16における原子濃度の分布について説明する。図12において左側が保護電極19側（言い換えればコンタクト電極16の表面16A側）であり、右側が炭化珪素基板10側（言い換えればコンタクト電極の裏面16B側）である。たとえばオージェ電子分光法などによってコンタクト電極16を形成する原子の濃度を分析すると、コンタクト電極16の表面16A側においてはSi（シリコン）およびC（炭素）よりもAl（アルミニウム）およびO（酸素）が多く存在する。しかしながら、コンタクト電極16の裏面16B側においては、SiおよびCがAlおよびOよりも多く存在する。

10

【0041】

好ましくは、コンタクト電極16の裏面16B側において、C（炭素）の原子数が、Si（シリコン）の原子数よりも多い領域Sが存在する。C（炭素）の原子数が、Si（シリコン）の原子数よりも多い領域Sが存在するコンタクト電極16は、C（炭素）の原子数が、Si（シリコン）の原子数よりも多い領域Sが存在しないコンタクト電極16よりも低い接触抵抗を示す。

【0042】

好ましくは、コンタクト電極16における、Ti（チタン）の原子数をx、Al（アルミニウム）の原子数をy、Si（シリコン）の原子数をzとしたとき、x、yおよびzのうち任意の2つの原子数の比は1/3以上3以下である。つまり、原子の数が多い原子の数を原子の数が少ない原子の数で除した値は3以下であり、原子の数が少ない原子の数を原子の数が多き原子の数で除した値は1/3以上である。たとえば、Tiの原子数はSiの原子数の1/3倍以上3倍以下であり、Siの原子数はAlの原子数の1/3倍以上3倍以下であり、Alの原子数はTiの原子数の1/3倍以上3倍以下である。

20

【0043】

次にMOSFET1の動作について説明する。ゲート電極17に閾値以下の電圧を与えた状態、すなわちオフ状態では、ゲート酸化膜15の直下に位置するpボディ13とn⁻SiC層12との間が逆バイアスとなり、非導通状態となる。一方、ゲート電極17に正の電圧を印加していくと、pボディ13のゲート酸化膜15と接触する付近であるチャネル領域13Aにおいて、反転層が形成される。その結果、n⁺ソース領域14とn⁻SiC層12とが電氣的に接続され、ソース電極22とドレイン電極20との間に電流が流れる。

30

【0044】

次に、実施の形態1における炭化珪素半導体装置としてのMOSFET1の製造方法について説明する。

【0045】

図7および図8を参照して、まず基板準備工程S10（図6）によって炭化珪素基板10が準備される。

40

【0046】

具体的には、まずn⁺SiC基板11上におけるエピタキシャル成長により、n⁺SiC基板11の一方の主面11A上にn⁻SiC層12が形成される。エピタキシャル成長は、たとえば原料ガスとしてSiH₄（シラン）とC₃H₈（プロパン）との混合ガスを採用して実施することができる。このとき、n型不純物として、たとえばN（窒素）を導入する。これにより、n⁺SiC基板11に含まれるn型不純物よりも低い濃度のn型不純物を含むn⁻SiC層12を形成することができる。

【0047】

次に第2の主面12B上に、たとえばCVD（Chemical Vapor Dep

50

osition ; 化学蒸着法) により SiO_2 からなる酸化膜が形成される。そして、酸化膜の上にレジストが塗布された後、露光および現像が行なわれ、所望の p ボディ 13 の形状に応じた領域に開口を有するレジスト膜が形成される。そして、当該レジスト膜をマスクとして用いて、たとえば RIE (Reactive Ion Etching ; 反応性イオンエッチング) により酸化膜が部分的に除去されることによって、n-SiC 層 12 上に開口パターンを有する酸化膜からなるマスク層が形成される。その後、上記レジスト膜を除去した上で、このマスク層をマスクとして用いて、Al などの p 型不純物を n-SiC 層 12 にイオン注入することにより、n-SiC 層 12 に p ボディ 13 が形成される。

【0048】

次に、マスクとして使用された上記酸化膜が除去された上で、所望の n⁺ソース領域 14 の形状に応じた領域に開口を有するマスク層が形成される。そして、このマスク層をマスクとして用いて、P (リン) などの n 型不純物が n-SiC 層 12 にイオン注入により導入されることにより n⁺ソース領域 14 が形成される。次に、所望の p⁺領域 18 の形状に応じた領域に開口を有するマスク層が形成され、これをマスクとして用いて、Al、B などの p 型不純物が n-SiC 層 12 にイオン注入により導入されることにより p⁺領域 18 が形成される。

【0049】

次に、上記イオン注入によって導入された不純物を活性化させる熱処理が実施される。具体的には、イオン注入が実施された n-SiC 層 12 が、たとえば Ar (アルゴン) 雰囲気中において 1700 程度に加熱され、30 分間程度保持される。以上により、第 2 の主面 12 B を有する炭化珪素基板 10 (図 8) が準備される。

【0050】

図 9 を参照して、ゲート絶縁膜形成工程 S20 (図 6) によって、ゲート酸化膜 15 (絶縁膜) が形成される。具体的には、まず、上記工程が実施されて所望のイオン注入領域を含む n-SiC 層 12 が形成された n⁺基板 11 が熱酸化される。熱酸化は、たとえば酸素雰囲気中で 1300 程度に加熱し、40 分間程度保持することにより実施することができる。これにより第 2 の主面 12 B 上に、二酸化珪素 (SiO_2) からなる熱酸化膜 15 A (たとえば厚み 50 nm 程度) が形成される。

【0051】

次に、熱酸化膜 15 A 上にレジストが塗布された後、露光および現像が行なわれ、コンタクト電極 16 (図 1 参照) を形成すべき領域に応じた開口を有するレジスト膜が形成される。そして、当該レジスト膜をマスクとして用いて、たとえば RIE により熱酸化膜が部分的に除去される。これにより、第 2 の主面 12 B の一部を覆うゲート酸化膜 15 が形成される。

【0052】

図 10 を参照して、コンタクト電極形成工程 S30 (図 6) が行われる。

具体的には、たとえば、Ti 部、Al 部および Si 部が炭化珪素基板 10 上に順に積層された金属層 54 が n⁺ソース領域 14 および p⁺領域 18 上に形成される。Ti 部、Al 部および Si 部の厚みは、たとえばそれぞれ 250 、 200 および 300 である。好ましくは、金属層 54 の厚みは 1 μm 以下であり、より好ましくは 500 nm 以下であり、さらに好ましくは 100 nm 以下である。金属層 54 の厚みが薄い方が合金化が早く行われる。好ましくは、金属層 54 の形成はスパッタ法または蒸着法によって行なわれる。

【0053】

また、当該金属層 54 は、Ti 部、Al 部および Si 部が炭化珪素基板 10 の第 2 の主面 12 B と平行な方向に配列された並列構造であってもよいし、格子状に配列された構造であってもよい。また、金属層 54 は Ti 部、Al 部および Si 部が混合されて形成された混合膜であってもよい。

【0054】

10

20

30

40

50

次にレジスト膜が除去されることにより、レジスト膜上の金属層54が除去（リフトオフ）されて、 n^+ ソース領域14および p^+ 領域18に接する金属層54が残される。

【0055】

図11を参照して、金属層54形成後、アニール工程において、金属層54を加熱することによって金属層54が合金化され、炭化珪素基板10とオーミック接触するコンタクト電極16が形成される。具体的には、Arなどの不活性ガス雰囲気中において、金属層54および炭化珪素基板10は、たとえば950以上1200以下の温度、たとえば1000に加熱され、たとえば30秒以上300秒以下の間保持される。これにより、金属層54に含まれていた、TiとSiとが凝集して島状となり、TiSiを含む第1の領域5となる。また、Alは第1の層を囲むよう広がり、Alを含む第2の領域3が形成される。このようにして、TiSiを含む第1の領域5と、Alを含む第2の領域3とがまだらに混在して形成されたコンタクト電極16となる。なお、上記のような構成を有するコンタクト電極16を形成するためには、アニール時間を長くすることが好ましい。たとえば、金属層54および炭化珪素基板10は、たとえば950以上1200以下の温度、たとえば1000に加熱され、たとえば120秒以上150秒以下の間保持される。

10

【0056】

次にドレイン電極形成工程S40（図6）によってドレイン電極20が炭化珪素基板10の第2の主面12Bとは反対側の面に形成される。たとえば、NiをスパッタリングしてNi層を当該反対側の面に形成し、当該Ni層をアニールすることによりドレイン電極20が形成される。なお、当該Ni層の代わりに上述した金属層54が用いられても構わない。

20

【0057】

再び図1を参照して、ゲート電極形成工程S50（図6）によってゲート電極17が形成される。この工程では、たとえば導電体であるポリシリコン、Alなどからなるゲート電極17が、一方の n^+ ソース領域14上から他方の n^+ ソース領域14上にまで延在するとともに、ゲート酸化膜15に接触するように形成される。ゲート電極の素材としてポリシリコンを採用する場合、当該ポリシリコンは、 P （リン）が $1 \times 10^{20} \text{ cm}^{-3}$ を超える高い濃度で含まれるものとすることができる。

【0058】

次に保護電極形成工程S60（図6）によって保護電極19が形成される。この工程では、たとえば蒸着法により、導電体であるAlからなる保護電極19が、コンタクト電極16の表面16A上に形成される。これによりソース電極22が完成する。

30

【0059】

次にパシベーション膜形成工程S70（図6）によってパシベーション膜21が形成される。この工程では、一方の保護電極19上からゲート電極17上を通り、他方の保護電極19上にまで延在するように、たとえば SiO_2 からなるこのパシベーション膜21が形成される。このパシベーション膜21は、たとえばCVD法により形成することができる。以上によりMOSFET1が完成する。

【0060】

なお上記実施の形態における n 型と p 型とが入れ替えられた構成が用いられてもよい。また上記においては、本発明の炭化珪素半導体装置の一例として、プレーナ型のMOSFETについて説明したがこれに限られない。たとえば、炭化珪素半導体装置は、たとえばトレンチ型のMOSFETやIGBT（Insulated Gate Bipolar Transistor、絶縁ゲートバイポーラトランジスタ）などであっても構わない。

40

【0061】

次に、本実施の形態の作用効果について説明する。

本実施の形態に係るMOSFET1によれば、TiSiを含む n 接触領域5aは n^+ ソース領域14に接触し、Alを含む第2の領域3は p^+ 領域18に接触している。これに

50

より、TiSiを含むn接触領域5aとn⁺ソース領域14とにおいてオーミック接触が可能であり、かつAlを含む第2の領域3とp⁺領域18とにおいてオーミック接触が可能である。結果として、n⁺ソース領域14およびp⁺領域18の双方に対してオーミック接触を実現することができる。

【0062】

また本実施の形態に係るMOSFET1によれば、コンタクト電極16は、炭素の原子数がシリコンの原子数よりも多い領域を含む。これにより、炭素の原子数がシリコンの原子数よりも多い領域を含まないコンタクト電極16と比較して、低い接触抵抗を実現することができる。

【0063】

さらに本実施の形態に係るMOSFET1によれば、第2の領域3は、p接触領域5bとn接触領域5aとを覆うように形成されている。これにより、保護電極19に対向する第2の領域3の面積が大きくなるため、保護電極19との密着性を向上することができる。

【0064】

さらに本実施の形態に係るMOSFET1によれば、コンタクト電極16における、Tiの原子数をx、Alの原子数をy、Siの原子数をzとしたとき、x、yおよびzのうち任意の2つの原子数の比は1/3以上3以下である。これにより、n型領域およびp型領域の双方に対して良好なオーミック接触を実現することができる。

【0065】

さらに本実施の形態に係るMOSFET1によれば、p接触領域5bおよびn接触領域5aの各々の炭化珪素基板10の第2の主面12Bと平行な方向における幅Wは500nm以下である。これにより、n⁺ソース領域14およびp⁺領域18の双方に対して良好なオーミック接触を実現することができる。

【0066】

さらに本実施の形態に係るMOSFET1によれば、コンタクト電極16は、TiCを含む第3の領域6をさらに有するので、n⁺ソース領域14およびp⁺領域18の双方に対してより良好なオーミック接触を実現することができる。

【0067】

今回開示された実施の形態はすべての点で例示であって、制限的なものではないと考えられるべきである。本発明の範囲は上記した説明ではなくて特許請求の範囲によって示され、特許請求の範囲と均等の意味、および範囲内でのすべての変更が含まれることが意図される。

【符号の説明】

【0068】

1 MOSFET(炭化珪素半導体装置)、3 第2の領域、5 第1の領域、5a n接触領域、5b p接触領域、6 第3の領域、10 炭化珪素基板、11 n⁺基板、12 n⁻SiC層、12B 第2の主面、13 pボディ、13A チャネル領域、14 n⁺ソース領域、15 ゲート酸化膜(絶縁膜)、15A 熱酸化膜、16 コンタクト電極、17 ゲート電極、18 p⁺領域、19 保護電極、20 ドレイン電極、21 パシベーション膜、22 ソース電極、54 金属層。

10

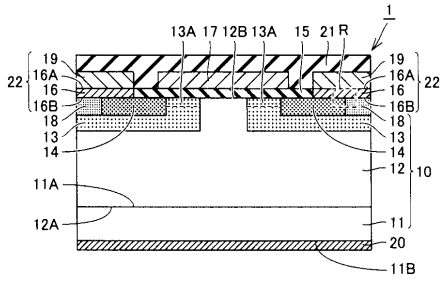
20

30

40

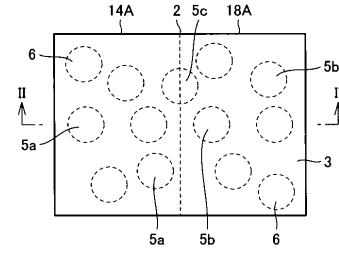
【 図 1 】

図1



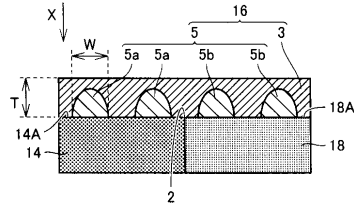
【 図 3 】

図3



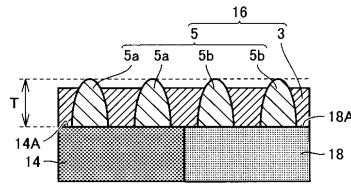
【 図 2 】

図2



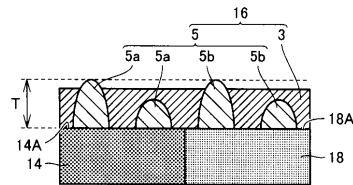
【 図 4 】

図4



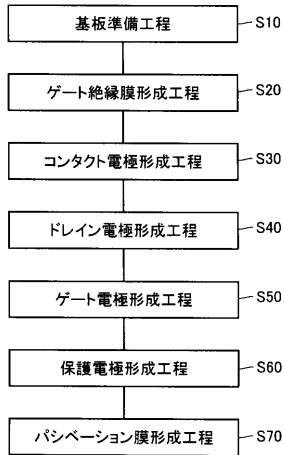
【 図 5 】

図5



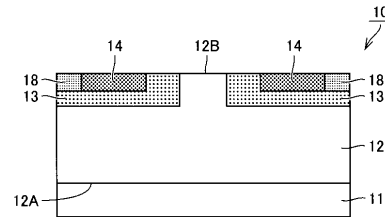
【 図 6 】

図6



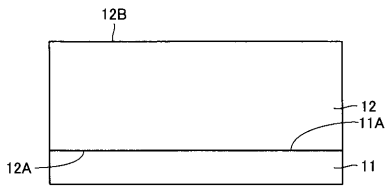
【 図 8 】

図8



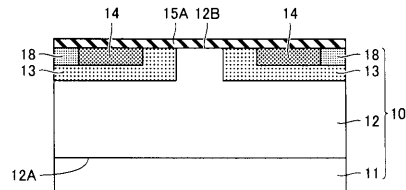
【 図 7 】

図7



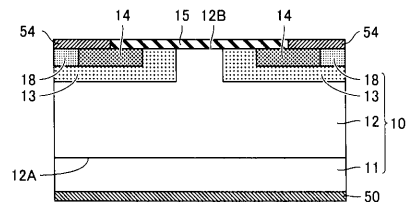
【 図 9 】

図9



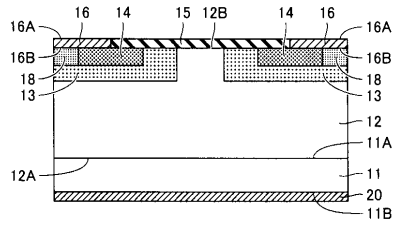
【 図 1 0 】

図10



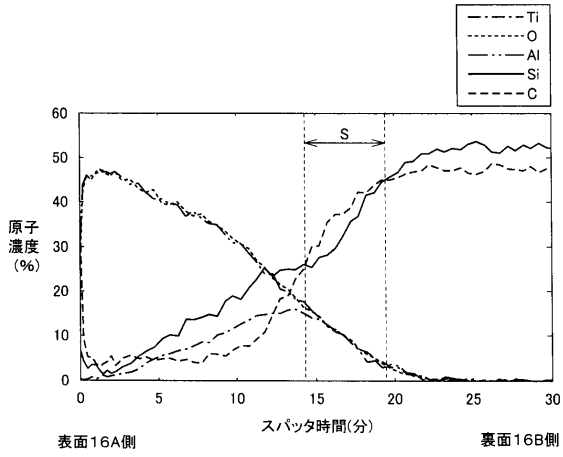
【図 1 1】

図11



【図 1 2】

図12



フロントページの続き

(51)Int.Cl.

H 0 1 L 21/336 (2006.01)

F I

H 0 1 L 29/78 6 5 2 M

H 0 1 L 29/78 6 5 8 A

H 0 1 L 29/78 6 5 8 F

テーマコード(参考)