

(12) 특허협력조약에 의하여 공개된 국제출원

(19) 세계지식재산권기구
국제사무국

(43) 국제공개일
2014년 11월 20일 (20.11.2014)



(10) 국제공개번호
WO 2014/185724 A1

- (51) 국제특허분류: H04N 21/434 (2011.01) H04N 21/236 (2011.01)
- (21) 국제출원번호: PCT/KR2014/004356
- (22) 국제출원일: 2014년 5월 15일 (15.05.2014)
- (25) 출원언어: 한국어
- (26) 공개언어: 한국어
- (30) 우선권정보: 61/823,893 2013년 5월 15일 (15.05.2013) US
- (71) 출원인: 엘지전자 주식회사 (LG ELECTRONICS INC.) [KR/KR]; 150-721 서울시 영등포구 여의대로 128, Seoul (KR).
- (72) 발명자: 황재호 (HWANG, Jaeho); 137-893 서울시 서초구 양재대로 11길 19, Seoul (KR). 김병길 (KIM, Byounggill); 137-893 서울시 서초구 양재대로 11길 19, Seoul (KR). 김우찬 (KIM, Woochan); 137-893 서울시 서초구 양재대로 11길 19, Seoul (KR). 김재형 (KIM, Jaehyung); 137-893 서울시 서초구 양재대로 11길 19, Seoul (KR). 홍성룡 (HONG, Sungryong); 137-893 서울시 서초구 양재대로 11길 19, Seoul (KR). 문철규 (MUN, Chulkyu); 137-893 서울시 서초구 양재대로 11길 19, Seoul (KR). 최진용 (CHOI, Jinyong); 137-893 서울시 서초구 양재대로 11길 19, Seoul (KR). 백
- 중섭 (BAEK, Jongseob); 137-893 서울시 서초구 양재대로 11길 19, Seoul (KR). 콧국연 (KWAK, Kookyeon); 137-893 서울시 서초구 양재대로 11길 19, Seoul (KR). 교우석 (KO, Woosuk); 137-893 서울시 서초구 양재대로 11길 19, Seoul (KR).
- (74) 대리인: 김용인 (KIM, Yong In) 등; 138-861 서울시 송파구 올림픽로 82, 7층 KBK 특허법률사무소, Seoul (KR).
- (81) 지정국 (별도의 표시가 없는 한, 가능한 모든 종류의 국내 권리의 보호를 위하여): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JP, KE, KG, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.
- (84) 지정국 (별도의 표시가 없는 한, 가능한 모든 종류의 역내 권리의 보호를 위하여): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, SZ, TZ, UG, ZM, ZW), 유라시아 (AM, AZ, BY, KG, KZ, RU, TJ, TM), 유럽 (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC,

[다음 쪽 계속]

(54) Title: APPARATUS FOR TRANSMITTING BROADCAST SIGNAL, APPARATUS FOR RECEIVING BROADCAST SIGNAL, METHOD FOR TRANSMITTING BROADCAST SIGNAL AND METHOD FOR RECEIVING BROADCAST SIGNAL

(54) 발명의 명칭: 방송 신호 송신 장치, 방송 신호 수신 장치, 방송 신호 송신 방법 및 방송 신호 수신 방법

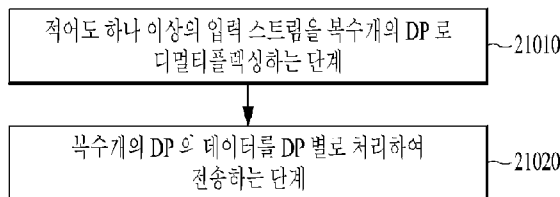
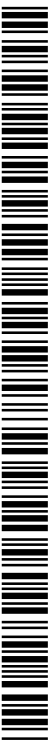


Fig. 21:
21010 ... Demultiplex at least one input stream into plurality of DPs
21020 ... Process and transmit data of plurality of DPs per DP

(57) Abstract: The present invention provides a method for transmitting a broadcast signal. The method for transmitting a broadcast signal according to the present invention comprises the steps of: demultiplexing at least one input stream into a plurality of DPs (Data Pipes) wherein the step of demultiplexing includes the steps of dividing the input stream into a plurality of DPs in which data of the plurality of DPs include one or more consecutive input packets, segmenting the data of the plurality of DPs into data units each having the same length as that of a payload of a BB frame, cyclic-shifting the input packets of the divided data, allocating the cyclic-shifted input packets to the payload of the BB frame, and inserting a header before the payload of the BB frame; and processing and transmitting the data of the plurality of DPs per DP.

(57) 요약서:

[다음 쪽 계속]



WO 2014/185724 A1



MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, **공개:**
TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, — 국제조사보고서와 함께 (조약 제 21 조(3))
KM, ML, MR, NE, SN, TD, TG).

본 발명은 방송 신호를 전송하는 방법을 제안한다. 본 발명에 따른 방송 신호를 전송하는 방법은, 적어도 하나 이상의 입력 스트림을 복수개의 DP (Data Pipe) 로 멀티플렉싱하는 단계, 여기서 상기 적어도 하나 이상의 입력 스트림을 멀티플렉싱하는 단계는, 상기 입력 스트림을 복수개의 DP 로 나누는 단계, 여기서 상기 복수개의 DP 의 데이터는 적어도 하나 이상의 연속된 입력 패킷들을 포함하고, 상기 복수개의 DP 의 데이터를 BB 프레임의 페이로드의 길이와 동일한 길이를 갖는 데이터 단위로 분할하는 단계, 상기 분할된 데이터의 입력 패킷들을 사이클릭-쉬프트(Cyclic-shift) 하는 단계, 상기 사이클릭-쉬프트된 입력 패킷들을 상기 BB 프레임의 페이로드에 할당하는 단계, 및 상기 BB 프레임의 페이로드의 앞에 헤더를 삽입하는 단계를 포함하고; 및 상기 복수개의 DP 의 데이터를 DP 별로 처리하여 전송하는 단계;를 포함할 수 있다.

명세서

발명의 명칭: 방송 신호 송신 장치, 방송 신호 수신 장치, 방송 신호 송신 방법 및 방송 신호 수신 방법

기술분야

- [1] 본 발명은 방송 신호를 송신하는 방송 신호 송신 장치, 방송 신호를 수신하는 방송 신호 수신 장치 및 방송 신호를 송신하고 수신하는 방법에 관한 것이다.

배경기술

- [2] 아날로그 방송 신호에 대한 송출의 중단 시점이 다가오면서, 디지털 방송 신호를 송수신하기 위한 다양한 기술들이 개발되고 있다. 디지털 방송 신호는 아날로그 방송 신호에 비해 대용량의 비디오/오디오 데이터를 포함할 수 있으며, 비디오/오디오 데이터 외에도 다양한 부가 데이터를 포함할 수 있다.
- [3] 즉, 디지털 방송을 위한 디지털 방송 시스템은 HD(High Definition)급의 영상과 다채널의 음향 및 다양한 부가 서비스를 제공할 수 있다. 다만, 고용량의 데이터 전송을 위한 데이터 전송 효율, 송수신 네트워크의 강인성(robustness) 및 모바일 수신 장비를 고려한 네트워크의 유연성(flexibility)은 여전히 개선해야 하는 과제이다.

발명의 상세한 설명

기술적 과제

- [4] 따라서 본 발명의 목적은 차세대 방송 서비스(future broadcast service)를 위한 방송 신호를 전송하고 수신할 수 있는 방송 신호 송신 장치, 방송 신호 수신 장치, 그리고 차세대 방송 서비스(future broadcast service)를 위한 방송 신호를 송신하고 수신하는 방법을 제공하는데 있다.

과제 해결 수단

- [5] 상기 목적을 달성하기 위하여 본 발명은 방송 신호를 전송하는 방법을 제공한다. 본 발명에 따른 방송 신호를 전송하는 방법은 적어도 하나 이상의 입력 스트림을 복수개의 DP (Data Pipe) 로 디멀티플렉싱하는 단계, 여기서 상기 적어도 하나 이상의 입력 스트림을 디멀티플렉싱하는 단계는, 상기 입력 스트림을 복수개의 DP 로 나누는 단계, 여기서 상기 복수개의 DP 의 데이터는 적어도 하나 이상의 연속된 입력 패킷들을 포함하고, 상기 복수개의 DP 의 데이터를 BB 프레임의 페이로드의 길이와 동일한 길이를 갖는 데이터 단위로 분할하는 단계, 상기 분할된 데이터의 입력 패킷들을 사이클릭-쉬프트(Cyclic-shift) 하는 단계, 상기 사이클릭-쉬프트된 입력 패킷들을 상기 BB 프레임의 페이로드에 할당하는 단계, 및 상기 BB 프레임의 페이로드의 앞에 헤더를 삽입하는 단계를 포함하고; 및 상기 복수개의 DP 의 데이터를 DP 별로 처리하여 전송하는 단계;를 포함하는 방송 신호를 전송하는 방법일 수 있다.

- [6] 바람직하게는, 분할된 데이터의 입력 패킷들을 사이클릭-쉬프트하는 단계는, 상기 분할된 데이터의 입력 패킷들 중, 잘려지지 않은 첫 번째 입력 패킷이 상기 페이로드의 처음에 할당되도록 쉬프팅하는 단계를 포함하는 것을 특징으로 하는 방송 신호를 전송하는 방법이 제안될 수 있다.
- [7] 바람직하게는, 분할된 데이터의 입력 패킷들을 사이클릭-쉬프트하는 단계는, 상기 쉬프팅된 데이터의 입력 패킷들 중, 앞 부분이 잘려진 입력 패킷을 상기 페이로드의 마지막에 할당되도록 쉬프팅하는 단계를 더 포함하는 것을 특징으로 하는 방송 신호를 전송하는 방법이 제안될 수 있다.
- [8] 바람직하게는, 복수개의 DP의 데이터를 DP 별로 처리하여 전송하는 단계는, 상기 복수개의 DP의 데이터를 DP 별로 코드레이트에 따라 인코딩하는 단계, 상기 인코딩된 DP의 데이터를 매핑하여 적어도 하나의 신호 프레임을 생성하는 단계 및 OFDM (Orthogonal Frequency Division Multiplexing) 방식에 의하여 상기 생성된 신호 프레임의 데이터를 변조하고, 상기 변조된 신호 프레임의 데이터를 포함하는 방송 신호를 전송하는 단계를 포함하는 것을 특징으로 하는 방송 신호를 전송하는 방법이 제안될 수 있다.
- [9] 다른 관점에서 본 발명은 방송신호를 수신하는 방법을 제공한다. 본 발명에 따른 방송신호를 수신하는 방법은, 방송 신호를 수신하여, 상기 수신한 방송 신호에 포함되는 복수개의 DP (Data Pipe)의 데이터를 처리하는 단계; 및 상기 복수개의 DP를 적어도 하나 이상의 아웃풋 스트림으로 멀티플렉싱하는 단계, 여기서 상기 적어도 하나 이상의 아웃풋 스트림으로 멀티플렉싱하는 단계는, 상기 DP의 데이터의 헤더를 파싱하여 뉴 패킷 포인터를 얻는 단계, 여기서 상기 DP의 데이터는 적어도 하나 이상의 연속된 패킷들을 포함하고, 상기 뉴 패킷 포인터를 이용하여 상기 DP의 데이터의 패킷들을 사이클릭-쉬프트(Cyclic-shift)하는 단계, 및 상기 사이클릭-쉬프트된 데이터를 연속적인 아웃풋 스트림으로 합치는 단계를 포함하는 방송 신호를 수신하는 방법일 수 있다.
- [10] 바람직하게는, DP의 데이터의 패킷들을 사이클릭-쉬프트하는 단계는, 상기 뉴 패킷 포인터를 이용하여, 송신단에서 쉬프팅된 상기 DP의 데이터의 뒷부분의 패킷 조각을 다시 상기 DP의 데이터의 앞부분으로 이동하는 단계를 포함하는 것을 특징으로 하는 방송 신호를 수신하는 방법이 제안될 수 있다.
- [11] 바람직하게는, DP의 데이터의 패킷들을 사이클릭-쉬프트하는 단계는, 상기 패킷 조각을 이동시킨 DP의 데이터를 쉬프팅하는 단계를 더 포함하는 것을 특징으로 하는 방송 신호를 수신하는 방법이 제안될 수 있다.
- [12] 바람직하게는, 방송 신호를 수신하여, 상기 수신한 방송 신호에 포함되는 복수개의 DP의 데이터를 처리하는 단계는, 상기 방송 신호를 수신하고, 상기 수신한 방송 신호에 포함되는 신호 프레임의 데이터를 OFDM (Orthogonal Frequency Division Multiplexing) 방식에 의하여 복조하는 단계, 상기 복수개의 DP의 데이터를 디-매핑하여 상기 신호 프레임을 파싱하는 단계, 및 상기 복수개의 DP의 데이터를 DP 별로 코드레이트에 따라 디코딩하는 단계를

- 포함하는 방송 신호를 수신하는 방법이 제안될 수 있다.
- [13] 바람직하게는, 복수개의 DP의 데이터를 DP 별로 코드레이트에 따라 디코딩하는 단계는, 상기 DP의 데이터의 패킷들의 패킷 헤더에 포함된 데이터를 이용하여 디코딩을 수행하는 것을 특징으로 하는 방송 신호를 수신하는 방법이 제안될 수 있다.
- [14] 또 다른 관점에서 본 발명은 방송신호 전송장치를 제공한다. 본 발명에 따른 방송신호 전송장치는 적어도 하나 이상의 입력 스트림을 복수개의 DP (Data Pipe) 로 멀티플렉싱하는 인풋 포매팅 모듈, 여기서 상기 인풋 포매팅 모듈은, 상기 입력 스트림을 복수개의 DP 로 나누는 제 1 블록, 여기서 상기 복수개의 DP의 데이터는 적어도 하나 이상의 연속된 입력 패킷들을 포함하고, 상기 복수개의 DP의 데이터를 BB 프레임의 페이로드의 길이와 동일한 길이를 갖는 데이터 단위로 분할하는 제 2 블록, 상기 분할된 데이터의 입력 패킷들 사이클릭-쉬프트(Cyclic-shift) 하여 상기 BB 프레임의 페이로드에 할당하는 제 3 블록, 및 상기 BB 프레임의 페이로드에 헤더를 삽입하는 제 4 블록을 포함하고; 및 상기 복수개의 DP의 데이터를 DP 별로 처리하여 전송하는 데이터 처리 모듈;을 포함하는 방송 신호 전송 장치일 수 있다.
- [15] 바람직하게는, 제 3 블록은, 상기 분할된 데이터의 입력 패킷들 중, 잘려지지 않은 첫 번째 입력 패킷이 상기 페이로드의 처음에 할당되도록 쉬프팅하는 것을 특징으로 하는 방송 신호 전송 장치가 제안될 수 있다.
- [16] 바람직하게는, 제 3 블록은, 상기 쉬프팅된 데이터의 입력 패킷들 중, 앞부분이 잘려진 입력 패킷을 상기 페이로드의 마지막에 할당되도록 쉬프팅하는 것을 특징으로 하는 방송 신호 전송 장치가 제안될 수 있다.
- [17] 바람직하게는, 데이터 처리 모듈은, 상기 복수개의 DP의 데이터를 DP 별로 코드레이트에 따라 인코딩하는 인코딩 블록, 상기 인코딩된 DP의 데이터를 매핑하여 적어도 하나의 신호 프레임을 생성하는 프레임 빌딩 블록 및 OFDM (Orthogonal Frequency Division Multiplexing) 방식에 의하여 상기 생성된 신호 프레임의 데이터를 변조하고, 상기 변조된 신호 프레임의 데이터를 포함하는 방송 신호를 전송하는 OFDM 블록을 포함하는 것을 특징으로 하는 방송 신호 전송 장치가 제안될 수 있다.
- [18] 또 다른 관점에서 본 발명은 방송신호 수신장치를 제공한다. 본 발명에 따른 방송신호 수신장치는 방송 신호를 수신하여, 상기 수신한 방송 신호에 포함되는 복수개의 DP (Data Pipe) 의 데이터를 처리하는 데이터 처리 모듈; 및 상기 복수개의 DP를 적어도 하나 이상의 아웃풋 스트림으로 멀티플렉싱하는 아웃풋 프로세서 모듈, 여기서 상기 아웃풋 프로세서 모듈은, 상기 DP의 데이터의 헤더를 파싱하여 뉴 패킷 포인터를 얻는 제 1 블록, 여기서 상기 DP의 데이터는 적어도 하나 이상의 연속된 패킷들을 포함하고, 상기 뉴 패킷 포인터를 이용하여 상기 DP의 데이터의 패킷들을 사이클릭-쉬프트(Cyclic-shift) 하는 제 2 블록, 및 상기 사이클릭-쉬프트된 데이터를 연속적인 아웃풋 스트림으로 합치는 제 3

블록을 포함하는 방송 신호 수신 장치일 수 있다.

- [19] 바람직하게는, 제 2 블록은, 상기 뉴 패킷 포인터를 이용하여, 송신단에서 쉬프팅된 상기 DP의 데이터의 뒷부분의 패킷 조각을 다시 상기 DP의 데이터의 앞부분으로 이동하는 것을 특징으로 하는 방송 신호 수신 장치가 제안될 수 있다.
- [20] 바람직하게는, 제 2 블록은, 상기 패킷 조각을 이동시킨 DP의 데이터를 쉬프팅하는 것을 특징으로 하는 방송 신호 수신 장치가 제안될 수 있다.
- [21] 바람직하게는, 데이터 처리 모듈은, 상기 방송 신호를 수신하고, 상기 수신한 방송 신호에 포함되는 신호 프레임의 데이터를 OFDM (Orthogonal Frequency Division Multiplexing) 방식에 의하여 복조하는 OFDM 블록, 상기 복수개의 DP의 데이터를 디-매핑하여 상기 신호 프레임을 파싱하는 프레임 파서 블록 및 상기 복수개의 DP의 데이터를 DP 별로 코드레이트에 따라 디코딩하는 디코딩 블록을 포함하는 방송 신호 수신 장치가 제안될 수 있다.
- [22] 바람직하게는, 디코딩 블록은, 상기 DP의 데이터의 패킷들의 패킷 헤더에 포함된 데이터를 이용하여 디코딩을 수행하는 것을 특징으로 하는 방송 신호 수신 장치가 제안될 수 있다.

발명의 효과

- [23] 본 발명은 다양한 방송 서비스를 제공하기 위하여 서비스의 특성에 따라 데이터를 처리함으로써, 서비스(service)나 서비스 컴포넌트(service component) 별로 QoS를 조절할 수 있다.
- [24] 본 발명은 다양한 방송 서비스를 동일한 RF 신호 대역폭(RF signal bandwidth)를 통해 전송함으로써 전송상의 유연성(flexibility)을 확보할 수 있다.
- [25] 본 발명은 MIMO 시스템을 사용함으로써 데이터 전송 효율을 높이고 방송 신호 송수신의 강인성(Robustness)를 증가시킬 수 있다.

도면의 간단한 설명

- [26] 도 1은 본 발명의 일 실시예에 따른 차세대 방송 서비스를 위한 송신 장치의 구조를 나타낸 도면이다.
- [27] 도 2는 본 발명의 일 실시예에 따른 인풋 포매팅 모듈을 나타낸 도면이다.
- [28] 도 3은 본 발명의 다른 실시예에 따른 인풋 포매팅 모듈을 나타낸 도면이다.
- [29] 도 4는 본 발명의 또 다른 실시예에 따른 인풋 포매팅 모듈을 나타낸 도면이다.
- [30] 도 5는 본 발명의 일 실시예에 따른 코딩 앤 모듈레이션 모듈을 나타낸 도면이다.
- [31] 도 6은 본 발명의 일 실시예에 따른 프레임 스트럭처 모듈을 나타낸 도면이다.
- [32] 도 7은 본 발명의 일 실시예에 따른 웨이브폼 제너레이션 모듈을 나타낸 도면이다.
- [33] 도 8은 본 발명의 일 실시예에 따른 차세대 방송 서비스를 위한 수신 장치의 구조를 나타낸 도면이다.

- [34] 도 9는 본 발명의 일 실시예에 따른 동기화 & 복조 모듈을 나타낸 도면이다.
- [35] 도 10은 본 발명의 일 실시예에 따른 프레임 과싱 모듈을 나타낸 도면이다.
- [36] 도 11은 본 발명의 일 실시예에 따른 디매핑 & 디코딩 모듈을 나타낸 도면이다.
- [37] 도 12는 본 발명의 일 실시예에 따른 아웃풋 프로세서를 나타낸 도면이다.
- [38] 도 13은 본 발명의 다른 실시예에 따른 아웃풋 프로세서를 나타낸 도면이다.
- [39] 도 14는 본 발명의 다른 실시예에 따른 코딩 엔 모듈레이션 모듈을 나타낸 도면이다.
- [40] 도 15는 본 발명의 다른 실시예에 따른 디매핑 & 디코딩 모듈을 나타낸 도면이다.
- [41] 도 16은 본 발명의 다른 실시예에 따른 인풋 포매팅 모듈 및 새로운 BB 헤더 삽입(BB header insertion) 블록을 도시한 도면이다.
- [42] 도 17은 본 발명의 다른 실시예에 따른 아웃풋 프로세서 및 새로운 BB 헤더 파서(BB header parser) 블록을 도시한 도면이다.
- [43] 도 18은 종래 기술에 따른 인풋 포매팅 과정의 문제점을 도시한 도면이다.
- [44] 도 19는 본 발명의 일 실시예에 따른 사이클릭-쉬프티드 페이로드 메쏘드를 도시한 도면이다.
- [45] 도 20은 본 발명의 일 실시예에 따른 조인트 디코딩 메쏘드(Joint decoding method)를 도시한 도면이다.
- [46] 도 21은 본 발명의 일 실시예에 따른 방송 신호를 전송하는 방법을 도시한 도면이다.
- [47] 도 22는 본 발명의 일 실시예에 따른 방송 신호를 수신하는 방법을 도시한 도면이다.

발명의 실시를 위한 최선의 형태

- [48] 본 명세서에서 사용되는 용어는 본 발명에서의 기능을 고려하면서 가능한 현재 널리 사용되는 일반적인 용어를 선택하였으나, 이는 당 분야에 종사하는 기술자의 의도, 관례 또는 새로운 기술의 출현 등에 따라 달라질 수 있다. 또한 특정 경우는 출원인이 임의로 선정한 용어도 있으며, 이 경우 해당되는 발명의 설명 부분에서 그 의미를 기재할 것이다. 따라서 본 명세서에서 사용되는 용어는, 단순한 용어의 명칭이 아닌 그 용어가 아닌 실질적인 의미와 본 명세서의 전반에 걸친 내용을 토대로 해석되어야 함을 밝혀두고자 한다.
- [49] 본 발명은 차세대 방송 서비스를 위한 방송 신호를 송수신 할 수 있는 장치 및 방법을 제공하기 위한 것이다. 본 발명의 일 실시예에 따른 차세대 방송 서비스는 지상파 방송 서비스, 모바일 방송 서비스 및 UHDTV(Ultra High Definition Television) 서비스등을 포함하는 개념이다. 본 발명은 상술한 차세대 방송 서비스를 위한 방송 신호를 비MIMO(non-MIMO, Multi Input Multi Output) 방식 또는 MIMO 방식으로 처리하는 것을 일 실시예로 할 수 있다. 본 발명의 일 실시예에 따른 비MIMO 방식은 MISO (Multi Input Single Output), SISO (Single

- Input Single Output) 방식 등을 포함할 수 있다.
- [50] 이하에서, MISO 또는 MIMO의 다중 안테나는 설명의 편의를 위해 2개의 안테나를 예로서 설명할 수 있으나, 이러한 본 발명의 설명은 2개 이상의 안테나를 사용하는 시스템에 적용될 수 있다.
- [51] 도 1은 본 발명의 일 실시예에 따른 차세대 방송 서비스를 위한 송신 장치의 구조를 나타낸 도면이다.
- [52] 본 발명의 일 실시예에 따른 차세대 방송 서비스를 위한 송신 장치는 인풋 포매팅 모듈(1000), 코딩 앤 모듈레이션 모듈(1100), 프레임 스트럭처 모듈(1200), 웨이브폼 제너레이션 모듈(1300) 및 시그널링 제너레이션 모듈(1400)을 포함할 수 있다. 이하 각 모듈의 동작을 중심으로 설명한다.
- [53] 도 1에 도시된 바와 같이, 본 발명의 일 실시예에 따른 차세대 방송 서비스를 위한 송신 장치는 입력 신호로서 MPEG-TS 스트림(stream), IP 스트림(v4/v6) 그리고 제네릭 스트림(Generic stream, GS)을 입력받을 수 있다. 또한 입력 신호를 구성하는 각 스트림의 구성에 관한 부가 정보(management information)를 입력받고, 입력받은 부가 정보를 참조하여 최종적인 피지컬 레이어 시그널(physical layer signal)을 생성할 수 있다.
- [54] 본 발명의 일 실시예에 따른 인풋 포매팅 모듈(1000)은 입력된 스트림들을 코딩 및 변조를 수행하기 위한 기준 또는 서비스 및 서비스 컴포넌트 기준에 따라 나누어 복수의 로지컬 데이터 파이프(logical data pipes, 또는 데이터 파이프(data pipes, DP))로 생성할 수 있다. 데이터 파이프는 피지컬 레이어의 논리적 채널로서, 서비스 데이터 또는 관련된 메타데이터를 운반할 수 있다. 데이터 파이프는 하나 또는 복수개의 서비스, 또는 하나 또는 복수개의 서비스 컴포넌트(component)를 운반할 수 있다. 또한 데이터 파이프(data pipe)를 통해 전송되는 데이터를 DP 데이터라 호칭할 수 있다.
- [55] 또한 본 발명의 일 실시예에 따른 인풋 포매팅 모듈(1000)은 생성된 각각의 데이터 파이프를 코딩 및 변조를 수행하기 위해 필요한 블록 단위로 나누고, 전송효율을 높이거나 스케줄링을 하기 위해 필요한 일련의 과정들을 수행할 수 있다. 구체적인 내용은 후술한다.
- [56] 본 발명의 일 실시예에 따른 코딩 앤 모듈레이션 모듈(1100)은 인풋 포매팅 모듈(1000)으로부터 입력받은 각각의 데이터 파이프에 대해서 FEC(forward error correction) 인코딩을 수행하여 전송채널에서 발생할 수 있는 에러를 수신단에서 정정할 수 있도록 한다. 또한 본 발명의 일 실시예에 따른 코딩 앤 모듈레이션 모듈(1100)은 FEC 출력 비트 데이터에 대해서 심볼 데이터로 전환하고, 인터리빙을 수행하여 채널에 의한 버스트 에러(burst error)를 정정할 수 있다. 또한 도 1에 도시된 바와 같이 두 개 이상의 멀티플 안테나(multiple Tx antenna)를 통해 전송하기 위하여 본 발명의 일 실시예에 따른 코딩 앤 모듈레이션 모듈(1100)은 처리한 데이터를 각 안테나 출력을 위한 데이터 패스(data path)로 나누어 출력할 수 있다.

- [57] 본 발명의 일 실시예에 따른 프레임 스트럭처 모듈(1200)은 코딩 엔 모듈레이션 모듈(1100)에서 출력된 데이터를 신호 프레임에 매핑할 수 있다. 본 발명의 일 실시예에 따른 프레임 스트럭처 모듈(1200)은 인풋 포매팅 모듈(1000)에서 출력된 스케줄링 정보를 이용하여 매핑을 수행할 수 있으며, 추가적인 디버시티 게인(gain)을 얻기 위하여 신호 프레임 내의 데이터에 대하여 인터리빙을 수행할 수 있다.
- [58] 본 발명의 일 실시예에 따른 웨이브폼 제너레이션 모듈(1300)은 프레임 스트럭처 모듈(1200)에서 출력된 신호 프레임들을 최종적으로 전송할 수 있는 형태의 신호로 변환시킬 수 있다. 이 경우, 본 발명의 일 실시예에 따른 웨이브폼 제너레이션 모듈(1300)은 전송 시스템의 감지(detection)를 위해 프리앰블 시그널(또는 프리앰블)을 삽입하고, 전송채널을 추정하여 왜곡을 보상할 수 있도록 리퍼런스 시그널(reference signal)을 삽입할 수 있다. 또한 본 발명의 일 실시예에 따른 웨이브폼 제너레이션 모듈(1300)은 다중 경로 수신에 따른 채널 딜레이 스프레드(channel delay spread)에 의한 영향을 상쇄시키기 위해서 가드 인터벌(guard interval)을 두고 해당 구간에 특정 시퀀스(sequence)를 삽입할 수 있다. 또한 본 발명의 일 실시예에 따른 웨이브폼 제너레이션 모듈(1300)은 부가적으로 출력 신호의 피크-투-에버리지 파워 레이션(peak-to-average power ratio)와 같은 신호특성을 고려하여 효율적인 전송에 필요한 과정을 수행할 수 있다.
- [59] 본 발명의 일 실시예에 따른 시그널링 제너레이션 모듈(1400)은 입력된 부가정보(management information) 및 인풋 포매팅 모듈(1000), 코딩 엔 모듈레이션 모듈(1100) 및 프레임 스트럭처 모듈(1200)에서 발생된 정보를 이용하여 최종적인 시그널링 정보(physical layer signaling)를 생성한다. 따라서 본 발명의 일 실시예에 따른 수신 장치는 시그널링 정보를 복호화하여 수신된 신호를 디코딩할 수 있다.
- [60] 상술한 바와 같이 본 발명의 일 실시예에 따른 차세대 방송 서비스를 위한 송신 장치는 지상파 방송 서비스, 모바일 방송 서비스 및 UHDTV 서비스등을 제공할 수 있다. 따라서 본 발명의 일 실시예에 따른 차세대 방송 서비스를 위한 송신 장치는 서로 다른 서비스를 위한 신호들을 시간 영역에서 멀티플렉싱하여 전송할 수 있다.
- [61] 도 2 내지 도 4는 도 1에서 설명한 본 발명의 일 실시예에 따른 인풋 포매팅 모듈(1000)의 실시예를 나타낸 도면이다. 이하 각 도면에 대해 설명한다.
- [62] 도 2는 본 발명의 일 실시예에 따른 인풋 포매팅 모듈을 나타낸 도면이다. 도 2는 인풋 신호가 싱글 인풋 스트림(single input stream)인 경우의 인풋 포매팅 모듈을 나타낸다.
- [63] 도 2에 도시된 바와 같이 본 발명의 일 실시예에 따른 인풋 포매팅 모듈은 모드 어댑테이션 모듈(2000)과 스트림 어댑테이션 모듈(2100)을 포함할 수 있다.
- [64] 도 2에 도시된 바와 같이 모드 어댑테이션 모듈(2000)은 인풋 인터페이스

- 블록(2010), CRC-8 인코더 블록(2020) 및 BB 헤더 삽입(BB header insertion) 블록(2030)을 포함할 수 있다. 이하 각 블록에 대해 간략히 설명한다.
- [65] 인풋 인터페이스 블록(2010)은 입력된 싱글 인풋 스트림을 추후 FEC(BCH/LDPC)를 수행하기 위한 BB 프레임(baseband(BB) frame) 길이 단위로 나눠서 출력할 수 있다.
- [66] CRC-8 인코더 블록(2020)은 각 BB 프레임 데이터에 대해서 CRC 인코딩을 수행하여 여분 데이터(redundancy data)를 추가할 수 있다.
- [67] 이후, BB 헤더 삽입(BB header insertion) 블록(2030)은 모드 어댑테이션 타입(Mode Adaptation Type, (TS/GS/IP)), 유저 패킷 길이(User Packet Length), 데이터 필드 길이(Data Field Length), 유저 패킷 싱크 바이트(User Packet Sync Byte), 데이터 필드에서의 유저 패킷 싱크 바이트의 시작 주소(Start Address of User Packet Sync Byte in Data Field), 고효율 모드 인디케이터(High Efficiency Mode Indicator), 인풋 스트림 동기화 필드(Input Stream Synchronization Field) 등 정보를 포함하는 헤더를 BB 프레임에 삽입할 수 있다.
- [68] 도 2에 도시된 바와 같이, 스트림 어댑테이션 모듈(2100)은 패딩 삽입(Padding insertion) 블록(2110) 및 BB 스크램블러(scrambler) 블록(2120)을 포함할 수 있다. 이하 각 블록에 대해 간략히 설명한다.
- [69] 패딩 삽입(Padding insertion) 블록(2110)은 모드 어댑테이션 모듈(2000)로부터 입력받은 데이터가 FEC 인코딩에 필요한 입력 데이터 길이보다 작은 경우, 패딩 비트(padding bit)를 삽입하여 필요한 입력 데이터 길이를 가지도록 출력할 수 있다.
- [70] BB 스크램블러 블록(2120)은 입력된 비트 스트림(bit stream)을 수도 랜덤 바이너리 시퀀스(PRBS-Pseudo Random Binary Sequence)로 XOR연산을 하여 랜덤화(randomize)할 수 있다.
- [71] 상술한 블록들은 설계자의 의도에 따라 생략되거나, 비슷하거나 동일한 기능을 가진 다른 블록에 의해서 대체될 수 있다.
- [72] 도 2에 도시된 바와 같이, 인풋 포매팅 모듈은 최종적으로 데이터 파이프를 코딩 앤 모듈레이션 모듈로 출력할 수 있다.
- [73] 도 3은 본 발명의 다른 실시예에 따른 인풋 포매팅 모듈을 나타낸 도면이다. 도 3은 인풋 신호가 멀티플 인풋 스트림(multiple input streams)인 경우의 인풋 포매팅 모듈의 모드 어댑테이션 모듈을 나타낸 도면이다.
- [74] 멀티플 인풋 스트림(multiple input streams)을 처리하기 위한 인풋 포매팅 모듈의 모드 어댑테이션 모듈은 각 인풋 스트림을 독립적으로 처리할 수 있다.
- [75] 도 3에 도시된 바와 같이, 멀티플 인풋 스트림을 각각 처리하기 위한 모드 어댑테이션 모듈(3000)은 인풋 인터페이스 블록, 인풋 스트림 동기화(input stream synchronizer) 블록, 딜레이 보상(compensating delay) 블록, 널 패킷 제거(null packet deletion) 블록, CRC-8 인코더 블록 및 BB 헤더 삽입(BB header insertion) 블록을 포함할 수 있다. 이하 각 블록에 대해 간략히 설명한다.

- [76] 인풋 인터페이스 블록, CRC-8 인코더 블록 및 BB 헤더 삽입 블록의 동작들은 도 2에서 설명한 바와 같으므로 생략한다.
- [77] 인풋 스트림 동기화 블록(3100)은 인풋 스트림 클럭 리퍼런스(ISCR-Input Stream Clock Reference) 정보를 전송하여, 수신단에서 TS 혹은 GS 스트림을 복원하는데 필요한 타이밍정보를 삽입할 수 있다.
- [78] 딜레이 보상 블록(3200)은 인풋 스트림 동기화 블록에 의해 발생된 타이밍정보와 함께 송신 장치의 데이터 처리에 따른 데이터 파이프간 딜레이가 발생한 경우, 수신 장치에서 동기를 맞출 수 있도록 입력 데이터를 지연시켜서 출력할 수 있다.
- [79] 널 패킷 제거 블록(3300)은 불필요하게 전송될 입력 널 패킷을 제거하고, 제거된 위치에 따라 제거된 널 패킷의 개수를 삽입하여 전송할 수 있다.
- [80] 상술한 블록들은 설계자의 의도에 따라 생략되거나, 비슷하거나 동일한 기능을 가진 다른 블록에 의해서 대체될 수 있다.
- [81] 도 4는 본 발명의 또 다른 실시예에 따른 인풋 포매팅 모듈을 나타낸 도면이다.
- [82] 구체적으로 도 4는 인풋 신호가 멀티플 인풋 스트림(multiple input streams)인 경우의 인풋 포매팅 모듈의 스트림 어댑테이션 모듈을 나타낸 도면이다.
- [83] 본 발명의 일 실시예에 따른 멀티플 인풋 스트림인 경우의 인풋 포매팅 모듈의 스트림 어댑테이션 모듈은 스케줄러(scheduler)(4000), 1-프레임 딜레이 블록(4100), 인-밴드 시그널링 또는 패딩 삽입(In-band signaling or padding insertion) 블록(4200), 피지컬 레이어 시그널링 제너레이션(physical layer signaling generation) 블록(4300) 및 BB 스크램블러 블록(4400)을 포함할 수 있다. 이하 각 블록의 동작에 대해 설명한다.
- [84] 스케줄러(4000)는 듀얼 폴라리티(dual polarity)를 포함한 다중 안테나를 사용하는 MIMO 시스템을 위한 스케줄링을 수행할 수 있다. 또한 스케줄러(4000)는 도 1에서 설명한 코딩 & 모듈레이션 모듈 내의 비트 투 셀 디머스(bit to cell demux) 블록, 셀 인터리버 블록, 타임 인터리버 블록 등 각 안테나 패쓰(antenna path)를 위한 신호 처리 블록들에 사용될 파라미터(parameter)들을 발생시킬 수 있다.
- [85] 1-프레임 딜레이 블록(4100)은 데이터 파이프 내에 삽입될 인-밴드 시그널링(in-band signaling) 등을 위해서 다음 프레임에 대한 스케줄링 정보가 현재 프레임에 전송될 수 있도록 입력 데이터를 하나의 전송 프레임만큼 지연시킬 수 있다.
- [86] 인-밴드 시그널링 또는 패딩 삽입(In-band signaling or padding insertion) 블록(4200)은 한 개의 전송 프레임만큼 지연된 데이터에 지연되지 않은 피지컬 레이어 시그널링(physical layer signaling(PLS))-다이나믹 시그널링(dynamic signaling) 정보를 삽입할 수 있다. 이 경우, 인-밴드 시그널링 또는 패딩 삽입 블록(4200)은 패딩을 위한 공간이 있는 경우에 패딩 비트(padding bit)을 삽입하거나, 인-밴드 시그널링 정보를 패딩 공간에 삽입할 수 있다. 또한,

스케줄러(4000)는 인-밴드 시그널링과 별개로 현재 프레임에 대한 피지컬 레이어 시그널링-다이나믹 시그널링 정보를 출력할 수 있다. 따라서 후술할 셀 매퍼(cell mapper)는 스케줄러(4000)에서 출력한 스케줄링 정보에 따라 입력 셀들을 매핑할 수 있다.

- [87] 피지컬 레이어 시그널링 제너레이션 블록(4300)은 인-밴드 시그널링을 제외하고 전송 프레임의 프리앰블 심볼이나 분산(spreading)되어 데이터 심볼등에 전송될 피지컬 레이어 시그널링 데이터(physical layer signaling data)를 생성할 수 있다. 이 경우, 본 발명의 일 실시예에 따른 피지컬 레이어 시그널링 데이터는 시그널링 정보로 호칭할 수 있다. 또한 본 발명의 일 실시예에 따른 피지컬 레이어 시그널링 데이터는 PLS-프리(PLS-pre) 정보와 PLS-포스트(PLS-post) 정보로 분리될 수 있다. PLS-프리 정보는 PLS-포스트 정보를 인코딩하는데 필요한 파라미터들과 스테틱 PLS 시그널링 데이터(static PLS signaling data)를 포함할 수 있으며, PLS-포스트 정보는 데이터 파이프를 인코딩하는데 필요한 파라미터를 포함할 수 있다. 상술한 데이터 파이프를 인코딩하는데 필요한 파라미터는 다시 스테틱 PLS 시그널링 데이터(static PLS signaling data) 및 다이나믹 PLS 시그널링 데이터(dynamic PLS signaling data)로 분리될 수 있다. 스테틱 PLS 시그널링 데이터는 수퍼 프레임에 포함된 모든 프레임에 공통적으로 적용될 수 있는 파라미터로 수퍼 프레임 단위로 변경될 수 있다. 다이나믹 PLS 시그널링 데이터는 수퍼 프레임에 포함된 프레임마다 다르게 적용될 수 있는 파라미터로, 프레임 단위로 변경될 수 있다. 따라서 수신 장치는 PLS-프리 정보를 디코딩하여 PLS-포스트 정보를 획득하고, PLS-포스트 정보를 디코딩하여 원하는 데이터 파이프를 디코딩할 수 있다.
- [88] BB 스크램블러 블록(4400)은 최종적으로 웨이브폼 제너레이션(waveform generation) 블록의 출력 신호의 PAPR 값이 낮아지도록 수도 랜덤 바이너리 시퀀스(PRBS)를 발생시켜서 입력 비트열과 XOR을 수행하여 출력할 수 있다. 도 4에 도시된 바와 같이 BB 스크램블러 블록(4400)의 스크램블링은 데이터 파이프와 피지컬 레이어 시그널링모두에 대해 적용될 수 있다.
- [89] 상술한 블록들은 설계자의 의도에 따라 생략되거나, 비슷하거나 동일한 기능을 가진 다른 블록에 의해서 대체될 수 있다.
- [90] 도 4에 도시된 바와 같이, 스트림 어댑테이션 모듈은 최종적으로 각 데이터 파이프를 코딩 앤 모듈레이션 모듈로 출력할 수 있다.
- [91] 도 5는 본 발명의 일 실시예에 따른 코딩 앤 모듈레이션 모듈을 나타낸 도면이다.
- [92] 도 5의 코딩 앤 모듈레이션 모듈은 도 1에서 설명한 코딩 앤 모듈레이션 모듈(1100)의 일 실시예에 해당한다.
- [93] 상술한 바와 같이 본 발명의 일 실시예에 따른 차세대 방송 서비스를 위한 송신 장치는 지상파 방송 서비스, 모바일 방송 서비스 및 UHDTV 서비스등을 제공할 수 있다.

- [94] 즉, 본 발명의 일 실시예에 따른 차세대 방송 서비스를 위한 송신 장치가 제공하고자 하는 서비스의 특성에 따라 QoS (quality of service)가 다르기 때문에 각 서비스에 대응하는 데이터가 처리되는 방식이 달라져야 한다. 따라서 본 발명의 일 실시예에 따른 코딩 앤 모듈레이션 모듈은 입력된 데이터 파이프들에 대하여 각각의 패쓰(path)별로 SISO, MISO와 MIMO 방식을 독립적으로 적용하여 처리할 수 있다. 결과적으로 본 발명의 일 실시예에 따른 차세대 방송 서비스를 위한 송신 장치는 각 데이터 파이프를 통해 전송하는 서비스나 서비스 컴포넌트(component)별로 QoS를 조절할 수 있다.
- [95] 따라서 본 발명의 일 실시예에 따른 코딩 앤 모듈레이션 모듈은 SISO 방식을 위한 제 1 블록(5000), MISO 방식을 위한 제 2 블록(5100), MIMO 방식을 위한 제 3 블록(5200) 및 PLS 프리/포스트 정보를 처리하기 위한 제 4 블록(5300)을 포함할 수 있다. 도 5에 도시된 코딩 앤 모듈레이션 모듈은 일 실시예에 불과하며 설계자의 의도에 따라 코딩 앤 모듈레이션 모듈은 제 1 블록(5000) 및 제 4 블록(5300)만을 포함할 수도 있고, 제 2 블록(5100) 및 제 4 블록(5300)만을 포함할 수도 있고, 제 3 블록(5200) 및 제 4 블록(5300)만을 포함할 수도 있다. 즉 설계자의 의도에 따라 코딩 앤 모듈레이션 모듈은 각 데이터 파이프를 동일하게 또는 다르게 처리하기 위한 블록들을 포함할 수 있다.
- [96] 이하 각 블록에 대해 설명한다.
- [97] 제 1 블록(5000)은 입력된 데이터 파이프를 SISO 처리하기 위한 블록으로 FEC 인코더 블록(5010), 비트 인터리버 블록(5020), 비트 투 셀 디머스(bit to cell demux) 블록(5030), 성상도 매핑(constellation mapper) 블록(5040), 셀 인터리버(cell interleaver) 블록(5050) 및 타임 인터리버(time interleaver) 블록(5060)을 포함할 수 있다.
- [98] FEC 인코더 블록(5010)은 입력된 데이터 파이프에 대하여 BCH 인코딩과 LDPC 인코딩을 수행하여 여분(redundancy)을 추가하고, 전송채널상의 오류를 수신단에서 정정할 수 있다.
- [99] 비트 인터리버 블록(5020)은 FEC 인코딩이 수행된 데이터의 비트열을 인터리빙 규칙(interleaving rule)에 의해서 인터리빙하여 전송채널 중에 발생할 수 있는 버스트 에러(burst error)에 대해 강인성을 갖도록 처리할 수 있다. 따라서 QAM 심볼에 딥 페이딩(deep fading) 혹은 이레이셔(erasure)가 가해진 경우, 각 QAM 심볼에는 인터리빙된 비트들이 매핑되어 있으므로 전체 코드워드 비트(codeword bit)들 중에서 연속된 비트들에 오류가 발생하는 것을 막을 수 있다.
- [100] 비트 투 셀 디머스 블록(5030)은 입력된 비트열의 순서와 성상도 매핑 규칙(constellation mapping rule)을 모두 고려하여 FEC 블록 내 각 비트들이 적절한 강건성(robustness)을 갖고 전송될 수 있도록 입력 비트열의 순서를 결정하여 출력할 수 있다.
- [101] 성상도 매핑(Constellation mapper) 블록(5040)은 입력된 비트 워드(bit word)를

하나의 성상도(constellation)에 매핑할 수 있다. 이 경우 성상도 매핑 블록은 추가적으로 로테이션 & Q-딜레이(rotation & Q-delay)를 수행할 수 있다. 즉, 성상도 매핑 블록은 입력된 성상도들을 회전각(rotation angle)에 따라 회전시킨 후에 In-phase 성분과 Quadrature-phase 성분으로 나눈 후에 Quadrature-phase 성분만을 임의의 값으로 딜레이시킬 수 있다. 이후 페어(pair) 된 I 성분과 Q 성분을 이용해서 새로운 성상도로 다시 매핑할 수 있다.

- [102] 셀 인터리버 블록(5050)은 한 개의 FEC 블록에 해당하는 셀들을 랜덤하게 섞어서 출력하여, 각 FEC 블록에 해당하는 셀들이 각 FEC 블록마다 서로 다른 순서로 출력할 수 있다.
- [103] 타임 인터리버 블록(5060)은 여러 개의 FEC 블록에 속하는 셀들을 서로 섞어서 출력할 수 있다. 따라서 각 FEC 블록의 셀들은 타임 인터리빙 텀스(depth)만큼의 구간 내에 분산되어 전송되므로 디버시티 개인을 획득할 수 있다.
- [104] 제 2 블록(5100)은 입력된 데이터 파이프를 MISO 처리하기 위한 블록으로도 5에 도시된 바와 같이 제 1 블록(5000)과 동일하게 FEC 인코더 블록, 비트 인터리버 블록, 비트 투 셀 디믹스(bit to cell demux) 블록, 성상도 매핑(constellation mapper) 블록, 셀 인터리버 블록 및 타임 인터리버 블록을 포함할 수 있으나, MISO 프로세싱 블록(5110)을 더 포함한다는 점에서 차이가 있다. 제 2 블록(5100)은 제 1 블록(5000)과 마찬가지로 입력부터 타임 인터리버까지 동일한 역할의 과정을 수행하므로, 동일한 블록들에 대한 설명은 생략한다.
- [105] MISO 프로세싱 블록(5110)은 입력된 일련의 셀들에 대해서 전송 디버시티(transmit diversity)를 주는 MISO 인코딩 매트릭스에 따라 인코딩을 수행하고, MISO 처리된 데이터를 두 개의 패스(path)를 통해 출력할 수 있다. 본 발명의 일 실시예에 따른 MISO 프로세싱은 OSTBC(orthogonal space time block coding)/OSFBC (orthogonal space frequency block coding, 일명 알라모티 코딩(Alamouti coding))을 포함할 수 있다.
- [106] 제 3 블록(5200)은 입력된 데이터 파이프를 MIMO 처리하기 위한 블록으로도 5에 도시된 바와 같이 제 2 블록(5100)과 동일하게 FEC 인코더 블록, 비트 인터리버 블록, 비트 투 셀 디믹스 블록, 성상도 매핑 블록, 셀 인터리버 블록 및 타임 인터리버 블록을 포함할 수 있으나, MIMO 프로세싱 블록(5220)을 포함한다는 점에서 데이터 처리 과정의 차이가 있다.
- [107] 즉, 제 3 블록(5200)의 경우, FEC 인코더 블록 및 비트 인터리버 블록은 제 1 및 2 블록(5000, 5100)과 구체적인 기능은 다르지만 기본적인 역할은 동일하다.
- [108] 비트 투 셀 디믹스 블록(5210)은 MIMO 프로세싱의 입력 개수와 동일한 개수의 출력 비트열을 생성하여 MIMO 프로세싱을 위한 MIMO 패스(path)를 통해 출력할 수 있다. 이 경우, 비트 투 셀 디믹스 블록(5210)은 LDPC와 MIMO 프로세싱의 특성을 고려하여 수신단의 디코딩 성능을 최적화하도록 설계될 수 있다.

- [109] 성상도 매퍼 블록, 셀 인터리버 블록, 타임 인터리버 블록 역시 구체적인 기능은 다를 수 있지만 기본적인 역할은 제 1 및 2 블록(5000, 5100)에서 설명한 바와 동일하다. 또한 도 5에 도시된 바와 같이, 성상도 매퍼 블록, 셀 인터리버 블록, 타임 인터리버 블록들은 비트 투 셀 디믹스 블록에서 출력된 출력 비트열을 처리하기 위하여, MIMO 프로세싱을 위한 MIMO 패쓰(path)의 개수만큼 존재할 수 있다. 이 경우, 성상도 매퍼 블록, 셀 인터리버 블록, 타임 인터리버 블록들은 각 패쓰(path)들을 통해 입력되는 데이터들에 대하여 각각 동일하게 동작하거나 혹은 독립적으로 동작할 수 있다.
- [110] MIMO 프로세싱 블록(5220)은 입력된 두 개의 입력 셀에 대해서 MIMO 인코딩 매트릭스를 사용하여 MIMO 프로세싱을 수행하고 MIMO 프로세싱 된 데이터를 두 개의 패쓰(path)를 통해 출력할 수 있다. 본 발명의 일 실시예에 따른 MIMO 인코딩 매트릭스는 스페이셜 멀티플렉싱(spatial multiplexing), 골든 코드(Golden code), 풀-레이트 풀-다이버시티 코드(Full-rate full diversity code), 선형 분산 코드(Linear dispersion code) 등을 포함할 수 있다.
- [111] 제 4 블록(5300)은 PLS 프리/포스트 정보를 처리하기 위한 블록으로, SISO 또는 MISO 프로세싱을 수행할 수 있다.
- [112] 제 4 블록(5300)에 포함된 비트 인터리버 블록, 비트 투 셀 디믹스 블록, 성상도 매퍼 블록, 셀 인터리버 블록, 인터리버 블록 및 MISO 프로세싱 블록 등은 상술한 제 2 블록(5100)에 포함된 블록들과 구체적인 기능은 다를 수 있지만 기본적인 역할은 동일하다.
- [113] 제 4 블록(5300)에 포함된 쇼튼/평처드(Shortened/punctured) FEC 인코더 블록(5310)은 입력 데이터의 길이가 FEC 인코딩을 수행하는데 필요한 길이보다 짧은 경우를 대비한 PLS 패쓰(path)를 위한 FEC 인코딩 방식을 사용하여 PLS 데이터를 처리할 수 있다. 구체적으로, 쇼튼/평처드(Shortened/punctured) FEC 인코더 블록은 입력 비트열에 대해서 BCH 인코딩을 수행하고, 이후 노말 LDPC 인코딩에 필요한 입력 비트열의 길이만큼 제로 패딩(zero padding)을 하고, LDPC 인코딩을 한 후에 패딩한 제로(zero)를 제거하여 효율적 코드레이트(effective code rate)가 데이터 파이프보다 같거나 낮도록 패리티 비트(parity bit)을 평처링(puncturing)할 수 있다.
- [114] 상술한 제 1 블록(5000) 내지 제 4 블록(5300)에 포함된 블록들은 설계자의 의도에 따라 생략되거나, 비슷하거나 동일한 기능을 가진 다른 블록에 의해서 대체될 수 있다.
- [115] 도 5에 도시된 바와 같이, 코딩 엔 모듈레이션 모듈은 최종적으로 각 패쓰(path)별로 처리된 데이터 파이프, PLS-프리 정보, PLS-포스트 정보를 프레임 스트럭처 모듈로 출력할 수 있다.
- [116] 도 6은 본 발명의 일 실시예에 따른 프레임 스트럭처 모듈을 나타낸 도면이다.
- [117] 도 6에 도시된 프레임 스트럭처 모듈은 도 1에서 설명한 프레임 스트럭처 모듈(1200)의 일 실시예에 해당한다.

- [118] 본 발명의 일 실시예에 따른 프레임 스트럭처 블록은 적어도 하나 이상의 셀 매퍼(cell-mapper)(6000), 적어도 하나 이상의 딜레이 보상(delay compensation) 모듈(6100) 및 적어도 하나 이상의 블록 인터리버(block interleaver)(6200)을 포함할 수 있다. 셀 매퍼(6000), 딜레이 보상 모듈(6100) 및 블록 인터리버(6200)의 개수는 설계자의 의도에 따라 변경 가능하다. 이하 각 모듈의 동작을 중심으로 설명한다.
- [119] 셀 매퍼(6000)는 코딩 엔 모듈레이션 모듈로부터 출력된 SISO 또는 MISO 또는 MIMO 처리된 데이터 파이프에 대응하는 셀들, 데이터 파이프간 공통으로 적용될 수 있는 커먼 데이터(common data)에 대응하는 셀들, PLS-프리/포스트 정보에 대응하는 셀들을 스케줄링 정보에 따라 신호 프레임에 할당(allocation) 할 수 있다. 커먼 데이터는 전부 또는 일부의 데이터 파이프간에 공통으로 적용될 수 있는 시그널링 정보를 의미하며, 특정 데이터 파이프를 통해 전송될 수 있다. 커먼 데이터를 전송하는 데이터 파이프를 커먼 데이터 파이프라 호칭할 수 있으며 이는 설계자의 의도에 따라 변경 가능하다.
- [120] 본 발명의 일 실시예에 따른 송신 장치가 2개의 출력 안테나를 사용하고, 상술한 MISO 프로세싱에서 알라모티 코딩(Alamouti coding)을 사용하는 경우, 알라모티 인코딩에 의한 직교성(orthogonality)를 유지하기 위해서 셀 매퍼(6000)는 페어-와이즈 셀 매핑(pair-wise cell mapping)을 수행할 수 있다. 즉, 셀 매퍼(6000)는 입력 셀들에 대해서 연속된 두 개의 셀을 하나의 단위로 처리하여 프레임에 매핑할 수 있다. 따라서 각 안테나의 출력 패쓰(path)에 해당하는 입력 패쓰(path) 내의 페어된 셀(paired cell)은 전송 프레임 내 서로 인접한 위치에 할당될 수 있다.
- [121] 딜레이 보상 블록(6100)은 다음 전송 프레임에 대한 입력 PLS 데이터 셀을 한 프레임만큼 딜레이하여 현재 전송 프레임에 해당하는 PLS 데이터를 획득할 수 있다. 이 경우, 현재 프레임의 PLS 데이터는 현재 신호 프레임 내의 프리앰블 파트를 통해 전송될 수 있으며, 다음 신호 프레임에 대한 PLS 데이터는 현재 신호 프레임 내의 프리앰블 파트 또는 현재 신호 프레임의 각 데이터 파이프내의 인-밴드 시그널링을 통해서 전송될 수 있다. 이는 설계자의 의도에 따라 변경 가능하다.
- [122] 블록 인터리버(6200)는 신호 프레임의 단위가 되는 전송 블록 내의 셀들을 인터리빙함으로써 추가적인 디버시티 계인을 획득할 수 있다. 또한 블록 인터리버(6200)는 상술한 페어-와이즈 셀 매핑(pair-wise cell mapping)이 수행된 경우, 입력 셀들에 대해서 연속된 두 개의 셀을 하나의 단위로 처리하여 인터리빙을 수행할 수 있다. 따라서 블록 인터리버(6200)에서 출력 되는 셀들은 동일한 두 개의 연속된 셀들이 될 수 있다.
- [123] 페어-와이즈 매핑(pair-wise mapping) 및 페어-와이즈 인터리빙(pair-wise interleaving)이 수행되는 경우, 적어도 하나 이상의 셀 매퍼와 적어도 하나 이상의 블록 인터리버는 각각의 패쓰(path)를 통해 입력되는 데이터에 대해서 동일하게

- 동작하거나 혹은 독립적으로 동작할 수 있다.
- [124] 상술한 블록들은 설계자의 의도에 따라 생략되거나, 비슷하거나 동일한 기능을 가진 다른 블록에 의해서 대체될 수 있다.
- [125] 도 7은 본 발명의 일 실시예에 따른 웨이브폼 제너레이션 모듈을 나타낸 도면이다.
- [126] 도 7에 도시된 웨이브폼 제너레이션 모듈은 도 1에서 설명한 웨이브폼 제너레이션 모듈(1300)의 일 실시예에 해당한다.
- [127] 본 발명의 일 실시예에 따른 웨이브폼 제너레이션 모듈은 도 6에서 설명한 프레임 스트럭처 모듈에서 출력된 신호 프레임들을 입력받고 출력하기 위한 안테나의 개수만큼 신호 프레임들을 변조하여 전송할 수 있다.
- [128] 구체적으로 도 7에 도시된 웨이브폼 제너레이션 모듈은 m 개의 Tx 안테나를 사용하는 송신 장치의 웨이브폼 제너레이션 모듈의 실시예로서, m 개의 패쓰(path)만큼 입력된 프레임을 변조하여 출력하기 위한 m 개의 처리 블록들을 포함할 수 있다. m 개의 처리 블록들은 모두 동일한 처리 과정을 수행할 수 있다. 이하에서는 m 개의 처리 블록 중 첫번째 처리 블록(7000)의 동작을 중심으로 설명한다.
- [129] 첫번째 처리 블록(7000)은 리퍼런스 시그널 삽입 & PAPR 리덕션(reference signal insertion & PAPR reduction) 블록(7100), 역-웨이브폼 변환(Inverse waveform transform) 블록(7200), PAPR 리덕션 인 타임(PAPR reduction in time) 블록(7300), 가드 시퀀스 삽입(Guard sequence insertion) 블록(7400), 프리앰블 삽입(preamble insertion) 블록(7500), 웨이브폼 프로세싱(waveform processing) 블록(7600), 기타 시스템 삽입(other system insertion) 블록(7700) 및 디지털-아날로그 컨버터(DAC, Digital Analog Converter) 블록(7800)을 포함할 수 있다.
- [130] 리퍼런스 시그널 삽입 & PAPR 리덕션 블록(7100)은 각 시그널 블록마다 정해진 위치에 리퍼런스 시그널들을 삽입하고, 시간 영역(time domain)에서의 PAPR 값을 낮추기 위해서 PAPR 리덕션 스킴을 적용할 수 있다. 본 발명의 일 실시예에 따른 방송 송수신 시스템이 OFDM 시스템인 경우, 리퍼런스 시그널 삽입 & PAPR 리덕션 블록(7100)은 액티브 서브 캐리어(active subcarrier) 일부를 사용하지 않고 보존(reserve)하는 방법을 사용할 수 있다. 또한 리퍼런스 시그널 삽입 & PAPR 리덕션 블록(7100)은 방송 송수신 시스템에 따라 PAPR 리덕션 스킴을 선택적 피쳐(optional feature)로서 사용하지 않을 수도 있다.
- [131] 역-웨이브폼 변환 블록(7200)은 전송채널의 특성과 시스템 구조를 고려하여 전송효율 및 유연성(flexibility)이 향상되는 방식으로 입력 신호를 변환하여 출력할 수 있다. 본 발명의 일 실시예에 따른 방송 송수신 시스템이 OFDM 시스템의 경우 역-웨이브폼 변환 블록(7200)은 역-FFT 동작(Inverse FFT operation)을 사용하여 주파수 영역의 신호를 시간 영역으로 변환하는 방식을 사용할 수 있다. 또한 본 발명의 일 실시예에 따른 방송 송수신 시스템이 싱글 캐리어 시스템(single carrier system)인 경우, 역-웨이브폼 변환 블록은 웨이브폼

제너레이션 모듈 내에서 사용되지 않을 수도 있다.

- [132] PAPR 리덕션 인 타임 블록(7300)은 입력된 신호에 대해서 시간영역에서 PAPR를 낮추기 위한 방법을 적용할 수 있다. 본 발명의 일 실시예에 따른 방송 송수신 시스템이 OFDM 시스템의 경우, PAPR 리덕션 인 타임 블록(7300)은 간단하게 피크 진폭(peak amplitude)을 클리핑(clipping)하는 방법을 사용할 수도 있다. 또한 PAPR 리덕션 인 타임 블록(7300)은 선택적 피쳐(optional feature)로 본 발명의 일 실시예에 따른 방송 송수신 시스템에 따라 사용되지 않을 수도 있다.
- [133] 가드 시퀀스 삽입 블록(7400)은 전송채널의 딜레이 분산(delay spread)에 의한 영향을 최소화하기 위해서 인접한 시그널 블락간에 가드 인터벌을 두고, 필요한 경우 특정 시퀀스를 삽입할 수 있다. 따라서 수신 장치는 동기화나 채널추정을 용이하게 수행할 수 있다. 본 발명의 일 실시예에 따른 방송 송수신 시스템이 OFDM 시스템의 경우, 가드 시퀀스 삽입 블록(7400)은 OFDM 심볼의 가드 인터벌구간에 사이클릭 프리픽스(cyclic prefix)를 삽입할 수도 있다.
- [134] 프리앰블 삽입 블록(7500)은 수신 장치가 타겟 시스템 시그널(target system signal)을 빠르고 효율적으로 감지(detection)할 수 있도록 송수신 장치간 약속된 알려진 타입(known type)의 시그널(프리앰블 또는 프리앰블 심볼)을 전송 신호에 삽입할 수 있다. 본 발명의 일 실시예에 따른 방송 송수신 시스템이 OFDM 시스템의 경우, 프리앰블 삽입 블록(7500)은 여러 개의 OFDM 심볼로 구성된 신호 프레임을 정의하고, 매 신호 프레임의 시작 부분에 프리앰블을 삽입할 수 있다. 즉, 프리앰블은 기본적 PLS 데이터를 운반할 수 있고, 프리앰블은 프레임의 시작부분에 위치할 수 있다.
- [135] 웨이브폼 프로세싱 블록(7600)은 입력 베이스밴드 시그널(baseband signal)에 대해서 채널의 전송특성에 맞도록 웨이브폼 프로세싱을 수행할 수 있다. 웨이브폼 프로세싱 블록(7600)은 일 실시예로서 전송신호의 대역 외 방출(out-of-band emission)의 기준을 얻기 위해 SRRC(square-root-raised cosine) 필터링을 수행하는 방식을 사용할 수도 있다. 또한 본 발명의 일 실시예에 따른 방송 송수신 시스템이 멀티 캐리어 시스템(multi-carrier system)인 경우, 웨이브폼 프로세싱 블록(7600)은 사용되지 않을 수도 있다.
- [136] 기타 시스템 삽입 블록(7700)은 동일한 RF 시그널 대역폭 내에 서로 다른 두 개 이상의 방송 서비스를 제공하는 방송 송수신 시스템의 데이터를 함께 전송할 수 있도록 복수의 방송 송수신 시스템의 신호들을 시간 영역에서 멀티플렉싱할 수 있다. 이 경우 서로 다른 두 개 이상의 시스템이란 서로 다른 방송 서비스를 전송하는 시스템을 의미한다. 서로 다른 방송 서비스는 지상파 방송 서비스, 모바일 방송 서비스 등을 의미할 수 있다. 또한 각 방송 서비스와 관련된 데이터는 서로 다른 프레임을 통해 전송될 수 있다.
- [137] 디지털-아날로그 컨버터 블록(7800)은 입력 디지털 신호를 아날로그 신호로 변환하여 출력할 수 있다. 디지털-아날로그 컨버터 블록(7800)에서 출력된 신호는 m 개의 출력 안테나를 통해 전송될 수 있다. 본 발명의 일 실시예에 따른

- 전송 안테나는 수직 또는 수평 폴라리티(vertical or horizontal polarity)를 가질 수 있다.
- [138] 또한 상술한 블록들은 설계자의 의도에 따라 생략되거나, 비슷하거나 동일한 기능을 가진 다른 블록에 의해서 대체될 수 있다.
- [139] 도 8은 본 발명의 일 실시예에 따른 차세대 방송 서비스를 위한 수신 장치의 구조를 나타낸 도면이다.
- [140] 본 발명의 일 실시예에 따른 차세대 방송 서비스를 위한 수신 장치는 도 1에서 설명한 차세대 방송 서비스를 위한 송신 장치에 대응될 수 있다. 본 발명의 일 실시예에 따른 차세대 방송 서비스를 위한 수신 장치는 동기화 & 복조(synchronization & demodulation) 모듈(8000), 프레임 파싱(frame parsing) 모듈(8100), 디매핑 & 디코딩 모듈(8200), 아웃풋 프로세서(8300) 및 시그널링 디코딩 모듈(8400)을 포함할 수 있다. 이하 각 모듈의 동작을 중심으로 설명한다.
- [141] 동기화 & 복조 모듈(8000)은 블록은 m개의 수신 안테나를 통해 입력 신호를 수신하고, 수신 장치에 대응하는 시스템에 대한 시그널 감지(signal detection)과 동기화(synchronization)를 수행하고, 송신단에서 수행한 방식의 역과정에 해당하는 복조(demodulation)를 수행할 수 있다.
- [142] 프레임 파싱 모듈(8100)은 입력된 신호 프레임에 대해 파싱하고 사용자가 선택한 서비스를 전송하는 데이터를 추출할 수 있다. 프레임 파싱 모듈(8100)은 송신 장치에서 인터리빙을 수행한 경우, 이에 대한 역과정으로서 디인터리빙을 수행할 수 있다. 이 경우, 추출해야 할 신호 및 데이터의 위치는 시그널링 디코딩 모듈(8400)에서 출력된 데이터를 디코딩하여 송신 장치에서 수행한 스케줄링 정보 등을 복원하여 획득할 수 있다.
- [143] 디매핑 & 디코딩 모듈(8200)은 입력 신호를 비트 영역 데이터(bit domain data)로 변환한 이후에 필요한 경우에 디인터리빙 과정을 수행할 수 있다. 디매핑 & 디코딩 모듈(8200)은 전송 효율을 위해 적용된 매핑에 대해 디-매핑을 수행하고, 전송채널 중에 발생된 에러에 대해서 디코딩을 통해 에러 정정을 수행할 수 있다. 이 경우, 디매핑 & 디코딩 모듈(8200)은 시그널링 디코딩 모듈(8400)에서 출력된 데이터를 디코딩하여 디매핑과 디코딩에 필요한 전송 파라미터들을 획득할 수 있다.
- [144] 아웃풋 프로세서(8300)는 송신 장치에서 전송효율을 높이기 위해 적용한 다양한 압축/신호처리 과정의 역과정을 수행할 수 있다. 이 경우, 아웃풋 프로세서(8300)는 시그널링 디코딩 모듈(8400)에서 출력된 데이터로부터 필요한 제어 정보를 획득할 수 있다. 아웃풋 프로세서(8300)의 최종 출력은 송신 장치에 입력된 신호에 해당하며, MPEG-TS, IP 스트림 (v4 or v6) 및 제네릭 스트림(generic stream)이 될 수 있다.
- [145] 시그널링 디코딩 모듈(8400)은 복조된 신호로부터 PLS 정보를 획득할 수 있다. 상술한 바와 같이, 프레임 파싱 모듈(8100), 디매핑 & 디코딩 모듈(8200) 및 아웃풋 프로세서(8300)는 시그널링 디코딩 모듈(8400)에서 출력된 데이터를

이용하여 해당 모듈의 기능을 수행할 수 있다.

- [146] 도 9는 본 발명의 일 실시예에 따른 동기화 & 복조(synchronization & demodulation) 모듈을 나타낸 도면이다.
- [147] 도 9에 도시된 동기화 & 복조 모듈은 도 8에서 설명한 동기화 & 복조 모듈의 일 실시예에 해당한다. 또한 도 9에 도시된 동기화 & 복조 모듈은 도 7에서 설명한 웨이브폼 제너레이션 모듈의 역동작을 수행할 수 있다.
- [148] 도 9에 도시된 바와 같이 본 발명의 일 실시예에 따른 동기화 & 복조 모듈은 m 개의 Rx 안테나를 사용하는 수신 장치의 동기화 & 복조 모듈의 실시예로서, m 개의 패쓰(path)만큼 입력된 신호를 복조하여 출력하기 위한 m 개의 처리 블록들을 포함할 수 있다. m 개의 처리 블록들은 모두 동일한 처리 과정을 수행할 수 있다. 이하에서는 m 개의 처리 블록 중 첫번째 처리 블록(9000)의 동작을 중심으로 설명한다.
- [149] 첫번째 처리 블록(9000)은 튜너(9100), 아날로그-디지털 컨버터(ADC) 블록(9200), 프리앰블 디텍터(preamble detector)(9300), 가드 시퀀스 디텍터(guard sequence detector)(9400), 웨이브폼 변환(waveform transform) 블록(9500), 타임/프리퀀시 동기화(Time/freq sync) 블록(9600), 리퍼런스 시그널 디텍터(Reference signal detector)(9700), 채널 이퀄라이저(Channel equalizer)(9800) 및 역-웨이브폼 변환(Inverse waveform transform) 블록(9900)을 포함할 수 있다.
- [150] 튜너(9100)는 원하는 주파수 대역을 선택하고 수신한 신호의 크기를 보상하여 아날로그-디지털 컨버터(ADC) 블록(9200)으로 출력할 수 있다.
- [151] 아날로그-디지털 컨버터(ADC) 블록(9200)은 튜너(9100)에서 출력된 신호를 디지털 신호로 변환할 수 있다.
- [152] 프리앰블 디텍터 (9300)는 디지털 신호에 대해 수신 장치에 대응하는 시스템의 신호인지 여부를 확인하기 위하여 프리앰블(또는 프리앰블 신호 또는 프리앰블 심볼)을 디텍팅 할 수 있다. 이 경우, 프리앰블 디텍터(9300)는 프리앰블을 통해 수신되는 기본적인 전송 파라미터(transmission parameter) 들을 복호할 수 있다.
- [153] 가드 시퀀스 디텍터 (9400)는 디지털 신호 내의 가드 시퀀스를 디텍팅할 수 있다. 타임/프리퀀시 동기화 블록(9600)은 디텍팅된 가드 시퀀스를 이용하여 타임/프리퀀시 동기화를 수행할 수 있으며, 채널 이퀄라이저(9800)는 디텍팅된 가드 시퀀스를 이용하여 수신/복원된 시퀀스를 통해서 채널을 추정할 수 있다.
- [154] 웨이브폼 변환 블록(9500)은 송신측에서 역-웨이브폼 변환이 수행되었을 경우에 대한 역변환 과정을 수행할 수 있다. 본 발명의 일 실시예에 따른 방송 송수신 시스템이 멀티-캐리어 시스템(multi-carrier system)인 경우, 웨이브폼 변환 블록(9500)은 FFT 변환과정을 수행할 수 있다. 또한 본 발명의 일 실시예에 따른 방송 송수신 시스템이 싱글-캐리어 시스템(single carrier system) 같은 경우, 수신된 시간영역의 신호가 주파수 영역에서 처리하기 위해서 사용되거나, 시간영역에서 모두 처리되는 경우, 웨이브폼 변환 블록(9500)은 사용되지 않을 수 있다.

- [155] 타임/프리퀀시 동기화 블록(9600)은 프리엠블 디텍터(9300), 가드 시퀀스 디텍터(9400), 리퍼런스 시그널 디텍터(9700)의 출력 데이터를 수신하고, 검출된 신호에 대해서 가드 시퀀스 감지(guard sequence detection), 블락 윈도우 포지셔닝(block window positioning)을 포함하는 시간 동기화 및 캐리어 주파수 동기화를 수행할 수 있다. 이때, 주파수 동기화를 위해서 타임/프리퀀시 동기화 블록(9600)은 웨이브폼 변 블록(9500)의 출력 신호를 피드백하여 사용할 수 있다.
- [156] 리퍼런스 시그널 디텍터(9700)는 수신된 리퍼런스 시그널을 검출할 수 있다. 따라서 본 발명의 일 실시예에 따른 수신 장치는 동기화를 수행하거나 채널 이스티메이션(channel estimation)을 수행할 수 있다.
- [157] 채널 이퀄라이저(9800)는 가드 시퀀스나 리퍼런스 시그널로부터 각 전송 안테나로부터 각 수신 안테나까지의 전송채널을 추정하고, 추정된 채널을 이용하여 각 수신 데이터에 대한 채널 보상(equalization)을 수행할 수 있다.
- [158] 역-웨이브폼 변환 블록(9900)은 동기 및 채널추정/보상을 효율적으로 수행하기 위해서 웨이브폼 변 블록(9500)이 웨이브폼 변환을 수행한 경우, 다시 원래의 수신 데이터 영역으로 복원해주는 역할을 수행할 수 있다. 본 발명의 일 실시예에 따른 방송 송수신 시스템이 싱글 캐리어 시스템인 경우, 웨이브폼 변환 블록(9500)은 동기/채널추정/보상을 주파수 영역에서 수행하기 위해서 FFT를 수행할 수 있으며, 역-웨이브폼 변환 블록(9900)은 채널보상이 완료된 신호에 대해 IFFT를 수행함으로써 전송된 데이터 심볼을 복원할 수 있다. 본 발명의 일 실시예에 따른 방송 송수신 시스템이 멀티 캐리어 시스템인 경우, 역-웨이브폼 변환 블록(9900)은 사용되지 않을 수도 있다.
- [159] 또한 상술한 블록들은 설계자의 의도에 따라 생략되거나, 비슷하거나 동일한 기능을 가진 다른 블록에 의해서 대체될 수 있다.
- [160] 도 10은 본 발명의 일 실시예에 따른 프레임 파싱 모듈을 나타낸 도면이다.
- [161] 도 10에 도시된 프레임 파싱 모듈은 도 8에서 설명한 프레임 파싱 모듈의 일 실시예에 해당한다. 또한 도 10에 도시된 프레임 파싱 모듈은 도 6에서 설명한 프레임 스트럭처 모듈의 역동작을 수행할 수 있다.
- [162] 도 10에 도시된 바와 같이, 본 발명의 일 실시예에 따른 프레임 파싱 모듈은 적어도 하나 이상의 블락 디-인터리버(10000) 및 적어도 하나 이상의 셀 디매퍼(10100)을 포함할 수 있다.
- [163] 블락 디-인터리버(10000)는 m 개 수신안테나의 각 데이터 패쓰(path)로 입력되어 동기화 & 복조 모듈에서 처리된 데이터에 대하여, 각 시그널 블락 단위로 데이터에 대한 디인터리빙을 수행할 수 있다. 이 경우, 도 8에서 설명한 바와 같이, 송신측에서 페어-와이즈 인터리빙(pair-wise interleaving)이 수행된 경우, 블락 디-인터리버(10000)는 각 입력 패쓰(path)에 대해서 연속된 두 개의 데이터를 하나의 페어(pair)로 처리할 수 있다. 따라서 블락 디-인터리버(10000)는 디인터리빙을 수행한 경우에도 연속된 두개의 출력 데이터를 출력할 수 있다. 또한 블락 디-인터리버(10000)는 송신단에서 수행한

- 인터리빙 과정의 역과정을 수행하여 원래의 데이터 순서대로 출력할 수 있다.
- [164] 셀 디매핑(10100)은 수신된 신호 프레임으로부터 커먼 데이터(common data)에 대응하는 셀들과 데이터 파이프에 대응하는 셀들 및 PLS 데이터에 대응하는 셀들을 추출할 수 있다. 필요한 경우, 셀 디매핑(10100)은 여러 개의 부분으로 분산되어 전송된 데이터들을 합하여(merge) 하나의 스트림으로 출력할 수 있다. 또한 도 6에서 설명한 바와 같이 송신단에서 두 개의 연속된 셀 입력 데이터가 하나의 페어로 처리되어 매핑된 경우, 셀 디매핑(10100)은 이에 해당하는 역과정으로 연속된 두 개의 입력 셀들을 하나의 단위로 처리하는 페어-와이즈 셀 디매핑(pair-wise cell demapping)을 수행할 수 있다.
- [165] 또한 셀 디매핑(10100)은 현재 프레임을 통해 수신한 PLS 시그널링 데이터에 대해서, 각각 PLS-프리 & PLS-포스트 데이터로서 모두 추출하여 출력할 수 있다.
- [166] 상술한 블록들은 설계자의 의도에 따라 생략되거나, 비슷하거나 동일한 기능을 가진 다른 블록에 의해서 대체될 수 있다.
- [167] 도 11은 본 발명의 일 실시예에 따른 디매핑 & 디코딩 모듈을 나타낸 도면이다.
- [168] 도 11에 도시된 디매핑 & 디코딩 모듈은 도 8에서 설명한 디매핑 & 디코딩 모듈의 일 실시예에 해당한다. 또한 도 11에 도시된 디매핑 & 디코딩 모듈은 도 5에서 설명한 코딩 엔 모듈레이션 모듈의 역동작을 수행할 수 있다.
- [169] 상술한 바와 같이 본 발명의 일 실시예에 따른 송신 장치의 코딩 엔 모듈레이션 모듈은 입력된 데이터 파이프들에 대하여 각각의 패쓰(path)별로 SISO, MISO와 MIMO 방식을 독립적으로 적용하여 처리할 수 있다. 따라서 도 11에 도시된 디매핑 & 디코딩 모듈 역시 송신 장치에 대응하여 프레임 파서에서 출력된 데이터를 각각 SISO, MISO, MIMO 처리하기 위한 블록들을 포함할 수 있다.
- [170] 도 11에 도시된 바와 같이, 본 발명의 일 실시예에 따른 디매핑 & 디코딩 모듈은 SISO 방식을 위한 제 1 블록(11000), MISO 방식을 위한 제 2 블록(11100), MIMO 방식을 위한 제 3 블록(11200) 및 PLS 프리/포스트 정보를 처리하기 위한 제 4 블록(11300)을 포함할 수 있다. 도 11에 도시된 디매핑 & 디코딩 모듈은 일 실시예에 불과하며 설계자의 의도에 따라 디매핑 & 디코딩 모듈은 제 1 블록(11000) 및 제 4 블록(11300)만을 포함할 수도 있고, 제 2 블록(11100) 및 제 4 블록(11300)만을 포함할 수도 있고, 제 3 블록(11200) 및 제 4 블록(11300)만을 포함할 수도 있다. 즉 설계자의 의도에 따라 디매핑 & 디코딩 모듈은 각 데이터 파이프를 동일하게 또는 다르게 처리하기 위한 블록들을 포함할 수 있다.
- [171] 이하 각 블록에 대해 설명한다.
- [172] 제 1 블록(11000)은 입력된 데이터 파이프를 SISO 처리하기 위한 블록으로 타임 디-인터리버(time de-interleaver) 블록(11010), 셀 디-인터리버(cell de-interleaver) 블록(11020), 성상도 디-매핑(constellation demapper) 블록(11030), 셀 투 비트 믹스(cell to bit mux) 블록(11040), 비트 디-인터리버(bit de-interleaver) 블록(11050) 및 FEC 디코더 블록(11060)을 포함할 수 있다.
- [173] 타임 디-인터리버 블록(11010)은 도 5에서 설명한 타임 인터리버 블록(5060)의

- 역과정을 수행할 수 있다. 즉, 타임 디-인터리버 블록(11010)은 시간 영역에서 인터리빙된 입력 심볼을 원래의 위치로 디인터리빙할 수 있다.
- [174] 셀 디-인터리버 블록(11020)은 도 5에서 설명한 셀 인터리버 블록(5050)의 역과정을 수행할 수 있다. 즉, 셀 디-인터리버 블록(11020)은 하나의 FEC 블록내에서 분산(spreading)된 셀들의 위치를 원래의 위치로 디인터리빙 할 수 있다.
- [175] 성상도 디-매핑 블록(11030)은 도 5에서 설명한 성상도 매핑 블록(5040)의 역과정을 수행할 수 있다. 즉, 성상도 디-매핑 블록(11030)은 심볼 영역(symbol domain)의 입력 신호를 비트 영역(bit domain)의 데이터로 디매핑할 수 있다. 또한, 성상도 디-매핑 블록(11030)은 하드 디시전(hard decision)을 수행하여 디시전된 비트 데이터를 출력할 수도 있고, 소프트 디시전(soft decision) 값이나 혹은 확률적인 값에 해당하는 각 비트의 LLR(Log-likelihood ratio)을 출력할 수 있다. 만약 송신단에서 추가적인 디버시티 계인을 얻기 위해 성상도 회전(rotated constellation)을 적용한 경우, 성상도 디-매핑 블록(11030)은 이에 상응하는 2-디멘션 LLR 디매핑을 수행할 수 있다. 이때 성상도 디-매핑 블록(11030)은 LLR을 계산할 때 송신 장치에서 I 또는 Q 성분에 대해서 수행된 딜레이 값을 보상할 수 있도록 계산을 수행할 수 있다.
- [176] 셀 투 비트 맥스 블록(11040)은 도 5에서 설명한 비트 투 셀 디맥스 블록(5030)의 역과정을 수행할 수 있다. 즉, 셀 투 비트 맥스 블록(11040)은 비트 투 셀 디맥스 블록(5030)에서 매핑된 비트 데이터들을 원래의 비트 스트림 형태로 복원할 수 있다.
- [177] 비트 디-인터리버 블록(11050)은 도 5에서 설명한 비트 인터리버 블록(5020)의 역과정을 수행할 수 있다. 즉, 비트 디-인터리버 블록(11050)은 셀 투 비트 맥스 블록(11040)에서 출력된 비트 스트림을 원래의 순서대로 디인터리빙할 수 있다.
- [178] FEC 디코더 블록(11060)은 도 5에서 설명한 FEC 인코더 블록(5010)의 역과정을 수행할 수 있다. 즉, FEC 디코더 블록(11060)은 LDPC 디코딩과 BCH 디코딩을 수행하여 전송채널상 발생된 에러를 정정할 수 있다.
- [179] 제 2 블록(11100)은 입력된 데이터 파이프를 MISO 처리하기 위한 블록으로, 도 11에 도시된 바와 같이 제 1 블록(11000)과 동일하게 타임 디-인터리버 블록, 셀 디-인터리버 블록, 성상도 디-매핑 블록, 셀 투 비트 맥스 블록, 비트 디-인터리버 블록 및 FEC 디코더 블록을 포함할 수 있으나, MISO 디코딩 블록(11110)을 더 포함한다는 점에서 차이가 있다. 제 2 블록(11100)은 제 1 블록(11000)과 마찬가지로 타임 디인터리버부터 출력까지 동일한 역할의 과정을 수행하므로, 동일한 블록들에 대한 설명은 생략한다.
- [180] MISO 디코딩 블록(11110)은 도 5에서 설명한 MISO 프로세싱 블록(5110)의 역과정을 수행할 수 있다. 본 발명의 일 실시예에 따른 방송 송수신 시스템이 STBC를 사용한 시스템인 경우, MISO 디코딩 블록(11110)은 알라모티(Alamouti) 디코딩을 수행할 수 있다.

- [181] 제 3 블록(11200)은 입력된 데이터 파이프를 MIMO 처리하기 위한 블록으로, 도 11에 도시된 바와 같이 제 2 블록(11100) 과 동일하게 타임 디-인터리버 블록, 셀 디-인터리버 블록, 성상도 디-매핑 블록, 셀 투 비트 맵스 블록, 비트 디-인터리버 블록 및 FEC 디코더 블록을 포함할 수 있으나, MIMO 디코딩 블록(11210)을 포함한다는 점에서 데이터 처리 과정의 차이가 있다. 제 3 블록(11200)에 포함된 타임 디-인터리버, 셀 디-인터리버, 성상도 디-매핑, 셀 투 비트 맵스, 비트 디-인터리버 블록들의 동작은 제 1 내지 제 2 블록(11000-11100)에 포함된 해당 블록들의 동작과 구체적인 기능은 다를 수 있으나 기본적인 역할은 동일하다.
- [182] MIMO 디코딩 블록(11210)은 m 개의 수신 안테나 입력 신호에 대해서 셀 디인터리버의 출력 데이터를 입력으로 받고, 도 5에서 설명한 MIMO 프로세싱 블록(5220)의 역과정으로서 MIMO 디코딩을 수행할 수 있다. MIMO 디코딩 블록(11210)은 최고의 복호화 성능을 얻기 위해서 맥시멈 라이클후드(Maximum likelihood) 디코딩을 수행하거나, 복잡도를 감소시킨 스피어(Sphere) 디코딩을 수행할 수 있다. 또는 MIMO 디코딩 블록(11210)은 MMSE 디텍션을 수행하거나 되풀이(iterative) 디코딩을 함께 결합 수행하여 향상된 디코딩 성능을 확보할 수 있다.
- [183] 제 4 블록(11300)은 PLS 프리/포스트 정보를 처리하기 위한 블록으로, SISO 또는 MISO 디코딩을 수행할 수 있다. 제 4 블록(11300)은 도 5에서 설명한 제 4 블록(5300)의 역과정을 수행할 수 있다.
- [184] 제 4 블록(11300)에 포함된 타임 디인터리버, 셀 디-인터리버, 성상도 디-매핑, 셀 투 비트 맵스, 비트 디-인터리버 블록들의 동작은 제 1 내지 제 3 블록(11000-11200)에 포함된 해당 블록들의 동작과 구체적인 기능은 다를 수 있으나 기본적인 역할은 동일하다.
- [185] 제 4 블록(11300)에 포함된 쇼튼/핑처드(Shortened/Punctured) FEC 디코더(11310)는 도 5에서 설명한 쇼튼/핑처드(Shortened/punctured) FEC 인코더 블록(5310)의 역과정을 수행할 수 있다. 즉, 쇼튼/핑처드(Shortened/Punctured) FEC 디코더(11310)는 PLS 데이터의 길이에 따라 쇼트닝/핑처링되어 수신된 데이터에 대해서 디-쇼트닝(de-shortening)과 디-핑처링(de-puncturing)을 수행한 후에 FEC 디코딩을 수행할 수 있다. 이 경우, 데이터 파이프에 사용된 FEC 디코더를 동일하게 PLS에도 사용할 수 있으므로, PLS만을 위한 별도의 FEC 디코더 하드웨어가 필요하지 않으므로 시스템 설계가 용이하고 효율적인 코딩이 가능하다는 장점이 있다.
- [186] 상술한 블록들은 설계자의 의도에 따라 생략되거나, 비슷하거나 동일한 기능을 가진 다른 블록에 의해서 대체될 수 있다.
- [187] 결과적으로 도 11에 도시된 바와 같이, 본 발명의 일 실시예에 따른 디매핑 & 디코딩 모듈은 각 패쓰(path) 별로 처리된 데이터 파이프 및 PLS 정보를 아웃풋 프로세서로 출력할 수 있다.
- [188] 도 12내지 도 13은 본 발명의 일 실시예에 따른 아웃풋 프로세서를 나타낸

도면이다.

- [189] 도 12는 본 발명의 일 실시예에 따른 아웃풋 프로세서를 나타낸 도면이다.
- [190] 도 12에 도시된 아웃풋 프로세서는 도 8에서 설명한 아웃풋 프로세서의 일 실시예에 해당한다. 또한 도 12에 도시된 아웃풋 프로세서는 디매핑 & 디코딩 모듈로부터 출력된 싱글 데이터 파이프를 수신하여 싱글 아웃풋 스트림을 출력하기 위한 것으로, 도 2에서 설명한 인풋 포매팅 모듈의 역동작을 수행할 수 있다.
- [191] 도 12에 도시된 아웃풋 프로세서는 BB 디스크램블러 블록(12000), 패딩 제거(padding removal) 블록(12100), CRC-8 디코더 블록(12200) 및 BB 프레임 프로세서 블록(12300)을 포함할 수 있다.
- [192] BB 디스크램블러 블록(12000)은 입력된 비트 스트림에 대해서 송신단에서 사용한 것과 동일한 PRBS를 발생시켜서 비트열과 XOR하여 디스크램블링을 수행할 수 있다.
- [193] 패딩 제거 블록(12100)은 송신단에서 필요에 따라 삽입된 패딩 비트(padding bit)를 제거할 수 있다.
- [194] CRC-8 디코더 블록(12200)은 패딩 제거 블록(12100)으로부터 입력받은 비트 스트림에 대해서 CRC 디코딩을 수행하여 블록 에러(block error)를 체크할 수 있다.
- [195] BB 프레임 프로세서 블록(12300)은 BB 프레임 헤더에 전송된 정보를 디코딩하고 디코딩된 정보를 이용하여 MPEG-TS, IP 스트림(v4 or v6) 또는 제네릭 스트림(Generic stream)을 복원할 수 있다.
- [196] 상술한 블록들은 설계자의 의도에 따라 생략되거나, 비슷하거나 동일한 기능을 가진 다른 블록에 의해서 대체될 수 있다.
- [197] 도 13은 본 발명의 다른 실시예에 따른 아웃풋 프로세서를 나타낸 도면이다.
- [198] 도 13에 도시된 아웃풋 프로세서는 도 8에서 설명한 아웃풋 프로세서의 일 실시예에 해당한다. 또한 도 13에 도시된 아웃풋 프로세서는 디매핑 & 디코딩 모듈로부터 출력된 멀티플 데이터 파이프(multiple data pipes)를 수신하는 경우에 해당한다. 멀티플 데이터 파이프에 대한 디코딩은 복수의 데이터 파이프에 공통으로 적용될 수 있는 커먼 데이터 및 이와 연관된 데이터 파이프를 합하여(merge) 디코딩하는 경우 또는 수신 장치가 여러 개의 서비스 혹은 서비스 컴포넌트(스케일러블 비디오 서비스(scalable video service)를 포함)를 동시에 디코딩하는 경우를 포함할 수 있다.
- [199] 도 13에 도시된 아웃풋 프로세서는 도 12에서 설명한 아웃풋 프로세서의 경우와 마찬가지로 BB 디스크램블러 블록, 패딩 제거 블록, CRC-8 디코더 블록 및 BB 프레임 프로세서 블록을 포함할 수 있다, 각 블록들은 도 12에서 설명한 블록들의 동작과 구체적인 동작은 다를 수 있으나 기본적인 역할은 동일하다.
- [200] 도 13에 도시된 아웃풋 프로세서에 포함된 디-지터 버퍼(De-jitter buffer) 블록(13000)은 멀티플 데이터 파이프간의 동기화(sync)를 위해서 송신단에서

- 임의로 삽입된 딜레이를 복원된 TTO (time to output) 파라미터에 따라 보상할 수 있다.
- [201] 또한 널 패킷 삽입 블록(13100)은 복원된 DNP (deleted null packet) 정보를 참고하여 스트림 내 제거된 널 패킷을 복원할 수 있으며, 커먼 데이터를 출력할 수 있다.
- [202] TS 클락 재생성(TS clock regeneration) 블록(13200)은 ISCR(Input Stream Time Reference) 정보를 기준으로 출력 패킷의 상세한 시간동기를 복원할 수 있다.
- [203] TS 재결합(TS recombining) 블록(13300)은 널 패킷 삽입 블록(13100)에서 출력된 커먼 데이터 및 이와 관련된 데이터 파이프들을 재결합(recombining)하여 원래의 MPEG-TS, IP 스트림 (v4 or v6) 혹은 제네릭 스트림(Generic stream)으로 복원하여 출력할 수 있다. TTO, DNP, ISCR 정보는 모두 BB 프레임 헤더를 통해 획득될 수 있다.
- [204] 인-밴드 시그널링 디코더 블록(13400)은 데이터 파이프의 각 FEC 프레임내 패딩 비트 필드(padding bit field)를 통해서 전송되는 인-밴드 피지컬 레이어 시그널링 정보를 복원하여 출력할 수 있다.
- [205] 도 13에 도시된 아웃풋 프로세서는 PLS-프리 패쓰(path)와 PLS-포스트 패쓰(path)에 따라 입력되는 PLS-프리 정보 및 PLS-포스트 정보를 각각 BB 디스크램블링을 하고 디스크램블링된 데이터에 대해 디코딩을 수행하여 원래의 PLS 데이터를 복원할 수 있다. 복원된 PLS 데이터는 수신 장치 내의 시스템 컨트롤러(system controller)에 전달되며, 시스템 컨트롤러는 수신 장치의 동기화 & 복조 모듈, 프레임 파싱 모듈, 디메핑 & 디코딩 모듈 및 아웃풋 프로세서 모듈에 필요한 파라미터를 공급할 수 있다.
- [206] 상술한 블록들은 설계자의 의도에 따라 생략되거나, 비슷하거나 동일한 기능을 가진 다른 블록에 의해서 대체될 수 있다.
- [207] 도 14는 본 발명의 다른 실시예에 따른 코딩 앤 모듈레이션 모듈을 나타낸 도면이다.
- [208] 도 14에 도시된 코딩 앤 모듈레이션 모듈은 도 1 및 5에서 설명한 코딩 앤 모듈레이션 모듈의 다른 실시예에 해당한다.
- [209] 도 14에 도시된 코딩 앤 모듈레이션 모듈은 도 5에서 설명한 바와 같이, 각 데이터 파이프를 통해 전송하는 서비스나 서비스 컴포넌트 별로 QoS를 조절하기 위하여, 모듈은 SISO 방식을 위한 제 1 블록(14000), MISO 방식을 위한 제 2 블록(14100), MIMO 방식을 위한 제 3 블록(14200) 및 PLS 프리/포스트 정보를 처리하기 위한 제 4 블록(14300)을 포함할 수 있다. 또한 본 발명의 일 실시예에 따른 코딩 앤 모듈레이션 모듈은 상술한 바와 같이 설계자의 의도에 따라 각 데이터 파이프를 동일하게 또는 다르게 처리하기 위한 블록들을 포함할 수 있다. 도 14에 도시된 제 1 블록 내지 제 4 블록(14000-14300)은 도 5에서 설명한 제 1 블록 내지 제 4 블록(5000-5300)과 거의 동일한 블록들을 포함하고 있다.

- [210] 하지만, 제 1 블록 내지 제 3 블록(14000-14200)에 포함된 성상도 매핑 블록(14010)의 기능이 도 5의 제 1 블록 내지 제 3 블록(5000-5200)에 포함된 성상도 매핑 블록(5040)의 기능과 다르다는 점, 제 1 블록 내지 제 4 블록(14000-14300)의 셀 인터리버 및 타임 인터리버 사이에 로테이션 & I/Q 인터리버(rotation & I/Q interleaver) 블록(14020)이 포함되어 있다는 점 및 MIMO 방식을 위한 제 3 블록(14200)의 구성이 도 5에 도시된 MIMO 방식을 위한 제 3 블록(5200)의 구성이 다르다는 점에 있어서 차이가 있다. 이하에서는 도 5와 동일한 블록들에 대한 설명은 생략하고 상술한 차이점을 중심으로 설명한다.
- [211] 도 14에 도시된 성상도 매핑 블록(14010)은 입력된 비트워드(bit word)를 컴플렉스 심볼(complex symbol)로 매핑할 수 있다. 다만, 도 5에 도시된 성상도 매핑 블록(5040)과는 달리 성상도 회전(constellation rotation)을 수행하지 않을 수 있다. 도 14에 도시된 성상도 매핑 블록(14010)은 상술한 바와 같이 제 1 블록 내지 제 3 블록(14000-14200)에 공통적으로 적용될 수 있다.
- [212] 로테이션 & I/Q 인터리버 블록(14020)은 셀 인터리버에서 출력된 셀 인터리빙이 된 데이터의 각 컴플렉스 심볼의 In-phase와 Quadrature-phase 성분들을 독립적으로 인터리빙하여 심볼 단위로 출력할 수 있다. 로테이션 & I/Q 인터리버 블록(14020)의 입력 데이터 및 출력 심볼의 개수는 2개 이상이며 이는 설계자의 의도에 따라 변경 가능하다. 또한 로테이션 & I/Q 인터리버 블록(14020)은 in-phase 성분에 대해서는 인터리빙을 수행하지 않을 수도 있다.
- [213] 로테이션 & I/Q 인터리버 블록(14020)은 상술한 바와 같이 제 1 블록 내지 제 4 블록(14000-14300)에 공통적으로 적용될 수 있다. 이 경우, 로테이션 & I/Q 인터리버 블록(14020)이 PLS 프리/포스트 정보를 처리하기 위한 제 4 블록(14300)에 적용되는지 여부는 상술한 프리앰블을 통해 시그널링 될 수 있다.
- [214] MIMO 방식을 위한 제 3 블록(14200)은 도 14에 도시된 바와 같이, Q-블락 인터리버 블록(14210) 및 컴플렉스 심볼 제너레이터(complex symbol generator) 블록(14220)을 포함할 수 있다.
- [215] Q-블락 인터리버 블록(14210)은 FEC 인코더로부터 입력받은 FEC 인코딩이 수행된 FEC 블락의 패리티 파트(parity part)에 대해 퍼뮤테이션(permutation)을 수행할 수 있다. 이를 통해 LDPC H 매트릭스의 패리티 파트를 인포메이션 파트(information part)와 동일하게 사이클릭 구조(cyclic structure)로 만들 수 있다. Q-블락 인터리버 블록(14210)은 LDPC H 매트릭스의 Q 사이즈를 갖는 출력 비트블락(bit block)들의 순서를 퍼뮤테이션한 뒤, 로우-컬럼 블락(row-column block) 인터리빙을 수행하여 최종 비트열을 생성하여 출력할 수 있다.
- [216] 컴플렉스 심볼 제너레이터(complex symbol generator) 블록(14220)은 Q-블락 인터리버 블록(14210)에서 출력된 비트 열들을 입력받고, 컴플렉스 심볼으로 매핑하여 출력할 수 있다. 이 경우, 컴플렉스 심볼 제너레이터 블록(14220)은 적어도 두개의 경로를 통해 심볼들을 출력할 수 있다. 이는 설계자의 의도에 따라 변경 가능하다.

- [217] 상술한 블록들은 설계자의 의도에 따라 생략되거나, 비슷하거나 동일한 기능을 가진 다른 블록에 의해서 대체될 수 있다.
- [218] 결과적으로 도 14에 도시된 바와 같이 본 발명의 다른 실시예에 따른 코딩 엔 모듈레이션 모듈은 각 패쓰(path)별로 처리된 데이터 파이프, PLS-프리 정보, PLS-포스트 정보를 프레임 스트럭처 모듈로 출력할 수 있다.
- [219] 도 15는 본 발명의 다른 실시예에 따른 디매핑 & 디코딩 모듈을 나타낸 도면이다.
- [220] 도 15에 도시된 디매핑 & 디코딩 모듈은 도 8 및 도 11에서 설명한 디매핑 & 디코딩 모듈의 다른 실시예에 해당한다. 또한 도 15에 도시된 디매핑 & 디코딩 모듈은 도 14에서 설명한 코딩 엔 모듈레이션 모듈의 역동작을 수행할 수 있다.
- [221] 도 15에 도시된 바와 같이, 본 발명의 다른 실시예에 따른 디매핑 & 디코딩 모듈은 SISO 방식을 위한 제 1 블록(15000), MISO 방식을 위한 제 2 블록(15100), MIMO 방식을 위한 제 3 블록(15200) 및 PLS 프리/포스트 정보를 처리하기 위한 제 4 블록(15300)을 포함할 수 있다. 또한 본 발명의 일 실시예에 따른 디매핑 & 디코딩 모듈은 상술한 바와 같이 설계자의 의도에 따라 각 데이터 파이프를 동일하게 또는 다르게 처리하기 위한 블록들을 포함할 수 있다. 도 15에 도시된 제 1 블록 내지 제 4 블록(15000-15300)은 도 11에서 설명한 제 1 블록 내지 제 4 블록(11000-11300)과 거의 동일한 블록들을 포함하고 있다.
- [222] 하지만, 제 1 블록 내지 제 4 블록(15000-15300)의 타임 디-인터리버 및 셀 디-인터리버 사이에 I/Q 디-인터리버 & 디-로테이션(I/Q de-interleaver & de-rotation) 블록 (15010)이 포함되어 있다는 점, 제 1 블록 내지 제 3 블록(15000-15200)에 포함된 성상도 디-매퍼 블록(15020)의 기능이 도 11의 제 1 블록 내지 제 3 블록(11000-11200)에 포함된 성상도 매퍼 블록(11030)의 기능과 다르다는 점 및 MIMO 방식을 위한 제 3 블록(15200)의 구성이 도 11에 도시된 MIMO 방식을 위한 제 3 블록(11200)의 구성이 다르다는 점에 있어서 차이가 있다. 이하에서는 도 11과 동일한 블록들에 대한 설명은 생략하고 상술한 차이점을 중심으로 설명한다.
- [223] I/Q 디-인터리버 & 디-로테이션 블록(15010)은 도 14에서 설명한 로테이션 & I/Q 인터리버 블록(14020)의 역과정을 수행할 수 있다. 즉, I/Q 디-인터리버 & 디-로테이션 블록(15010)은 송신단에서 I/Q 인터리빙되어 전송된 I 및 Q 성분들에 대해 각각 디인터리빙 수행할 수 있으며, 복원된 I/Q 성분을 갖는 콤플렉스 심볼을 다시 디-로테이션하여 출력할 수 있다.
- [224] I/Q 디-인터리버 & 디-로테이션 블록(15010)은 상술한 바와 같이 제 1 블록 내지 제 4 블록(15000-15300)에 공통적으로 적용될 수 있다. 이 경우, I/Q 디-인터리버 & 디-로테이션 블록(15010)이 PLS 프리/포스트 정보를 처리하기 위한 제 4 블록(15300)에 적용되는지 여부는 상술한 프리앰블을 통해 시그널링 될 수 있다.
- [225] 성상도 디-매퍼 블록(15020)은 도 14에서 설명한 성상도 매퍼 블록(14010)의 역과정을 수행할 수 있다. 즉, 성상도 디-매퍼 블록(15020)은 디-로테이션을

- 수행하지 않고, 셀 디인터리빙된 데이터들에 대하여 디매핑을 수행할 수 있다.
- [226] MIMO 방식을 위한 제 3 블록(15200)은 도 15에 도시된 바와 같이, 콤플렉스 심볼 파싱(complex symbol parsing) 블록(15210) 및 Q-블락 디인터리버(Q-block deinterleaver) 블록(15220)을 포함할 수 있다.
- [227] 콤플렉스 심볼 파싱 블록(15210)은 도 14에서 설명한 콤플렉스 심볼 제네레이터 블록(14220)의 역과정을 수행할 수 있다. 즉, 콤플렉스 데이터 심볼을 파싱하고, 비트 데이터로 디매핑하여 출력할 수 있다. 이 경우, 콤플렉스 심볼 파싱 블록(15210)은 적어도 두개의 경로를 통해 콤플렉스 데이터 심볼들을 입력받을 수 있다.
- [228] Q-블락 디인터리버 블록(15220)은 도 14에서 설명한 Q-블락 인터리버 블록(14210)의 역과정을 수행할 수 있다. 즉, Q-블락 디인터리버 블록(15220)은 로우-컬럼(row-column) 디인터리빙에 의해서 Q 사이즈 블락들을 복원한 뒤, 퍼뮤테이션된 각 블럭들의 순서를 원래의 순서대로 복원한 후, 패리티 디인터리빙을 통해서 패리티 비트(parity bit)들의 위치를 원래대로 복원하여 출력할 수 있다.
- [229] 상술한 블록들은 설계자의 의도에 따라 생략되거나, 비슷하거나 동일한 기능을 가진 다른 블록에 의해서 대체될 수 있다.
- [230] 결과적으로 도 15에 도시된 바와 같이, 본 발명의 다른 실시예에 따른 디매핑 & 디코딩 모듈은 각 패쓰(path) 별로 처리된 데이터 파이프 및 PLS 정보를 아웃풋 프로세서로 출력할 수 있다.
- [231] 도 16 은 본 발명의 다른 실시예에 따른 인풋 포매팅 모듈 및 새로운 BB 헤더 삽입(BB header insertion) 블록을 도시한 도면이다.
- [232] 본 발명은 전술한 BB 헤더 삽입 블록에 대응되는 새로운 BB 헤더 삽입 블록을 제안한다. 새로운 BB 헤더 삽입 블록은 본 발명이 제안하는 사이클릭-쉬프트드 페이로드 메쏘드 (Cyclic-shifted Payload Method) 에 따른 BB 헤더 삽입 블록일 수 있다.
- [233] 전술한 바와 같이, 차세대 방송 시스템의 인풋 포매팅 블록은 입력 데이터 (TS, GSE, IP 등) 를 처리하여 코딩 앤 모듈레이션 모듈로 출력할 수 있다. 입력 데이터는 입력 스트림의 형태일 수 있으며, 입력 스트림은 복수개의 입력 패킷(packet)을 포함할 수 있다(예를 들어, TS packet 등등). 인풋 포매팅 블록은 입력 스트림을, 코딩 앤 모듈레이션 모듈에서 처리될 수 있도록, 일정 데이터 길이 만큼 나누어 프레임 생성하는 작업을 수행할 수 있다. 이 작업에서 입력 패킷의 시작점이 생성된 프레임의 시작점과 정확히 일치하지 않을 수 있다. 따라서 디코딩을 위해, 입력 패킷의 시작점을 나타내는 값이 프레임 헤더에 삽입될 수 있다. 그러나, 전송 과정에서 시작점을 나타내는 값이 에러를 포함하게 되면, 뒤따라 오는 모든 데이터 패킷에 영향이 있을 수 있다.
- [234] 따라서, 본 발명은 입력 포매팅, 특히 BB 헤더 삽입 블록에 있어, 사이클릭-쉬프트드 페이로드 메쏘드 (Cyclic-shifted Payload Method)를 제안한다.

사이클릭-쉬프트드 페이로드 메쏘드는 시스템이 전송과정에서 생길 수 있는 에러에 강인성을 가지도록 할 수 있다. 사이클릭-쉬프트드 페이로드 메쏘드는 입력 패킷의 시작점을 나타내는 값이 에러를 포함하더라도, 뒤의 데이터 패킷에 미치는 영향을 줄일 수 있다. 사이클릭-쉬프트드 페이로드 메쏘드에 대해서는 후술한다.

- [235] 또한, 사이클릭-쉬프트드 페이로드 메쏘드에 의할 때, 모든 프레임의 페이로드는 항상 입력 패킷의 헤더로 시작하게 될 수 있다. 이를 이용하여 수신단은 디코딩 시에, 입력 패킷의 헤더 정보를 기지 시그널(Known signal)로 이용하거나, 입력 패킷의 헤더 정보에 포함된 CRC 코드를 이용하여 복호 성능을 높일 수 있다. 이를 조인트 디코딩 메쏘드(Joint decoding method) 라고 할 수 있으며, 자세한 내용은 후술한다.
- [236] 본 발명의 다른 실시예에 따른 인풋 포매팅 모듈은, 전술한 인풋 포매팅 모듈과 달리, 프리 프로세싱 블록(16010), 헤더 컴프레션 블록(16020) 및/또는 널 데이터 리유즈 블록(16030) 을 더 포함할 수 있다.
- [237] 프리 프로세싱 블록(16010)은, 입력받은 복수개의 인풋 스트림들을 복수개의 DP 로 디멀티플렉싱할 수 있다. 프리 프로세싱 블록은 스플릿팅(splitting) 블록으로 불릴수도 있다. 프리 프로세싱 블록은 입력받은 인풋 스트림들을 복수개의 DP 로 나누는 동작을 수행하므로, 이후 블록들은 DP 별로 데이터를 처리할 수 있게 된다. 여기서, 인풋 스트림들은 TS, GSE, IP 등이 될 수 있다.
- [238] 헤더 컴프레션 블록(16020)은, 인풋 스트림들의 전송효율을 높이기 위함일 수 있다. 헤더 컴프레션 블록은 헤더를 압축할 수 있다.
- [239] 널 데이터 리유즈 블록(16030)은, 널(NULL) 데이터를 재사용하는 동작을 수행할 수 있다.
- [240] 도시된 새로운 BB 헤더 삽입 블록은 패킷 스플릿팅(Packet splitting) 블록(110), 사이클릭 쉬프트(Cyclic shift) 블록(120) 및/또는 BB 헤더 생성 블록(130) 을 포함할 수 있다.
- [241] 패킷 스플릿팅 블록(110)은, 연속적인 입력 스트림을 이후 단계에서 처리가능한 길이로 분할을 할 수 있다. 여기서 연속적인 입력 스트림은 입력 패킷이 연속된 것일 수 있다. 또한, 패킷 스플릿팅 블록은 분할시, 새로운 패킷의 시작점을 다음 블록에 알려줄 수 있다. 새로운 패킷의 시작점은 뉴 패킷 포인터(New packet pointer)라고 불릴 수 있다. 패킷 스플릿팅 블록은 BB 헤더 삽입 블록 내부가 아닌 별도의 블록으로서 존재할 수 있다. 패킷 스플릿팅 블록은 프레임 슬라이서라고 불릴 수 있다. 여기서 패킷은 UP(user packet) 으로 불릴 수도 있다.
- [242] 사이클릭 쉬프트 블록(120)은, 분할된 데이터를 BB 프레임의 페이로드에 입력하기 전에 사이클릭쉬프트 (Cyclic-shift) 하는 동작을 수행할 수 있다. 자세한 사이클릭 쉬프팅 동작은 후술한다. 이 과정을 통해 수신기에서에서 디코딩의 효율성이 높아질 수 있다.

- [243] BB 헤더 생성 블록(130)은, BB 프레임 헤더를 생성하여 앞 블록들에서 생성된 페이로드에 삽입할 수 있다. BB 프레임 헤더는 수신단에서 디코딩에 필요한 파라미터 정보등을 전송할 수 있다.
- [244] 도 17은 본 발명의 다른 실시예에 따른 아웃풋 프로세서 및 새로운 BB 헤더 파서(BB header parser) 블록을 도시한 도면이다.
- [245] 본 발명의 다른 실시예에 따른 아웃풋 프로세서는 전술한 아웃풋 프로세서와 달리, 널 패킷 리제네레이터 블록(17010) 및/또는 헤더 디컴프레션 블록(17020)을 포함할 수 있다.
- [246] 널 패킷 리제네레이터 블록(17010)은, 널(NULL) 패킷을 다시 생성하는 동작을 수행할 수 있다.
- [247] 헤더 디컴프레션 블록(17020)은, 압축된 헤더를 다시 디컴프레션하는 동작을 수행할 수 있다.
- [248] 본 발명은, 전술한 새로운 BB 헤더 삽입 블록에 대응되는 새로운 BB 헤더 파서 블록을 제안한다. 새로운 BB 헤더 파서 블록은 수신단에서 BB 프레임의 헤더를 파싱할 수 있다. 새로운 BB 헤더 파서 블록은 BB 프레임 헤더 파싱 블록(210), 페이로드 사이클릭-쉬프트 블록(220) 및/또는 패킷 머징 블록(230)을 포함할 수 있다.
- [249] BB 프레임 헤더 파싱 블록(210)은, BB 프레임의 헤더에서 전술한 뉴 패킷 포인터를 획득한 후, 이를 뒷 블록에 전달해줄 수 있다. 또한, 전술한 조인트 디코딩을 위하여, 헤더의 기지 데이터(known data)나 CRC 정보를 FEC 블록으로 전달할 수 있다.
- [250] 페이로드 사이클릭-쉬프트 블록(220)은 전달받은 뉴 패킷 포인터를 바탕으로 페이로드의 위치를 사이클릭 쉬프트 할 수 있다. 이를 통해 송신단에서 쉬프트된 페이로드의 위치를 역으로 다시 쉬프트하여 원래대로 복구할 수 있다.
- [251] 패킷 머징 블록(230)은, 분할되어 있는 BB 프레임의 페이로드를 다시 연속적인 스트림으로 합치는 동작을 수행할 수 있다.
- [252] 도 18은 종래 기술에 따른 인풋 포매팅 과정의 문제점을 도시한 도면이다.
- [253] 본 도면의 (a)는 종래 기술에 따른 방송 시스템의 인풋 포매팅(프로세싱) 과정을 도시한 도면이다. 종래의 인풋 프로세서는 연속적인 TS 스트림을 BICM 모듈이 처리 가능한 사이즈로 분할할 수 있다.
- [254] 분할 과정에서, 프레임의 페이로드의 길이는 패킷의 길이의 정수배가 아닐 수 있으므로, 페이로드에 데이터를 입력할 때 입력 패킷의 시작점이, 프레임의 페이로드의 시작점에 정확히 맞지 않을 수 있다.
- [255] 따라서, 인풋 프로세서는 새로운 패킷이 시작하는 시작점에 대한 정보를 프레임의 헤더에 저장할 수 있다. 새로운 패킷의 시작점에 대한 정보는, 전술한 바와 같이 뉴 패킷 포인터라 불릴 수 있으며, 본 도면에서도 뉴 패킷 포인터라 도시되어 있다. 기존의 기술에 따라, 뉴 패킷 포인터는 SYNCD, Pointer_field 등으로 불릴 수 있다.

- [256] 본 도면의 (b)는 종래 기술에 따른 인풋 포매팅 과정을 거쳤을 때, 생길수 있는 문제점을 도시한 도면이다. 새로운 패킷의 시작점을 나타내는 뉴 패킷 포인터의 값이, 전송시 왜곡될 경우, 수신기는 뒤따르는 신호의 시작점을 찾을 수 없다. 따라서, 뒤따르는 페이로드의 값은 다르게 읽히게 되므로, 모든 패킷이 왜곡의 영향을 받게될 수 있다.
- [257] 종래 기술에 따라, 효율성을 증대시키기 위해 TS 스트림의 싱크 바이트(Sync byte(0x47))을 삭제하고 전송하는 경우가 있는데, 이런 경우, 왜곡에 관련한 전술한 문제점이 더욱 크게 영향을 줄 수 있다.
- [258] 도 19는 본 발명의 일 실시예에 따른 사이클릭-쉬프트드 페이로드 메쏘드를 도시한 도면이다.
- [259] 본 발명은 전술한 인풋 프로세싱 관련 문제점을 해결하기 위하여 사이클릭-쉬프트드 페이로드 메쏘드를 제안한다.
- [260] 먼저, 사이클릭-쉬프트드 페이로드 메쏘드는 기존의 방식과 같이, 페이로드 사이즈 만큼 입력 스트림을 스플릿팅(splitting) 할 수 있다. 그리고, 새로운 패킷의 시작점의 오프셋(offset) 길이가 뉴 패킷 포인터에 저장될 수 있다.
- [261] 그 후, 기존의 방식과는 달리 새로운 패킷이 페이로드의 처음으로 오도록 쉬프트 하는 과정을 거칠 수 있다. 즉, 페이로드 길이 만큼 스플릿팅한 스트림을 바로 페이로드를 통해 전송하지 않고, 새로운 패킷이 페이로드의 처음에 오도록 쉬프트하는 과정을 먼저 거칠 수 있다. 이후, 분할되어 잘려진 이전 패킷의 끝부분을, 페이로드의 뒤쪽으로 이동할 수 있다(Cyclic-shift).
- [262] 사이클릭-쉬프트드 페이로드 메쏘드에 따를 경우, 프레임 헤더의 뉴 패킷 포인터가 전송시 왜곡되더라도, 페이로드의 시작점이 패킷의 시작점과 일치함으로써, 디코딩시의 오작동이 줄어들 수 있다.
- [263] 기존의 기술에 따를 경우, 64K LDPC를 사용하여 TS 스트림을 전송하는 경우, 한 BB 프레임의 페이로드에 32개의 TS 패킷이 전송될 수 있다. 하지만, 프레임 헤더의 뉴 패킷 포인터(SYNCD)가 전송시 왜곡될 경우, 페이로드에 들어가는 모든 패킷의 시작점을 찾을 수 없게 된다. 또한, 전송 효율을 위해 TS 패킷의 싱크 바이트(Sync Byte(0x47))이 제거되는 경우에는 더욱 더 모든 TS 패킷을 사용하지 못하게 된다. 수치적으로 32개의 TS 패킷 중 32개 모두 사용할 수 없게 되므로 뉴 패킷 포인터에 에러 발생시 손실율은 100%이다.
- [264] 하지만, 본 발명에 따른 사이클릭-쉬프트드 페이로드 메쏘드를 사용할 경우, 32개의 TS 패킷 중 30개의 TS 패킷은 복호가 가능할 수 있다. 30개의 TS 패킷은 뉴 패킷 포인터의 값과 상관없이 항상 동일한 위치에 존재하게 되므로, 뉴 패킷 포인터에 왜곡이 일어나더라도 마지막 2개의 패킷만 손실될 수 있다. 수치적으로 32개의 TS 패킷 중 단 2개만 사용될 수 없으므로, 뉴 패킷 포인터에 에러 발생시 손실율은 5.5%이다. 따라서, 기존에 비해 99.44% 손실율이 줄어들 수 있다.
- [265] 전술한 내용은, 한 실시예로서 TS 패킷에 관하여 기술하였으나, 본 발명은 TS

- 스트림 뿐만 아니라, IP, GSE 와 같은 다른 인풋 스트림에도 적용 가능하다.
- [266] 도 20 은 본 발명의 일 실시예에 따른 조인트 디코딩 메쏘드(Joint decoding method) 를 도시한 도면이다.
- [267] 본 도면의 (a) 는, 종래 기술에 따른 FEC 인코딩 및 디코딩을 도시한 것일 수 있다. 종래의 FEC 인코딩/디코딩 기술은, 입력되는 신호를 랜덤 데이터(random data)로 하여 시스템을 구성한 것일 수 있다. 따라서, 디코딩 시에도 각각 독자적으로 프로세싱이 수행될 수 있다.
- [268] 그러나, 실제 입출력 되는 신호는 전송하려는 랜덤한 데이터 외에, 헤더 정보와 같은 기지 데이터(known data)나, CRC 와 같은 에러 검출 기술등이 포함되어 있을 수 있다. 여기서 기지 데이터에는 TS 헤더, PES 헤더, BB 프레임 헤더, 섹션 데이터, 널(Null) 데이터 등이 있을 수 있다.
- [269] 본 도면의 (b) 는, 본 발명이 제안하는 조인트 디코딩 메쏘드를 도시한 것일 수 있다. FEC 블록에 디코딩이 수행될 때, 독자적으로 디코딩이 수행되기 보다, 패킷 헤더에 포함된 기지 데이터(known data)나, CRC 데이터를 이용하여 디코딩이 수행될 수 있다. 이와 같이 FEC 디코더와 시스템 디코더가 합동으로 디코딩을 수행하면 복호 성능을 높일 수 있다(joint decoding).
- [270] 특히 본 발명에서 제안한 사이클릭-쉬프트드 페이로드 메쏘드를 적용할 경우, 항상 같은 위치에 패킷 헤더가 위치할 수 있다. 따라서 SYNCD 값이 없어도 패킷 헤더의 위치를 알 수 있게 되므로, 조인트 디코딩 메쏘드가 용이하게 수행될 수 있다.
- [271] 도 21 은 본 발명의 일 실시예에 따른 방송 신호를 전송하는 방법을 도시한 도면이다.
- [272] 본 발명의 일 실시예에 따른 방송 신호를 전송하는 방법은, 적어도 하나 이상의 입력 스트림을 복수개의 DP (Data Pipe) 로 디멀티플렉싱하는 단계(21010) 및/또는 복수개의 DP 의 데이터를 DP 별로 처리하여 전송하는 단계(21020) 을 포함할 수 있다.
- [273] 적어도 하나 이상의 입력 스트림을 복수개의 DP 로 디멀티플렉싱하는 단계(21010) 는, 전술한 새로운 BB 헤더 삽입 블록을 포함하는 인풋 포매팅 모듈의 동작을 의미할 수 있다. 즉, 새로운 BB 헤더 삽입 블록을 포함하는 인풋 포매팅 모듈의 실시예에 있어서, 그 인풋 포매팅 모듈이 입력 스트림을 디멀티플렉싱하는 단계일 수 있다. 여기서, 입력 스트림은 TS, GSE, IP 등등이 될 수 있다. 적어도 하나 이상의 입력 스트림을 복수개의 DP (Data Pipe) 로 디멀티플렉싱하는 단계(21010) 는, 입력 스트림을 복수개의 DP 로 나누는 단계, 복수개의 DP 의 데이터를 BB 프레임의 페이로드의 길이와 동일한 길이를 갖는 데이터 단위로 분할하는 단계, 분할된 데이터의 입력 패킷들을 사이클릭-쉬프트(Cyclic-shift) 하는 단계, 사이클릭-쉬프트된 입력 패킷들을 BB 프레임의 페이로드에 할당하는 단계, 및/또는 BB 프레임의 페이로드의 앞에 헤더를 삽입하는 단계를 포함할 수 있다.

- [274] 입력 스트림을 복수개의 DP 로 나누는 단계는, 전술한 프리 포매팅 블록이 입력 스트림을 복수개의 DP 로 스플리팅하는 것을 의미할 수 있다. 여기서, 복수개의 DP 의 데이터는 입력 스트림을 나눈 것으로서, 적어도 하나 이상의 입력 패킷들이 연속적인 스트림으로 연결된 것일 수 있다.
- [275] 복수개의 DP 의 데이터를 BB 프레임의 페이로드의 길이와 동일한 길이를 갖는 데이터 단위로 분할하는 단계는, 전술한 패킷 스플리팅 블록이 DP 의 데이터를 분할하는 단계일 수 있다. 전술한 바와 같이, DP 의 데이터 즉 연속된 패킷들은 BB 프레임의 페이로드와 동일한 길이로 분할될 수 있다. 전술한 바와 같이, 이러한 동작은 후의 블록들이 각각 동작을 수행할 수 있게 하기 위함일 수 있다.
- [276] 분할된 데이터의 입력 패킷들을 사이클릭-쉬프트(Cyclic-shift) 하는 단계는, 전술한 사이클릭 쉬프트 블록이 분할된 데이터의 입력 패킷들을 페이로드에 할당하기 전에 사이클릭 쉬프트하는 단계일 수 있다. 여기서 사이클릭 쉬프트는 전술한 사이클릭 쉬프트 페이로드 메쏘드에 의한 사이클릭 쉬프트 동작을 의미할 수 있다.
- [277] 사이클릭-쉬프트된 입력 패킷들을 BB 프레임의 페이로드에 할당하는 단계는, 전술한 사이클릭 쉬프트 블록이 사이클릭 쉬프트된 입력 패킷들을 페이로드에 할당하는 단계일 수 있다.
- [278] BB 프레임의 페이로드의 앞에 헤더를 삽입하는 단계는, 전술한 BB 헤더 생성 블록이 BB 프레임 헤더를 생성하여 앞 블록들에서 생성된 페이로드의 앞에 삽입하는 동작일 수 있다. 헤더에는 전술한 바와 같이, 디코딩에 필요한 파라미터 정보 등이 위치할 수 있다.
- [279] 복수개의 DP 의 데이터를 DP 별로 처리하여 전송하는 단계(21020)는, 전술한 코딩 앤 모듈레이션 모듈, 프레임 스트럭처 모듈, 웨이브폼 제너레이션 모듈이 복수개의 DP 의 데이터를 처리하여 전송하는 동작을 의미할 수 있다. 특히, 코딩 앤 모듈레이션 모듈은 DP 의 데이터를 DP 별로 처리할 수 있다.
- [280] 본 발명의 다른 실시예에 따른 방송 신호를 전송하는 방법은, 분할된 데이터의 입력 패킷들을 사이클릭-쉬프트하는 단계가, 분할된 데이터의 입력 패킷들 중, 잘려지지 않은 첫 번째 입력 패킷이 상기 페이로드의 처음에 할당되도록 쉬프팅하는 단계를 포함할 수 있다. 이는 전술한 사이클릭 쉬프트 블록의 동작 중, 페이로드 크기로 분할된 데이터 중 제일 처음 등장하는 잘려지지 않은 온전한 패킷이, 페이로드의 앞부분에 할당될 수 있도록, 분할된 데이터를 쉬프팅하는 동작에 해당할 수 있다.
- [281] 본 발명의 또 다른 실시예에 따른 방송 신호를 전송하는 방법은, 분할된 데이터의 입력 패킷들을 사이클릭-쉬프트하는 단계가, 쉬프팅된 데이터의 입력 패킷들 중, 앞 부분이 잘려진 입력 패킷을 페이로드의 마지막에 할당되도록 쉬프팅하는 단계를 더 포함할 수 있다. 이는 전술한 사이클릭 쉬프트 블록의 동작 중, 분할시 잘려진 패킷 조각이, BB 프레임의 제일 마지막에 할당될 수 있도록 쉬프팅하는 동작에 해당할 수 있다.

- [282] 본 발명의 또 다른 실시예에 따른 방송 신호를 전송하는 방법은, 복수개의 DP의 데이터를 DP 별로 처리하여 전송하는 단계가, 복수개의 DP의 데이터를 DP 별로 코드레이트에 따라 인코딩하는 단계, 인코딩된 DP의 데이터를 매핑하여 적어도 하나의 신호 프레임을 생성하는 단계 및/또는 OFDM (Orthogonal Frequency Division Multiplexing) 방식에 의하여 생성된 신호 프레임의 데이터를 변조하고, 변조된 신호 프레임의 데이터를 포함하는 방송 신호를 전송하는 단계를 포함할 수 있다.
- [283] 복수개의 DP의 데이터를 DP 별로 코드레이트에 따라 인코딩하는 단계는, 전술한 코딩 앤 모듈레이션 모듈이 DP의 데이터를 DP 별로 인코딩하는 단계일 수 있다. 인코딩된 DP의 데이터를 매핑하여 적어도 하나의 신호 프레임을 생성하는 단계는, 전술한 프레임 스트럭처 모듈이 전술한 바와 같이 신호 프레임을 생성하는 단계일 수 있다. OFDM 방식에 의하여 생성된 신호 프레임의 데이터를 변조하고, 변조된 신호 프레임의 데이터를 포함하는 방송 신호를 전송하는 단계는, 전술한 웨이브폼 제너레이션 모듈이, 전송을 위하여 데이터를 변조, 전송하는 단계일 수 있다.
- [284] 전술한 단계들은 생략되거나 비슷한 또는 동일한 기능을 하는 다른 단계들에 의하여 대체될 수 있다.
- [285] 도 22는 본 발명의 일 실시예에 따른 방송 신호를 수신하는 방법을 도시한 도면이다.
- [286] 본 발명의 일 실시예에 따른 방송 신호를 수신하는 방법은, 방송 신호를 수신하여, 상기 수신한 방송 신호에 포함되는 복수개의 DP의 데이터를 처리하는 단계(22010) 및/또는 복수개의 DP를 적어도 하나 이상의 아웃풋 스트림으로 멀티플렉싱하는 단계(22020)을 포함할 수 있다.
- [287] 방송 신호를 수신하여, 상기 수신한 방송 신호에 포함되는 복수개의 DP의 데이터를 처리하는 단계(22010)는, 전술한 동기화 & 복조 모듈이 방송 신호를 수신하여 복조하고, 전술한 프레임 파싱 모듈이 신호 프레임을 파싱하고, 전술한 디매핑 & 디코딩 모듈이 전술한 바와 같이 DP 별로 디코딩을 수행하는 단계를 의미할 수 있다.
- [288] 복수개의 DP를 적어도 하나 이상의 아웃풋 스트림으로 멀티플렉싱하는 단계(22020)는, 전술한 아웃풋 프로세서 모듈이 복수개의 DP를 아웃풋 스트림으로 처리하는 단계를 의미할 수 있다. 복수개의 DP를 적어도 하나 이상의 아웃풋 스트림으로 멀티플렉싱하는 단계(22020)는, DP의 데이터의 헤더를 파싱하여 뉴 패킷 포인터를 얻는 단계, 뉴 패킷 포인터를 이용하여 DP의 데이터의 패킷들을 사이클릭-쉬프트(Cyclic-shift) 하는 단계 및/또는 사이클릭-쉬프트된 데이터를 연속적인 아웃풋 스트림으로 합치는 단계를 포함할 수 있다.
- [289] DP의 데이터의 헤더를 파싱하여 뉴 패킷 포인터를 얻는 단계는 전술한 BB 프레임 헤더 파싱 블록이 전술한 뉴 패킷 포인터를 획득하는 단계일 수 있다.

여기서 뉴 패킷 포인터는 전술한 바와 같이 디코딩에 필요한 정보를 포함할 수 있다.

- [290] 뉴 패킷 포인터를 이용하여 DP의 데이터의 패킷들을 사이클릭-쉬프트하는 단계는, 전술한 페이로드 사이클릭 쉬프트 블록이 전달받은 뉴 패킷 포인터를 바탕으로 사이클릭 쉬프팅을 수행하는 단계일 수 있다. 전술한 바와 같이, 이를 통해 송신단에서 쉬프트된 페이로드의 위치를 역으로 다시 쉬프트하여 원래대로 복구할 수 있다.
- [291] 사이클릭-쉬프트된 데이터를 연속적인 아웃풋 스트림으로 합치는 단계는, 전술한 패킷 머징 블록이 분할되어 있는 페이로드를 다시 연속적인 스트림으로 합치는 동작을 의미할 수 있다.
- [292] 본 발명의 다른 실시예에 따른 방송 신호를 수신하는 방법은, DP의 데이터의 패킷들을 사이클릭 쉬프트하는 단계가, 뉴 패킷 포인터를 이용하여, 송신단에서 쉬프팅된 상기 DP의 데이터의 뒷부분의 패킷 조각을 다시 상기 DP의 데이터의 앞부분으로 이동하는 단계를 포함할 수 있다. 이 단계는 전술한 페이로드 사이클릭 쉬프트 블록이 송신단에서의 사이클릭 쉬프트 페이로드 메소드의 동작의 역과정을 수행하는 단계일 수 있다. 송신단에서 페이로드의 뒷부분으로 할당되었던, 앞부분이 잘린 패킷 조각을, 다시 원래의 위치인 페이로드의 앞부분으로 이동시키는 단계일 수 있다. 이러한 동작은 전술한 뉴 패킷 포인터를 이용하여 수행될 수 있다.
- [293] 본 발명의 또 다른 실시예에 따른 방송 신호를 수신하는 방법은, DP의 데이터의 패킷들을 사이클릭 쉬프트하는 단계가, 패킷 조각을 이동시킨 DP의 데이터를 쉬프팅하는 단계를 더 포함할 수 있다. 이는 뒷부분에 할당되었던 앞부분이 잘린 패킷조각을 페이로드의 앞부분으로 이동시킨 후, 페이로드 전체를 다시 원래의 위치로 쉬프팅하는 동작을 의미할 수 있다.
- [294] 본 발명의 또 다른 실시예에 따른 방송 신호를 수신하는 방법은, 방송 신호를 수신하여, 상기 수신한 방송 신호에 포함되는 복수개의 DP의 데이터를 처리하는 단계가, 방송 신호를 수신하고, 상기 수신한 방송 신호에 포함되는 신호 프레임의 데이터를 OFDM 방식에 의하여 복조하는 단계, 복수개의 DP의 데이터를 디-매핑하여 신호 프레임을 파싱하는 단계, 및/또는 복수개의 DP의 데이터를 DP 별로 코드레이트에 따라 디코딩하는 단계를 포함할 수 있다.
- [295] 방송 신호를 수신하고, 상기 수신한 방송 신호에 포함되는 신호 프레임의 데이터를 OFDM 방식에 의하여 복조하는 단계는, 전술한 동기화 & 복조 모듈이 방송 신호를 수신하여 복조하는 단계일 수 있다.
- [296] 복수개의 DP의 데이터를 디-매핑하여 신호 프레임을 파싱하는 단계는 전술한 프레임 파싱 모듈이 신호 프레임을 파싱하는 단계일 수 있다.
- [297] 복수개의 DP의 데이터를 DP 별로 코드레이트에 따라 디코딩하는 단계는, 전술한 디매핑 & 디코딩 모듈이 전술한 바와 같이 DP 별로 디코딩을 수행하는 단계를 의미할 수 있다.

- [298] 본 발명의 또 다른 실시예에 따른 방송 신호를 수신하는 방법은, 복수개의 DP의 데이터를 DP 별로 코드레이트에 따라 디코딩하는 단계가, DP의 데이터의 패킷들의 패킷 헤더에 포함된 데이터를 이용하여 디코딩을 수행할 수 있다. 본 단계는 전송한 조인트 디코딩 메쏘드에 의하여, 디코딩 시에, 패킷 헤더에 포함된 기지 데이터(known data)나, CRC 데이터를 이용하여, FEC 블록에 대한 디코딩이 수행될 수 있다. 특히 본 발명에서 제안한 사이클릭-쉬프트드 페이로드 메쏘드를 적용할 경우, 항상 같은 위치에 패킷 헤더가 위치할 수 있다. 따라서 SYNCD 값이 없이도 패킷 헤더의 위치를 알 수 있게 되므로, 조인트 디코딩 메쏘드가 용이하게 수행될 수 있다.
- [299] 전송한 단계들은 생략되거나 비슷한 또는 동일한 기능을 하는 다른 단계들에 의하여 대체될 수 있다.
- [300] 설명의 편의를 위하여 각 도면을 나누어 설명하였으나, 각 도면에 서술되어 있는 실시 예들을 병합하여 새로운 실시 예를 구현하도록 설계하는 것도 가능하다. 그리고, 통상의 기술자의 필요에 따라, 이전에 설명된 실시 예들을 실행하기 위한 프로그램이 기록되어 있는 컴퓨터에서 판독 가능한 기록 매체를 설계하는 것도 본 발명의 권리범위에 속한다.
- [301] 본 발명에 따른 장치 및 방법은 상술한 바와 같이 설명된 실시 예들의 구성과 방법이 한정되게 적용될 수 있는 것이 아니라, 상술한 실시 예들은 다양한 변형이 이루어질 수 있도록 각 실시 예들의 전부 또는 일부가 선택적으로 조합되어 구성될 수도 있다.
- [302] 한편, 본 발명의 방송 신호를 송수신하는 방법을 네트워크 디바이스에 구비된, 프로세서가 읽을 수 있는 기록매체에, 프로세서가 읽을 수 있는 코드로서 구현하는 것이 가능하다. 프로세서가 읽을 수 있는 기록매체는 프로세서에 의해 읽혀질 수 있는 데이터가 저장되는 모든 종류의 기록장치를 포함한다. 프로세서가 읽을 수 있는 기록 매체의 예로는 ROM, RAM, CD-ROM, 자기 테이프, 플로피디스크, 광 데이터 저장장치 등이 있으며, 또한, 인터넷을 통한 전송 등과 같은 캐리어 웨이브의 형태로 구현되는 것도 포함한다. 또한, 프로세서가 읽을 수 있는 기록매체는 네트워크로 연결된 컴퓨터 시스템에 분산되어, 분산방식으로 프로세서가 읽을 수 있는 코드가 저장되고 실행될 수 있다.
- [303] 또한, 이상에서는 본 발명의 바람직한 실시 예에 대하여 도시하고 설명하였지만, 본 발명은 상술한 특정의 실시 예에 한정되지 아니하며, 청구범위에서 청구하는 본 발명의 요지를 벗어남이 없이 당해 발명이 속하는 기술분야에서 통상의 지식을 가진 자에 의해 다양한 변형실시가 가능한 것은 물론이고, 이러한 변형실시들은 본 발명의 기술적 사상이나 전망으로부터 개별적으로 이해해서는 안 될 것이다.
- [304] 그리고, 당해 명세서에서는 물건 발명과 방법 발명이 모두 설명되고 있으며, 필요에 따라 양 발명의 설명은 보충적으로 적용될 수가 있다.

발명의 실시를 위한 형태

[305] 발명의 실시를 위한 형태는 위의 발명의 실시를 위한 최선의 형태에서 함께 기술된다.

산업상 이용가능성

[306] 본 발명은 방송 및 통신 분야에서 산업상 이용가능성을 가진다.

[307]

청구범위

- [청구항 1] 적어도 하나 이상의 입력 스트림을 복수개의 DP (Data Pipe) 로 디멀티플렉싱하는 단계, 여기서 상기 적어도 하나 이상의 입력 스트림을 디멀티플렉싱하는 단계는, 상기 입력 스트림을 복수개의 DP 로 나누는 단계, 여기서 상기 복수개의 DP 의 데이터는 적어도 하나 이상의 연속된 입력 패킷들을 포함하고, 상기 복수개의 DP 의 데이터를 BB 프레임의 페이로드의 길이와 동일한 길이를 갖는 데이터 단위로 분할하는 단계, 상기 분할된 데이터의 입력 패킷들을 사이클릭-쉬프트(Cyclic-shift) 하는 단계, 상기 사이클릭-쉬프트된 입력 패킷들을 상기 BB 프레임의 페이로드에 할당하는 단계, 및 상기 BB 프레임의 페이로드의 앞에 헤더를 삽입하는 단계를 포함하고; 및 상기 복수개의 DP 의 데이터를 DP 별로 처리하여 전송하는 단계; 를 포함하는 방송 신호를 전송하는 방법.
- [청구항 2] 제 1항에 있어서, 상기 분할된 데이터의 입력 패킷들을 사이클릭-쉬프트하는 단계는, 상기 분할된 데이터의 입력 패킷들 중, 잘려지지 않은 첫 번째 입력 패킷이 상기 페이로드의 처음에 할당되도록 쉬프팅하는 단계를 포함하는 것을 특징으로 하는 방송 신호를 전송하는 방법.
- [청구항 3] 제 2항에 있어서, 상기 분할된 데이터의 입력 패킷들을 사이클릭-쉬프트하는 단계는, 상기 쉬프팅된 데이터의 입력 패킷들 중, 앞 부분이 잘려진 입력 패킷을 상기 페이로드의 마지막에 할당되도록 쉬프팅하는 단계를 더 포함하는 것을 특징으로 하는 방송 신호를 전송하는 방법.
- [청구항 4] 제 1항에 있어서, 상기 복수개의 DP 의 데이터를 DP 별로 처리하여 전송하는 단계는, 상기 복수개의 DP 의 데이터를 DP 별로 코드레이트에 따라 인코딩하는 단계, 상기 인코딩된 DP 의 데이터를 매핑하여 적어도 하나의 신호 프레임을 생성하는 단계 및 OFDM (Orthogonal Frequency Division Multiplexing) 방식에 의하여 상기 생성된 신호 프레임의 데이터를 변조하고, 상기 변조된 신호 프레임의 데이터를 포함하는 방송 신호를 전송하는 단계를 포함하는 것을 특징으로 하는 방송 신호를 전송하는 방법.

- [청구항 5] 방송 신호를 수신하여, 상기 수신한 방송 신호에 포함되는 복수개의 DP (Data Pipe) 의 데이터를 처리하는 단계; 및 상기 복수개의 DP 를 적어도 하나 이상의 아웃풋 스트림으로 멀티플렉싱하는 단계, 여기서 상기 적어도 하나 이상의 아웃풋 스트림으로 멀티플렉싱하는 단계는, 상기 DP 의 데이터의 헤더를 파싱하여 뉴 패킷 포인터를 얻는 단계, 여기서 상기 DP 의 데이터는 적어도 하나 이상의 연속된 패킷들을 포함하고, 상기 뉴 패킷 포인터를 이용하여 상기 DP 의 데이터의 패킷들을 사이클릭-쉬프트(Cyclic-shift) 하는 단계, 및 상기 사이클릭-쉬프트된 데이터를 연속적인 아웃풋 스트림으로 합치는 단계를 포함하는 방송 신호를 수신하는 방법.
- [청구항 6] 제 5항에 있어서, 상기 DP 의 데이터의 패킷들을 사이클릭-쉬프트하는 단계는, 상기 뉴 패킷 포인터를 이용하여, 송신단에서 쉬프팅된 상기 DP 의 데이터의 뒷부분의 패킷 조각을 다시 상기 DP 의 데이터의 앞부분으로 이동하는 단계를 포함하는 것을 특징으로 하는 방송 신호를 수신하는 방법.
- [청구항 7] 제 6항에 있어서, 상기 DP 의 데이터의 패킷들을 사이클릭-쉬프트하는 단계는, 상기 패킷 조각을 이동시킨 DP 의 데이터를 쉬프팅하는 단계를 더 포함하는 것을 특징으로 하는 방송 신호를 수신하는 방법.
- [청구항 8] 제 5항에 있어서, 상기 방송 신호를 수신하여, 상기 수신한 방송 신호에 포함되는 복수개의 DP 의 데이터를 처리하는 단계는, 상기 방송 신호를 수신하고, 상기 수신한 방송 신호에 포함되는 신호 프레임의 데이터를 OFDM (Orthogonal Frequency Division Multiplexing) 방식에 의하여 복조하는 단계, 상기 복수개의 DP 의 데이터를 다-매핑하여 상기 신호 프레임을 파싱하는 단계, 및 상기 복수개의 DP 의 데이터를 DP 별로 코드레이트에 따라 디코딩하는 단계를 포함하는 방송 신호를 수신하는 방법.
- [청구항 9] 제 8항에 있어서, 상기 복수개의 DP 의 데이터를 DP 별로 코드레이트에 따라 디코딩하는 단계는, 상기 DP 의 데이터의 패킷들의 패킷 헤더에 포함된 데이터를 이용하여 디코딩을 수행하는 것을 특징으로 하는 방송 신호를 수신하는 방법.

- [청구항 10] 적어도 하나 이상의 입력 스트림을 복수개의 DP (Data Pipe) 로 디멀티플렉싱하는 인풋 포매팅 모듈, 여기서 상기 인풋 포매팅 모듈은,
 상기 입력 스트림을 복수개의 DP 로 나누는 제 1 블록, 여기서 상기 복수개의 DP 의 데이터는 적어도 하나 이상의 연속된 입력 패킷들을 포함하고,
 상기 복수개의 DP 의 데이터를 BB 프레임의 페이로드의 길이와 동일한 길이를 갖는 데이터 단위로 분할하는 제 2 블록,
 상기 분할된 데이터의 입력 패킷들을 사이클릭-쉬프트(Cyclic-shift) 하여 상기 BB 프레임의 페이로드에 할당하는 제 3 블록, 및
 상기 BB 프레임의 페이로드의 앞에 헤더를 삽입하는 제 4 블록을 포함하고; 및
 상기 복수개의 DP 의 데이터를 DP 별로 처리하여 전송하는 데이터 처리 모듈;
 을 포함하는 방송 신호 전송 장치.
- [청구항 11] 제 10항에 있어서, 상기 제 3 블록은,
 상기 분할된 데이터의 입력 패킷들 중, 잘려지지 않은 첫 번째 입력 패킷이 상기 페이로드의 처음에 할당되도록 쉬프팅하는 것을 특징으로 하는 방송 신호 전송 장치.
- [청구항 12] 제 11항에 있어서, 상기 제 3 블록은,
 상기 쉬프팅된 데이터의 입력 패킷들 중, 앞부분이 잘려진 입력 패킷을 상기 페이로드의 마지막에 할당되도록 쉬프팅하는 것을 특징으로 하는 방송 신호 전송 장치.
- [청구항 13] 제 10항에 있어서, 상기 데이터 처리 모듈은,
 상기 복수개의 DP 의 데이터를 DP 별로 코드레이트에 따라 인코딩하는 인코딩 블록,
 상기 인코딩된 DP 의 데이터를 매핑하여 적어도 하나의 신호 프레임을 생성하는 프레임 빌딩 블록 및
 OFDM (Orthogonal Frequency Division Multiplexing) 방식에 의하여 상기 생성된 신호 프레임의 데이터를 변조하고, 상기 변조된 신호 프레임의 데이터를 포함하는 방송 신호를 전송하는 OFDM 블록을 포함하는 것을 특징으로 하는 방송 신호 전송 장치.
- [청구항 14] 방송 신호를 수신하여, 상기 수신한 방송 신호에 포함되는 복수개의 DP (Data Pipe) 의 데이터를 처리하는 데이터 처리 모듈; 및
 상기 복수개의 DP 를 적어도 하나 이상의 아웃풋 스트림으로 멀티플렉싱하는 아웃풋 프로세서 모듈, 여기서 상기 아웃풋

프로세서 모듈은,
 상기 DP의 데이터의 헤더를 파싱하여 뉴 패킷 포인터를 얻는 제 1 블록, 여기서 상기 DP의 데이터는 적어도 하나 이상의 연속된 패킷들을 포함하고,
 상기 뉴 패킷 포인터를 이용하여 상기 DP의 데이터의 패킷들을 사이클릭-쉬프트(Cyclic-shift) 하는 제 2 블록, 및
 상기 사이클릭-쉬프트된 데이터를 연속적인 아웃풋 스트림으로 합치는 제 3 블록
 을 포함하는 방송 신호 수신 장치.

[청구항 15]

제 14항에 있어서, 상기 제 2 블록은,
 상기 뉴 패킷 포인터를 이용하여, 송신단에서 쉬프팅된 상기 DP의 데이터의 뒷부분의 패킷 조각을 다시 상기 DP의 데이터의 앞부분으로 이동하는 것을 특징으로 하는 방송 신호 수신 장치.

[청구항 16]

제 15항에 있어서, 상기 제 2 블록은,
 상기 패킷 조각을 이동시킨 DP의 데이터를 쉬프팅하는 것을 특징으로 하는 방송 신호 수신 장치.

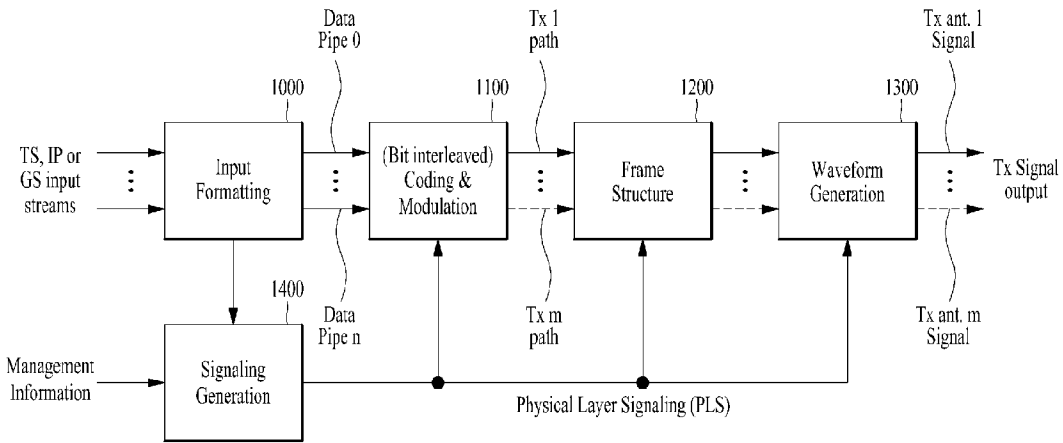
[청구항 17]

제 14항에 있어서, 상기 데이터 처리 모듈은,
 상기 방송 신호를 수신하고, 상기 수신한 방송 신호에 포함되는 신호 프레임의 데이터를 OFDM (Orthogonal Frequency Division Multiplexing) 방식에 의하여 복조하는 OFDM 블록,
 상기 복수개의 DP의 데이터를 다-매핑하여 상기 신호 프레임을 파싱하는 프레임 파서 블록 및
 상기 복수개의 DP의 데이터를 DP 별로 코드레이트에 따라 디코딩하는 디코딩 블록
 을 포함하는 방송 신호 수신 장치.

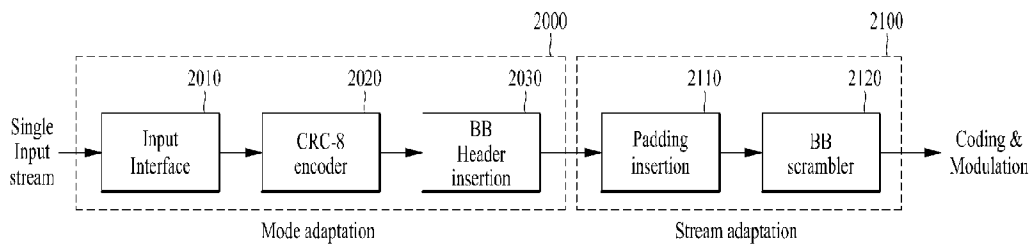
[청구항 18]

제 17항에 있어서, 상기 디코딩 블록은,
 상기 DP의 데이터의 패킷들의 패킷 헤더에 포함된 데이터를 이용하여 디코딩을 수행하는 것을 특징으로 하는 방송 신호 수신 장치.

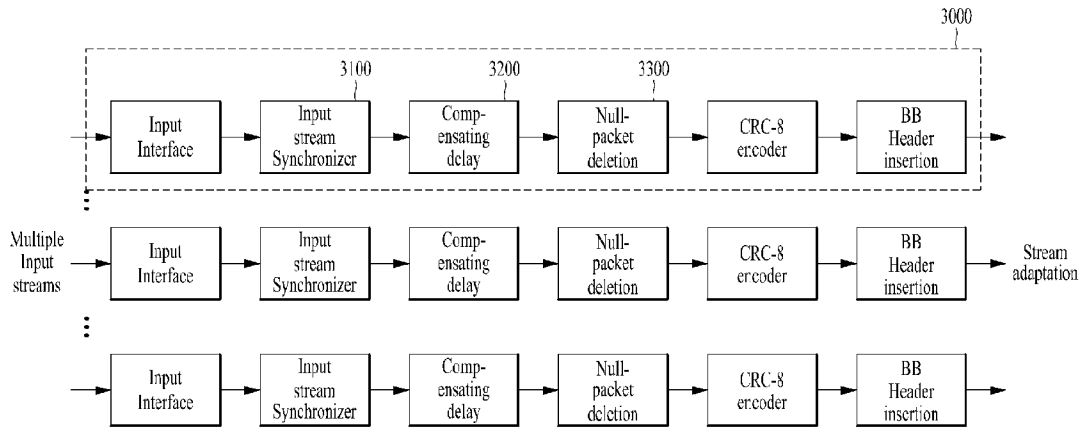
[Fig. 1]



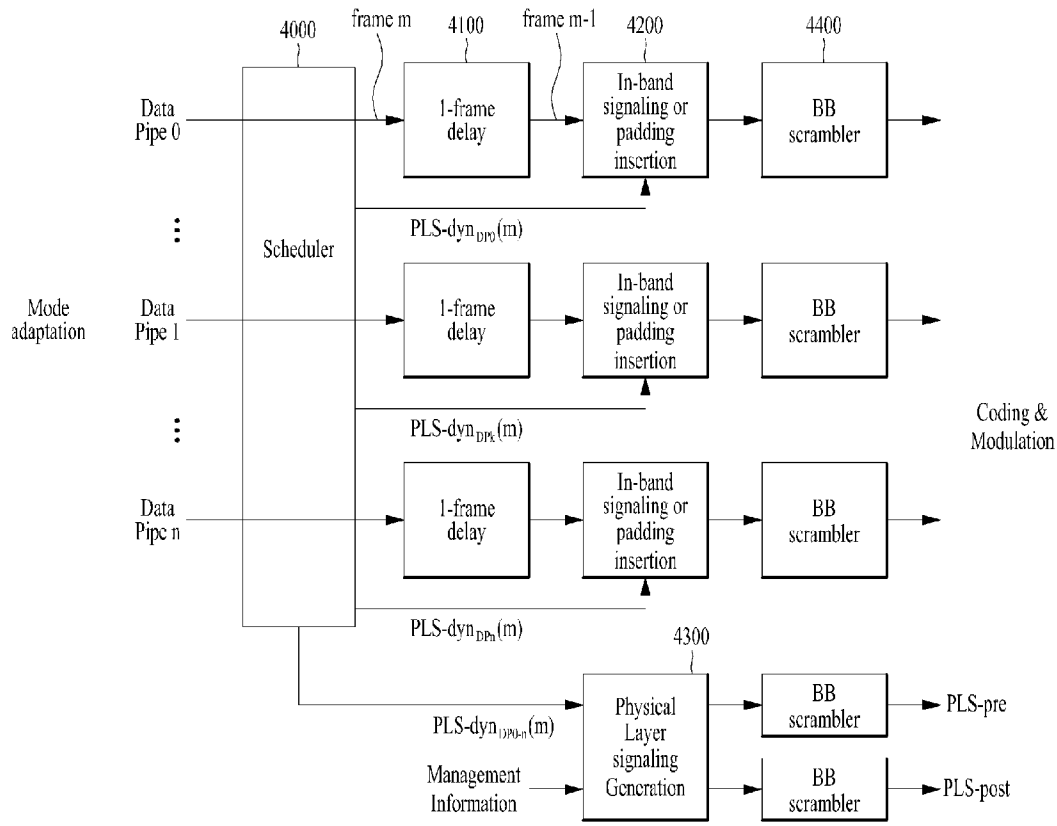
[Fig. 2]



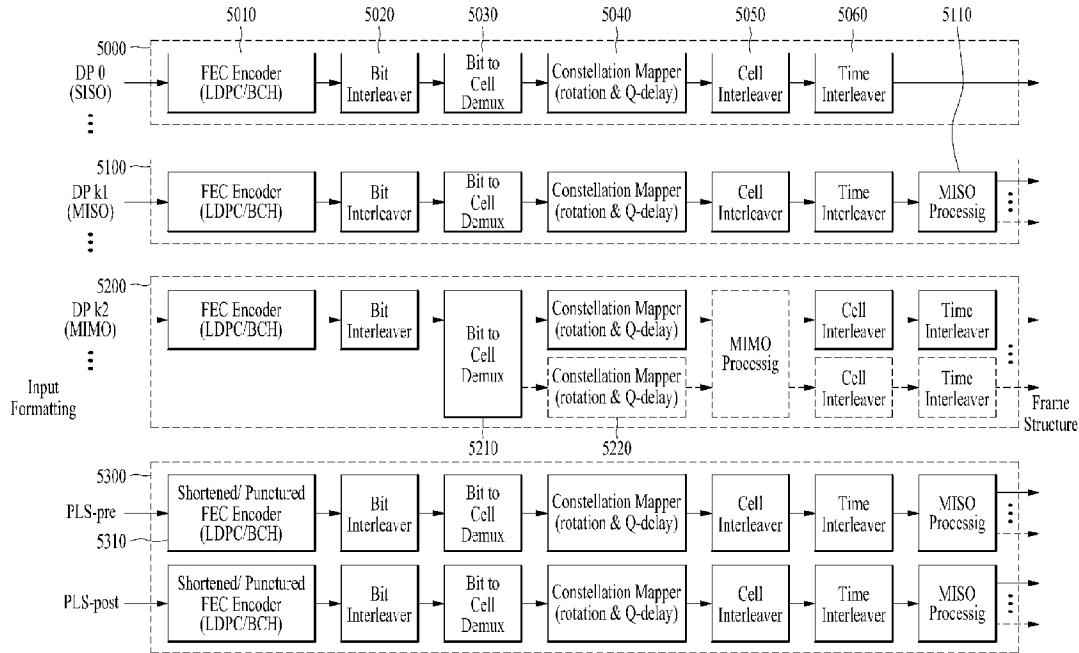
[Fig. 3]



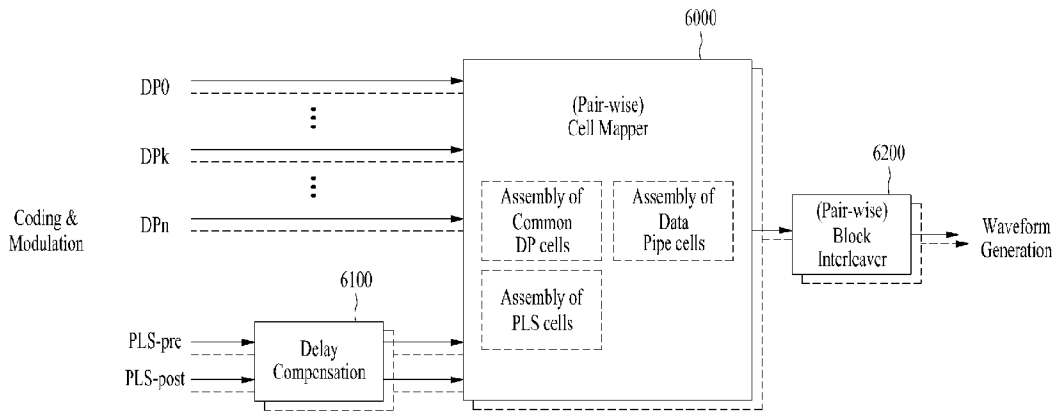
[Fig. 4]



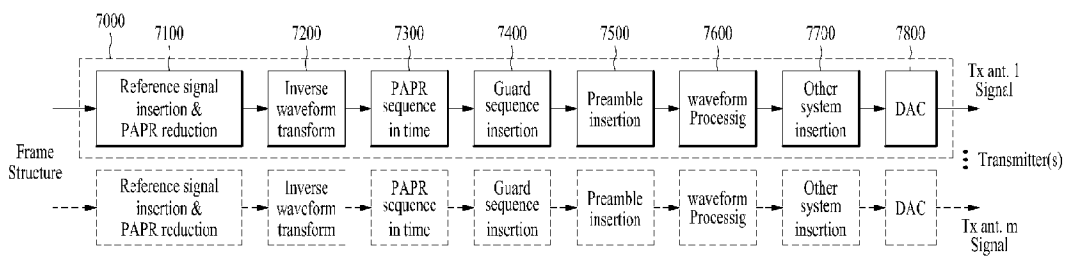
[Fig. 5]



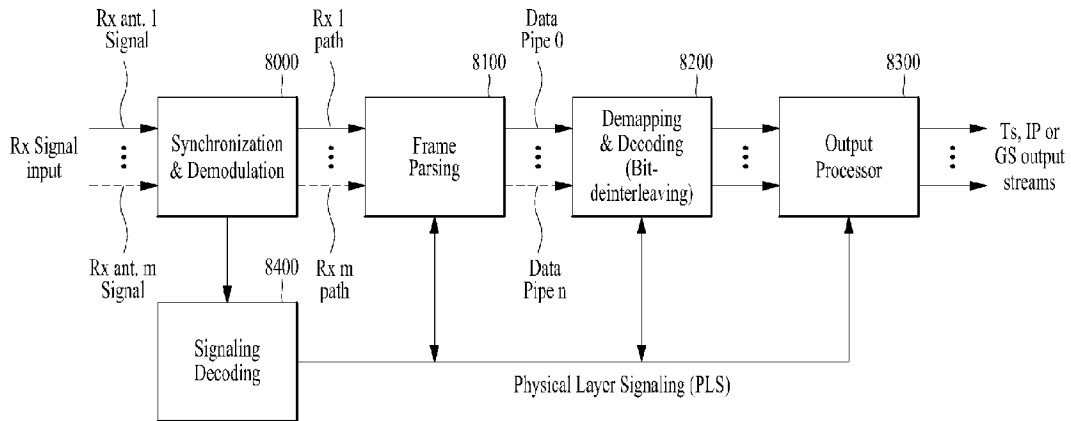
[Fig. 6]



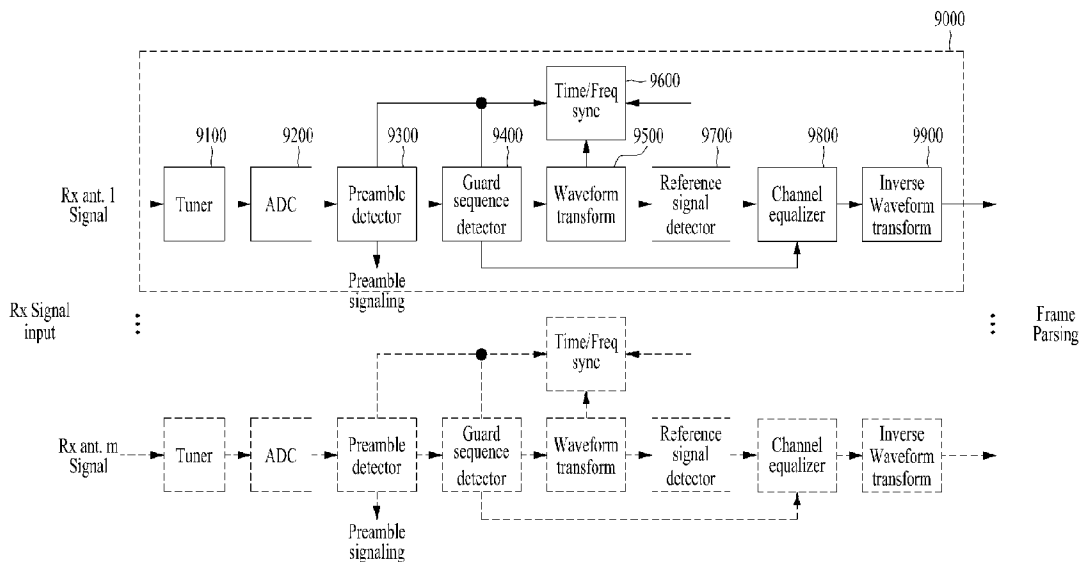
[Fig. 7]



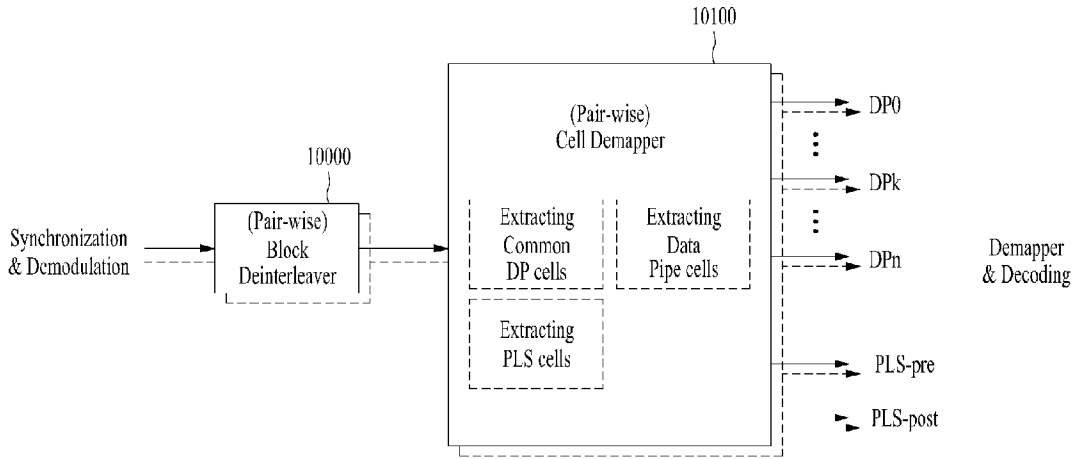
[Fig. 8]



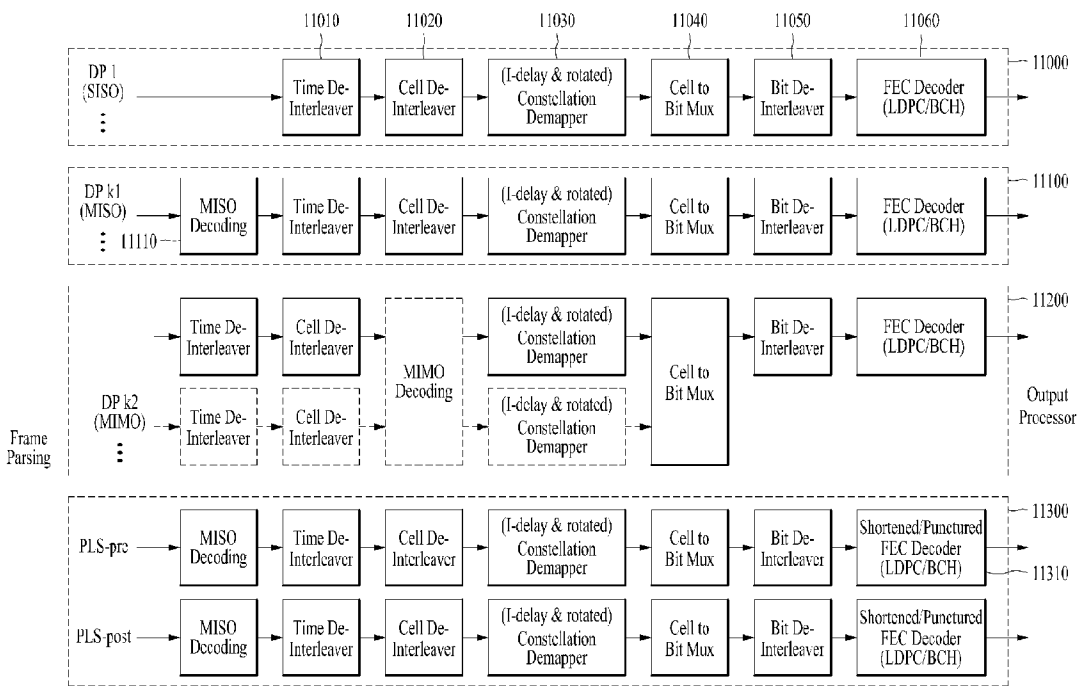
[Fig. 9]



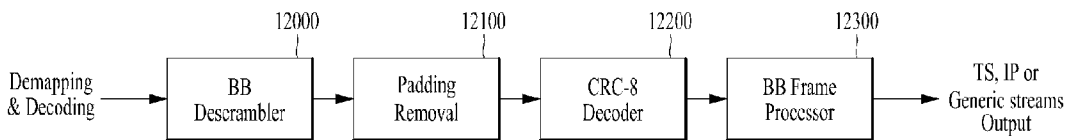
[Fig. 10]



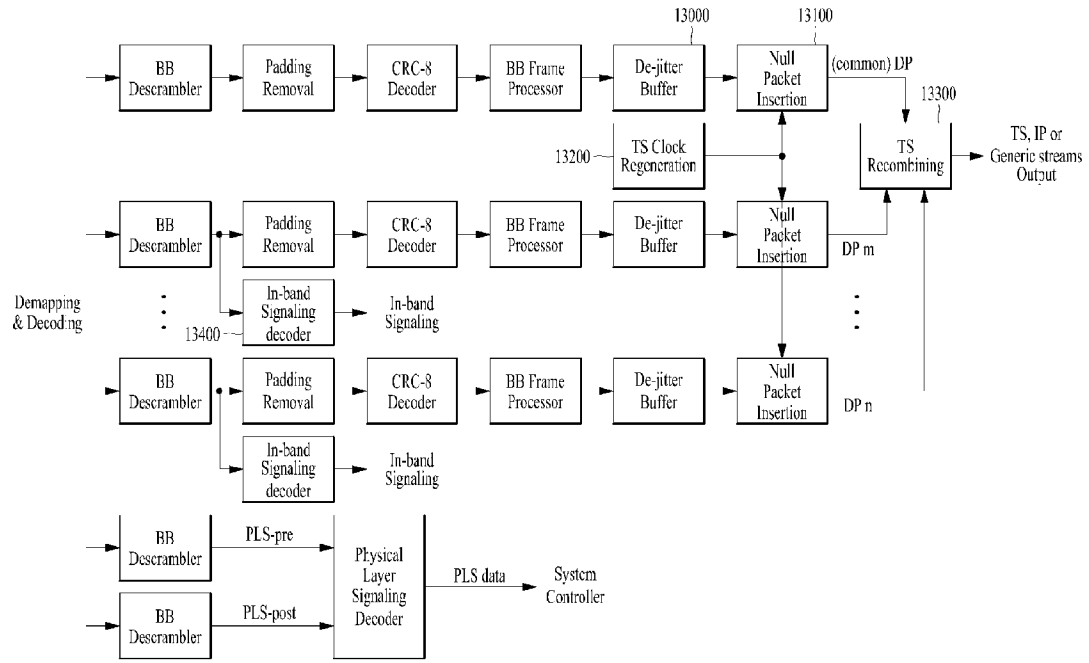
[Fig. 11]



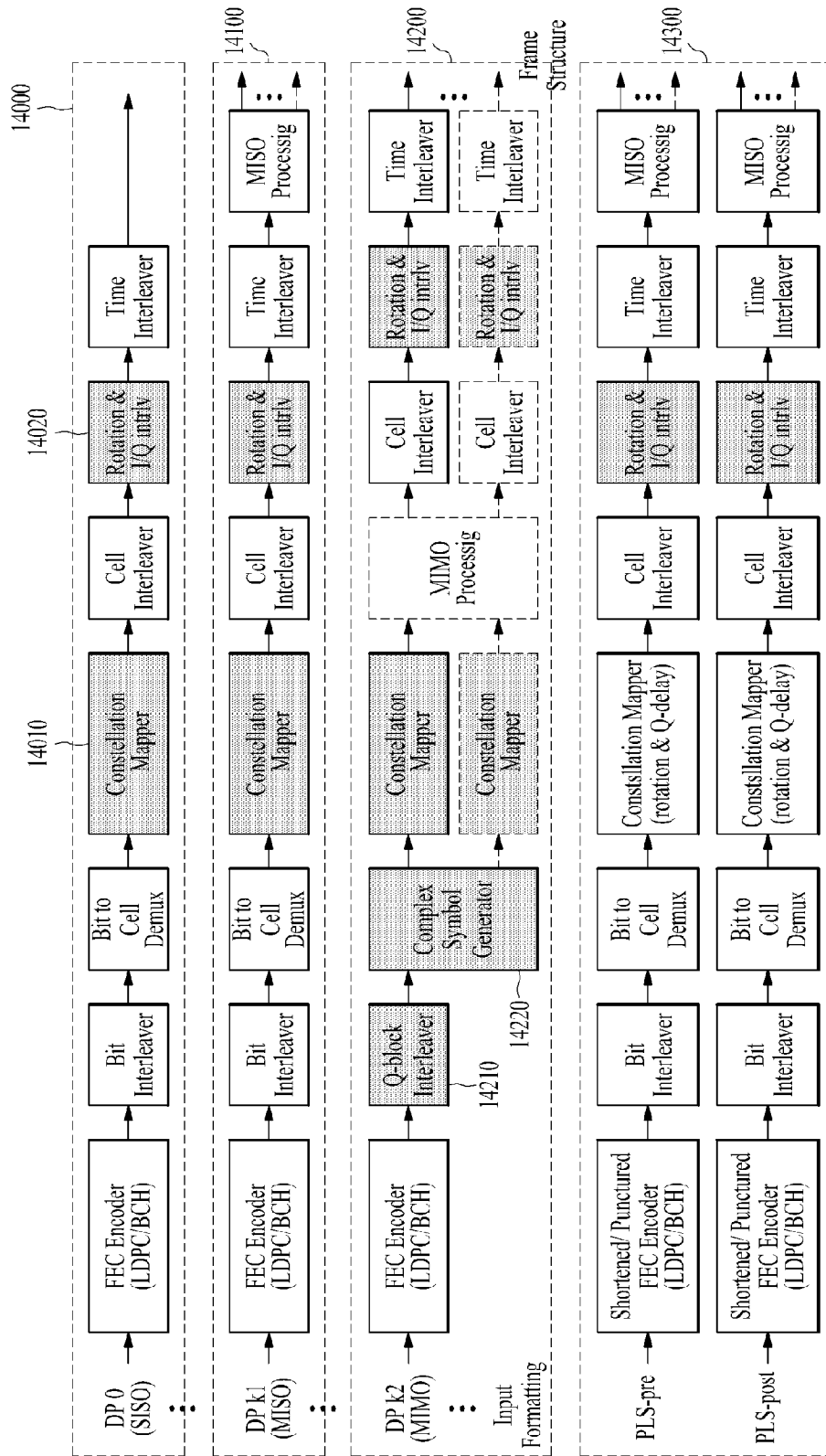
[Fig. 12]



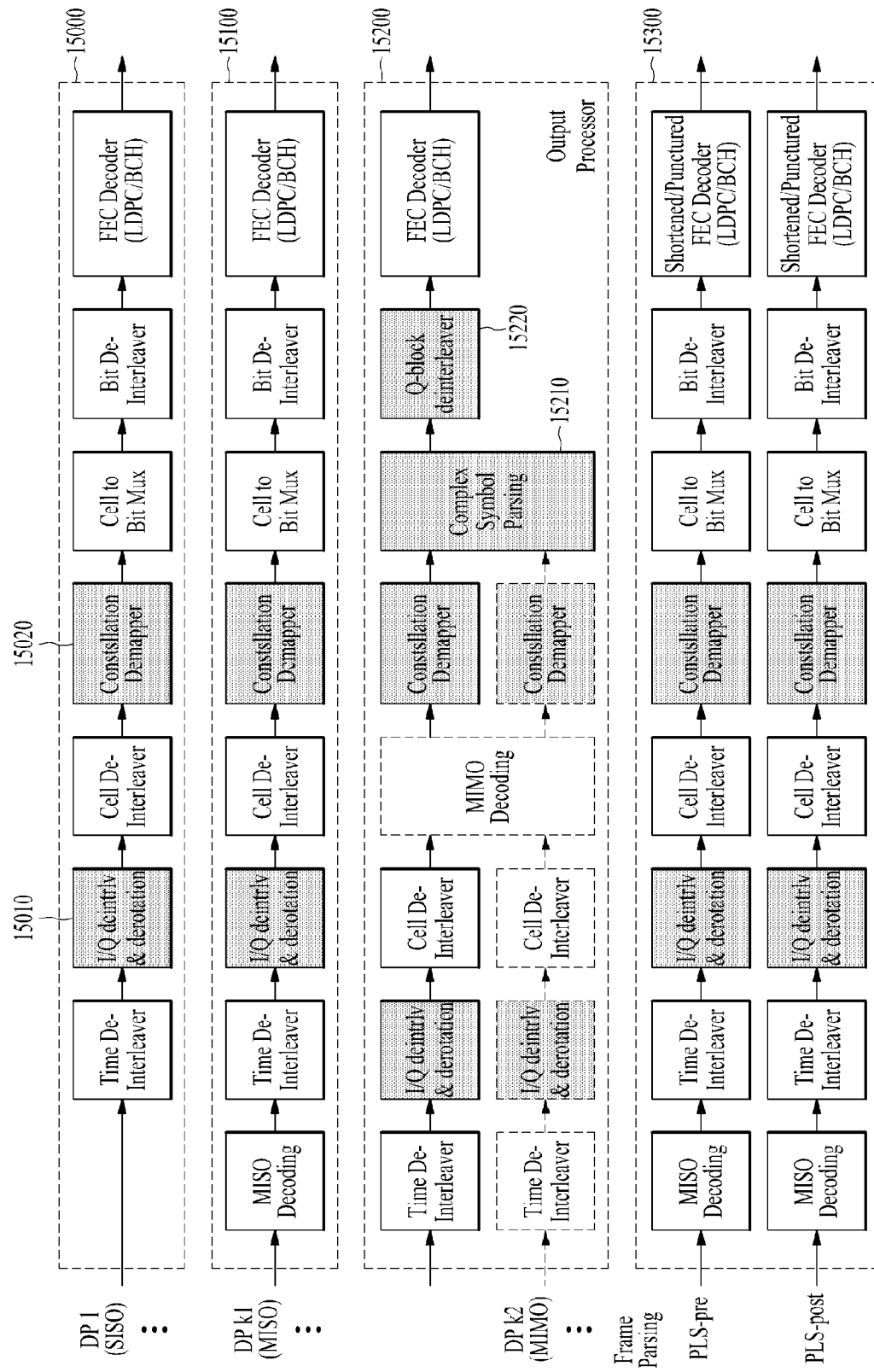
[Fig. 13]



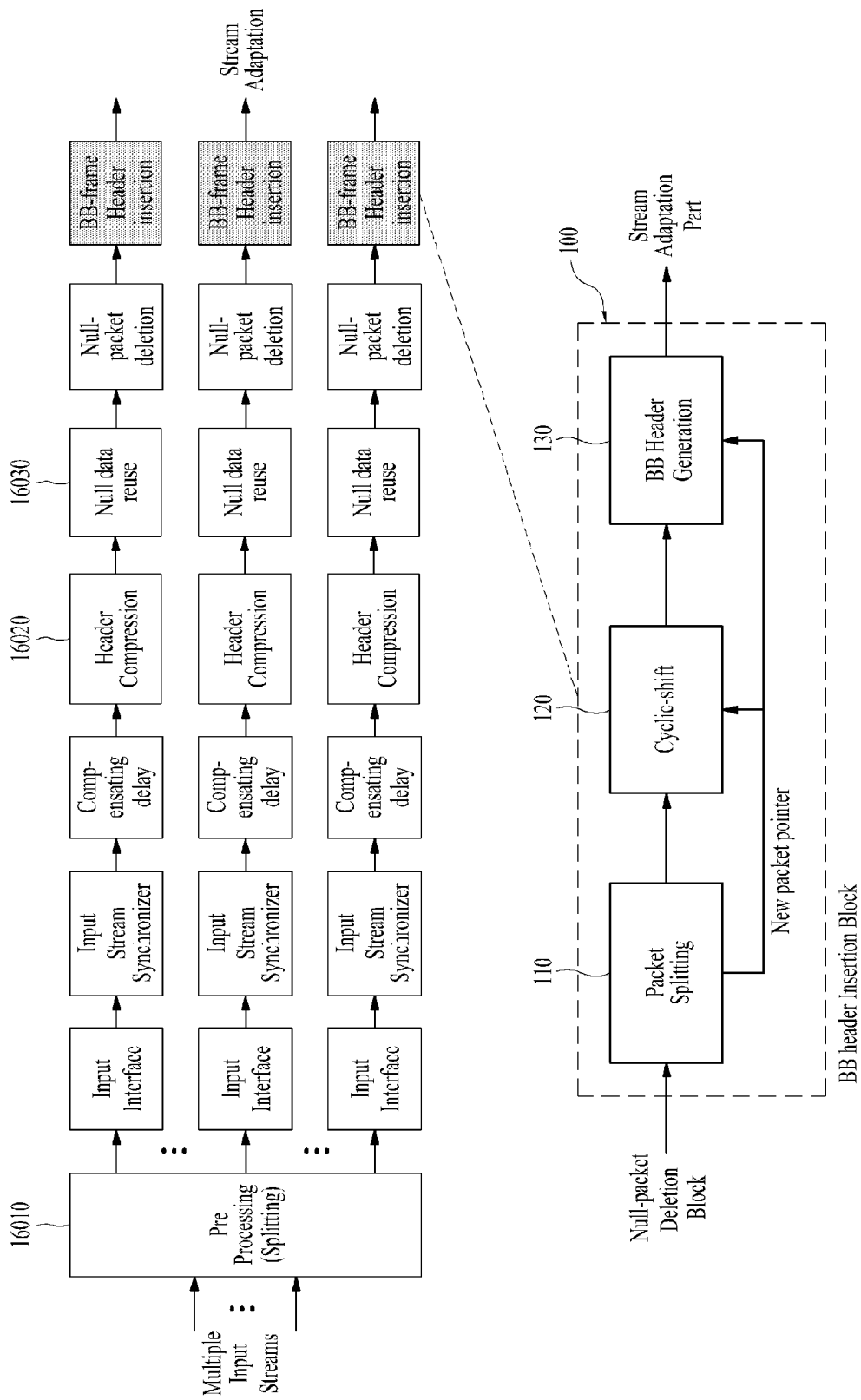
[Fig. 14]



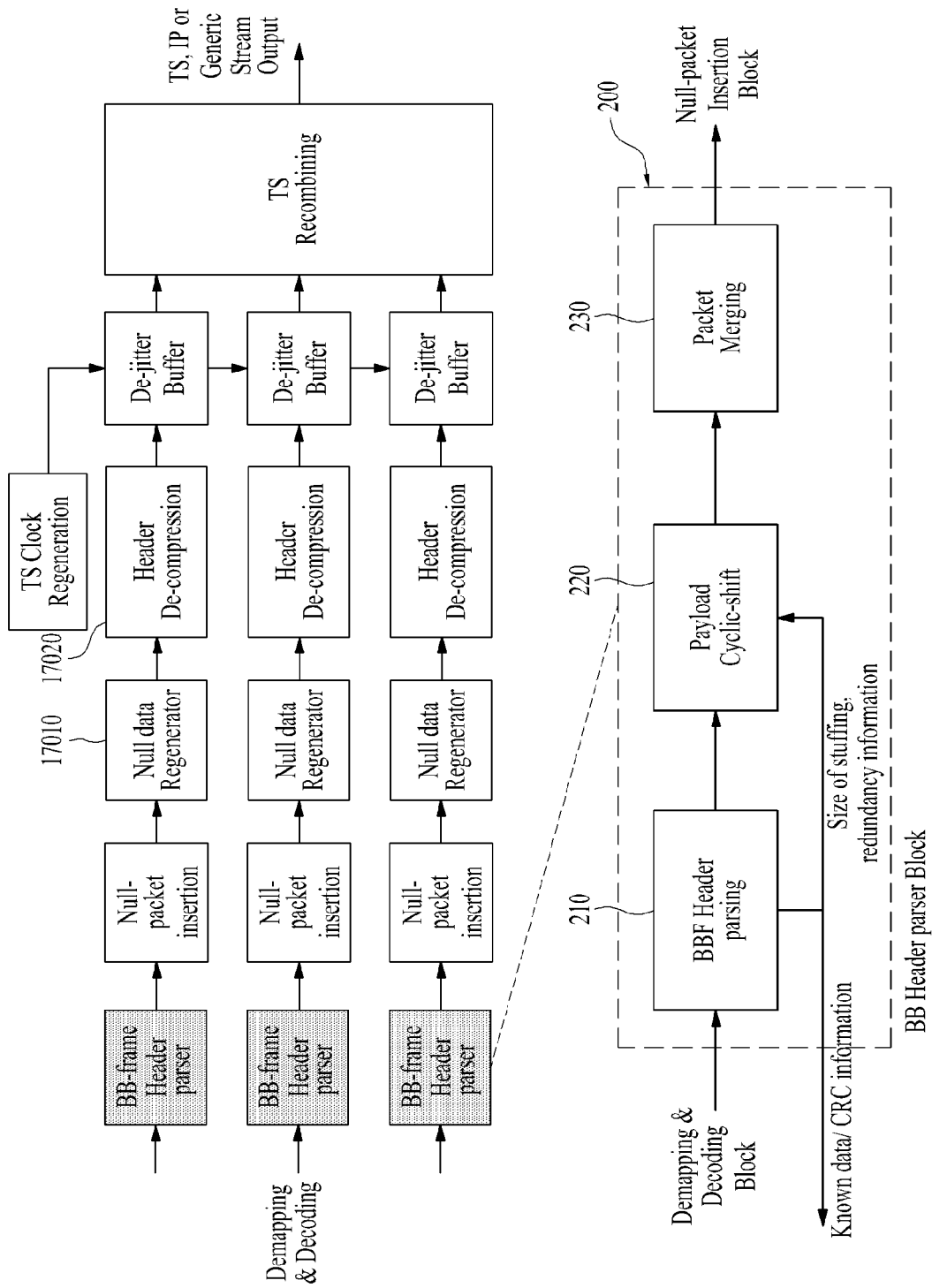
[Fig. 15]



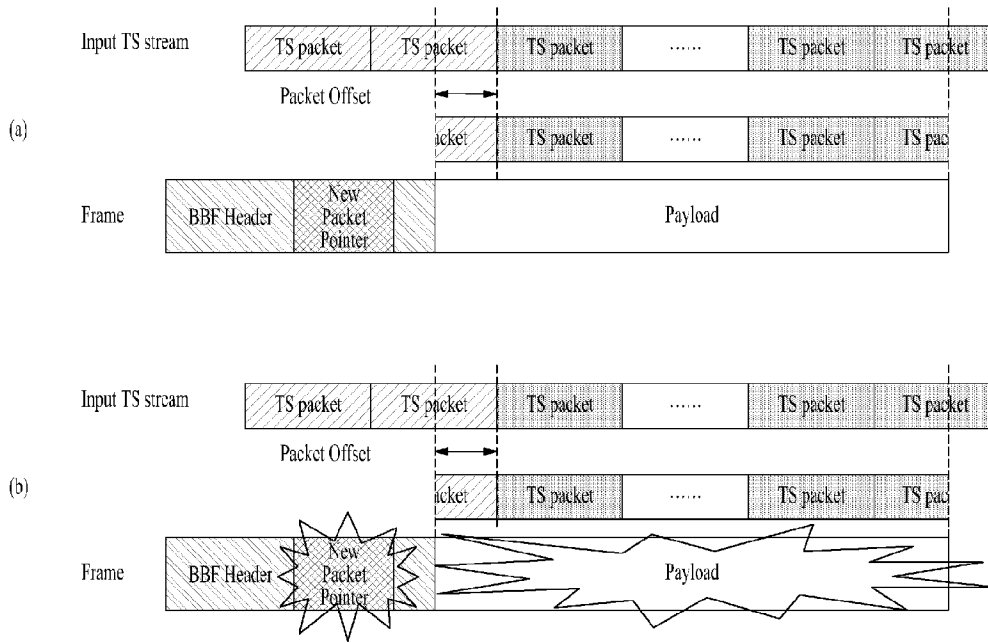
[Fig. 16]



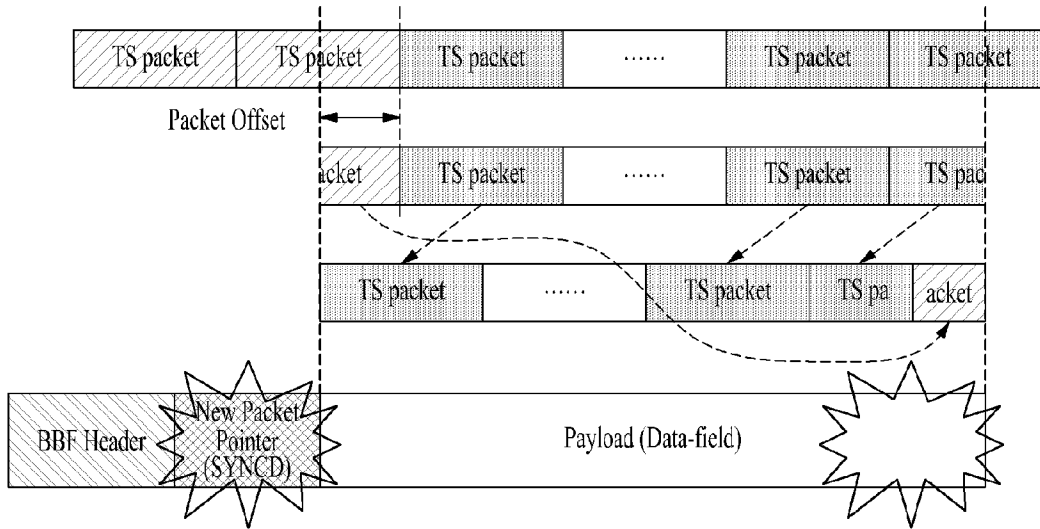
[Fig. 17]



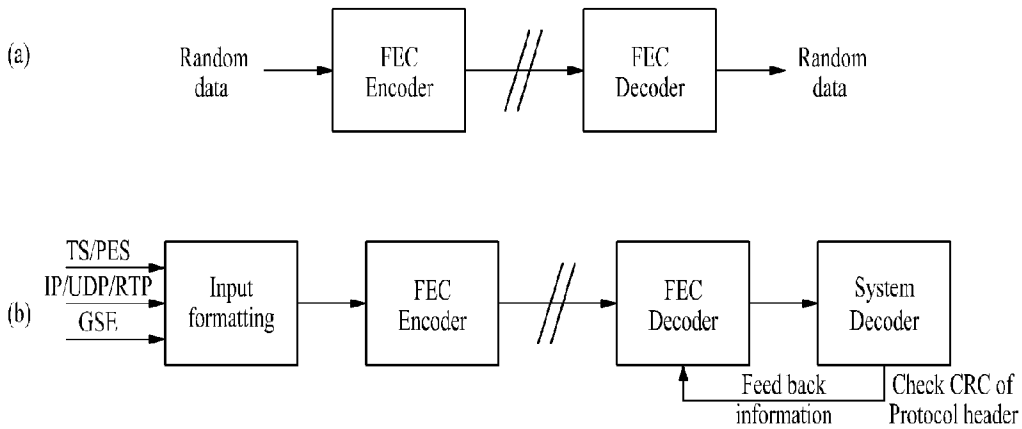
[Fig. 18]



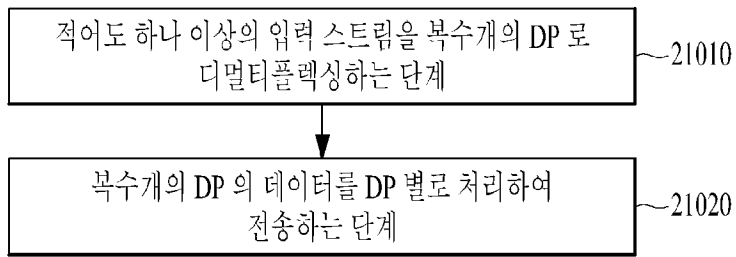
[Fig. 19]



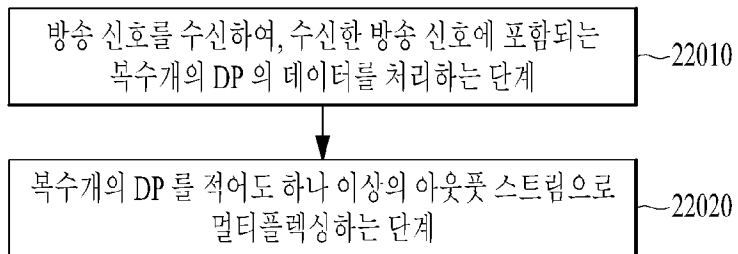
[Fig. 20]



[Fig. 21]



[Fig. 22]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/KR2014/004356

A. CLASSIFICATION OF SUBJECT MATTER

H04N 21/434(2011.01)i, H04N 21/236(2011.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H04N 21/434; H04L 1/00; H04N 7/015; H04N 7/08; H04N 7/12; H04H 60/13; H04L 27/26; H04B 7/04; H04H 60/68; H04N 21/236

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched
Korean Utility models and applications for Utility models: IPC as above
Japanese Utility models and applications for Utility models: IPC as aboveElectronic data base consulted during the international search (name of data base and, where practicable, search terms used)
eKOMPASS (KIPO internal) & Keywords: DP(Data Pipe), demultiplexing, BB frame, payload, split, Cyclic-shift(Cyclic-shift), allocation, header, insertion, OFDM(Orthogonal Frequency Division Multiplexing), new packet pointer, input stream, output stream

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	EP 2424146 A1 (LG ELECTRONICS INC.) 29 February 2012 See paragraphs 140, 141, 194; claims 1, 3; and figures 2, 3, 33.	1-18
A	WO 2011-062433 A2 (LG ELECTRONICS INC.) 26 May 2011 See paragraphs 134-141, 171-195, 210-229; claims 1-5; and figures 3, 7, 8, 12.	1-18
A	EP 2555510 A2 (LG ELECTRONICS INC.) 06 February 2013 See paragraphs 306-331; and figures 20, 21.	1-18
A	EP 2234296 A2 (SAMSUNG ELECTRONICS CO., LTD.) 29 September 2010 See paragraphs 23-40; claims 1, 9; and figures 4A-5B.	1-18
A	EP 2200206 A2 (LG ELECTRONICS INC.) 23 June 2010 See paragraphs 153-158; claims 1, 5; and figures 51-56.	1-18

 Further documents are listed in the continuation of Box C.
 See patent family annex.

* Special categories of cited documents:	
"A" document defining the general state of the art which is not considered to be of particular relevance	"I" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"E" earlier application or patent but published on or after the international filing date	"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)	"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"O" document referring to an oral disclosure, use, exhibition or other means	
"P" document published prior to the international filing date but later than the priority date claimed	"&" document member of the same patent family

Date of the actual completion of the international search

22 AUGUST 2014 (22.08.2014)

Date of mailing of the international search report

22 AUGUST 2014 (22.08.2014)

Name and mailing address of the ISA/KR

Korean Intellectual Property Office
Government Complex-Daejeon, 189 Sconsa-ro, Daejeon 302-701,
Republic of Korea

Facsimile No. 82-42-472-7140

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.

PCT/KR2014/004356

Patent document cited in search report	Publication date	Patent family member	Publication date
EP 2424146 A1	29/02/2012	AT 535069 T	15/12/2011
		CN 102100067 A	15/06/2011
		CN 102100067 B	24/04/2013
		DK 2219313 T3	19/03/2012
		DK 2424145 T3	14/10/2013
		EP 2219313 A1	18/08/2010
		EP 2219313 B1	23/11/2011
		EP 2424145 A1	29/02/2012
		EP 2424145 B1	31/07/2013
		EP 2424146 B1	20/02/2013
		ES 2377308 T3	26/03/2012
		ES 2402819 T3	09/05/2013
		ES 2429030 T3	12/11/2013
		PL 2219313 T3	31/07/2012
		PT 2219313 E	06/03/2012
		PT 2424145 E	01/10/2013
		PT 2424146 E	11/04/2013
		SI 2219313 T1	30/03/2012
		SI 2424146 T1	28/06/2013
		US 2011-0286535 A1	24/11/2011
US 2014-016720 A1	16/01/2014		
US 8503551 B2	06/08/2013		
WO 2010-093087 A1	19/08/2010		
WO 2011-062433 A2	26/05/2011	WO 2011-062433 A3	03/11/2011
EP 2555510 A2	06/02/2013	CA 2818852 A1	06/10/2011
		US 2014-0029502 A1	30/01/2014
		WO 2011-122908 A2	06/10/2011
		WO 2011-122908 A3	12/01/2012
EP 2234296 A2	29/09/2010	AU 2009-203283 A1	16/07/2009
		AU 2009-203283 B2	15/08/2013
		CN 101960751 A	26/01/2011
		CN 101960751 B	24/07/2013
		EP 2234296 A4	20/06/2012
		JP 04896263 B2	14/03/2012
		JP 2011-509623 A	24/03/2011
		KR 10-2009-0076735 A	13/07/2009
		US 2011-0026447 A1	03/02/2011
		US 8582479 B2	12/11/2013
		WO 2009-088230 A2	16/07/2009
		WO 2009-088230 A3	08/10/2009
		EP 2200206 A2	23/06/2010
CN 102257815 B	06/11/2013		
EP 2200206 A3	06/04/2011		
WO 2010-071288 A1	24/06/2010		

A. 발명이 속하는 기술분류(국제특허분류(IPC))
H04N 21/434(2011.01)i, H04N 21/236(2011.01)j

B. 조사된 분야
조사된 최소문헌(국제특허분류를 기재)
H04N 21/434; H04L 1/00; H04N 7/015; H04N 7/08; H04N 7/12; H04H 60/13; H04L 27/26; H04B 7/04; H04H 60/68; H04N 21/236

조사된 기술분야에 속하는 최소문헌 이외의 문헌
한국등록실용신안공보 및 한국공개실용신안공보: 조사된 최소문헌란에 기재된 IPC
일본등록실용신안공보 및 일본공개실용신안공보: 조사된 최소문헌란에 기재된 IPC

국제조사에 이용된 전산 데이터베이스(데이터베이스의 명칭 및 검색어(해당하는 경우))
eKOMPASS(특허청 내부 검색시스템) & 키워드: DP(Data Pipe), 디멀티플렉싱, BB 프레임, 페이로드, 분할, 사이클릭-쉬프트(Cyclic-shift), 할당, 헤더, 삽입, OFDM(Orthogonal Frequency Division Multiplexing), 뉴 패킷 포인터, 인풋 스트림, 아웃풋 스트림

C. 관련 문헌

카테고리*	인용문헌명 및 관련 구절(해당하는 경우)의 기재	관련 청구항
A	EP 2424146 A1 (LG ELECTRONICS INC.) 2012.02.29 단락 140, 141, 194; 청구항 1, 3; 및 도면 2, 3, 33 참조.	1-18
A	WO 2011-062433 A2 (엘지전자 주식회사) 2011.05.26 단락 134-141, 171-195, 210-229; 청구항 1-5; 및 도면 3, 7, 8, 12 참조.	1-18
A	EP 2555510 A2 (LG ELECTRONICS INC.) 2013.02.06 단락 306-331; 및 도면 20, 21 참조.	1-18
A	EP 2234296 A2 (SAMSUNG ELECTRONICS CO., LTD.) 2010.09.29 단락 23-40; 청구항 1, 9; 및 도면 4A-5B 참조.	1-18
A	EP 2200206 A2 (LG ELECTRONICS INC.) 2010.06.23 단락 153-158; 청구항 1, 5; 및 도면 51-56 참조.	1-18

추가 문헌이 C(계속)에 기재되어 있습니다. 대응특허에 관한 별지를 참조하십시오.

* 인용된 문헌의 특별 카테고리:
 “A” 특별히 관련이 없는 것으로 보이는 일반적인 기술수준을 정의한 문헌
 “E” 국제출원일보다 빠른 출원일 또는 우선일을 가지나 국제출원일 이후에 공개된 선출원 또는 특허문헌
 “L” 우선권 주장에 의문을 제기하는 문헌 또는 다른 인용문헌의 공개일 또는 다른 특별한 이유(이유를 명시)를 밝히기 위하여 인용된 문헌
 “O” 구두 개시, 사용, 전시 또는 기타 수단을 언급하고 있는 문헌
 “P” 우선일 이후에 공개되었으나 국제출원일 이전에 공개된 문헌
 “T” 국제출원일 또는 우선일 후에 공개된 문헌으로, 출원과 상충하지 않으며 발명의 기초가 되는 원리나 이론을 이해하기 위해 인용된 문헌
 “X” 특별한 관련이 있는 문헌. 해당 문헌 하나만으로 청구된 발명의 신규성 또는 진보성이 없는 것으로 본다.
 “Y” 특별한 관련이 있는 문헌. 해당 문헌이 하나 이상의 다른 문헌과 조합하는 경우로 그 조합이 당업자에게 자명한 경우 청구된 발명은 진보성이 없는 것으로 본다.
 “&” 동일한 대응특허문헌에 속하는 문헌

국제조사의 실제 완료일: 2014년 08월 22일 (22.08.2014)
국제조사보고서 발송일: 2014년 08월 22일 (22.08.2014)

ISA/KR의 명칭 및 우편주소: 대한민국 특허청 (302-701) 대전광역시 서구 청사로 189, 4동 (둔산동, 정부대전청사) 팩스 번호 +82-42-472-7140
 심사관: 강희국
 전화번호: +82-42-481-8264

국제조사보고서에서 인용된 특허문헌	공개일	대응특허문헌	공개일
EP 2424146 A1	2012/02/29	AT 535069 T	2011/12/15
		CN 102100067 A	2011/06/15
		CN 102100067 B	2013/04/24
		DK 2219313 T3	2012/03/19
		DK 2424145 T3	2013/10/14
		EP 2219313 A1	2010/08/18
		EP 2219313 B1	2011/11/23
		EP 2424145 A1	2012/02/29
		EP 2424145 B1	2013/07/31
		EP 2424146 B1	2013/02/20
		ES 2377308 T3	2012/03/26
		ES 2402819 T3	2013/05/09
		ES 2429030 T3	2013/11/12
		PL 2219313 T3	2012/07/31
		PT 2219313 E	2012/03/06
		PT 2424145 E	2013/10/01
		PT 2424146 E	2013/04/11
		SI 2219313 T1	2012/03/30
		SI 2424146 T1	2013/06/28
		US 2011-0286535 A1	2011/11/24
		US 2014-016720 A1	2014/01/16
		US 8503551 B2	2013/08/06
		WO 2010-093087 A1	2010/08/19
WO 2011-062433 A2	2011/05/26	WO 2011-062433 A3	2011/11/03
EP 2555510 A2	2013/02/06	CA 2818852 A1	2011/10/06
		US 2014-0029502 A1	2014/01/30
		WO 2011-122908 A2	2011/10/06
		WO 2011-122908 A3	2012/01/12
EP 2234296 A2	2010/09/29	AU 2009-203283 A1	2009/07/16
		AU 2009-203283 B2	2013/08/15
		CN 101960751 A	2011/01/26
		CN 101960751 B	2013/07/24
		EP 2234296 A4	2012/06/20
		JP 04896263 B2	2012/03/14
		JP 2011-509623 A	2011/03/24
		KR 10-2009-0076735 A	2009/07/13
		US 2011-0026447 A1	2011/02/03
		US 8582479 B2	2013/11/12
		WO 2009-088230 A2	2009/07/16
		WO 2009-088230 A3	2009/10/08
		EP 2200206 A2	2010/06/23
CN 102257815 B	2013/11/06		
EP 2200206 A3	2011/04/06		
WO 2010-071288 A1	2010/06/24		