

(19)대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) Int. Cl. ⁷ H01L 21/76	(45) 공고일자 (11) 등록번호 (24) 등록일자	2005년09월02일 10-0511587 2005년08월24일
--	-------------------------------------	--

(21) 출원번호 (22) 출원일자	10-2003-0012745 2003년02월28일	(65) 공개번호 (43) 공개일자	10-2003-0072230 2003년09월13일
------------------------	--------------------------------	------------------------	--------------------------------

(30) 우선권주장 102 09 334.2 2002년03월02일 독일(DE)

(73) 특허권자 인피네온 테크놀로지스 아게
독일, 뮌헨 데-81669, 세인트-마틴-슈트라세 53

(72) 발명자 에페 렌디르크
독일01099드레스덴비미세슈트라세19

몰한스-페터
독일01277드레스덴트라우베슈트라세16

(74) 대리인 김창세
장성구
김원준

심사관 : 신창우

(54) 반도체 기판 상의 골을 메우는 방법

요약

본 발명은 수직으로 서로 인접된 2개의 반도체 층 사이에 있는 골, 특히 절연 트렌치를 형성하는 중에 생기는 골을 메우는 방법에 관한 것이다. 그러한 방법에서는 커버층, 바람직하게는 산화실리콘으로 이루어진 커버층을 넓은 면적으로 침착시키고, 이어서 거의 층의 전체의 깊이까지 도핑 재료, 바람직하게는 질소를 도핑하는데, 도핑 재료는 커버층의 제거율을 상승시켜 제거 과정 후에 커버층 재료가 골 내에만 남도록 하기 위해 제공된다.

대표도

도 1j

색인어

삭제

명세서

도면의 간단한 설명

도 1a 내지 도 1k는 실리콘 기판에 트렌치 절연물을 형성하는 공정 순서를 개략적으로 나타낸 도면.

도면의 주요 부분에 대한 부호의 설명

2, 3 : 마스크 층 5 : 트렌치

삭제

6 : 산화물 층 11 : 반도체 층

삭제

51 : 에지 골 61 : 커버층

삭제

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 수직으로 서로 인접된 2개의 반도체 층 사이에 있는 골을 메우는 방법, 특히 인접된 트랜지스터 또는 기타의 활성 영역을 측면에서 절연할 경우에 반도체 기판에 식각되어 절연 재료로 채워지는 트렌치(trench)에 의해 형성되는 에지 골(edge valley)을 메우는 방법에 관한 것이다.

집적 회로를 형성하는 범위에서의 반도체 기판의 측면 패터닝(lateral patterning)에는 통상적으로 평면 기술(planar technique)이 사용된다. 그러한 평면 기술은 각각 전면적으로 기판 표면에 작용하여 적절한 마스크 층에 의해 의도된 대로 반도체 재료의 국부적 변경을 일으키는 일련의 개별 공정을 포함한다. 반도체 기판의 측면 패터닝에서는 마스크 층에 의해 반도체 기판에 트렌치를 식각한 후에 적절한 재료로 충전시키는 조치가 취해진다. 특히, 좁은 트렌치를 충전시킬 때에는 충전 재료를 넓은 면적으로 침착하고 나서 제거 공정에 의해 다시 기판 표면까지 제거하여 반도체 기판 전체에 걸쳐 거의 평탄한 표면이 주어지도록 한다. 그러나, 그러한 제거 공정에서는 수직으로 서로 나란히 배치된 반도체 층 사이에 이행되는 에지 구역에서 통상적으로 평탄한 표면에 리세스(recess)가 생기게 된다. 그것은 주로 트렌치를 충전시키는 공정 중에 반도체 층 사이의 경계 면에서 응력이 발생되고, 그 응력이 연이은 평탄화 공정 및 후속의 식각 공정 시에 경계 면에서 상승된 제거율 또는 식각율을 유발함으로써 수직의 반도체 층 사이의 이행 구역에서 골이 형성되는 것에서 비롯된다.

그러한 에지 골은 고집적 기술의 범위에서는 특히 인접된 활성 구역의 측면 절연을 위한 트렌치 절연물을 형성할 경우에도 생긴다. 트렌치 절연 기술에서는 활성 구역 사이에서 예컨대 질화물 마스크에 의해 반도체 기판에 트렌치를 식각하고, 짧은 열 산화 후에 산화물을 균일하게 침착시켜(conform deposition) 트렌치를 충전시키고 나서 표면을 침착된 산화물의 층의 재식각에 의해 또는 화학 기계 연마(CMP)에 의해 제거하는 조치가 취해진다. 그와 같이 처리함으로써, 폭이 약 100 nm 미만인 가장 좁은 개재 공간에 전계 산화물(field oxide)이 생성될 수 있게 된다. 그러나, 재식각 과정 또는 화학 기계 연마 과정 동안 전계 산화물/트렌치와 활성 영역 사이의 에지에 흔히 골이 생기는데, 그러한 골은 반도체 기판 상에 형성된 집적 회로에서 원하지 않는 전계 효과를 일으킬 수 있다.

즉, 연이어 활성 영역 상에 전계 효과 트랜지스터의 형성을 위한 게이트 층을 생성하면, 공정 순서 뒤에 남은 게이트 재료 잔류물에 의거하여 인접 트랜지스터에 대한 단락이 일어날 수 있는 위험이 있다. 또한, 골에는 게이트 전극의 가장자리 영역에서 동작 개시 전압이 낮은 기생 트랜지스터, 소위 "코너 디바이스(corner device)"가 형성될 수 있는데, 그것은 누설

전류를 증대시키는 결과를 낳는다. 그 때문에, 전계 산화물/트렌치와 활성 영역 사이의 에지 구역에 있는 골을 피하기 위해, 재식각 과정 또는 화학 기계 연마 과정 중에 활성 영역에 비해 상승된 전계 산화물 수준을 트렌치 영역에 생성한다. 그러나, 그럼으로써 생기는 단(step)은 그 단이 불완전하게 덮여지는 것에 기인하여 후속 코팅의 등형성(conformity)을 저하시키고, 그로 인해 침착된 층의 전계 기능에 악영향을 미친다. 그러한 이유로, 특히 매우 미세한 패턴을 제작할 경우에는 거의 평탄한 표면을 조성하는 것이 코팅 과정에 요구되게 된다.

T. Ogura 등의 논문 "1/4 마이크론 미만의 CMOS 기술에서의 SiN 보호 링에 의한 얇은 트렌치의 절연(A Shallow Trench Isolation with SiN Guard-Ring for Sub-Quarter Micron CMOS Technologies)"에는 전계 산화물 충전물을 SiN으로 이루어진 안전 링에 의해 에워싸서 에지 골을 메우는 동시에 코너 디바이스의 형성 위험을 회피시키는 트렌치 절연 기술이 소개되어 있다. 그러나, SiN 안전 링을 생성하는 데는 추가의 값비싼 일련의 포토리소그래피 공정이 필요하고, 아울러 추가로 최소의 단 높이(step height)가 전제되어야 한다.

발명이 이루고자 하는 기술적 과제

본 발명의 목적은 수직으로 서로 인접된 2개의 반도체 층 사이의 골, 특히 트렌치 절연 기술의 범위에서 형성되는 에지 골을 메우는 방법으로서, 그러한 골을 에지에 단이 생기는 것을 피하면서 간단하게 메울 수 있는 방법을 제공하는 것이다.

발명의 구성 및 작용

그러한 목적은 본 발명에 따라 청구항 1에 따른 방법에 의해 달성된다. 바람직한 부가의 구성은 종속 청구항들에 주어지고 있다.

본 발명에 따르면, 서로 상이한 재료로 이루어진 수직으로 서로 인접된 2개의 반도체 층 사이에 형성되는 골을 메우기 위해, 층 두께가 미리 주어진 거의 균일한 커버층을 넓은 면적으로 2개의 반도체 층에 걸쳐 침착시키되, 골도 함께 덮는다. 다음으로, 도핑 재료를 대략 층 두께에 해당되는 깊이까지 커버층 중에 도입하는데, 도핑 재료는 커버층의 제거율을 상승시키기 위해 제공되는 것이다. 이어서, 커버층을 도핑 재료와 함께 제거한다. 본 발명에 따라 도핑 재료를 커버층 중에 도입함으로써 주어지는 상이한 제거율의 사용에 의해 골을 메우는 것은 공정 제어성이 높은 간단한 일련의 공정에 의해 특징지워진다. 그러한 과정은 거의 모두 넓은 면적으로, 그에 따라 저렴하게 기판 표면 상에서 실시된다. 또한, 도핑 재료를 정확히 정해진 깊이로 간단하고도 확실하게 커버층 중에 도입할 수 있는데, 그에 의해 골 위의 커버층에서 정확한 도핑 경계 및 그에 따른 정확한 식각 정지를 규정할 수 있는 것이 보장되게 된다.

바람직한 실시예에 따르면, 커버층의 재료로서 측면으로 서로 인접된 2개의 반도체 층의 재료를 사용한다. 그럼으로써, 골 내의 재료가 2개의 인접된 반도체 층의 특성과 동일한 특성을 나타냄에 따라, 특히 후속적으로 반도체 층 상에 집적 회로를 형성할 때에 골을 메우는 것으로 인해 전계 특성에 원하지 않는 영향이 일어나지 않도록 하는 것이 보장되게 된다. 다른 바람직한 실시예에 따르면, 골을 메우는 것으로 인해 전계 특성에 원하지 않는 영향이 일어나지 않도록 커버층 재료 및/또는 커버층에서의 식각율을 변화시키기 위한 이러한 도핑 재료 둘 다를 위해 전기적으로 중성 물질을 사용한다.

다른 바람직한 실시예에 따르면, 골을 메우는 과정을 트렌치 절연물을 형성하는데 적용하되, 커버층 재료로서 산화물 층을 사용한다. 그러한 구성에 의해, 활성 영역의 가장자리에서 동작 개시 전압이 낮은 기생 트랜지스터가 생겨 누설 전류의 증대를 초래하는 것이 확실하게 방지되게 된다. 산화물 커버층을 위한 도핑 재료로서는 질소를 사용하는 것이 바람직한데, 그 경우에 산화물 층의 층 두께를 25 nm로 하고 질소를 8 keV의 에너지로 주입하는 것이 바람직하다. 그러한 설계에 의해, 트렌치 절연 공정 중에 최적으로 골을 메울 수 있게 된다.

이하, 본 발명을 첨부 도면에 의거하여 더욱 상세하게 설명하기로 한다.

본 발명을 실리콘 기판에서 2개의 활성 영역 사이에 트렌치 절연물을 형성하는 공정 순서에 따라 설명하기로 한다. 그러나, 설명되는 바와 같이 골을 메우는 기술은 반도체 기판에 있는 측면 패턴 사이의 임의의 리세스를 평탄화시키는데 사용될 수 있다.

이후로, 본 발명의 실시예를 연속된 개별 공정 단계별로 실리콘 기판의 횡단면의 일부를 개략적으로 나타낸 도면에 의거하여 설명하기로 한다. 출발점은 실리콘 웨이퍼(1)인데, 그 실리콘 웨이퍼(1)에서는 공지된 일련의 공정 단계에 의해 2개의 활성 영역(11) 사이에 트렌치 절연물이 생성되게 된다. 후술되는 바와 같이 평면 기술의 범위에서 트렌치 절연물을 형성하기에 앞서, 활성 영역에 도전성 패턴(도시를 생략)을 형성한다. 활성 영역(11) 사이의 트렌치 절연물은 공지된 평면 기

술에 의해 형성된다. 그를 위해, 제1 단계로 바람직하게는 예컨대 SiO_2 식각에 의해 기판 표면 상의 오염물을 제거한 후에 바람직하게는 열적으로 SiO_2 층(2)을 생성하고, 그 위에 다시 트렌치 식각을 위한 마스크 층으로서의 역할을 하는 Si_3N_4 층(3)을 침착시킨다. 도 1a는 Si_3N_4 층(3)을 침착시킨 후의 실리콘 기판(1)의 횡단면을 나타낸 것이다.

Si_3N_4 층(3) 상에는 바람직하게는 공지된 리소그래피 기술에 의해 절연 트렌치 패턴을 규정한다. 그를 위해, 감광 레지스트(4)를 넓은 면적으로 Si_3N_4 층(3) 상에 침착시키고, 이어서 트렌치 절연물의 패턴을 갖는 마스크를 덮고서 노광한다. 다음으로, 감광 레지스트 층(4)을 현상하고, 노광된 감광 레지스트 층을 제거한다. 그러나, 그러한 양화 레지스트(positive resist) 기술에 대한 대안으로서, 노광되지 않은 감광 레지스트 부위를 제거하는 음화 레지스트 기술을 채용할 수도 있다. 도 1b는 감광 레지스트 층(4)의 패터닝 후의 실리콘 기판의 횡단면을 나타낸 것이다.

리소그래피 공정 후에는 Si_3N_4 층(3) 및 그 아래에 놓인 SiO_2 층(2)의 이방성 식각을 행하여 절연 트렌치용 식각 마스크를 생성한다. 다음으로, 식각 마스크로서의 감광 레지스트- Si_3N_4 - SiO_2 의 일련의 층에 의해 추가의 이방성 실리콘 식각을 실시하여 절연 트렌치를 생성한다. 도 1c는 종전에 마지막으로 설명된 공정 단계 후의 실리콘 기판의 횡단면을 나타낸 것으로, 실리콘 기판(1)의 활성 영역(11) 사이에 절연 트렌치(5)가 형성되어 있다.

절연 트렌치 식각 후에는 도 1d에 도시된 바와 같이 추가의 식각을 행하여 감광 레지스트 층(4)을 제거한다. 이어서, 기판 표면 전체에 걸쳐 SiO_2 층(6)을 균일하게 침착시킨다. SiO_2 의 침착은 CVD 방법에 따라 행하는 것이 바람직하다. 그러나, SiO_2 를 생성하는 데는 CVD 침착 방법 이외에도 다른 방법, 예컨대 스퍼터링 방법을 사용할 수도 있다. CVD 침착 시에는 예컨대 TEOS 방법 또는 HDP 방법과 같이 전기적으로 안정된 조밀한 SiO_2 층을 제공하는 그러한 방법을 사용하는 것이 바람직하다. 도 1e는 SiO_2 층(6)을 균일하게 침착시킨 후의 실리콘 기판의 횡단면을 나타낸 것이다. 그러나, SiO_2 층에 대한 대안으로서, 폴리실리콘 층으로 트렌치를 충전시킬 수도 있다.

실리콘 기판(1) 상에서 2개의 전계 활성 영역(11)을 절연하는 역할을 하는 SiO_2 층(6)으로 트렌치를 충전시킨 후에는 활성 영역(11)의 구역에서 Si_3N_4 층(3) 위에 넓은 면적으로 침착된 SiO_2 층(6)을 다시 제거한다. 그와 같이 제거하는 데는 회전 연마 디스크 및 연마제에 의해 SiO_2 층을 도 1f에 도시된 바와 같이 거의 평탄한 표면이 생길 때까지 돌출 지점에서 연마하는 화학 기계 연마를 사용하는 것이 바람직하다.

SiO_2 층(6)을 평탄화시킨 후에는 후속 식각 공정으로 실리콘 기판(1) 상의 활성 영역(11) 위에 있는 Si_3N_4 층(3)을 제거하는 동시에 SiO_2 충전 층(6)을 기판 표면의 수준으로 재식각한다. 도 1g에는 그러한 제거 공정 후의 실리콘 기판의 횡단면이 도시되어 있다. 그 경우, 그러한 제거 공정을 SiO_2 층(6)이 인접된 실리콘 표면과 거의 평면적으로 되거나 단지 약간만 솟아 있도록 제어하여 후속 패터닝 공정을 저해하는 단(step)이 사실상 회피되도록 하는 것이 바람직하다.

그러나, 그러한 제거 공정에서는 도 1h의 세부도에 상세히 도시된 바와 같이 실리콘 기판과, 인접된 절연 트렌치(5) 충전용 SiO_2 층(6) 사이의 이행 구역에, 특히 그 에지 구역에서의 SiO_2 층(6)의 상이한 식각 동작으로 인하여 골(51)이 생기게 된다. 그럴 경우, 그러한 골(51)에는 후속 패터닝 공정 시에 바람직하지 않은 기생 트랜지스터, 소위 누설 전류의 증대를 초래하는 "코너 디바이스"가 생성될 수 있다. 또한, 후속적으로 트랜지스터 패턴을 제작할 때에 게이트 재료가 골(51)에 남겨지고, 그러한 게이트 재료가 인접된 트랜지스터 사이의 단락을 일으킬 수 있는 위험이 있다.

그러한 골(51)을 메우기 위해, 본 발명에 따라 얇은 SiO_2 층(61)을 바람직하게는 25 nm의 두께로 기판 상에 넓은 면적으로 침착시키되, 특히 실리콘 기판(1)의 활성 영역(11)과 SiO_2 트렌치 충전물(6) 사이에 있는 골(51)까지 덮는다. 그러한 침착 과정 후의 도 1에 따른 세부도에 상응하는 실리콘 기판의 횡단면이 도 1i에 도시되어 있다. 그 경우, 산화물 침착은 절연 트렌치(5)의 충전과 동일한 방법에 따라 행하여 얇고 전기적으로 안정된 치밀한 SiO_2 층을 얻도록 하는 것이 바람직하다. 그 때문에, 역시 TEOS 방법 또는 HDP 방법을 사용하는 것이 바람직하다. SiO_2 층을 침착시키는 것에 대한 대안으로서, 다른 절연 재료로 이루어진 커버층을 침착시키는 것도 역시 가능하다.

SiO₂ 층(61)을 넓은 면적으로 침착시킨 후에는 도핑 재료를 커버층(61)의 층 두께에 거의 해당되는 일관된 깊이로 그 SiO₂ 커버층 중에 도입한다. 그 경우, 도핑 재료의 도입을 도핑 재료가 골(51) 내에 침투되지 못하게 제어한다. 도핑 재료로서는 25 nm의 층 두께에서 8 keV의 에너지로 주입되는 질소를 사용하는 것이 바람직하다. 그에 의해 구현되는, 골(51)이 도핑 재료 없이 남아있는 도핑 프로파일이 도 1j에 도시되어 있다.

그러한 도핑 단계 후에는 최종 단계로 질소로 도핑된 구역에서 SiO₂ 층(61)을 다시 제거하여 도 1k에 도시된 바와 같이 SiO₂ 층(61)이 전적으로 골 구역(51)에만 잔존되도록 하는데, 그 경우에 식각 화학 약품 DHS를 200 대 1의 희석 비로 사용한다. 질소 도핑물을 SiO₂ 층(61) 중에 도입함으로써, 그 구역에서의 식각률이 약 2.5배만큼 상승되고, 그에 의해 식각 과정을 정확하게 제어할 수 있음에 따라 골(51) 내에 있는 SiO₂ 층(61)을 화학 약품에 의해 식각하기 전에 식각을 중지시키는 것이 가능하게 된다. 질소를 사용하는 것에 대한 대안으로서, SiO₂ 층(61)의 식각률을 상승시키는 임의의 다른 도핑 재료를 사용할 수도 있다. 그 경우, 도핑 재료로서는 도핑 과정 중에 SiO₂ 층(61)의 치밀성을 완화시켜 식각률을 상승시키는 그러한 재료를 사용하는 것이 바람직하다. 또한, 도핑 재료로서는 전기적으로 중성인 원소 및 분자, 특히 아르곤 및 불소와 같은 불활성 가스를 사용하는 것이 바람직하다. 도핑 방법으로서의 주입 이외에도 다른 공지의 도핑 방법을 사용할 수도 있다. 도핑물 주입 시에는 주입 에너지 및 입자류 밀도(particle current density)를 커버층 중의 원하는 침투 깊이에 맞춰 조절한다.

본 발명에 따른 바와 같이 골을 메우는 방법에 의해, 수직 반도체 층 사이의 리세스를 간단하게 평탄화시킬 수 있는데, 골을 메우는 재료는 전계 특성 및 기계 특성에 미치는 어떠한 영향도 방지하기 위해 2개의 측면 반도체 층의 재료와 동일한 재료로 이뤄질 수 있다.

본 발명에 따른 바와 같이 골을 메우기 위해 전술된 실시예를 벗어나 언급된 치수, 농도, 재료, 및 공정을 적절하게 변경하는 것도 본 발명의 범위 내에 있다. 특히, 층을 형성하는데는 공지의 모든 평면 기술을 취급할 수 있다. 전술된 설명, 첨부 도면, 및 청구 범위에 개시된 본 발명의 특징은 개별적으로는 물론 임의의 조합되어 그 각종의 구성으로 본 발명을 구현하는데 필요한 것이다.

발명의 효과

본 발명에 따른 바와 같이 수직으로 서로 인접된 2개의 반도체 층 사이의 골을 메우는 방법에서는 도핑 재료를 커버층 중에 도입함으로써 주어지는 상이한 제거율의 사용에 의해 골 위의 커버층에서 정확한 도핑 경계 및 그에 따른 정확한 식각 정지를 규정할 수 있어 그러한 골을 에지에 단이 생기는 것을 피하면서 간단하게 메울 수 있게 된다.

(57) 청구의 범위

청구항 1.

서로 상이한 재료로 이루어진 수직으로 서로 인접된 2개의 반도체 층(11, 6) 반도체 기판(1) 상에 형성하되, 그 때에 수직으로 서로 인접된 2개의 반도체 층 사이의 이행 구역에 에지 골(51)이 형성되는 단계;

층 두께가 미리 주어진 거의 균일한 커버 층(61)을 수직으로 서로 인접된 2개의 반도체 층(11, 6)에 걸쳐 넓은 면적으로 침착시키되, 수직으로 서로 인접된 2개의 반도체 층을 그 사이에 놓인 에지 골(51)과 함께 덮는 단계;

커버 층의 제거율을 상승시키기 위해 제공되는 도핑 재료를 대략 층 두께에 해당되는 깊이까지 커버 층(61) 중에 도입하는 단계; 및

커버 층(61)을 도핑 재료와 함께 제거하되, 에지 골(51)의 구역에 있는 도핑되지 않은 커버 층 재료를 잔존시키는 단계를 포함하는 것을 특징으로 하는 수직으로 서로 인접된 2개의 반도체 층 사이에 있는 골을 메우는 방법.

청구항 2.

제 1 항에 있어서,

상기 커버층을 전기적으로 중성인 재료로 제공하는 단계를 포함하는 골을 메우는 방법.

청구항 3.

제 1 항 또는 제 2 항에 있어서,

도핑 재료를 커버 층(61) 중에 도입하여 커버 층 재료의 조직을 완화시키는 것을 특징으로 하는 골을 메우는 방법.

청구항 4.

제 1 항 또는 제 2 항에 있어서,

커버 층(61)의 재료로서 수직으로 서로 연결된 2개의 반도체 층(11, 6)의 재료를 사용하는 것을 특징으로 하는 골을 메우는 방법.

청구항 5.

제 1 항 또는 제 2 항에 있어서,

수직으로 서로 연결된 2개의 반도체 층을 형성하기 위해,

반도체 기판(1) 상에 마스크 층(2, 3)을 패터닝하여 트렌치 영역을 규정하는 단계;

반도체 기판(1)에 트렌치(5)를 형성하는 단계;

산화물 층(6)을 넓은 면적으로 침착시켜 트렌치(5)를 충전시키는 단계;

산화물 층(6)을 제거하여 마스크 층(2, 3)을 노출시키는 단계; 및

마스크 층(2, 3)을 제거하는 단계를 실시하는 것을 특징으로 하는 골을 메우는 방법.

청구항 6.

제 5 항에 있어서,

커버 층(61)으로서 산화물 층을 형성하는 것을 특징으로 하는 골을 메우는 방법.

청구항 7.

제 6 항에 있어서,

도핑물로서 질소를 사용하는 것을 특징으로 하는 골을 메우는 방법.

청구항 8.

제 7 항에 있어서,

산화물 층을 25 nm의 층 두께로 하고, 질소를 8 keV의 에너지로 주입하는 것을 특징으로 하는 골을 메우는 방법.

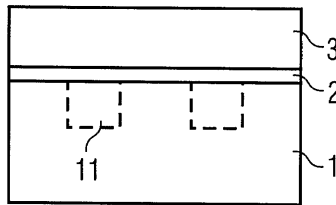
청구항 9.

제 1 항에 있어서,

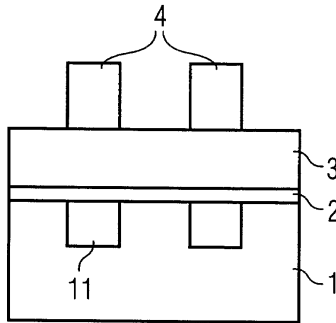
상기 도핑 재료로서 전기적으로 중성인 물질을 사용하는 단계를 포함하는 골을 메우는 방법.

도면

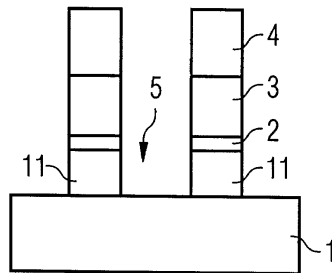
도면1a



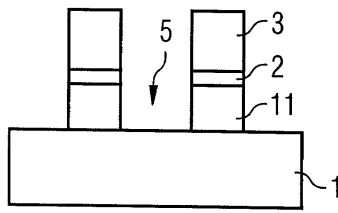
도면1b



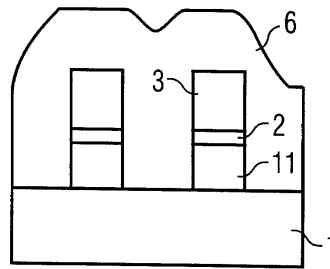
도면1c



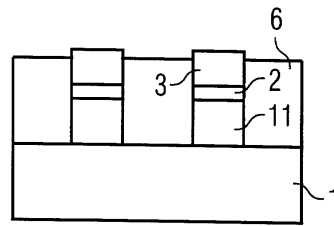
도면1d



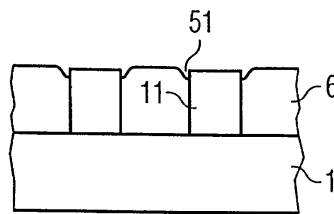
도면1e



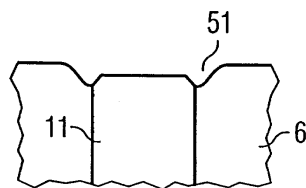
도면1f



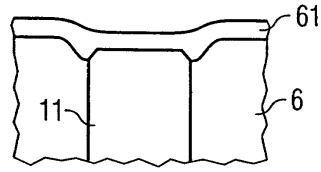
도면1g



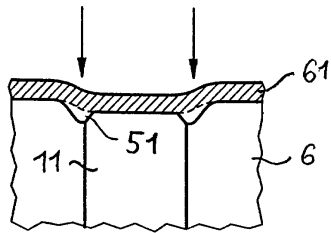
도면1h



도면1i



도면1j



도면1k

