

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2014-120661
(P2014-120661A)

(43) 公開日 平成26年6月30日(2014.6.30)

(51) Int.Cl.	F I	テーマコード (参考)
HO 1 L 21/3065 (2006.01)	HO 1 L 21/302 1 O 5 A	4 M 1 O 4
HO 1 L 29/78 (2006.01)	HO 1 L 21/302 1 O 1 D	5 F O O 4
HO 1 L 21/336 (2006.01)	HO 1 L 29/78 3 O 1 G	5 F 1 4 O
HO 1 L 29/49 (2006.01)	HO 1 L 29/78 3 O 1 Y	
HO 1 L 29/423 (2006.01)	HO 1 L 29/58 G	

審査請求 未請求 請求項の数 5 O L (全 24 頁)

(21) 出願番号 特願2012-275741 (P2012-275741)
(22) 出願日 平成24年12月18日 (2012.12.18)

(71) 出願人 000219967
東京エレクトロン株式会社
東京都港区赤坂五丁目3番1号
(74) 代理人 100088155
弁理士 長谷川 芳樹
(74) 代理人 100113435
弁理士 黒木 義樹
(74) 代理人 100122507
弁理士 柏岡 潤二
(72) 発明者 野呂 基貴
東京都港区赤坂五丁目3番1号 赤坂B i
zタワー 東京エレクトロン株式会社内
(72) 発明者 林 泰全
東京都港区赤坂五丁目3番1号 赤坂B i
zタワー 東京エレクトロン株式会社内
最終頁に続く

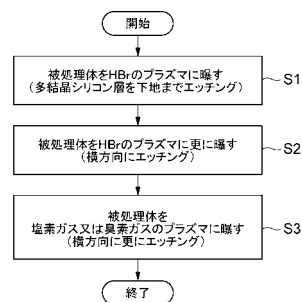
(54) 【発明の名称】 ダミーゲートを形成する方法

(57) 【要約】 (修正有)

【課題】電界効果トランジスタの製造においてダミーゲートを形成する方法を提供する。

【解決手段】(a)多結晶シリコン層を有する被処理体をHBrガスのプラズマに曝す第1工程(S1)であって、前記多結晶シリコン層をエッチングして当該多結晶シリコン層から一対の側面を有するダミー半導体部を形成し、且つ、当該ダミー半導体部の下端に近づくにつれて膜厚が小さくなるように、前記一対の側面にエッチング副生成物に基づく保護膜を形成すると、(b)第1工程の後に、HBrガスのプラズマに被処理体を更に曝す第2工程(S2)と、を含む。

【選択図】図3



【特許請求の範囲】**【請求項 1】**

電界効果トランジスタの製造においてダミーゲートを形成する方法であって、
多結晶シリコン層を有する被処理体を H B r ガスのプラズマに曝す第 1 工程であって、
前記多結晶シリコン層をエッチングして該多結晶シリコン層から一对の側面を有するダミー半導体部を形成し、且つ、該ダミー半導体部の下端に近づくにつれて膜厚が小さくなるように、前記一对の側面にエッチング副生成物に基づく保護膜を形成する、該第 1 工程と、
前記第 1 工程の後に、H B r ガスのプラズマに前記被処理体を更に曝す第 2 工程と、
を含む方法。

10

【請求項 2】

前記第 2 工程の後に、臭素ガス又は塩素ガスのプラズマに前記被処理体を更に曝す第 3 工程を更に含む、請求項 1 に記載の方法。

【請求項 3】

前記プラズマがマイクロ波によって生成される、請求項 1 又は 2 に記載の方法。

【請求項 4】

前記電界効果トランジスタは、フィン型の電界効果トランジスタであり、
前記被処理体は、一以上のフィン型半導体部位を有し、
前記多結晶シリコン層は、前記一以上のフィン型半導体部を覆うように設けられ、
前記ダミー半導体部は、前記一以上のフィン型半導体部位に交差する方向に延在するよ
うに形成される、
請求項 1 ~ 3 の何れか一項に記載の方法。

20

【請求項 5】

前記第 1 工程においては、H B r ガスのプラズマと共に酸素ガスのプラズマが生成される、請求項 1 ~ 4 の何れか一項に記載の方法。

【発明の詳細な説明】**【技術分野】****【0001】**

本発明の実施形態は、電界効果トランジスタの製造においてダミーゲートを形成する方法に関するものである。

30

【背景技術】**【0002】**

従来の電界効果トランジスタ、即ちプレーナ型の電界効果トランジスタは、平坦な半導体表面の表層にチャンネルが形成された二次元的な形状を有しており、当該チャンネル上にゲート絶縁膜を介してゲート電極を有している。また、近年、高速動作・低消費電力特性の向上を目的として、フィン型の半導体部位の周囲を囲むようにゲート絶縁膜を設け、これを囲むようにゲート電極を配置した三次元形状のトランジスタ、即ち、フィン型の電界効果トランジスタが実用化され始めている（例えば、特許文献 1 参照）。

【0003】

プレーナ型及びフィン型の双方の電界効果トランジスタの製造においては、ダミーゲートを除去することにより形成される空間に電極材料を供給することで、ゲート電極を形成することがある。具体的には、ダミーゲートを形成し、当該ダミーゲートの側面に沿うように側壁スペーサを形成し、ダミーゲートを除去し、ダミーゲートが除去されることによって形成される空間、即ち側壁スペーサによって囲まれた空間に電極材料を供給することで、ゲート電極を形成する。

40

【先行技術文献】**【特許文献】****【0004】**

【特許文献 1】米国特許第 7, 560, 756 号明細書

【発明の概要】

50

【発明が解決しようとする課題】

【0005】

電界効果トランジスタの電気的特性は、ゲート絶縁膜に対するゲート電極の接触面積によって変動する。この変動を抑制するためには、ゲート絶縁膜に対するゲート電極の接触面積のトランジスタ間でのばらつきを抑制する必要がある。そのためには、側壁スペースに囲まれた空間を電極材料で満たすことを可能とする技術が必要である。

【課題を解決するための手段】

【0006】

本発明の一側面は、電界効果トランジスタの製造においてダミーゲートを形成する方法に関するものである。この方法は、(a)多結晶シリコン層を有する被処理体をHBrガスのプラズマに曝す第1工程であって、前記多結晶シリコン層をエッチングして当該多結晶シリコン層から一对の側面を有するダミー半導体部を形成し、且つ、当該ダミー半導体部の下端に近づくにつれて膜厚が小さくなるように、前記一对の側面にエッチング副生成物に基づく保護膜を形成する、第1工程と、(b)第1工程の後に、HBrガスのプラズマに被処理体を更に曝す第2工程と、を含む。一形態においては、第1工程において、HBrガスと酸素ガスの混合ガスのプラズマに被処理体が曝されてもよい。

【0007】

上記方法では、第1工程において、被処理体をHBrガスのプラズマに曝すことにより、下地の表面に実質的に到達するまで多結晶シリコン層をエッチングする。これによって、後にダミーゲートとなる多結晶シリコン製のダミー半導体部が形成される。第1工程におけるエッチングは、エッチング副生成物であるSi及びBrを含む化合物がダミー半導体部の一对の側面に堆積しつつ、進行する。前記化合物が一对の側面に堆積することにより形成される保護膜は、ダミー半導体部の上側部分では厚く形成され、当該ダミー半導体部の下端に近づくにつれて膜厚が小さくなるように形成される。そして、第2工程において、HBrガスのプラズマに被処理体を更に曝すと、横方向のエッチングが進行する。ここで、ダミー半導体部の上側部分は、当該上側部分に形成されている保護膜が厚いので、横方向にエッチングされることがないか、又は、横方向にエッチングされる量が少なくなる。一方、ダミー半導体部の底部は、当該底部に形成されている保護膜が薄いので、横方向にエッチングされる。また、底部においても、ダミー半導体部の下端に向かうにつれて保護膜の厚みが小さくなるので、ダミー半導体部の底部の少なくとも一部、即ち、ダミー半導体の下端からある高さまでの一部分は、一对の側面間の距離がダミー半導体部の下端に向かうにつれて小さくなるテーパ形状を有するようになる。このようにして形成されたダミー半導体部をダミーゲートとして用いると、側壁スペースに囲まれた空間、即ち、当該ダミーゲートを除去した後に側壁スペースによって画成される空間は、下方に向かうにつれて幅の狭くなる空間となる。かかる空間には、電極材料を満たすことが容易である。

【0008】

一形態においては、前記方法は、第2工程の後に、臭素ガス又は塩素ガスのプラズマに前記被処理体を更に曝す第3工程を更に含む。一形態では、第3工程では、酸素ガスを含めず臭素ガス又は塩素ガスのプラズマが生成され得る。通常、電界効果トランジスタはSiO₂から構成された絶縁層を含む。したがって、ダミー半導体部をエッチングする際には、絶縁層に対して多結晶シリコン層に選択性を有するガスのプラズマを生成する必要がある。臭素ガス又は塩素ガスは、絶縁層を実質的にエッチングせず、ダミー半導体部を選択的にエッチングする。また、第3工程に用いられるガスは堆積性が低く、また、エッチング副生成物の堆積性も低い。したがって、第3工程のエッチングの結果、一对の側面はより滑らかな表面となる。

【0009】

一形態においては、前記プラズマはマイクロ波によって生成されてもよい。マイクロ波をプラズマ源として用いると、平行平板型のプラズマ処理装置で用いられているような他のプラズマ源を用いる場合よりも、ラジカルの生成効率及びラジカル生成量の制御性を向

10

20

30

40

50

上することができる。その結果、エッチング副生成物の発生効率を向上することができ、また、エッチング副生成物の生成量の制御性を向上することができる。したがって、ダミー半導体部に対するエッチング副生成物の付着量の制御性を向上することができ、延いてはダミー半導体部の形状の制御性を向上することができる。

【0010】

一形態においては、電界効果トランジスタは、フィン型の電界効果トランジスタであってもよく、この場合に被処理体は一以上のフィン型半導体部位を有し、前記多結晶シリコン層は一以上のフィン型半導体部位を覆うように設けられており、前記ダミー半導体部は、一以上のフィン型半導体部位に交差する方向に延在するように形成される。ここで、フィン型半導体部より上方ではエッチング副生成物の源となるシリコンの量が多いが、フィン型半導体部より下方においては当該フィン型半導体部位が存在するためにシリコンの量が相対的に少ない。したがって、上述したエッチング副生成物に基づく保護膜は、フィン型半導体部の上方よりも下方において薄く形成され易い。よって、上述した方法はフィン型の電界効果トランジスタの製造におけるダミーゲートの形成に好適である。また、一对の側面間の距離が下端に近づくほど小さくなるダミー半導体部のテーパ形状を、フィン型半導体部よりも下方に設けることが可能となる。

10

【発明の効果】

【0011】

以上説明したように、本発明の一側面及び種々の形態によれば、側壁スペーサに囲まれた空間を電極材料で満たすことを可能とするダミーゲートの形成方法が提供される。

20

【図面の簡単な説明】

【0012】

【図1】一般的なフィン型の電界効果トランジスタの製造の中間段階で製造される製造物を示す斜視図である。

【図2】一般的な多結晶シリコン層のエッチングによって形成されるダミーゲートを含む製造物の断面を示す図である。

【図3】一実施形態のダミーゲートを形成する方法を示す流れ図である。

【図4】一実施形態のダミーゲートを形成する方法において準備される被処理体を一部破断して示す斜視図である。

【図5】一実施形態のダミーゲートを形成する方法の各工程を説明するための断面図である。

30

【図6】一実施形態のダミーゲートを形成する方法の各工程を説明するための断面図である。

【図7】一実施形態のダミーゲートを形成する方法の各工程を説明するための断面図である。

【図8】プレーナ型の電界効果トランジスタの製造において図3に示す方法を用いた場合の各工程後の被処理体の状態を示す図である。

【図9】一実施形態のダミーゲートを形成する方法の実施に用いることが可能なプラズマ処理装置を概略的に示す図である。

【図10】図9に示すスロット板の一例を示す平面図である。

40

【図11】図9に示すプラズマ処理装置のガス供給系を概略的に示す図である。

【図12】実験例1及び実験例2の処理条件を記した表1を示している。

【図13】実験例1及び実験例2の実験結果(表2)を示す図である。

【図14】実験例3及び実験例4の処理条件を記した表3を示している。

【図15】実験例3及び実験例4の実験結果(表4)を示す図である。

【図16】実験例5～7の処理条件を記した表5を示している。

【図17】実験例5～7の実験結果(表6)を示す図である。

【図18】実験例5～7で作成したダミー半導体部DSのテーパ形状の高さを示すグラフである。

【図19】実験例8～11の処理条件を記した表7を示している。

50

【図 20】実験例 8 ~ 11 の実験結果 (表 8) を示す図である。

【図 21】実験例 8 ~ 11 で作成したダミー半導体部 DS の上部 CD、中間 CD、及び底部 CD を示すグラフである。

【図 22】実験例 12 ~ 14 の処理条件を記した表 9 を示している。

【図 23】実験例 12 ~ 14 の実験結果 (表 10) を示す図である。

【図 24】実験例 12 ~ 14 で作成したダミー半導体部 DS のテーパ形状の高さを示すグラフである。

【図 25】実験例 15 及び実験例 16 の処理条件を記した表 11 を示している。

【図 26】実験例 15 及び実験例 16 の実験結果 (表 12) を示す図である。

【発明を実施するための形態】

10

【0013】

以下、図面を参照して種々の実施形態について詳細に説明する。なお、各図面において同一又は相当の部分に対しては同一の符号を附すこととする。

【0014】

まず、一般的なフィン型の電界トランジスタの製造に関して説明する。図 1 は、一般的なフィン型の電界効果トランジスタの製造の中間段階で製造される製造物 100 を示す斜視図である。図 1 に示す製造物 100 は、シリコン製の基板 102 を有している。基板 102 の表面上には複数の半導体部位 104 が設けられている。複数の半導体部位 104 はフィン型の半導体部位であり、同一方向に延在し、且つ並列に設けられている。複数の半導体部位 104 は、基板 102 と同じ材料から構成されている。複数の半導体部位 104 は、例えば、シリコン製の半導体基板をエッチングすることにより形成される。

20

【0015】

複数の半導体部位 104 の間には、絶縁層 106 が設けられている。絶縁層 106 は、 SiO_2 から構成されており、複数の半導体部位 104 を当該半導体部位 104 の高さ方向中間位置まで覆うように設けられている。絶縁層 106 は、例えば、複数の半導体部位 104 を覆うように基板 102 上に SiO_2 層を形成し、当該 SiO_2 層をエッチバックすることによって、形成される。

【0016】

また、製造物 100 は、複数のダミーゲート 108 を有している。ダミーゲート 108 は、複数の半導体部位 104 に直交する方向に延在しており、複数の半導体部位 104 及び絶縁層 106 を部分的に覆っている。複数のダミーゲート 108 は、複数の半導体部位 104 及び絶縁層 106 を覆うように多結晶シリコン層を設け、当該多結晶シリコン層上にマスク M を設け、当該マスク M のパターンを転写するよう多結晶シリコン層をエッチングすることにより形成される。マスク M は、例えば、 SiN 層と SiO_2 層の多層構造を有し得る。

30

【0017】

また、製造物 100 は、側壁スペーサ 112 を有している。側壁スペーサ 112 は、ダミーゲート 108 の一對の側面に沿って設けられる。側壁スペーサ 112 は、例えば、 SiN から構成される。

【0018】

40

図 2 は、一般的な多結晶シリコン層のエッチングによって形成されるダミーゲートを含む製造物の断面を示す図であり、同図においては、図 1 の I I - I I 線に沿ってとった断面が示されている。従来一般的な方法によって多結晶シリコン層をエッチングすると、図 1 に示す製造物の断面は図 2 の (a) に示すものとなる。図 2 の (a) に示すように、ダミーゲート 108 の一對の側面間の幅は、一般的には、絶縁層 106 に近づくにつれて、即ち、当該ダミーゲート 108 の下端に近づくにつれて大きくなる。このように、従来のダミーゲート 108 の形状は、一般的には、逆テーパ形状となる。逆テーパ形状を有するダミーゲート 108 を除去することにより形成される空間 SP は、図 2 の (b) に示す形状となる。即ち、図 2 の (b) に示すように、空間 SP を画成する一對の側壁スペーサ 112 の間隔は、下方に向かうにつれて大きくなる。より具体的には、高さ方向にお

50

けるある位置の空間 S P の幅 W L は、当該位置よりも上方における空間 S P の幅 W U よりも大きくなる。このような空間 S P 内に電極材料を供給すると、空間 S P を電極材料で満たすことができない事態が生じ得る。具体的には、空間 S P の隅部 C P、即ち、絶縁層 106 の表面と側壁スペーサ 112 との接触箇所の近傍にまで電極材料が満たされないことがある。

【0019】

一実施形態のダミーゲートを形成する方法は、図2を参照して上述した問題を解決し、ダミーゲートを除去することで形成される空間を電極材料で満たすことを容易化し得るものである。図3は、一実施形態のダミーゲートを形成する方法を示す流れ図である。以下、図3を参照して、フィン型の電界効果トランジスタの製造においてダミーゲートを形成する方法の一実施形態を説明する。

10

【0020】

一実施形態のダミーゲートを形成する方法では、まず、被処理体 W が準備される。図4は、一実施形態のダミーゲートを形成する方法において準備される被処理体を一部破断して示す斜視図である。図4においては、隣り合う二つの半導体部位 104 の間において多結晶シリコン層 P L 及びマスク M を破断した被処理体 W が示されており、同図においては多結晶シリコン層 P L の破断面 P C S が見えている。

【0021】

図4に示すように、被処理体 W は、基板 102、複数の半導体部位 104、絶縁層 106、及び、多結晶シリコン層 P L を有する。基板 102 は、上述したようにシリコン製の基板である。基板 102 の表面上には、フィン型の複数の半導体部位 104 が形成されている。

20

【0022】

複数の半導体部位 104 の間には SiO_2 から構成された絶縁層 106 が設けられている。半導体部位 104 及び絶縁層 106 の形成方法は、上述した一般的な手法と同様の手法で形成される。また、半導体部位 104 及び絶縁層 106 上には、これら半導体部位 104 及び絶縁層 106 を覆うように多結晶シリコン層 P L が設けられている。多結晶シリコン層 P L は、例えば、化学気相成長法 (CVD) を用いて形成される。多結晶シリコン層 P L 上には、マスク M が形成されている。マスク M は、多結晶シリコン層 P L に転写するパターンを有している。一実施形態では、マスク M は、 SiN から構成された第1層 110 上に、 SiO_2 から構成された第2層 114 が設けられた多層構造を有し得る。

30

【0023】

図3に示す方法では、図4に示す被処理体 W に対して工程 S1 ~ S3 が実施される。以下、図3及び図4に加えて、図5 ~ 7 を参照する。図5 ~ 7 は、一実施形態のダミーゲートを形成する方法の各工程を説明するための断面図である。なお、図5 ~ 7 においては、各工程における被処理体 W の状態を、図4の破断面 P C S を含む平面と同一平面における領域 R C S の断面を同図に示す矢印 V 方向から見た断面図を用いて示している。

【0024】

図3に示す方法では、工程 S1 において、被処理体 W が、プラズマ処理装置の処理容器内に收容され、HBr ガスのプラズマに曝される。この工程 S1 では、マスク M のパターンを多結晶シリコン層 P L に転写するよう、当該多結晶シリコン層 P L がエッチングされる。

40

【0025】

図5の(a)に示すように、HBr ガスを励起させると、Br (臭素) のラジカルといった活性種が生成される。工程 S1 では、生成された Br の活性種と多結晶シリコン層 P L の Si (シリコン) とが結合することで、多結晶シリコン層 P L がエッチングされる。なお、図5の(a)において、円によって囲まれた「Br」は、Br の活性種を示している。

【0026】

図5の(b)に示すように、工程 S1 では、多結晶シリコン層 P L のエッチングの進行

50

に伴い、多結晶シリコン層 P L から形成されるダミー半導体部 D S が序々に形成される。ダミー半導体部 D S の形状は、マスク M の形状を反映したものであり、一对の側面 S S を有する。

【 0 0 2 7 】

また、工程 S 1 の H B r ガスのプラズマを用いたエッチングは、イオンアシストエッチングではなく反応性のエッチングであり、等方的なエッチングである。したがって、工程 S 1 では、多結晶シリコン層 P L から形成されるダミー半導体部 D S の側面に、保護膜を形成しつつ多結晶シリコン層 P L をエッチングする。

【 0 0 2 8 】

一実施形態においては、工程 S 1 では、プラズマ処理装置内の処理容器内には、H B r ガスと共に O₂ ガス及び A r ガスが供給され得る。工程 S 1 では、一对の側面 S S に、S i、B r、及び O (酸素) が結合することによって生成される化合物である S i B r O、即ち、エッチング副生成物が堆積する。これにより、ダミー半導体部 D S の一对の側面 S S には、保護膜 P F が形成される。なお、保護膜 P F は、S i と O の化合物である S i O も一部に含み得る。

10

【 0 0 2 9 】

工程 S 1 では、多結晶シリコン層 P L の下地である絶縁層 1 0 6 に到達するまで、多結晶シリコン層 P L のエッチングが進められる。工程 S 1 の終了時点では、被処理体 W の断面は、図 6 の (a) に示す構造となる。即ち、工程 S 1 により、図 6 の (a) に示すように、半導体部位 1 0 4 及び絶縁層 1 0 6 が露出するまで多結晶シリコン層 P L がエッチングされ、ダミー半導体部 D S が形成される。また、ダミー半導体部 D S の一对の側面 S S には、保護膜 P F が形成される。

20

【 0 0 3 0 】

図 6 の (a) に示すように、保護膜 P F は、ダミー半導体部 D S の上側部分では厚く形成され、また、ダミー半導体部 D S の下端に近づくにつれて膜厚が薄くなるように形成される。これは、ダミー半導体部 D S の上側部分には比較的多くの B r、O 等の活性種が供給され、ダミー半導体部 D S の下端に近づくにつれて、供給される活性種の量が少なくなるからである。また、フィン型の半導体部位 1 0 4 を有する被処理体 W においては、半導体部位 1 0 4 の上方には S i が比較的多く存在するが、半導体部位 1 0 4 の下方においては当該半導体部位 1 0 4 が存在するために S i の量が少なくなる。その結果、ダミー半導体部 D S の一对の側面 S S に形成される保護膜 P F の膜厚はダミー半導体部 D S の上側部分においてより厚くなり、下端に近づくにつれて膜厚が薄くなる傾向がより顕著なものとなる。

30

【 0 0 3 1 】

次いで、本方法では、図 3 に示すように、工程 S 2 において、被処理体 W が H B r ガスのプラズマに更に曝される。この工程 S 2 においても、プラズマ処理装置内の処理容器内には、H B r ガスと共に O₂ ガス及び A r ガスが供給され得る。先の工程 S 1 に多結晶シリコン層 P L が下地までエッチングされているので、工程 S 2 においては、エッチングによって発生するシリコンの量が少なくなり、保護膜 P F の源となり得るエッチング副生成物の発生量が相当に低くなる。したがって、工程 S 2 では、エッチングが横方向に進行する。また、工程 S 2 では、保護膜 P F 及びダミー半導体部 D S が選択的にエッチングされる。

40

【 0 0 3 2 】

具体的には、ダミー半導体部 D S の上側部分には、厚い保護膜が形成されているので、当該上側部分では、横方向にダミー半導体部 D S がエッチングされる量が比較的少なくなる。例えば、ダミー半導体部 D S の上側部分では、保護膜 P F が横方向にエッチングされ、ダミー半導体部 D S は実質的にエッチングされないか、又は僅かにエッチングされる。一方、ダミー半導体部 D S の底部 B P には薄い保護膜が形成されているので、横方向にダミー半導体部 D S がエッチングされる量が比較的大きくなる。即ち、保護膜 P F に加えて当該底部 B P も横方向にエッチングされる。したがって、工程 S 2 の途中では、図 6 の (

50

b) に示すように、例えば、ダミー半導体部 D S の底部 D S の横方向のエッチングは進行し、一方、ダミー半導体部 D S の上側部分には、保護膜 P F が残されており、当該ダミー半導体部 D S の上側部分の横方向のエッチングは開始していない状態となる。

【 0 0 3 3 】

また、ダミー半導体部 D S の下端に向かうにつれて保護膜 P F の厚みが小さくなるので、底部 B P においては、下端に近いほど横方向にエッチングされる量が多くなる。その結果、工程 S 2 の終了時には、図 7 の (a) に示すように、ダミー半導体部 D S の底部 B P においては、一对の側面 S S 間の距離がダミー半導体部 D S の下端に近づくほど小さくなる。よって、ダミー半導体部 D S の底部 B P は、下端から少なくとも一部においてテーパ形状を有するようになる。また、フィン型の半導体部位 1 0 4 を有する被処理体 W では、ダミー半導体部 D S の底部 B P のテーパ形状を、半導体部位 1 0 4 の頂部よりも下方に設けることが可能となる。

10

【 0 0 3 4 】

このような形状を有するダミー半導体部 D S をダミーゲートとして用いると、ダミーゲート除去後に側壁スペーサ層間に形成される空間の形状は、容易に電極材料で満たすことが可能な形状となる。特に、絶縁層 1 0 6 と側壁スペーサとによって囲まれた空間の隅部の角度は鈍角となるので、当該隅部まで容易に電極材料を供給することが可能となる。

【 0 0 3 5 】

一実施形態においては、工程 S 2 によって形成したダミー半導体部 D S をダミーゲートとして用いるのではなく、工程 S 2 の後に更に工程 S 3 を実施することができる。工程 S 3 では、被処理体 W が、プラズマ処理装置の処理容器内において塩素ガス (C l ₂ ガス) 又は臭素ガス (B r ₂ ガス) のプラズマに曝される。この工程 S 3 では、処理容器内には酸素ガスは供給されない。このように、工程 S 3 では、H B r ガスに比べて堆積性の低い塩素ガス又は臭素ガスが用いられる。また、工程 S 3 において生成されるエッチング副生成物は堆積性が低い。したがって、工程 S 3 では、ダミー半導体部 D S の底部 B P の横方向のエッチングが更に進行する。その結果、図 7 の (b) に示すように、工程 S 3 で形成される底部 B P の一对の側面 S S は、工程 S 2 で形成される底部 B P の一对の側面 S S よりも、更に滑らかなものとなる。

20

【 0 0 3 6 】

また、工程 S 3 で用いられるガスはハロゲンガスではあるが、フッ素ガスではない。フッ素ガスは、多結晶シリコン製のダミー半導体部 D S をエッチングすることは可能であるが、ダミー半導体部 D S に対して選択性を有するものではなく、絶縁層 1 0 6 をエッチングするからである。よって、工程 S 3 では、ダミー半導体部 D S を選択的にエッチングすることも可能となっている。

30

【 0 0 3 7 】

次に、図 8 を参照する。図 8 は、プレーナ型の電界効果トランジスタの製造において図 3 に示す方法を用いた場合の各工程後の被処理体の状態を示す図である。図 3 に示す方法は、フィン型の電界効果トランジスタの製造に限定されず、プレーナ型の電界効果トランジスタの製造にも用いることができる。

【 0 0 3 8 】

図 8 の (a) に示すように、プレーナ型の電界効果トランジスタの製造においては、S i 製の基板 2 0 2 の表面上に S i O ₂ 製の絶縁膜 2 0 6 が形成され、絶縁膜 2 0 6 上に設けられた多結晶シリコン層にマスク M のパターンを転写するよう多結晶シリコン層をエッチングすることにより、絶縁膜 2 0 6 上にダミー半導体部 D S が形成される。なお、プレーナ型の電界効果トランジスタの製造に用いられるマスク M は、S i O ₂ から構成された第 1 層 2 1 0 上に S i N から構成された第 2 層 2 1 4 を含む多層構造を有し得る。

40

【 0 0 3 9 】

プレーナ型の電界効果トランジスタの製造においても、工程 S 1 では、絶縁膜 2 0 6 上に設けられた多結晶シリコン層が、下地である絶縁膜 2 0 6 の表面に到達するまでエッチングされる。プレーナ型の電界効果トランジスタの製造においても、同様に、工程 S 1 に

50

においてダミー半導体部 D S の側面 S S 上に形成される保護膜 P F の膜厚は、ダミー半導体部 D S の上端から下端に近づくにつれて小さくなる傾向を有する。但し、プレーナ型の電界効果トランジスタでは、フィン型の半導体部位は設けられないので、保護膜 P F の膜厚に関する上記傾向は、フィン型電界効果トランジスタの保護膜 P F の膜厚に関する傾向ほど顕著ではない。

【 0 0 4 0 】

そして、工程 S 2 においては、図 8 の (a) に示す被処理体 W が更に H B r のプラズマに曝されることにより、ダミー半導体部 D S の底部 B P が横方向にエッチングされる。その結果、図 8 の (b) に示すように、底部 B P において、一对の側面 S S 間の距離がダミー半導体部 D S の下端に向かうほど小さくなる。また、工程 S 3 を更に行うと、図 8 の (c) に示すように、底部 B P において、一对の側面 S S がより滑らかな面となる。

10

【 0 0 4 1 】

図 3 に示した方法においては、工程 S 2 の時間を調整することによって、ダミー半導体部 D S の底部 B P の横方向のエッチング量を調整することができる。即ち、工程 S 2 の時間を長くするほど、ダミー半導体部 D S の底部 B P の横方向のエッチング量を大きくすることができる。

【 0 0 4 2 】

また、図 3 に示した方法においては、工程 S 1 の実施時の被処理体 W の温度を調整することで、保護膜 P F の膜厚を調整することができる。これは、被処理体 W の温度が高いほど、ダミー半導体部 D S に対するエッチング副生成物の付着確率（付着係数）が低くなるからである。また、工程 S 2 の実施時の被処理体 W の温度を調整することで、ダミー半導体部 D S のエッチング速度、特に工程 S 2 におけるダミー半導体部 D S の横方向のエッチング速度を調整することができる。これは、被処理体の温度が高いほど、ダミー半導体部 D S のエッチング速度が高められるからである。例えば、工程 S 1 及び工程 S 2 における被処理体 W の温度は、 60° ~ 70° といった温度に設定され得る。

20

【 0 0 4 3 】

また、図 3 に示した方法においては、工程 S 1 における H B r ガスの流量と O_2 ガスの流量を相対的に調整することで、上述したテーパ形状が作成される部分の高さ（図 7 の (a) 及び (b) の「H」を参照されたい）、即ち、ダミー半導体部 D S の下端からテーパ形状が終了する高さ位置までの距離（以下、「テーパ形状の高さ」という）を調整することができる。具体的には、H B r ガスの流量を減少させて O_2 ガスの流量を増加させると、上述したエッチング副生成物である化合物の発生量が多くなり、保護膜 P F の厚みは厚くなる。この保護膜 P F を除去するために工程 S 2 の処理時間を長くすると、保護膜 P F の厚みが小さい底部 B P では横方向のエッチングが進行していき、これに比例してテーパ形状が作成される部分の高さが高くなる。このように、図 3 に示した方法では、工程 S 1 における H B r ガスの流量と O_2 ガスの流量を相対的に調整することで、上述したテーパ形状が作成される部分の高さを調整することも可能である。

30

【 0 0 4 4 】

また、一実施形態においては、上述した工程 S 1 ~ S 3 では、プラズマ源としてマイクロ波を用いてプラズマが生成され得る。例えば、ラジアルラインスロットアンテナから放出されるマイクロ波を用いて、工程 S 1 ~ S 3 の各工程において処理容器内のガスを励起させることができる。マイクロ波を用いるプラズマ処理装置では、平行平板型のプラズマ処理装置よりも、ラジカル生成効率及びラジカル生成量の制御性を向上することができる。その結果、エッチング副生成物の発生効率を向上することができ、また、エッチング副生成物の生成量の制御性を向上することができる。したがって、ダミー半導体部 D S に対するエッチング副生成物の付着量の制御性を向上することができ、延いてはダミー半導体部 D S の形状の制御性を向上することができる。

40

【 0 0 4 5 】

また、マイクロ波をプラズマ源として用いる場合に、図 3 に示した方法では、マイクロ波のパワーを制御することにより、テーパ形状の高さを調整することができる。具体的

50

には、マイクロ波のパワーを調整すると、エッチング副生成物である化合物の量を調整することができる。その結果、保護膜PFの厚みを調整することができる。これにより、工程S2における横方向のエッチングの進行の度合いを調整することができ、延いてはテーパ形状が作成される部分の高さを調整することができる。このように、図3に示した方法では、工程S1におけるマイクロ波のパワーを調整することで、上述したテーパ形状の高さを調整することも可能である。例えば、マイクロ波のパワーは1700W~2300Wといった範囲で調整され得る。

【0046】

以下、実施形態のダミーゲートを形成する方法の実施に用いることが可能なプラズマ処理装置として、マイクロ波をプラズマ源として用いるプラズマ処理装置の一例について説明する。図9は、一実施形態のダミーゲートを形成する方法の実施に用いることが可能なプラズマ処理装置を概略的に示す図である。図9には、プラズマ処理装置10の断面が概略的に示されている。

10

【0047】

図9に示すプラズマ処理装置10は、処理容器12を備えている。処理容器12は、被処理体Wを收容するための処理空間Sを画成している。処理容器12は、側壁12a、底部12b、及び、天部12cを含み得る。側壁12aは、軸線Zが延びる方向（以下、「軸線Z方向」という）に延在する略筒形状を有している。底部12bは、側壁12aの下端側に設けられている。底部12bには、排気用の排気孔12hが設けられている。側壁12aの上端部は開口している。側壁12aの上端部開口は、誘電体窓18によって閉じられている。誘電体窓18は、側壁12aの上端部と天部12cとの間に挟持されている。この誘電体窓18と側壁12aの上端部との間には封止部材26が介在していてもよい。封止部材26は、例えばOリングであり、処理容器12の密閉に寄与する。

20

【0048】

プラズマ処理装置10は、処理容器12内に設けられたステージ20を更に備えている。ステージ20は、誘電体窓18の下方に設けられている。ステージ20は、台20a、及び、静電チャック20bを含んでいる。

【0049】

台20aは、筒状支持部46によって支持されている。筒状支持部46は、絶縁性の材料で構成されており、底部12bから垂直上方に延びている。また、筒状支持部46の外周には、導電性の筒状支持部48が設けられている。筒状支持部48は、筒状支持部46の外周に沿って処理容器12の底部12bから垂直上方に延びている。この筒状支持部48と側壁12aとの間には、環状の排気路50が形成されている。

30

【0050】

排気路50の上部には、複数の貫通孔が設けられた環状のバッフル板52が取り付けられている。排気路50は、排気孔12hを提供する排気管54に接続しており、当該排気管54には、圧力調整器56aを介して排気装置56bが接続されている。排気装置56bは、ターボ分子ポンプなどの真空ポンプを有している。圧力調整器56aは、排気装置56bの排気量を調整して、処理容器12内の圧力を調整する。これら圧力調整器56a及び排気装置56bにより、処理容器12内の処理空間Sを所望の真空度まで減圧することができる。また、排気装置56bを動作させることにより、ステージ20の外周から排気路50を介してガスを排気することができる。

40

【0051】

台20aは、高周波電極を兼ねている。台20aには、マッチングユニット60及び給電棒62を介して、RFバイアス用の高周波電源58が電氣的に接続されている。高周波電源58は、被処理体Wに引き込むイオンのエネルギーを制御するのに適した一定の周波数、例えば、13.65MHzの高周波電力（バイアス電力）を所定のパワーで出力する。マッチングユニット60は、高周波電源58側のインピーダンスと、主に電極、プラズマ、処理容器12といった負荷側のインピーダンスとの間で整合をとるための整合器を收容している。この整合器の中に自己バイアス生成用のブロッキングコンデンサが含まれて

50

いる。

【0052】

台20aの上面には、静電チャック20bが設けられている。静電チャック20bの上面は、被処理体Wを載置するための載置領域を構成している。この静電チャック20bは、被処理体Wを静電吸着力で保持する。静電チャック20bの径方向外側には、被処理体Wの周囲を環状に囲むフォーカスリングFが設けられている。静電チャック20bは、電極20d、絶縁膜20e、及び、絶縁膜20fを含んでいる。電極20dは、導電膜によって構成されており、絶縁膜20eと絶縁膜20fの間に設けられている。電極20dには、高圧の直流電源64がスイッチ66及び被覆線68を介して電氣的に接続されている。静電チャック20bは、直流電源64から印加される直流電圧により発生するクーロン力によって、その上面に被処理体Wを吸着保持することができる。

10

【0053】

台20aの内部には、周方向に延びる環状の冷媒室20gが設けられている。この冷媒室20gには、チラーユニットから配管70, 72を介して所定の温度の冷媒、例えば、冷却水が循環供給される。静電チャック20b上の被処理体Wの処理温度は、冷媒の温度によって制御され得る。さらに、伝熱ガス供給部からの伝熱ガス、例えば、Heガスがガス供給管74を介して静電チャック20bの上面と被処理体Wの裏面との間に供給される。

【0054】

プラズマ処理装置10は、温度制御機構として、ヒータHT、HS、HCS、及び、HESを更に備え得る。ヒータHTは、天部12c内に設けられており、アンテナ14を囲むように、環状に延在している。また、ヒータHSは、側壁12a内に設けられており、環状に延在している。ヒータHSは、例えば、処理空間Sの高さ方向(即ち、軸線Z方向)の中間に対応する位置に設けられ得る。ヒータHCSは、台20a内に設けられている。ヒータHCSは、台20a内において、上述した載置領域の中央部分の下方、即ち軸線Zに交差する領域に設けられている。また、ヒータHESは、台20a内に設けられており、ヒータHCSを囲むように環状に延在している。ヒータHESは、上述した載置領域の外縁部分の下方に設けられている。

20

【0055】

また、プラズマ処理装置10は、アンテナ14、同軸導波管16、誘電体窓18、マイクロ波発生器28、チューナ30、導波管32、及び、モード変換器34を更に備え得る。マイクロ波発生器28は、例えば2.45GHzの周波数のマイクロ波を発生する。マイクロ波発生器28は、チューナ30、導波管32、及びモード変換器34を介して、同軸導波管16の上部に接続されている。同軸導波管16は、その中心軸線である軸線Zに沿って延在している。同軸導波管16は、外側導体16a及び内側導体16bを含んでいる。外側導体16aは、軸線Z方向に延びる筒形状を有している。外側導体16aの下端は、導電性の表面を有する冷却ジャケット36の上部に電氣的に接続され得る。内側導体16bは、外側導体16aの内側に設けられている。内側導体16bは、軸線Zに沿って延びている。内側導体16bの下端は、アンテナ14のスロット板40に接続している。

30

【0056】

アンテナ14は、天部12cに形成された開口内に配置されて得る。このアンテナ14は、誘電体板38及びスロット板40を含んでいる。誘電体板38は、マイクロ波の波長を短縮させるものであり、略円板形状を有している。誘電体板38は、例えば、石英又はアルミナから構成される。誘電体板38は、スロット板40と冷却ジャケット36の下面の間に挟持されている。アンテナ14は、したがって、誘電体板38、スロット板40、及び、冷却ジャケット36の下面によって構成され得る。

40

【0057】

スロット板40は、複数のスロット対が形成された略円板状の金属板である。アンテナ14は、ラジアルラインスロットアンテナであり得る。図10は、図9に示すスロット板の一例を示す平面図である。スロット板40には、複数のスロット対40aが形成されて

50

いる。複数のスロット対 40 a は、径方向に所定の間隔で設けられており、また、周方向に所定の間隔で配置されている。複数のスロット対 40 a の各々は、二つのスロット孔 40 b 及び 40 c を含んでいる。スロット孔 40 b とスロット孔 40 c は、互いに交差又は直交する方向に延在している。

【0058】

図 9 を再び参照する。プラズマ処理装置 10 では、マイクロ波発生器 28 により発生されたマイクロ波が、同軸導波管 16 を通って、誘電体板 38 に伝播され、スロット板 40 のスロット孔から誘電体窓 18 に与えられる。

【0059】

誘電体窓 18 は、略円板形状を有しており、例えば、石英又はアルミナから構成されている。誘電体窓 18 は、スロット板 40 の直下に設けられている。誘電体窓 18 は、アンテナ 14 から受けたマイクロ波を透過して、当該マイクロ波を処理空間 S に導入する。これにより、誘電体窓 18 の直下に電界が発生し、処理空間内にプラズマが発生する。このように、プラズマ処理装置 10 によれば、磁場を加えずにマイクロ波を用いてプラズマを発生させることが可能である。

10

【0060】

誘電体窓 18 の下面は、凹部 18 a を画成し得る。凹部 18 a は、軸線 Z 周りに環状に設けられており、テーパ形状を有している。この凹部 18 a は、導入されたマイクロ波による定在波の発生を促進するために設けられており、マイクロ波によるプラズマを効率的に生成することに寄与し得る。

20

【0061】

以下、図 9 と共に図 11 を参照する。図 11 は、図 9 に示すプラズマ処理装置のガス供給系を概略的に示す図である。図 9 及び図 11 に示すように、プラズマ処理装置 10 は、中央導入部 22、周辺導入部 24、フロープリッタ FS、及び、ガス供給系 GS を含んでいる。

【0062】

中央導入部 22 は、配管 22 a 及びインジェクタ 22 b を含んでいる。配管 22 a は、内側導体 16 b の内部を通っており、軸線 Z に沿って延在している。この配管 22 a には、インジェクタ 22 b が接続されている。インジェクタ 22 b には、軸線 Z 方向に延在する複数の貫通孔が形成されている。誘電体窓 18 には、インジェクタ 22 b を収容する空間、及び、当該空間と処理空間 S を接続する孔 18 h が軸線 Z に沿って設けられている。かかる中央導入部 22 は、ガスを、配管 22 a、インジェクタ 22 b の複数の貫通孔、及び孔 18 h を介して、処理空間 S の上方から軸線 Z に沿って処理空間 S 内に供給する。

30

【0063】

周辺導入部 24 は、環状管 24 a 及び配管 24 b を含んでいる。環状管 24 a は、処理空間 S の軸線 Z 方向の中間位置において軸線 Z 中心に環状に延在するよう、処理容器 12 内に設けられている。この環状管 24 a には、軸線 Z に向けて開口された複数のガス噴射孔 24 h が形成されている。これら複数のガス噴射孔 24 h は、軸線 Z 中心に環状に配列されている。この環状管 24 a には配管 24 b が接続しており、当該配管 24 b は処理容器 12 の外部まで延びている。かかる周辺導入部 24 は、配管 24 b、環状管 24 a、及びガス噴射孔 24 h を介して、ガスを軸線 Z に向けて処理空間 S 内に導入する。

40

【0064】

ガス供給系 GS は、中央導入部 22 及び周辺導入部 24 にガスを供給する。ガス供給系 GS は、ガスソース 80 a, 82 a, 84 a, 86 a, 88 a を含んでいる。ガスソース 80 a, 82 a, 84 a, 86 a, 88 a はそれぞれ、Ar ガスのソース、HBr ガスのソース、O₂ ガスのソース、Cl₂ ガスのソース、CF₄ ガスのソースである。なお、ガスソース 86 a は、Br₂ ガスのソースであってもよい。また、ガスソース 88 a によって供給されるガスは、工程 S1 の前に被処理体 W に形成される自然酸化膜を除去するためのガスである。したがって、ガスソース 88 a は、CF₄ ガスといったフルオロカーボン系ガス又は CH₃F ガスといったフルオロハイドロカーボン系ガスのソースであることが

50

でき、或いは、 Cl_2 ガスのソースであってもよい。

【0065】

ガスソース80aは、バルブ80b、マスフローコントローラ80c、及びバルブ80dを介して共通ガスラインGL10に接続されている。ガスソース82aは、バルブ82b、マスフローコントローラ82c、及びバルブ82dを介して共通ガスラインGL10に接続されている。ガスソース84aは、バルブ84b、マスフローコントローラ84c、及びバルブ84dを介して共通ガスラインGL10に接続されている。ガスソース86aは、バルブ86b、マスフローコントローラ86c、及びバルブ86dを介して共通ガスラインGL10に接続されている。また、ガスソース88aは、バルブ88b、マスフローコントローラ88c、及びバルブ88dを介して共通ガスラインGL10に接続され

10

【0066】

共通ガスラインGL10は、フロープリッタFSに接続されている。フロープリッタFSは、共通ガスラインGL10から供給されるガスをガスラインGL12とガスラインGL14に分岐させる。ガスラインGL12は中央導入部22に接続されており、ガスラインGL14は周辺導入部24に接続されている。したがって、ガス供給系GSからのガスは、フロープリッタFSにより中央導入部22と周辺導入部24に分岐される。また、プラズマ処理装置10では、中央導入部22及び周辺導入部24のそれぞれに別個のガス供給系GSが接続されていてもよい。このような構成を有することにより、プラズマ処理装置10では、中央導入部22及び周辺導入部24から処理空間Sに供給されるガス

20

【0067】

プラズマ処理装置10は、図9に示すように、制御部Cntを更に備え得る。制御部Cntは、プログラム可能なコンピュータ装置といった制御器であり得る。制御部Cntは、マスフローコントローラ80c、82c、84c、86c、88cに対して制御信号を送出して、ガスソース80a、82a、84a、86a、88aそれぞれからのガスの流量を制御することができる。また、制御部Cntは、バルブ80b、80d、82b、82d、84b、84d、86b、86d、88b、88dに制御信号を送出して、これらバルブの開閉を制御することができる。また、制御部Cntは、フロープリッタFSに制御信号を送出して、中央導入部22に対する処理ガスの供給量と周辺導入部24に対する

30

【0068】

かかるプラズマ処理装置10は、制御部Cntによるプラズマ処理装置10の各部に対する制御により、工程S1~S3を実施することができる。また、プラズマ処理装置10は、マイクロ波をプラズマ源として用いているので、上述したように、工程S1~S3の実施に好適に用いられ得る。

【0069】

以下、図3に示したダミーゲートを形成する方法を図9に示したプラズマ処理装置10を用いて行った種々の実験例について説明する。

40

【0070】

(実験例1及び実験例2)

【0071】

実験例1及び実験例2では、プレーナ型の電界効果トランジスタ用のダミーゲートの形成を、工程S2の処理時間をパラメータとして異ならせて、行った。実験例1及び実験例2に用いた被処理体Wは、シリコン基板202上に10nmの厚みを有する SiO_2 から構成された絶縁膜206を有し、絶縁膜206上に80nmの厚みの多結晶シリコン層PLを有し、当該多結晶シリコン層PL上にマスクMを有するものとした。マスクMは、S

50

i O₂ から構成された第 1 層 1 1 0 を有し、当該第 1 層 1 1 0 上に Si N から構成された第 2 層 1 1 4 を有するものとした。第 1 層 1 1 0 の厚みは 1 1 5 nm、第 2 層 1 1 4 の厚みは 5 0 nm、マスク M のライン幅は 3 7 nm、マスク M のライン間のピッチは 7 5 nm とした。図 1 2 の表 1 に、実験例 1 及び実験例 2 の処理条件を示す。表 1 に示すように、実験例 1 の工程 S 2 の処理時間は 1 5 秒とし、実験例 2 の工程 S 2 の処理時間は 6 0 秒とした。また、マイクロ波の周波数は 2 . 4 5 GHz、バイアス電力の周波数は 1 3 . 6 5 MHz とした。また、実験例 1 及び実験例 2 では、工程 S 1 及び工程 S 2 における処理空間の圧力を 1 2 0 m T o r r (1 6 P a) に設定した。なお、表 1 において、処理時間「E P D」とは、その工程の処理時間は、終点検出によって決定されたことを示している。

【 0 0 7 2 】

そして、実験例 1 及び実験例 2 の処理後の被処理体 W の T E M 像を取得し、当該 T E M 像からダミー半導体部 D S の形状を求めた。その結果を図 1 3 (表 2) に示す。図 1 3 において、断面図は、T E M 像を線図として描いたものである。また、「上部 C D」、「中間 C D」、「底部 C D」は、それぞれ、ダミー半導体部 D S の上端、高さ方向中間、下端の幅である。実験例 1 及び 2 の断面図及び底部 C D から明らかなように、工程 S 2 の時間を十分に確保することにより、ダミー半導体部 D S の底部においてテーパ形状を形成することが可能であることが確認された。

【 0 0 7 3 】

(実験例 3 及び実験例 4)

【 0 0 7 4 】

実験例 3 及び実験例 4 では、プレーナ型の電界効果トランジスタ用のダミーゲートの形成を、工程 S 1 及び S 2 のステージ温度 (静電チャックの温度) をパラメータとして異ならせて、行った。実験例 3 及び実験例 4 に用いた被処理体 W は、実験例 1 に用いた被処理体 W と同様であった。図 1 4 の表 3 に、実験例 3 及び実験例 4 の処理条件を示す。表 3 に示すように、実験例 3 の工程 S 1 及び工程 S 2 のステージ温度は 6 0 とし、実験例 4 の工程 S 1 及び工程 S 2 のステージ温度は 7 0 とした。また、マイクロ波の周波数は 2 . 4 5 GHz、バイアス電力の周波数は 1 3 . 6 5 MHz とした。また、実験例 3 及び実験例 4 では、工程 S 1 及び工程 S 2 における処理空間の圧力を 1 2 0 m T o r r (1 6 P a) に設定した。

【 0 0 7 5 】

そして、実験例 3 及び実験例 4 の処理後の被処理体 W の S E M 像を取得し、当該 S E M 像からダミー半導体部 D S の形状を求めた。その結果を図 1 5 (表 4) に示す。図 1 5 において、断面図は、S E M 像を線図として描いたものである。実験例 3 及び実験例 4 の断面図及び底部 C D から明らかなように、ステージ温度、即ち、被処理体 W の温度を高くすることにより、ダミー半導体部 D S の底部にテーパ形状を短い時間で作成できることが確認された。

【 0 0 7 6 】

(実験例 5 ~ 7)

【 0 0 7 7 】

実験例 5 ~ 7 では、プレーナ型の電界効果トランジスタ用のダミーゲートの形成を、工程 S 1 の H B r ガスの流量及び O₂ ガスの流量をパラメータとして異ならせて、行った。実験例 5 ~ 7 に用いた被処理体 W は、実験例 1 に用いた被処理体 W と同様であった。図 1 6 の表 5 に、実験例 5 ~ 7 の処理条件を示す。なお、実験例 5 ~ 7 の各々の工程 S 2 の処理時間は、工程 S 1 の処理時間と同じ時間とした。また、マイクロ波の周波数は 2 . 4 5 GHz、バイアス電力の周波数は 1 3 . 6 5 MHz とした。また、実験例 5 ~ 7 では、工程 S 1 及び工程 S 2 における処理空間の圧力を 1 2 0 m T o r r (1 6 P a) に設定した。

【 0 0 7 8 】

そして、実験例 5 ~ 7 の処理後の被処理体 W の S E M 像を取得し、当該 S E M 像からダミー半導体部 D S の形状を求めた。その結果を図 1 7 (表 6) に示す。また、実験例 5 ~

10

20

30

40

50

7の処理後の被処理体Wにおけるダミー半導体部DSのテーパ形状の高さ(図7の(a)及び(b)の「H」参照)を表わしたグラフを図18に示す。図17及び図18に示すように、実験例5~7により、工程S1のHBrガスの流量とO₂ガスの流量を相対的に調整すると、テーパ形状の高さHを調整できることが確認された。具体的には、工程S1にHBrガスの流量を増加させ且つO₂ガスの流量を低減させると、テーパ形状の高さHを低くすることができることが確認された。

【0079】

(実験例8~11)

【0080】

実験例8~11では、フィン型の電界効果トランジスタ用のダミーゲートの形成を、工程S2の処理時間をパラメータとして異ならせて、行った。実験例8~11に用いた被処理体Wは、シリコン基板102上に、幅20nmのフィン型の半導体部位104を85nmのピッチで有し、半導体部位104間に絶縁層106を有し、半導体部位104及び絶縁層106を覆うように多結晶シリコン層PLを有し、多結晶シリコン層PL上にマスクMを有するものとした。半導体部位104は、絶縁層106の表面から30nmの高さで突出していた。また、マスクMは、SiNから構成された第1層210を有し、当該第1層210上にSiO₂から構成された第2層214を有するものとした。第1層210の厚みは115nm、第2層214の厚みは50nm、マスクMのライン幅は35nm、マスクMのライン間のピッチは85nmとした。図19の表7に、実験例8~11の処理条件を示す。なお、マイクロ波の周波数は2.45GHz、バイアス電力の周波数は13.65MHzとした。また、実験例8~11では、工程S1及び工程S2における処理空間の圧力を120mTorr(16Pa)に設定した。

10

20

【0081】

そして、実験例8~11の処理後の被処理体WのSEM像を取得し、当該SEM像からダミー半導体部DSの形状を求めた。その結果を図20(表8)に示す。図20において、断面図は、SEM像を線図として描いたものである。また、「上部CD」、「中間CD」、「底部CD」は、それぞれ、ダミー半導体部DSの上端、高さ方向中間、下端の幅である。また、実験例8~11の処理後の被処理体Wにおけるダミー半導体部DSの上部CD、中間CD、及び底部CDを表わしたグラフを図21に示す。図20及び21に示すように、実験例8~11によって、フィン型の電界効果トランジスタの製造においてもダミー半導体部DSの底部にテーパ形状を形成することが可能であること、また、工程S2の時間を長くするほど、ダミー半導体部DSの底部における幅がより小さくなることが確認された。

30

【0082】

(実験例12~14)

【0083】

実験例12~14では、フィン型の電界効果トランジスタ用のダミーゲートの形成を、工程S1のマイクロ波のパワーをパラメータとして異ならせて、行った。実験例12~14に用いた被処理体Wは、実験例8に用いた被処理体Wと同様であった。図22の表9に、実験例12~14の処理条件を示す。なお、マイクロ波の周波数は2.45GHz、バイアス電力の周波数は13.65MHzとした。また、実験例12~14では、工程S1及び工程S2における処理空間の圧力を120mTorr(16Pa)に設定した。

40

【0084】

そして、実験例12~14の処理後の被処理体WのSEM像を取得し、当該SEM像からダミー半導体部DSの形状を求めた。その結果を図23(表10)に示す。また、実験例12~14の処理後の被処理体Wにおけるダミー半導体部DSのテーパ形状の高さ(図7の(a)及び(b)の「H」を参照)を表わしたグラフを図24に示す。図23及び24に示すように、実験例12~14により、工程S1のマイクロ波のパワーを調整することにより、テーパ形状の高さHを調整できることが確認された。具体的には、マイクロ波のパワーを増加させると、テーパ形状の高さHは低くなる傾向があることが確認さ

50

れた。

【 0 0 8 5 】

(実験例 1 5 及び実験例 1 6)

【 0 0 8 6 】

これまでの実験例では、工程 S 2 で処理を終了させていたが、実験例 1 5 及び 1 6 では、フィン型の電界効果トランジスタ用のダミーゲートの形成を、工程 S 1 ~ S 3 を含む方法を用いて行った。また、実験例 1 5 及び 1 6 では、工程 S 2 の処理時間及び工程 S 3 の処理時間をパラメータとして異ならせた。実験例 1 5 及び実験例 1 6 に用いた被処理体 W は、実験例 8 に用いた被処理体 W と同様であった。図 2 5 の表 1 1 に、実験例 1 5 及び実験例 1 6 の処理条件を示す。なお、マイクロ波の周波数は 2 . 4 5 G H z 、バイアス電力の周波数は 1 3 . 6 5 M H z とした。また、また、実験例 1 5 及び実験例 1 6 では、工程 S 1 及び工程 S 2 における処理空間の圧力を 1 2 0 m T o r r (1 6 P a) に設定し、工程 S 3 における処理空間の圧力を 2 0 m T o r r (2 . 6 6 6 P a) に設定した。

10

【 0 0 8 7 】

そして、実験例 1 5 及び実験例 1 6 の処理後の被処理体 W の S E M 像を取得し、当該 S E M 像からダミー半導体部 D S の形状を求めた。その結果を図 2 6 (表 1 2) に示す。なお、図 2 6 においては、工程 S 3 の前後の S E M 像を線図で表わした断面図が示されている。また、図 2 6 において、テーパ角とは、ダミー半導体部 D S の底部 B P の一対の側面の間の角度である。図 2 6 に示すように、工程 S 3 を追加することにより、ダミー半導体部 D S の底部 B P のテーパ形状はより先鋭なテーパ角を有するようになり、また、当該底部 B P において一対の側面 S S はより滑らかな面となることが確認された。

20

【 0 0 8 8 】

以上、種々の実施形態について説明してきたが、上述した実施形態に限定されることなく種々の変形態様を構成可能である。例えば、図 3 に示した方法は、マイクロ波をプラズマ源とするプラズマ処理装置に限定されず、平行平板型のプラズマ処理装置、又は、誘導結合型のプラズマ処理装置といった種々のプラズマ処理装置で実施することが可能である。

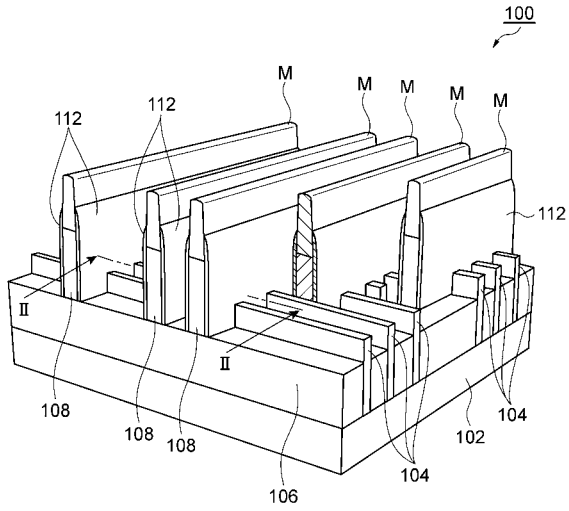
【 符号の説明 】

【 0 0 8 9 】

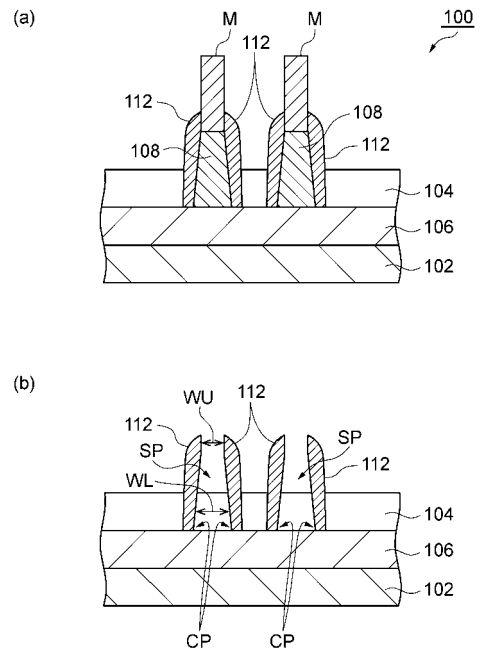
1 0 ... プラズマ処理装置、 1 2 ... 処理容器、 1 4 ... アンテナ、 1 6 ... 同軸導波管、 1 8 ... 誘電体窓、 2 0 ... ステージ、 2 0 a ... 台、 2 0 b ... 静電チャック、 2 2 ... 中央導入部、 2 4 ... 周辺導入部、 2 8 ... マイクロ波発生器、 3 6 ... 冷却ジャケット、 3 8 ... 誘電体板、 4 0 ... スロット板、 5 6 a ... 圧力調整器、 5 6 b ... 排気装置、 5 8 ... 高周波電源、 8 0 a , 8 2 a , 8 4 a , 8 6 a , 8 8 a ... ガスソース、 1 0 0 ... 製造物 (フィン型電界効果トランジスタの製造における中間製造物) 、 1 0 2 ... 基板、 1 0 4 ... フィン型の半導体部位、 1 0 6 ... 絶縁層、 1 0 8 ... ダミーゲート、 M ... マスク、 1 1 2 ... 側壁スペーサ、 2 0 2 ... 基板、 2 0 6 ... 絶縁膜、 D S ... ダミー半導体部、 B P ... 底部、 S S ... 側面、 P F ... 保護膜、 P L ... 多結晶シリコン層、 W ... 被処理体。

30

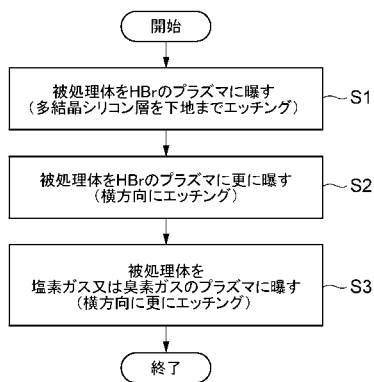
【 図 1 】



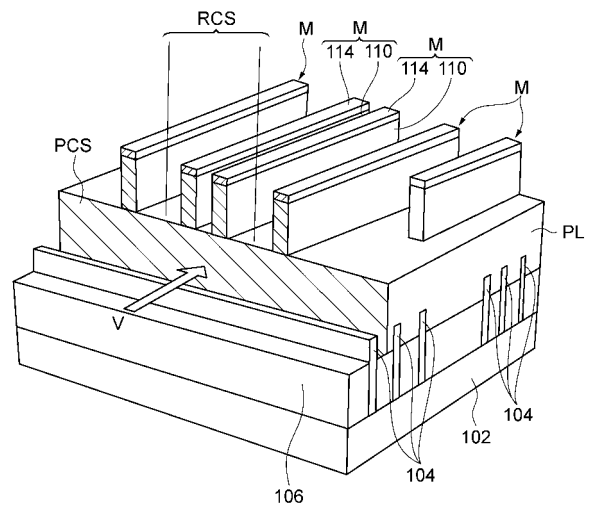
【 図 2 】



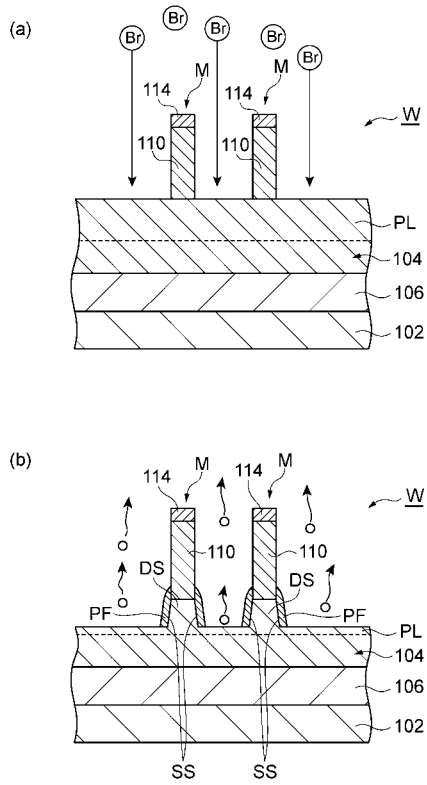
【 図 3 】



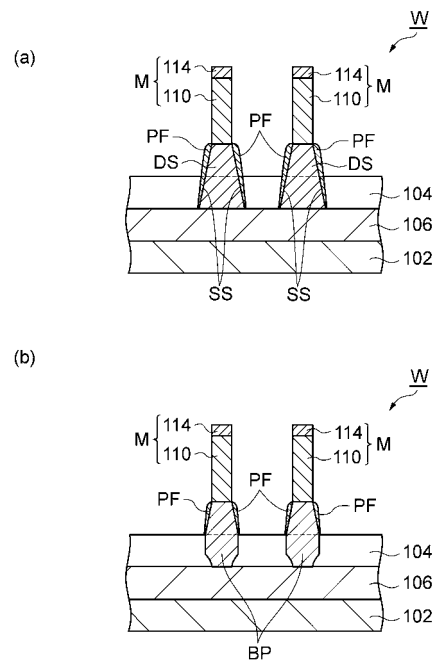
【 図 4 】



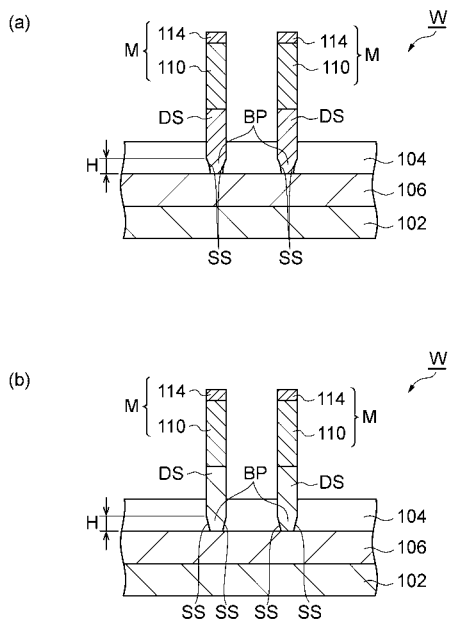
【 図 5 】



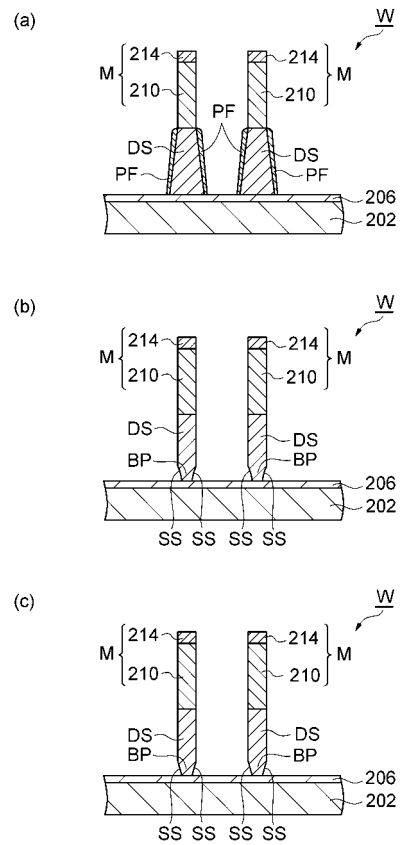
【 図 6 】



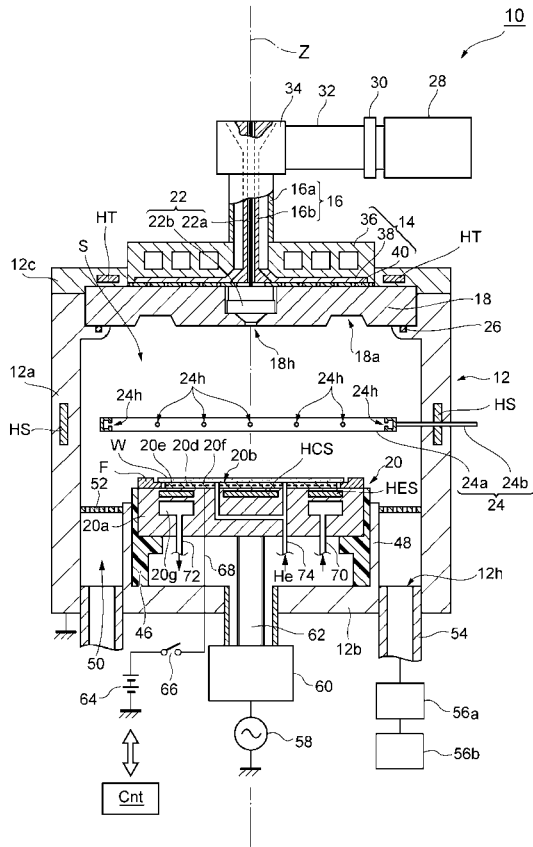
【 図 7 】



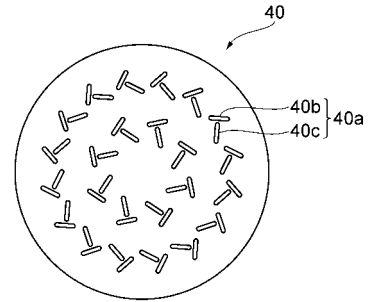
【 図 8 】



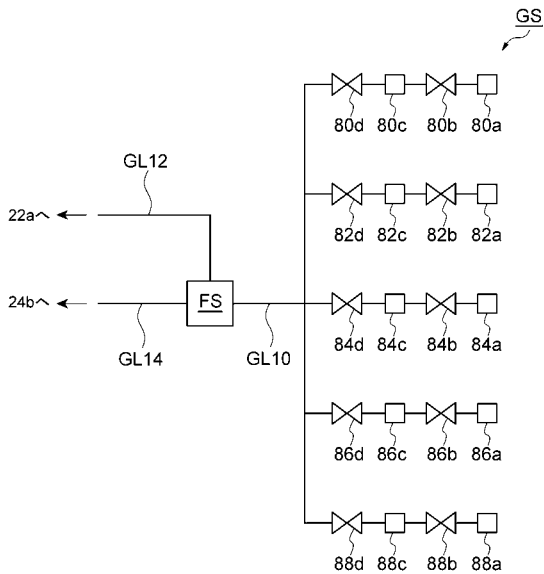
【 図 9 】



【 図 1 0 】



【 図 1 1 】



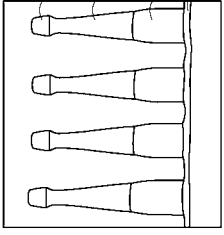
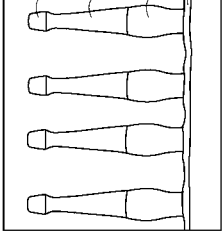
【 図 1 2 】

表1

工程	マイクロ波 パワー (W)	バイアス 電力 (W)	Ar (sccm)	HBr (sccm)	Cl ₂ (sccm)	O ₂ (sccm)	ステージ 温度 (°C)	処理 時間 (秒)
S1	1500	200	1000	800		10	60	EPD
S2(実験例1)	1500	250	1000	800		15	60	15
S2(実験例2)	1500	250	1000	800		15	60	60

【 図 1 3 】

表2

	実験例1	実験例2
断面図		
上部CD(nm)	37.9	35.5
中間CD(nm)	37.1	28.1
底部CD(nm)	39.1	27.3

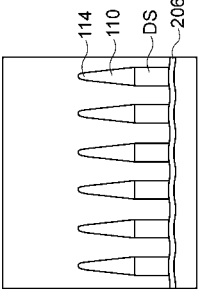
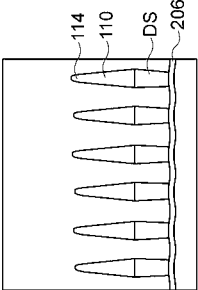
【 図 1 4 】

表3

工程	マイクロ波 パワー (W)	ハイアス 電力 (W)	Ar (sccm)	HBr (sccm)	Cl ₂ (sccm)	O ₂ (sccm)	ステージ 温度 (°C)	処理 時間 (秒)
実験例3	S1	1500	200	1000	800	10	60	EPD
	S2	1500	250	1000	800	15	60	30
実験例4	S1	1500	200	1000	800	10	70	EPD
	S2	1500	250	1000	800	15	70	30

【 図 1 5 】

表4

	実験例3	実験例4
断面図		
上部CD(nm)	33.1	35.5
底部CD(nm)	36	29.5

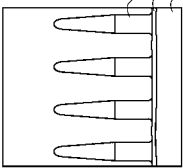
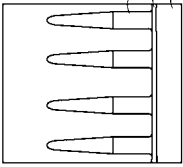
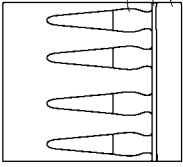
【 図 1 6 】

表5

工程	マイクロ波 パワー (W)	ハイアス 電力 (W)	Ar (sccm)	HBr (sccm)	Cl ₂ (sccm)	O ₂ (sccm)	ステージ 温度 (°C)	処理 時間 (秒)
実験例5	S1	2500	150	1000	800	15	60	EPD
	S2	2500	150	1000	800	15	60	-
実験例6	S1	2500	150	1000	600	15	60	EPD
	S2	2500	150	1000	600	15	60	-
実験例7	S1	2500	150	1000	400	15	60	EPD
	S2	2500	150	1000	400	15	60	-

【 図 1 7 】

表6

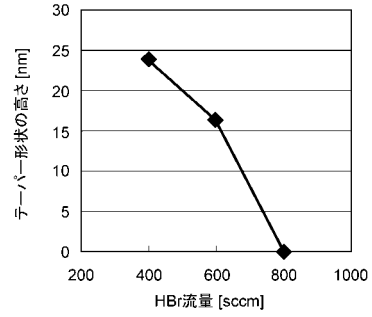
	実験例5	実験例6	実験例7
断面図			
テーパ形状の高さ(nm)		16.3	23.9

【 図 1 9 】

表7

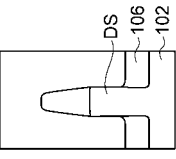
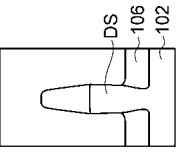
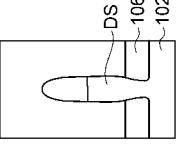
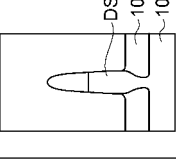
工程	マイクロ波 パワー (W)	ハイアス 電力 (W)	Ar (sccm)	HBr (sccm)	Cl ₂ (sccm)	O ₂ (sccm)	ステージ 温度 (°C)	処理 時間 (秒)
S1	2000	200	1000	800		10	60	EPD
S2(実験例8)	1500	250	1000	800	15	15	60	10
S2(実験例9)	1500	250	1000	800	15	15	60	25
S2(実験例10)	1500	250	1000	800	15	15	60	35
S2(実験例11)	1500	250	1000	800	15	15	60	45

【 図 1 8 】

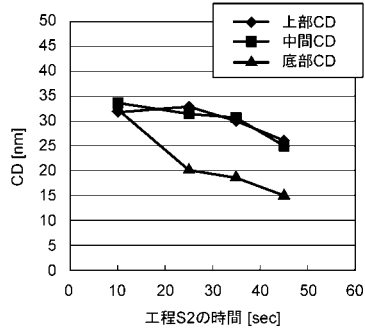


【 図 2 0 】

表8

	実験例8	実験例9	実験例10	実験例11
断面図				
上部CD(nm)	32.0	32.2	29.7	25.8
中間CD(nm)	33.3	31.6	30.4	24.8
底部CD(nm)	33	20.3	18.8	15.2
テーパ形状の高さ(nm)	0	23.3	24.4	27.2

【 図 2 1 】



【 図 2 2 】

表9

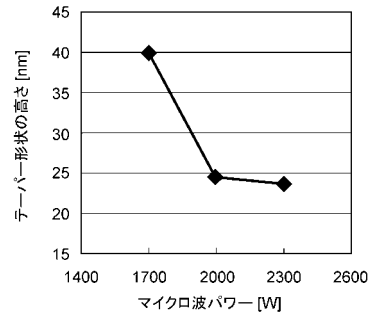
工程	マイクロ波 パワー (W)	マイクロ波 パワー (W)	ハイアス 電力 (W)	Ar (sccm)	HBr (sccm)	Cl ₂ (sccm)	O ₂ (sccm)	ステージ 温度 (°C)	処理 時間 (秒)
実験例12	S1	1700	200	1000	800		10	60	EPD
	S2	1500	250	1000	800		15	60	20
実験例13	S1	2000	200	1000	800		10	60	EPD
	S2	1500	250	1000	800		15	60	35
実験例14	S1	2300	200	1000	800		10	60	EPD
	S2	1500	250	1000	800		15	60	40

【 図 2 3 】

表10

	実験例12	実験例13	実験例14
断面図			
上部CD(nm)	29.5	29.7	29.5
中間CD(nm)	27.8	30.4	31.1
底部CD(nm)	21.5	18.8	17.5
テーパ形状 の高さ(nm)	39.7	24.4	23.5

【 図 2 4 】



【 図 2 5 】

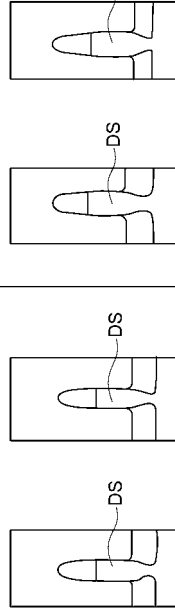
表11

工程	マイクロ波 パワー (W)	ハイアス 電力 (W)	Ar (sccm)	HBr (sccm)	Cl ₂ (sccm)	O ₂ (sccm)	ステージ 温度 (°C)	処理 時間 (秒)
S1	2000	200	1000	800		10	60	EPD
S2	1500	250	1000	800		15	60	35
S3	3000	50			100		60	5
S1	2000	200	1000	800		10	60	EPD
S2	1500	250	1000	800		15	60	20
S3	3000	50			100		60	10

【 図 2 6 】

表12

断面図	実験例15		実験例16	
	(工程S3前)	(工程S3後)	(工程S3前)	(工程S3後)
上部CD(mm)	28.8			32.5
中間CD(mm)	28.1			32.1
底部CD(mm)	15.2			16.6
工程S3前の テーパ角(°)	82.3			77.8
工程S3後の テーパ角(°)	69.4			66.3



フロントページの続き

(72)発明者 河田 進二

東京都港区赤坂五丁目3番1号 赤坂Bizタワー 東京エレクトロン株式会社内

Fターム(参考) 4M104 CC05 DD03 DD65 GG09

5F004 AA01 AA09 BA20 BB14 BB18 BB22 BB23 BB25 BB28 CA06

DA00 DA01 DA04 DA23 DA26 DB02 EA06 EA07 EA13 EA28

EA37 EB02

5F140 AA00 BB05 BB06 BC15 BG04 BG08 BG14