(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2023-0053177
(43) 공개일자 2023년04월21일

(51) 국제특허분류(Int. Cl.)
G11C 15/04 (2006.01) *G11C 7/06* (2021.01)
(52) CPC특허분류
G11C 15/046 (2013.01)
G11C 7/06 (2013.01)
(21) 출원번호 10-2021-0136413
(22) 출원일자 2021년10월14일
심사청구일자 2021년10월14일

(71) 출원인
홍익대학교 산학협력단
서울특별시 마포구 와우산로 94 (상수동)
서강대학교산학협력단
서울특별시 마포구 백범로 35 (신수동, 서강대학교)
(72) 발명자
김영민
인천광역시 서구 고산후로78번길 9, 306동 1405호(당하동, 인천원당금호어울림아파트)
김현주
서울특별시 마포구 월드컵로12길 52, 303호(서교동)
(뒷면에 계속)
(74) 대리인
특허법인 무한

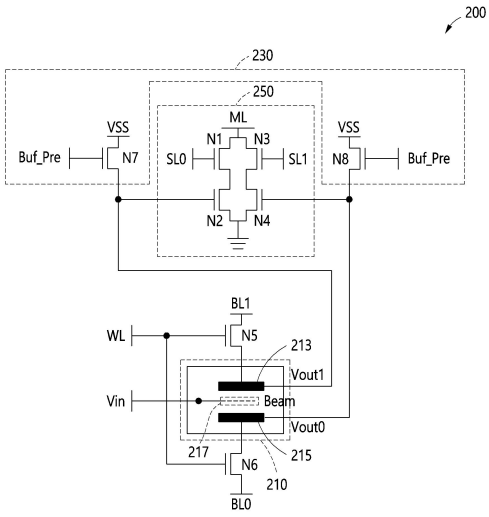
전체 청구항 수 : 총 12 항

(54) 발명의 명칭 **나노전자기계 메모리 스위치 소자를 이용한 삼진 내용 주소화 기억장치 및 이의 동작 방법**

(57) 요 약

나노전자기계 메모리 스위치 소자를 이용한 삼진 내용 주소화 기억장치 및 이의 동작 방법이 개시된다. 일 실시예에 따른 내용 주소화 기억장치는 복수의 비트라인들과, 워드라인과, 메모리 셀로서, 상기 복수의 비트라인들 및 상기 워드라인에 접속하는 NEM(Nanoelectromechanical) 메모리 스위치 소자를 포함하고, 상기 내용 주소화 기억 장치는, 상기 메모리 스위치 소자를 이용하여 삼진 데이터를 저장 및 탐색할 수 있다.

대 표 도 - 도2



(72) 발명자

조만희

서울특별시 은평구 은평로 96, 1203호(응암동, 미성 프라임팰리스)

최우영

서울특별시 용산구 원효로 216, 109동 1303호(신계동, 용산e편한세상)

권혁수

서울특별시 마포구 백범로10길 8, 303호(신수동)

이 발명을 지원한 국가연구개발사업

과제고유번호	1711122442
과제번호	2019M3F3A1A02072093
부처명	과학기술정보통신부
과제관리(전문)기관명	한국연구재단
연구사업명	혁신성장연계지능형반도체선도기술개발(R&D)
연구과제명	스마트 배선 소자기술을 이용한 고속 저전력 내용 주소화 기억장치 회로 및 아키텍처 개발
기 여 율	1/1
과제수행기관명	홍익대학교
연구기간	2021.01.01 ~ 2021.12.31

명 세 서

청구범위

청구항 1

내용 주소화 기억 장치에 있어서,

복수의 비트라인들;

워드라인; 및

메모리 셀로서, 상기 복수의 비트라인들 및 상기 워드라인에 접속하는 NEM(Nanoelectromechanical) 메모리 스위치 소자

를 포함하고,

상기 내용 주소화 기억 장치는,

상기 메모리 스위치 소자를 이용하여 삼진 데이터를 저장 및 탐색하는, 내용 주소화 기억장치.

청구항 2

제1항에 있어서,

상기 NEM 메모리 스위치 소자는,

상기 복수의 비트라인들 중 제1 비트라인에 연결된 트랜지스터의 일단에 접속하는 제1 금속 전극;

상기 복수의 비트라인들 중 제2 비트라인에 연결된 트랜지스터의 일단에 접속하는 제2 금속 전극; 및

상기 제1 금속 전극 및 상기 제2 금속 전극 사이에 위치하며, 상기 제1 금속 전극 또는 상기 제2 금속 전극과 연결 상태를 유지하거나 어느 금속 전극과 연결되지 않는 상태를 유지하기 위한 중앙 빔

을 포함하는, 내용 주소화 기억장치.

청구항 3

제2항에 있어서,

상기 NEM 메모리 스위치 소자는,

상기 중앙 빔이 상기 제1 금속 전극에 접속하는 상태에서 제1 데이터를 저장하고,

상기 중앙 빔이 상기 제2 금속 전극에 접속하는 상태에서 제2 데이터를 저장하고,

상기 중앙 빔이 어느 금속 전극과 연결되지 않는 상태에서 제3 데이터를 저장하는, 내용 주소화 기억 장치.

청구항 4

제3항에 있어서,

상기 NEM 메모리 스위치 소자는,

전압을 인가되지 않는 초기 상태에서 상기 제3 데이터를 저장하거나,

상기 제1 데이터 또는 상기 제2 데이터가 저장되어 있는 상태에서 플로팅 상태로 전환되어 상기 제3 데이터를 저장하는, 내용 주소화 기억 장치.

청구항 5

제2항에 있어서,

상기 내용 주소화 기억장치의 검색 또는 리드 동작을 위한 입력 전압은 상기 중앙 빔에 접속되는 상기 NEM 메모리 스위치 소자의 입력 경로로 인가되는 것인, 내용 주소화 기억장치.

청구항 6

제2항에 있어서,

상기 워드라인은,

상기 제1 비트라인에 연결된 트랜지스터와 상기 제2 비트라인에 연결된 트랜지스터 각각의 게이트에 연결되는 것인, 내용 주소화 기억장치.

청구항 7

제2항에 있어서,

상기 NEM 메모리 스위치 소자에 대한 프리차지 동작을 위한 프리차지 회로

를 더 포함하는, 내용 주소화 기억징치.

청구항 8

제7항에 있어서,

상기 프리차지 회로는,

일단이 상기 제1 금속 전극의 출력에 연결되는 제1 트랜지스터; 및

일단이 상기 제2 금속 전극의 출력에 연결되는 제2 트랜지스터

를 포함하는, 내용 주소화 기억장치.

청구항 9

제8항에 있어서,

상기 프리차지 동작을 위한 프리차지 전압은 상기 내용 주소화 기억장치의 라이트 동작 동안 상기 제1 트랜지스터 및 상기 제2 트랜지스터 각각의 게이트로 인가되는 것인, 내용 주소화 기억장치.

청구항 10

제8항에 있어서,

일단이 상기 제1 금속 전극의 출력에 연결되는 제3 트랜지스터 및 일단이 상기 제2 금속 전극의 출력에 연결되는 제4 트랜지스터를 포함하는 매치 회로

를 더 포함하는, 내용 주소화 기억장치.

청구항 11

제9항에 있어서,

상기 제1 트랜지스터의 일단은 상기 제3 트랜지스터의 일단과 연결되는 것이고,

상기 제2 트랜지스터의 일단은 상기 제4 트랜지스터의 일단과 연결되는 것인, 내용 주소화 기억장치.

청구항 12

제10항에 있어서,

상기 프리차지 동작을 위한 프리차지 전압이 상기 내용 주소화 기억장치의 라이트 동작 동안 상기 제1 트랜지스터 및 상기 제2 트랜지스터 각각의 게이트로 인가될 때, 상기 제3 트랜지스터와 상기 제4 트랜지스터가 프리차지되는 것인, 내용 주소화 기억장치.

발명의 설명

기 술 분 야

[0001] 아래 개시는 나노전자기계 메모리 스위치 소자를 이용한 삼진 내용 주소화 기억장치 및 이의 동작 방법에 관한 것이다.

배 경 기 술

[0003] 최근 나노 소자 반도체 시장은 다양한 수요처의 요구에 부응하기 위하여 매우 빠르게 발전하고 분화하고 있으며, 특히 기존의 PC, 스마트폰 등의 수요에서 빅데이터, 인공지능 분야에 필요한 데이터 서버의 수요로 빠르게 대체되고 있다.

[0004] 대용량 데이터를 저장하기 위한 메모리 기술의 발전이 중요해지면서 저장된 대용량의 데이터를 신속하면서도 낮은 에너지를 소모하면서 검색할 수 있는 메모리 기술의 중요성도 나날이 증대하고 있다.

[0005] 내용 주소화 기억장치는 일반적으로 독립된 반도체 칩이 아닌 반도체 칩에 집적된 하나의 IP를 의미하는 경우가 대부분이므로 정확한 시장 규모를 산출하기는 어려운 상황이나, 아울러 최근까지는 용량, 속도, 전력소모의 한계로 인하여 20 Mbit 이하의 소용량 메모리가 시장의 주종을 이루었다. 그러나 빅데이터, 인공지능 분야의 수요가 증가하면서 전 세계 학계, 산업계에서 우수한 연구결과가 도출되고 있으므로 유의미한 시장이 형성될 것으로 전망한다. 그 예로, 내용 주소화 기억장치의 시장 규모 성장을 유추할 수 있는 관련 기술 분야로 in-memory computing 기술이 존재하며 매년 22% 이상의 성장을 보이고 있으며, 최근에는 Renesas가 Xilinx와 함께 FPGA 기반 packet processor와 동시에 동작하는 deep database search engine을 개발하였고 여기에 내용 주소화 기억장치가 적용되었다.

[0006] 내용 주소화 기억장치는 다양한 기술 분야에서 많이 사용되고 있지만, 일반 메모리 대비 낮은 집적도와 높은 전력소모로 인해 용량과 사용에 제한이 존재한다. 일반 메모리 대비 저전력이면서, polysilicon의 substrate에 면적을 줄여 집적도를 높이는 기술은 많이 연구되지 않았으며, 앞으로는 이러한 기술을 응용해 기존 내용 주소화 기억장치 회로의 문제점을 해결하는 연구가 필요하다는 것을 알 수 있다.

발명의 내용

해결하려는 과제

[0008] 실시예들은 메모리 셀로서 나노전자기계(Nanoelectromechanical, NEM) 메모리 스위치 소자를 이용한 삼진 내용 주소화 장치에 관한 기술을 제공할 수 있다.

[0009] 다만, 기술적 과제는 상술한 기술적 과제들로 한정되는 것은 아니며, 또 다른 기술적 과제들이 존재할 수 있다.

과제의 해결 수단

[0011] 일 실시예에 따른 내용 주소화 기억장치는 복수의 비트라인들과, 워드라인과, 메모리 셀로서, 상기 복수의 비트라인들 및 상기 워드라인에 접속하는 NEM(Nanoelectromechanical) 메모리 스위치 소자를 포함하고, 상기 내용 주소화 기억 장치는, 상기 메모리 스위치 소자를 이용하여 삼진 데이터를 저장 및 탐색할 수 있다.

[0012] 상기 NEM 메모리 스위치 소자는 상기 복수의 비트라인들 중 제1 비트라인에 연결된 트랜지스터의 일단에 접속하는 제1 금속 전극과, 상기 복수의 비트라인들 중 제2 비트라인에 연결된 트랜지스터의 일단에 접속하는 제2 금속 전극과, 상기 제1 금속 전극 및 상기 제2 금속 전극 사이에 위치하며, 상기 제1 금속 전극 또는 상기 제2 금속 전극과 연결 상태를 유지하거나 어느 금속 전극과 연결되지 않는 상태를 유지하기 위한 중앙 빔을 포함할 수 있다.

[0013] 상기 NEM 메모리 스위치 소자는 상기 중앙 빔이 상기 제1 금속 전극에 접속하는 상태에서 제1 데이터를 저장하고, 상기 중앙 빔이 상기 제2 금속 전극에 접속하는 상태에서 제2 데이터를 저장하고, 상기 중앙 빔이 어느 금속 전극과 연결되지 않는 상태에서 제3 데이터를 저장할 수 있다.

[0014] 상기 NEM 메모리 스위치 소자는 전압을 인가되지 않는 초기 상태에서 상기 제3 데이터를 저장하거나, 상기 제1 데이터 또는 상기 제2 데이터가 저장되어 있는 상태에서 플로팅 상태로 전환되어 상기 제3 데이터를 저장할 수 있다.

[0015] 상기 내용 주소화 기억장치의 검색 또는 리드 동작을 위한 입력 전압은 상기 중앙 빔에 접속되는 상기 NEM 메모리 스위치 소자의 입력 경로로 인가되는 것일 수 있다.

[0016] 상기 워드라인은 상기 제1 비트라인에 연결된 트랜지스터와 상기 제2 비트라인에 연결된 트랜지스터 각각의 게이트에 연결되는 것일 수 있다.

[0017] 상기 기억장치는 상기 NEM 메모리 스위치 소자에 대한 프리차지 동작을 위한 프리차지 회로를 더 포함할 수 있다.

[0018] 상기 프리차지 회로는 일단이 상기 제1 금속 전극의 출력에 연결되는 제1 트랜지스터와, 일단이 상기 제2 금속 전극의 출력에 연결되는 제2 트랜지스터를 포함할 수 있다.

[0019] 상기 프리차지 동작을 위한 프리차지 전압은 상기 내용 주소화 기억장치의 라이트 동작 동안 상기 제1 트랜지스터 및 상기 제2 트랜지스터 각각의 게이트로 인가되는 것일 수 있다.

[0020] 상기 기억장치는 일단이 상기 제1 금속 전극의 출력에 연결되는 제3 트랜지스터 및 일단이 상기 제2 금속 전극의 출력에 연결되는 제4 트랜지스터를 포함하는 매치 회로를 더 포함할 수 있다.

[0021] 상기 제1 트랜지스터의 일단은 상기 제3 트랜지스터의 일단과 연결되는 것이고, 상기 제2 트랜지스터의 일단은 상기 제4 트랜지스터의 일단과 연결되는 것일 수 있다.

[0022] 상기 프리차지 동작을 위한 프리차지 전압이 상기 내용 주소화 기억장치의 라이트 동작 동안 상기 제1 트랜지스터 및 상기 제2 트랜지스터 각각의 게이트로 인가될 때, 상기 제3 트랜지스터와 상기 제4 트랜지스터가 프리차지되는 것일 수 있다.

도면의 간단한 설명

[0024] 도 1은 SRAM 기반 TCAM의 회로도의 일 예를 나타낸다.

도 2는 일 실시예에 따른 삼진 내용 주소화 기억장치의 회로도를 나타낸다.

도 3은 도 2에 도시된 내용 주소화 기억장치의 동작을 설명하기 위한 도면이다.

도 4는 데이터 라이트 시 중앙 빔의 이동을 설명하기 위한 그래프이다.

발명을 실시하기 위한 구체적인 내용

[0025] 실시예들에 대한 특정한 구조적 또는 기능적 설명들은 단지 예시를 위한 목적으로 개시된 것으로서, 다양한 형태로 변경되어 구현될 수 있다. 따라서, 실제 구현되는 형태는 개시된 특정 실시예로만 한정되는 것이 아니며, 본 명세서의 범위는 실시예들로 설명한 기술적 사상에 포함되는 변경, 균등물, 또는 대체물을 포함한다.

[0026] 제1 또는 제2 등의 용어를 다양한 구성요소들을 설명하는데 사용될 수 있지만, 이런 용어들은 하나의 구성요소를 다른 구성요소로부터 구별하는 목적으로만 해석되어야 한다. 예를 들어, 제1 구성요소는 제2 구성요소로 명명될 수 있고, 유사하게 제2 구성요소는 제1 구성요소로도 명명될 수 있다.

[0027] 어떤 구성요소가 다른 구성요소에 "연결되어" 있다고 언급된 때에는, 그 다른 구성요소에 직접적으로 연결되어 있거나 또는 접속되어 있을 수도 있지만, 중간에 다른 구성요소가 존재할 수도 있다고 이해되어야 할 것이다.

[0028] 단수의 표현은 문맥상 명백하게 다르게 뜻하지 않는 한, 복수의 표현을 포함한다. 본 명세서에서, "포함하다" 또는 "가지다" 등의 용어는 설명된 특징, 숫자, 단계, 동작, 구성요소, 부분품 또는 이들을 조합한 것이 존재함으로 지정하려는 것이지, 하나 또는 그 이상의 다른 특징들이나 숫자, 단계, 동작, 구성요소, 부분품 또는 이들을 조합한 것들의 존재 또는 부가 가능성을 미리 배제하지 않는 것으로 이해되어야 한다.

[0029] 다르게 정의되지 않는 한, 기술적이거나 과학적인 용어를 포함해서 여기서 사용되는 모든 용어들은 해당 기술분야에서 통상의 지식을 가진 자에 의해 일반적으로 이해되는 것과 동일한 의미를 가진다. 일반적으로 사용되는 사전에 정의되어 있는 것과 같은 용어들은 관련 기술의 문맥상 가지는 의미와 일치하는 의미를 갖는 것으로 해석되어야 하며, 본 명세서에서 명백하게 정의하지 않는 한, 이상적이거나 과도하게 형식적인 의미로 해석되지 않는다.

[0030] 이하, 실시예들을 첨부된 도면들을 참조하여 상세하게 설명한다. 첨부 도면을 참조하여 설명함에 있어, 도면 부호에 관계없이 동일한 구성 요소는 동일한 참조 부호를 부여하고, 이에 대한 중복되는 설명은 생략하기로 한다.

[0032] 도 1은 SRAM 기반 TCAM의 회로도의 일 예를 나타낸다.

[0033] 기존의 임의 접근 기억장치(RAM: random access memory)는 쓰기 주기 동안 데이터를 저장하고, 읽기 주기 동안 저장된 메모리를 읽는다. 이 때 address라고 불리는 특정 메모리의 위치를 지정하여야 하므로 순차적인 메모리 동작이 필요하다.

[0034] 내용 주소화 기억장치(Content-Addressable Memory(CAM)는 저장되어 있는 데이터(또는 데이터 워드) 중에서 검색 데이터(또는 검색 워드)에 일치하고 있는 것을 검색하고, 일치하는 데이터가 발견된 경우에는 그 어드레스를 출력한다. CAM은 어드레스에 의존한 순차적인 메모리 동작이 아닌, 메모리에 저장된 모든 데이터와 검색하고자 하는 데이터의 비교를 내용(content)에 기반하여 동시에 병렬처리로 진행한다.

[0035] CAM에는 BCAM(Binary CAM)과 TCAM(Ternary CAM)이 있다. BCAM의 각 메모리 셀은 "0" 이나 "1"중 어느 하나의 정보를 저장한다. TCAM의 각 메모리 셀은 "0" 및 "1"외에 "X(예: 돈트 케어(Don't Care))"의 정보를 저장하는데, "돈트 케어(Don't Care)"는 "0" 및 "1"중 어느 쪽이어도 되는 것을 나타낸다.

[0036] 도 1은 기존 CAM 중 SRAM을 이용하여 구현된 TCAM의 회로도를 나타낸다. SRAM 기반 TCAM(100)은 "0", "1", 및 "X" 세 값을 저장하기 위해 단위 셀 당 두 개의 SRAM 메모리 셀을 필요로 한다. SRAM 기반 TCAM(100)은 제1 프리차지 회로(110), 매치 회로(120), 검색 인에이블 회로(130), 제2 프리차지 회로들(140), 및 SRAM 메모리 셀들(150)을 포함한다. 제1 프리차지 회로들(110)은 SL(search line) 프리차지를 수행하고, 제2 프리차지 회로(140)는 BL(bit line) 프리차지를 수행한다.

[0037] SRAM 기반 TCAM(100)은 검색 데이터가 입력으로 들어오면 데이터 어레이(예를 들어, SRAM 메모리 셀들(150))에 저장된 모든 데이터와 병렬적으로 동시에 비교하여 매칭이 이루어진 어드레스 값을 빠르게 출력함으로써 데이터 고속 검색이 가능하다. 이러한 우수한 고속 검색 성능에도 불구하고, SRAM 기반 TCAM(100)은 이진 내용 주소화 기억장치인 BCAM과 비교하여 추가 데이터(예: "X")를 활용하기 위해 단위 셀 당 추가적인 SRAM 메모리 셀을 사용하여 기존 CMOS 트랜지스터 사용 시 일반 메모리 대비 전력 소모와 칩 크기가 증가한다.

[0039] 도 2는 일 실시예에 따른 삼진 내용 주소화 기억장치의 회로도를 나타낸다.

[0040] 삼진 내용 주소화 기억장치(200)는 NEM(Nanoelectromechanical) 메모리 스위치 소자(210), 프리차지 회로(230), 및 매치 회로(250)를 포함한다. 또한, 삼진 내용 주소화 기억장치(200)는 복수의 비트라인들(BL0 및 BL1)과 워드라인(WL)을 더 포함한다. 내용 주소화 기억장치(200)에는 메모리 셀로서 CMOS 후공정(Back-end of Line: BEOL)을 이용한 NEM 메모리 스위치 소자(210)를 사용한 것이며, 도 2에서는 설명의 편의를 위해 메모리 셀이 하나인 경우를 가정하며, 고속의 데이터 검색이 가능한 NOR 타입의 구조를 사용한다.

[0041] 삼진 내용 주소화 기억장치(200)는 NEM 메모리 스위치 소자(210)를 이용하여 "0", "1", 및 "X(예: 돈트 케어(Don't Care))" 세 가지 상태(예: 값)를 저장(예: 라이트 동작) 및 탐색(search)할 수 있다.

[0042] NEM 메모리 스위치 소자(210)는 제1 금속 전극(213), 제2 금속 전극(215), 및 중앙 빔(217)을 포함할 수 있다. NEM 메모리 스위치 소자(210)는 제1 금속 전극(213)과 제2 금속 전극(215) 사이에 위치하는 중앙 빔(217)을 제1 금속 전극(213) 또는/및 제2 금속 전극(215)과의 접속 여부를 제어할 수 있다. 예를 들어, NEM 메모리 스위치 소자(210)는 중앙 빔(217)을 제1 금속 전극(213) 또는 제2 금속 전극(215)과 접속하도록 제어하여 제1 금속 전극(213) 또는 제2 금속 전극(215)에 연결된 출력 경로를 연결할 수 있다. 또한, NEM 메모리 스위치 소자(210)는 중앙 빔(217)을 제1 금속 전극(213) 및 제2 금속 전극(215)과 접속하지 않도록 제어하여 제1 금속 전극(213) 또는 제2 금속 전극(215)에 연결된 출력 경로를 연결하지 않을 수 있다.

[0043] 중앙 빔(217)은 제1 금속 전극(213) 또는 제2 금속 전극(215)으로 연결될 때 판데르발스(van der Waals) adhesion force에 의해 연결 상태를 유지하려는 비휘발성(nonvolatile) 특성을 가진다. 즉, 중앙 빔(217)은 제1 금속 전극(213) 또는 제2 금속 전극(215)으로 연결될 때 제1 금속 전극(213) 또는 제2 금속 전극(215)과 연결 상태를 유지하려고 한다.

[0044] 중앙 빔(217)은 입력 경로(Vin)에 연결되고, 제1 금속 전극(213)은 제1 출력 경로(Vout1)에 연결되고, 제2 금속 전극(215)은 제2 출력 경로(Vout2)에 연결될 수 있다. 내용 주소화 기억장치(200)의 검색(search) 또는 리드(read) 동작을 위한 입력 전압은 입력 경로(Vin)으로 인가될 수 있다.

[0045] 제1 금속 전극(213)은 제1 비트라인(BL1)에 연결된 트랜지스터(N5)의 일단(예를 들어, NMOS인 경우 소스이고, PMOS인 경우 드레인임)에 접속하고, 제2 금속 전극(215)은 제2 비트라인(BL0)에 연결된 트랜지스터(N6)의 일단(예를 들어, NMOS인 경우 소스이고, PMOS인 경우 드레인임)에 접속할 수 있다. 이때, 워드라인(WL)은 제1 비트라인(BL1)에 연결된 트랜지스터(N5) 및 제2 비트라인(BL0)에 연결된 트랜지스터(N6) 각각의 게이트에 연결될 수 있다.

[0046] 라이트(write) 및 리드(read) 동작은 도 1에서 설명한 SRAM과 동일하다. 라이트 동작 시에는, 워드라인(WL)에 high 전압을 인가하고, 저장하려는 값에 맞는 비트라인(BL0 또는 BL1)에 high 전압을 인가하여, 중앙 빔(217)을 어느 출력 경로(Vout0 또는 Vout1)에 연결 및 유지시키거나 중앙 빔(217)을 어느 출력 경로(Vout0 또는 Vout1)에도 연결시키지 않게 하여 데이터를 저장할 수 있다. 리드 동작 시에는, 입력 경로(Vin)에 high 전압을 인가하는 것으로, 중앙 빔(217)이 연결된 출력 경로(Vout0 또는 Vout1)를 통해 입력 경로(Vin)에 인가한 전압이 전달되거나 중앙 빔(217)이 어느 출력 경로(Vout0 또는 Vout1)에도 연결되지 않아 입력 경로(Vin)에 인가한 전압이 어느 출력 경로(Vout0 또는 Vout1)로도 전달되지 않는 것을 확인하는 것이다. 즉, 저장된 state를 확인할 수 있다.

[0047] 매치 회로(250)는 비교 및 매치를 판단하는 주변 회로로, 복수의 트랜지스터들(N1~N4), 검색라인들(SL0 및 SL1), 및 매치라인(ML)을 포함한다. 매치라인(ML)은 출력 라인으로, 매치가 되면 프리차지된 high 레벨의 신호가 유지되고, 매치가 안되면 low 레벨의 신호로 떨어질 수 있다. 매치라인(ML)의 프리차지를 위한 프리차지 회로(미도시)는 센스 앰플리파이어 회로(미도시)에 포함된 구조일 수 있다.

[0048] 트랜지스터들(N1 및 N3)은 검색 데이터를 인가받기 위한 것이며, 트랜지스터들(N1 및 N3)의 일단(예를 들어, NMOS인 경우 드레인이고, PMOS인 경우 소스임)은 매치라인(ML)과 연결될 수 있다. 트랜지스터(N1 및 N3)의 게이트는 대응하는 검색라인(SL0 및 SL1)에 연결될 수 있다.

[0049] 트랜지스터들(N2 및 N4)는 검색 동작 시 출력 경로(Vout0 또는 Vout1)를 통해 입력 경로(Vin)에 인가한 전압을 전달받기 위한 것이다. 트랜지스터(N2)의 일단은 제1 금속 전극(213)의 출력, 예를 들어, 제1 출력 라인(Vout1)에 연결되고, 트랜지스터(N4)의 일단은 제2 금속 전극(215)의 출력, 예를 들어, 제2 출력 라인(Vout0)에 연결될 수 있다.

[0050] 프리차지 회로(230)는 NEM 메모리 스위치 소자(210)에 대한 프리차지 동작을 위한 것일 수 있다. 라이트 동작 시, 중앙 빔(217)이 제1 금속 전극(213) 또는 제2 금속 전극(215)에 연결될 때 어떠한 신호가 출력되는 것은 아니기 때문에 매치 회로(250)의 트랜지스터들(N2 및 N4)은 플로팅 상태가 될 수 있다. 프리차지 회로(230)는 라이트 동작 시 트랜지스터들(N2 및 N4)의 플로팅 상태를 방지하기 위해 프리차지 동작을 수행하는 것이다.

[0051] 프리차지 회로(230)는 복수의 트랜지스터들(N7 및 N8)을 포함한다. 트랜지스터(N7)의 일단(예를 들어, NMOS인 경우 소스이고, PMOS인 경우 드레인임)은 제1 금속 전극(213)의 출력, 예를 들어, 제1 출력 라인(Vout1)에 연결되고, 트랜지스터(N8)의 일단(예를 들어, NMOS인 경우 소스이고, PMOS인 경우 드레인임)은 제2 금속 전극(215)의 출력, 예를 들어, 제2 출력 라인(Vout0)에 연결될 수 있다. 트랜지스터(N7)의 일단이 트랜지스터(N2)의 일단과 연결되고, 트랜지스터(N8)의 일단이 트랜지스터(N4)에 연결되어, 라이트 동작 시 트랜지스터들(N7 및 N8)의 게이트에 프리차지 전압(Bur_Pre)이 인가될 때, 매치 회로(250)의 트랜지스터들(N2 및 N4)이 프리차지될 수 있다. 프리차지 전압(Bur_Pre)은 라이트 동작시 워드라인(WL) 및 비트라인(BL0 또는 BL1)에 신호가 인가될 때 동시에 인가될 수 있다.

[0052] 메모리 셀로서 NEM 메모리 스위치 소자(210)는 기존의 비휘발성 메모리인 SRAM과 비교하여 더 적은 수의 트랜지스터를 사용하는 것으로 칩 크기의 감소와 더 낮은 전력 소모를 도모할 수 있다. 이에, 삼진 내용 주소화 기억장치(200)는 도 1의 기존 내용 주소화 기억장치(100)의 회로에 CMOS 트랜지스터 사용 시 일반 메모리 대비 낮은 집적도와 높은 전력소모로 인해 용량과 사용에 제한이 있는 문제 개선할 수 있다.

[0053] 또한, NEM 메모리 스위치 소자(210)는 기본 구조에 추가적인 회로 없이 삼진 데이터(예: "0", "1", 및 "X(예: 돈트 케어(Don't Care))")를 활용할 수 있어, 삼진 내용 주소화 기억 장치(200)는 기존 SRAM 기반 TCAM(100)의 큰 전력 소모와 칩 크기에 대한 문제를 효율적으로 해결할 수 있다.

[0054] 또한, 내용 주소화 기억 장치(200)는 NEM memory 스위치 소자(210)에 최적화된 주변 회로의 구조로 인해 저전력과 동작속도를 향상할 수 있다.

[0055] 도 2에서는 내용 주소화 기억 장치(200)의 주변 회로를 구성하는 트랜지스터를 NMOS로만 도시하였지만, 이에 한정되는 것은 아니며 PMOS로도 구현될 수도 있다.

[0057] 도 3은 도 2에 도시된 내용 주소화 기억장치의 동작을 설명하기 위한 도면이고, 도 4는 데이터 라이트 시 중앙 빔의 이동을 설명하기 위한 그래프이다.

[0058] 내용 주소화 기억장치(200)에는 라이트, 리드, 및 검색 등 총 3가지 모드가 존재하며, 내용 주소화 기억장치(200)의 데이터 인코딩은 도 3에 도시된 일 예와 같을 수 있다. NEM 메모리 스위치 소자(210)는 세가지 종류의 데이터(예: "0", "1", 및 "X(예: 돈트 케어(Don't Care))")를 저장할 수 있으며, 내용 주소화 기억장치(200)의 모드 별 동작은 다음과 같다.

[0060] 내용 주소화 기억장치(200)에서의 라이트 동작

[0061] 우선 저장하려는 값에 맞는 비트라인(BL0 또는 BL1)에 high 전압을 인가한 뒤, 액세스 트랜지스터(N5 및 N6)를 도통하기 위해 워드라인(WL)에 high 전압을 인가하여 중앙 빔(217)을 출력 경로(Vout0 또는 Vout1)에 연결시키거나 연결시키지 않아 라이트 동작을 하는 것이다.

[0062] 예를 들어, 메모리 셀에 ‘1’ 을 저장하려면, 비트라인(BL1)에 high 전압을 인가한 뒤 워드라인(WL)에 high 전압을 인가하면 중앙 빔(217)이 출력 경로(Vout1)에 연결되며 소자 특성으로 인해 중앙 빔(217)의 연결이 유지되어 ‘1’ 을 저장할 수 있다. 메모리 셀에 ‘0’ 을 저장하려면, 비트라인(BL0)에 high 전압을 인가한 뒤 워드라인(WL)에 high 전압을 인가하면 중앙 빔(217)이 출력 경로(Vout0)에 연결되며 소자 특성으로 인해 중앙 빔(217)의 연결이 유지되어 ‘0’ 을 저장할 수 있다. 메모리 셀에 'X'를 저장하려면, 중앙 빔(217)을 출력 경로(Vout1) 및 출력 경로(Vout0) 어느 쪽에도 연결되지 않은 상태(예: 플로팅 상태)로 두어 'X'를 저장할 수 있다.

[0063] 'X'의 라이트 동작은 NEM 메모리 스위치 소자(210)의 초기 상태에서 전압을 인가하지 않는 그대로 두는 동작과 '0' 또는 '1'에서 'X'로 변경하는 동작을 포함할 수 있다. 예를 들어, '0' 또는 '1'로 변경하는 동작은 중앙 빔(217)이 연결된 경로(예: Vout1, Vout0)의 반대 비트라인에 high 전압을 짧은 시간 동안 인가하는 동작일 수 있다. 도 4에 도시된 바와 같이, 중앙 빔(217)은 하이 전압을 인가한 쪽으로 이동하며, 값(예: '0', ''1)이 저

장되어 있는 상태에서 전압을 짧은 시간 동안 인가하면 해제(release)되어 플로팅 상태(예: 'X'값 라이트)로 전환될 수 있다.

[0064] 중앙 빔이 출력 경로(Vout1 또는 Vout0)에 연결되어도 어떠한 신호가 나오는 것은 아니기 때문에, 트랜지스터들(N2와 N4)이 플로팅 상태가 되는 것을 방지하기 위해 라이트 동작 시에는 프리차지 전압(Bur_Pre)을 프리차지 회로(230)에 인가한다.

[0066] 내용 주소화 기억장치(200)에서의 리드 동작

[0067] 리드 동작을 위해서는 입력 경로(Vin)에 리드 동작을 위한 입력 전압을 인가한다.

[0068] 입력 경로(Vin)에 high 전압을 인가 한 뒤, 중앙 빔(217)이 연결된 출력 경로(Vout1 또는 Vout0)를 입력 경로(Vin)에 인가한 전압이 전달되는 것을 확인한다. 예를 들어, 입력 경로(Vin)에 high 전압을 인가한 뒤 출력 경로(Vout1)로 입력 경로(Vin)에 인가한 전압이 전달된다면 저장된 값이 '1'인 것으로 판단할 수 있다. 만약 'X' 값을 저장한 상태일 경우 Vout0과 Vout1 모두 전압을 전달받지 않는 것으로 'X' 값임을 판단할 수 있다.

[0070] 내용 주소화 기억장치(200)에서의 검색 동작

[0071] 검색 동작을 위해서는 검색 데이터를 검색라인(SL0 또는 SL1)에 인가하고, 입력 경로(Vin)에 검색 동작을 위한 입력 전압을 인가한다.

[0072] 찾는 값에 맞는 검색라인(SL0 또는 SL1)에 high 전압을 인가하며, 입력 경로(Vin)에 high 전압을 인가하여 중앙 빔(217)에 연결된 출력 경로(Vout1 또는 Vout0)로 입력 경로(Vin)에 인가한 전압이 전달되도록 한다. 입력 경로(Vin)에서 전달된 전압과 검색라인(SL0 또는 SL1)의 값을 받아 직렬로 연결된 두 개의 NMOS 트랜지스터에 연결하여 match의 여부를 판단할 수 있다.

[0073] 예를 들어, 찾는 값이 '0'일 경우, 검색라인(SL0)에 high 전압을 인가한 뒤 출력 경로(Vout0)로 입력 경로(Vin)에 인가한 전압이 전달된다면 직렬로 연결된 두 개의 NMOS가 엇갈려서 도통(N1, N4은 on되고 N2, N3은 off됨)되므로 매치라인(ML)은 프리차지된 값을 유지하며 저장된 값과 찾는 값이 일치하는 'match' 상태임을 알 수 있다.

[0074] 모든 저장된 값을 'match'로 처리하는 'X' 값 검색은 검색 라인(SL0)과 검색 라인(SL1)에 low 전압을 인가하여 두 개의 NMOS(예: N1, N3)를 차단하는 것으로 수행될 수 있다.

[0075] 검색 동작 시에는, 프리차지 회로(230)에 프리차지 전압을 인가하지 않는다.

[0077] 도 1 내지 도 4을 참조하면, SRAM 기반 내용 주소화 기억장치(100)에서는 메모리 셀에 6개의 트랜지스터가 사용되며, 검색 동작을 위해 pass transistor logic의 4개의 트랜지스터를 사용하며, 라이트 동작을 위해 4개의 추가 트랜지스터가 사용된다. 매치 작업을 위해서는 4개의 트랜지스터를 사용하며, 검색라인(SL)과 비트라인(BL)에 각각 프리차지를 위한 트랜지스터가 3개씩 필요하다. SRAM 기반 내용 주소화 기억장치(100)에 사용된 트랜지스터의 총 개수는 33개이다.

[0078] NEM 스위치 소자(210)를 이용한 내용 주소화 기억장치(200)는 메모리 셀에 별도의 트랜지스터를 사용하지 않으며, NEM 스위치 소자(210)의 입력 경로(Vin)를 통해 검색 동작을 수행해 트랜지스터가 사용되지 않는다. 라이트 동작을 위해서는 2개의 추가 트랜지스터가 사용된다. 매치 작업을 위해 4개의 트랜지스터를 사용하며, SRAM 기반 내용 주소화 기억장치(100)과 다르게 별도의 SL. BL 프리차지 회로가 필요하지 않아 NEM 스위치 소자(210)를 이용한 내용 주소화 기억장치(200)는 트랜지스터의 사용이 적다. Vout0 및 Vout1의 플로팅 상태를 해결하기 위한 프리차지로 2개의 추가 트랜지스터를 사용하여, NEM 스위치 소자(210)를 이용한 내용 주소화 기억장치(200)에 사용된 트랜지스터의 총 개수는 8개이다.

[0079] NEM 스위치 소자(210)를 이용한 내용 주소화 기억장치(200)는 SRAM 기반 내용 주소화 기억장치(100)에 비해 트랜지스터 사용 개수를 1/4 이상 감소시켜 area를 줄일 수 있으며, NEM 스위치 소자(210)는 수직적으로 설계가 가능해 polysilicon의 substrate에 면적을 아낄 수 있으므로 집적도를 높일 수 있다. 또한, NEM 스위치 소자

(210)를 이용한 내용 주소화 기억장치(200)는 트랜지스터를 적게 사용하여 스위칭이 줄어들어 전력소모를 줄일 수 있다.

[0080] NEM 스위치 소자(210)를 이용한 내용 주소화 기억장치(200)는 NEM 스위치 소자(210) 자체로 3가지 상태를 저장할 수 있기 때문에 메모리 셀과 프리차지 회로를 한 쌍 더 추가해야 하는 SRAM 기반 내용 주소화 기억장치(100)는 달리 추가적인 트랜지스터 추가 없이 Ternary CAM에 활용 가능할 것이다.

[0082] 상술한 바와 같이, 기존 CMOS 기술로는 집적도와 전력소모 문제를 해결하지 못해 그 응용분야가 제한적이었지만, 실시예들은 스마트 배선 소자 기술을 활용하여 고용량, 저전력 고속탐색이 가능한 메모리 시스템을 구현할 수 있다.

[0083] 적용 분야로는 고용량, 저전력 고속 탐색이 필요한 사물인터넷, CPU/MPU, router, TPU/NPU, 영상/음성 인식, image signal processor, FPGA, 자율주행차 등 큰 기여를 할 수 있다. 또 다른 적용 분야로는 실시예들에 사용되는 NEM memory switch는 높은 방사선과 온도변화에 노출되는 우주항공, 군사용 전자기기에도 사용이 가능하여 본 발명의 결과를 적용할 수 있다.

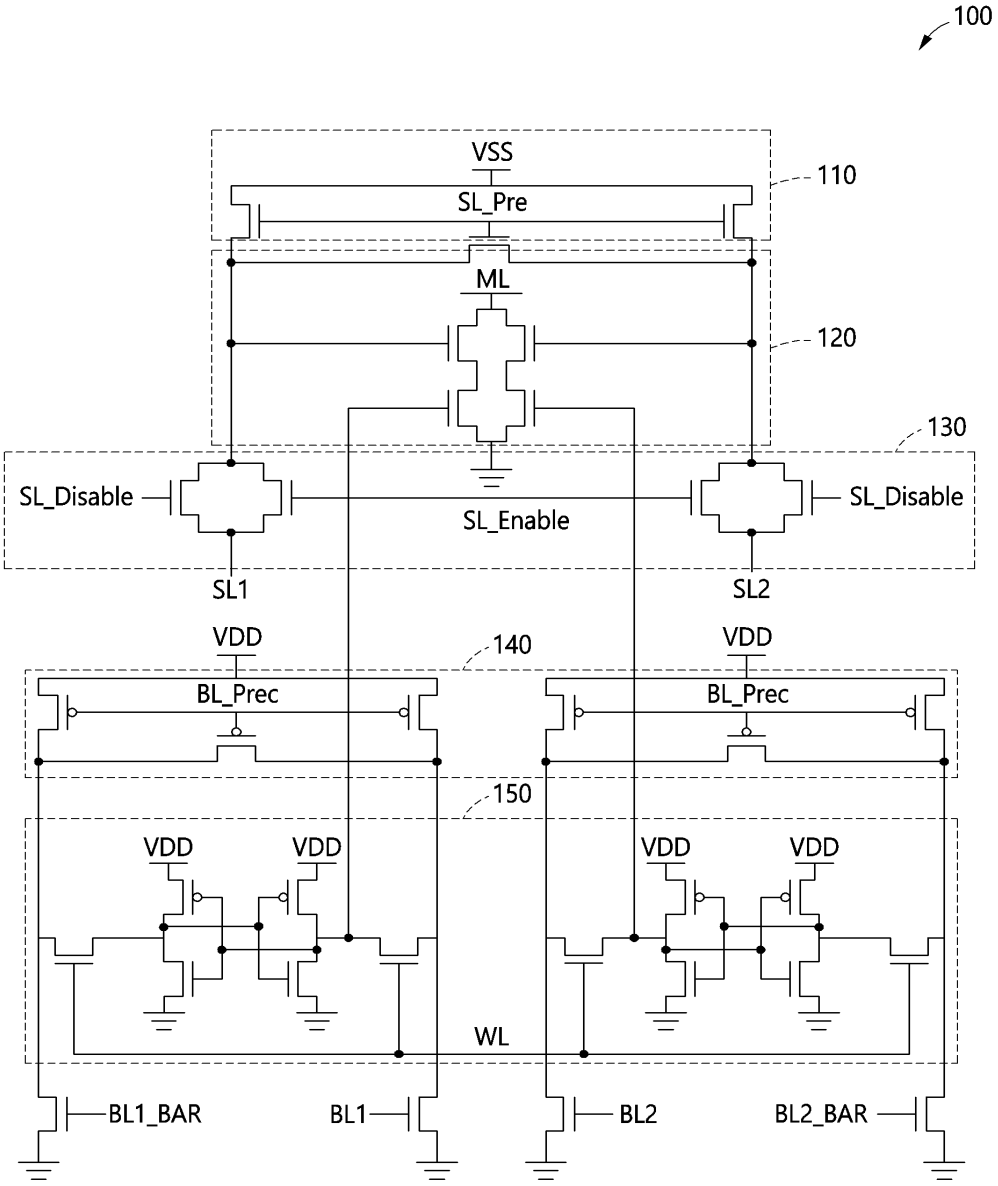
[0084] 실시예들의 산업적 효용가치는 비메모리 산업에서도 찾을 수 있다. 일반적으로 내용 주소화 기억장치는 독립된 메모리 칩으로 존재하기 보다는 비메모리 칩 내부에 특정 기능을 수행하는 IP 혹은 모듈의 형태로 존재한다. 따라서, 실시예들은 메모리 기술을 바탕으로 상대적 열세를 보이고 있는 비메모리 시장에 성공적으로 진입하게 하는 교두보를 제공할 것이다. 단순히 반도체 제품군의 경쟁력을 강화시키는 차원에 그치지 않고 개발된 반도체 제품을 사용하는 모든 전자 시스템의 성능 향상과 전력 소모를 개선하며 신뢰성과 동작특성을 비약적으로 향상시킬 것이다.

[0086] 이상과 같이 실시예들이 비록 한정된 도면에 의해 설명되었으나, 해당 기술분야에서 통상의 지식을 가진 자라면 이를 기초로 다양한 기술적 수정 및 변형을 적용할 수 있다. 예를 들어, 설명된 기술들이 설명된 방법과 다른 순서로 수행되거나, 및/또는 설명된 시스템, 구조, 장치, 회로 등의 구성요소들이 설명된 방법과 다른 형태로 결합 또는 조합되거나, 다른 구성요소 또는 균등물에 의하여 대치되거나 치환되더라도 적절한 결과가 달성될 수 있다.

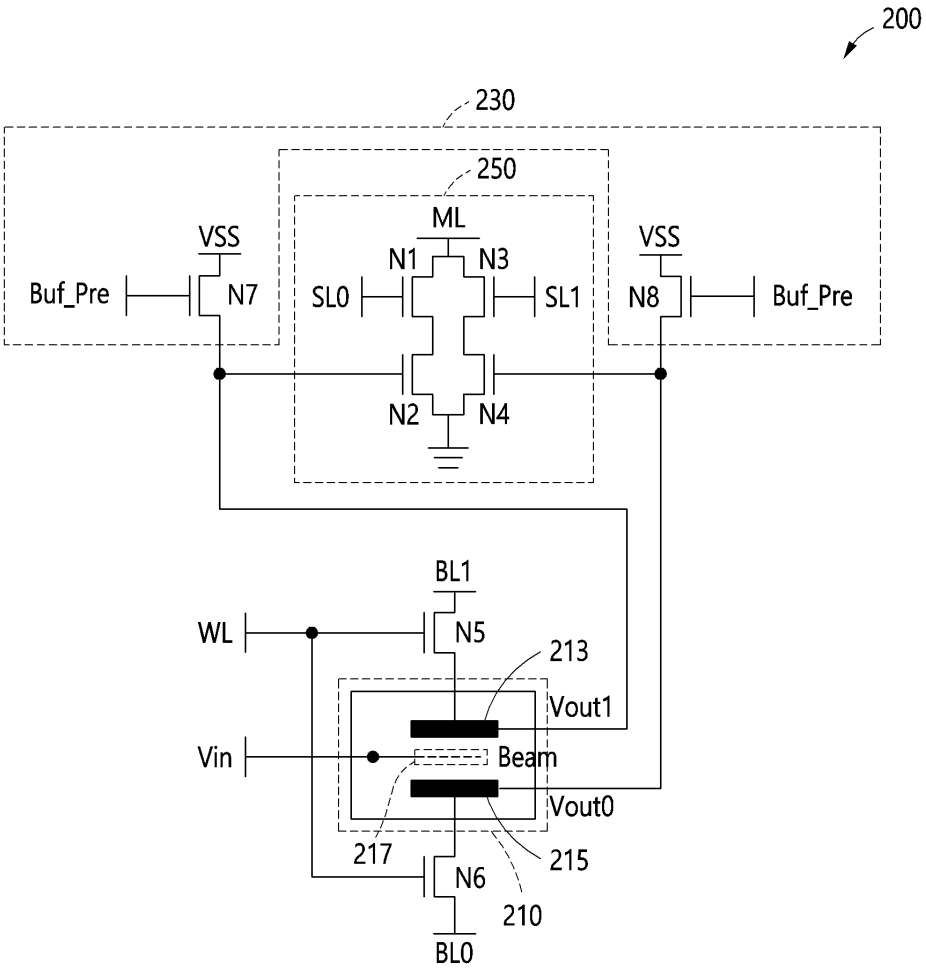
[0087] 그러므로, 다른 구현들, 다른 실시예들 및 특허청구범위와 균등한 것들도 후술하는 특허청구범위의 범위에 속한다.

도면

도면1


100
VSS
110
SL_Pre
ML
120
130
SL_Disable
SL_Enable
SL_Disable
SL1
SL2
VDD
140
VDD
BL_Prec
BL_Prec
150
VDD
VDD
VDD
VDD
WL
BL1_BAR
BL1
BL2
BL2_BAR

도면2



도면3

Write encoding

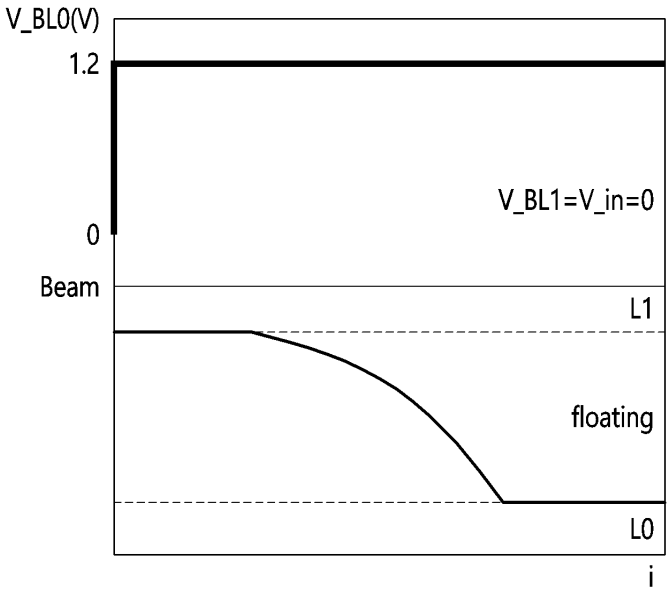
Data	BL1	BL2
0	0	1
1	1	0
X	0	0

Search encoding

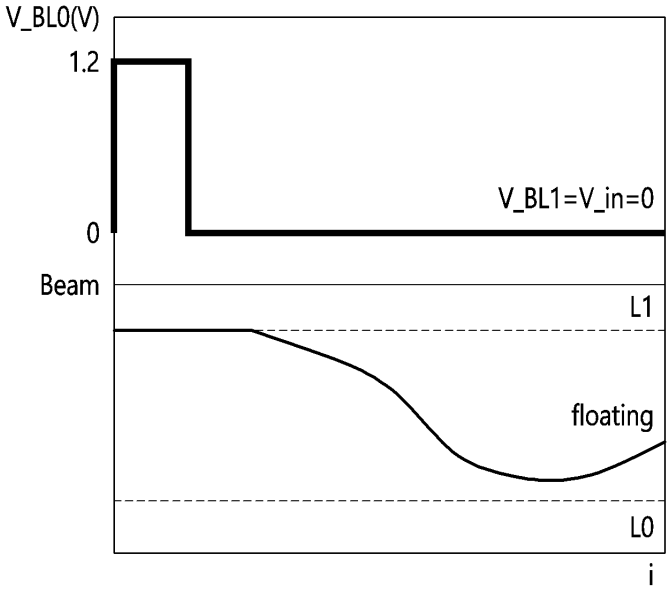
Data	SL1	SL2
0	0	1
1	1	0
X	0	0

0 : Low
1 : High

도면4



중앙빔의 이동: '1'에서 '0'으로 전환



중앙빔의 이동: '1'에서 'X'로 전환