

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2024年12月12日(12.12.2024)



(10) 国際公開番号

WO 2024/253074 A1

(51) 国際特許分類:

H01L 27/146 (2006.01)

(21) 国際出願番号:

PCT/JP2024/020300

(22) 国際出願日:

2024年6月4日(04.06.2024)

(25) 国際出願の言語:

日本語

(26) 国際公開の言語:

日本語

(30) 優先権データ:

特願 2023-095803 2023年6月9日(09.06.2023) JP

(71) 出願人: ソニーセミコンダクタソリューションズ株式会社(SONY SEMICONDUCTOR SOLUTIONS CORPORATION) [JP/JP]; 〒2430014 神奈川県厚木市旭町四丁目1番1号 Kanagawa (JP).

(72) 発明者: 城戸 英男(KIDO, Hideo); 〒2430014 神奈川県厚木市旭町四丁目1番1号 ソニーセミコンダクタソリューションズ株式会社内 Kanagawa (JP). 大和 昌樹(YAMATO, Masaki); 〒2430014 神奈川県厚木市旭町四丁

目14番1号 ソニーセミコンダクタソリューションズ株式会社内 Kanagawa (JP).

(74) 代理人: 弁理士法人つばさ国際特許事務所 (TSUBASA PATENT PROFESSIONAL CORPORATION); 〒1600022 東京都新宿区新宿1丁目15番9号 さわだビル3階 Tokyo (JP).

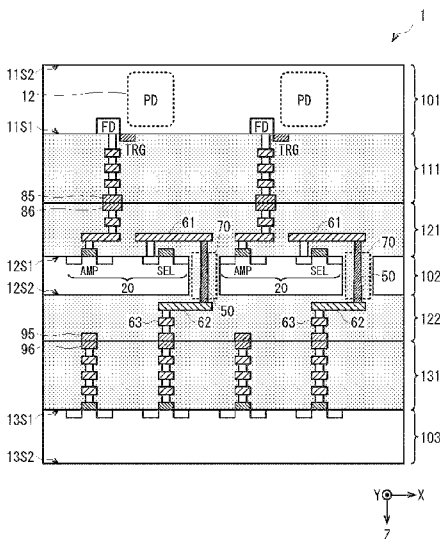
(81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CV, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IQ, IR, IS, IT, JM, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, MG, MK, MN, MU, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, WS, ZA, ZM, ZW.

(54) Title: LIGHT DETECTION DEVICE AND ELECTRONIC EQUIPMENT

(54) 発明の名称: 光検出装置および電子機器

(57) Abstract: A light detection device according to an embodiment of the present disclosure comprises: a first substrate that has a plurality of photoelectric conversion elements that photoelectrically convert light; a second substrate that is laminated with the first substrate, and has a plurality of read circuits capable of outputting a first signal based on the charge converted by the photoelectric conversion elements; a through electrode that is provided for each of the read circuits or each of a plurality of the read circuits in the second substrate, and can transmit the first signal; and a first insulating layer that is provided so as to penetrate the second substrate around the through electrodes.

(57) 要約: 本開示の一実施形態の光検出装置は、光を光電変換する複数の光電変換素子を有する第1基板と、前記第1基板と積層され、前記光電変換素子で変換された電荷に基づく第1信号を出力可能な複数の読み出し回路を有する第2基板と、前記第2基板において前記読み出し回路毎または複数の前記読み出し回路毎に設けられ、前記第1信号を伝送可能な貫通電極と、前記貫通電極の周囲において前記第2基板を貫通するように設けられる第1絶縁層とを備える。



(84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, CV, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SC, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, ME, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類:

— 国際調査報告 (条約第21条(3))

明 細 書

発明の名称：光検出装置および電子機器

技術分野

[0001] 本開示は、光検出装置および電子機器に関する。

背景技術

[0002] センサ画素を有する第1基板と、読み出し回路を有する第2基板と、ロジック回路を有する第3基板とが積層された構造を有する撮像装置が提案されている（特許文献1）。

先行技術文献

特許文献

[0003] 特許文献1：国際公開第2020／170936号

発明の概要

[0004] 光を検出する装置では、信号品質の低下を抑えることが求められている。

[0005] 信号品質の低下を抑制可能な光検出装置を提供することが望まれる。

[0006] 本開示の一実施形態の光検出装置は、光を光電変換する複数の光電変換素子を有する第1基板と、第1基板と積層され、光電変換素子で変換された電荷に基づく第1信号を出力可能な複数の読み出し回路を有する第2基板と、第2基板において読み出し回路毎または複数の読み出し回路毎に設けられ、第1信号を伝送可能な貫通電極と、貫通電極の周囲において第2基板を貫通するように設けられる第1絶縁層とを備える。

本開示の一実施形態の光検出装置は、光を光電変換する複数の光電変換素子を有する第1基板と、光電変換素子で変換された電荷に基づく第1信号を生成可能な増幅トランジスタをそれぞれ含む複数の読み出し回路を有し、第1基板と積層される第2基板と、第2基板において読み出し回路毎または複数の読み出し回路毎に設けられ、第1信号を伝送可能な貫通電極と、第2基板において増幅トランジスタを囲むように設けられる絶縁層とを備える。

本開示の一実施形態の光検出装置は、光を光電変換する複数の光電変換素

子を有する第1基板と、第1基板と積層され、光電変換素子で変換された電荷に基づく第1信号を生成可能な複数の増幅トランジスタを有する第2基板と、光電変換素子と増幅トランジスタとをそれぞれ含む第1画素及び第2画素と、第2基板において第1画素の増幅トランジスタを囲むように設けられる第1分離領域と、第1分離領域の少なくとも一部を有し、第2基板において第2画素の増幅トランジスタを囲むように設けられる第2分離領域とを備える。

本開示の一実施形態の電子機器は、光学系と、光学系を透過した光を受光する光検出装置とを備える。光検出装置は、光を光電変換する複数の光電変換素子を有する第1基板と、第1基板と積層され、光電変換素子で変換された電荷に基づく第1信号を出力可能な複数の読み出し回路を有する第2基板と、第2基板において読み出し回路毎または複数の読み出し回路毎に設けられ、第1信号を伝送可能な貫通電極と、貫通電極の周囲において第2基板を貫通するように設けられる第1絶縁層とを有する。

本開示の一実施形態の電子機器は、光学系と、光学系を透過した光を受光する光検出装置とを備える。光検出装置は、光を光電変換する複数の光電変換素子を有する第1基板と、光電変換素子で変換された電荷に基づく第1信号を生成可能な増幅トランジスタをそれぞれ含む複数の読み出し回路を有し、第1基板と積層される第2基板と、第2基板において読み出し回路毎または複数の読み出し回路毎に設けられ、第1信号を伝送可能な貫通電極と、第2基板において増幅トランジスタを囲むように設けられる絶縁層とを有する。

図面の簡単な説明

[0007] [図1]図1は、本開示の第1の実施の形態に係る光検出装置の一例である撮像装置の概略構成の一例を示すブロック図である。

[図2]図2は、本開示の第1の実施の形態に係る撮像装置の画素部の一例を示す図である。

[図3]図3は、本開示の第1の実施の形態に係る撮像装置の画素の回路構成の

一例を説明するための図である。

[図4]図4は、本開示の第1の実施の形態に係る撮像装置の画素の回路構成の別の例を説明するための図である。

[図5]図5は、本開示の第1の実施の形態に係る撮像装置の画素の回路構成の別の例を説明するための図である。

[図6]図6は、本開示の第1の実施の形態に係る撮像装置の画素の回路構成の別の例を説明するための図である。

[図7]図7は、本開示の第1の実施の形態に係る撮像装置の断面構成の一例を示す図である。

[図8]図8は、本開示の第1の実施の形態に係る撮像装置の平面構成の一例を説明するための図である。

[図9]図9は、本開示の第1の実施の形態に係る撮像装置の構成例を説明するための図である。

[図10]図10は、本開示の第2の実施の形態に係る撮像装置の画素の構成例を説明するための図である。

[図11]図11は、本開示の第2の実施の形態に係る撮像装置の構成例を説明するための図である。

[図12]図12は、本開示の第2の実施の形態に係る撮像装置の構成例を説明するための図である。

[図13]図13は、本開示の第2の実施の形態に係る撮像装置の構成例を説明するための図である。

[図14]図14は、本開示の第3の実施の形態に係る撮像装置の画素の構成例を説明するための図である。

[図15]図15は、本開示の第3の実施の形態に係る撮像装置の構成例を説明するための図である。

[図16]図16は、本開示の第3の実施の形態に係る撮像装置の構成例を説明するための図である。

[図17]図17は、本開示の第3の実施の形態に係る撮像装置の構成例を説明

するための図である。

[図18]図 1 8 は、本開示の第 3 の実施の形態に係る撮像装置の構成例を説明するための図である。

[図19]図 1 9 は、本開示の第 3 の実施の形態に係る撮像装置の平面構成の一例を説明するための図である。

[図20]図 2 0 は、本開示の第 3 の実施の形態に係る撮像装置の断面構成の一例を説明するための図である。

[図21]図 2 1 は、本開示の変形例 1 に係る撮像装置の断面構成の一例を説明するための図である。

[図22]図 2 2 は、本開示の変形例 1 に係る撮像装置の平面構成の一例を説明するための図である。

[図23]図 2 3 は、本開示の変形例 1 に係る撮像装置の断面構成の別の例を説明するための図である。

[図24]図 2 4 は、本開示の変形例 2 に係る撮像装置の断面構成の一例を説明するための図である。

[図25]図 2 5 は、本開示の変形例 2 に係る撮像装置の平面構成の一例を説明するための図である。

[図26]図 2 6 は、本開示の変形例 3 に係る撮像装置の構成例を説明するための図である。

[図27]図 2 7 は、本開示の変形例 4 に係る撮像装置の構成例を説明するための図である。

[図28]図 2 8 は、本開示の変形例 4 に係る撮像装置の別の構成例を説明するための図である。

[図29]図 2 9 は、本開示の変形例 4 に係る撮像装置の別の構成例を説明するための図である。

[図30]図 3 0 は、本開示の変形例 4 に係る撮像装置の別の構成例を説明するための図である。

[図31]図 3 1 は、本開示の変形例 5 に係る撮像装置の構成例を説明するため

の図である。

[図32]図32は、本開示の変形例6に係る撮像装置の構成例を説明するための図である。

[図33]図33は、本開示の変形例7に係る撮像装置の構成例を説明するための図である。

[図34]図34は、本開示の変形例8に係る撮像装置の構成例を説明するための図である。

[図35]図35は、本開示の変形例9に係る撮像装置の構成例を説明するための図である。

[図36]図36は、本開示の変形例9に係る撮像装置の構成例を説明するための図である。

[図37]図37は、本開示の変形例9に係る撮像装置の構成例を説明するための図である。

[図38]図38は、本開示の変形例9に係る撮像装置の別の構成例を説明するための図である。

[図39]図39は、本開示の変形例10に係る撮像装置の構成例を説明するための図である。

[図40]図40は、本開示の変形例10に係る撮像装置の構成例を説明するための図である。

[図41]図41は、本開示の変形例11に係る撮像装置の構成例を説明するための図である。

[図42]図42は、本開示の変形例11に係る撮像装置の別の構成例を説明するための図である。

[図43]図43は、撮像装置を有する電子機器の構成例を表すブロック図である。

[図44]図44は、車両制御システムの概略的な構成の一例を示すブロック図である。

[図45]図45は、車外情報検出部及び撮像部の設置位置の一例を示す説明図

である。

[図46]図46は、内視鏡手術システムの概略的な構成の一例を示す図である。

[図47]図47は、カメラヘッド及びCCUの機能構成の一例を示すブロック図である。

発明を実施するための形態

[0008] 以下、本開示の実施の形態について、図面を参照して詳細に説明する。なお、説明は以下の順序で行う。

1. 第1の実施の形態
2. 第2の実施の形態
3. 第3の実施の形態
4. 変形例
5. 適用例
6. 応用例

[0009] <1. 第1の実施の形態>

図1は、本開示の第1の実施の形態に係る光検出装置の一例である撮像装置の概略構成の一例を示すブロック図である。図2は、第1の実施の形態に係る撮像装置の画素部の一例を示す図である。光検出装置は、入射する光を検出可能な装置である。光検出装置である撮像装置1は、光電変換部（光電変換素子）を有する複数の画素Pを有し、入射した光を光電変換して信号を生成するように構成される。撮像装置1（光検出装置）は、光学レンズを含む光学系（不図示）を透過した光を受光して信号を生成し得る。

[0010] 撮像装置1は、例えば、複数の画素Pが設けられた半導体基板（例えばシリコン基板）を用いて構成される。撮像装置1の各画素Pの光電変換部は、例えばフォトダイオード（PD）であり、光を光電変換可能に構成される。撮像装置1は、図2に示すように、複数の画素Pが行列状に2次元配置された領域（画素部100）を、撮像エリアとして有する。画素部100は、複数の画素Pが配置される画素アレイであり、受光領域ともいえる。

- [0011] 撮像装置 1 は、光学レンズを含む光学系を介して、被写体からの入射光（像光）を取り込む。撮像装置 1 は、光学レンズにより形成される被写体の像を撮像する。撮像装置 1 は、受光した光を光電変換して画素信号を生成し得る。撮像装置 1 は、例えば、CMOS（Complementary Metal Oxide Semiconductor）イメージセンサである。撮像装置 1 は、例えば、デジタルスチルカメラ、ビデオカメラ、携帯電話等の電子機器に利用可能である。
- [0012] なお、図 2 に示すように、被写体からの光の入射方向を Z 軸方向、Z 軸方向に直交する紙面左右方向を X 軸方向、Z 軸方向及び X 軸方向に直交する紙面上下方向を Y 軸方向とする。以降の図において、図 2 の矢印の方向を基準として方向を表記する場合もある。
- [0013] 撮像装置 1 は、後述するが、複数の基板を積層して構成された構造（積層構造）を有する。撮像装置 1 は、例えば、図 1 に示す例のように、画素駆動部 110、信号処理部 112、制御部 113、処理部 114 等を有する。また、撮像装置 1 には、複数の制御線 *L read* と、複数の信号線 *VSL* が設けられる。
- [0014] 制御線 *L read* は、画素 P を制御する信号を伝えることが可能な信号線であり、画素駆動部 110 と画素部 100 の画素 P とに接続される。図 1 に示す例では、画素部 100 では、水平方向（行方向）に並ぶ複数の画素 P により構成される画素行ごとに、複数の制御線 *L read* が配線される。制御線 *L read* は、画素 P からの信号読み出しのための制御信号を伝送するように構成される。
- [0015] 撮像装置 1 の画素行ごとの複数の制御線 *L read* には、一例として、転送トランジスタを制御する信号を伝送する配線、選択トランジスタを制御する信号を伝送する配線、リセットトランジスタを制御する信号を伝送する配線等が含まれる。制御線 *L read* は、画素 P を駆動する信号を伝送する駆動線（画素駆動線）ともいえる。
- [0016] 信号線 *VSL* は、画素 P からの信号を伝えることが可能な信号線であり、画素部 100 の画素 P と信号処理部 112 とに接続される。画素部 100 に

は、例えば、垂直方向（列方向）に並ぶ複数の画素Pにより構成される画素列ごとに、1つ又は複数の信号線VSLが配線される。

[0017] 信号線VSLは、画素Pから出力される信号を伝送可能に構成される。撮像装置1では、1つの画素列に対して、複数の信号線VSLが設けられ得る。撮像装置1は、例えば、画素列ごとに複数の信号線VSLを有する。信号線VSLは、後述するが、貫通電極、ビア等を用いて構成され得る。

[0018] 画素駆動部110は、画素部100の各画素Pを駆動可能に構成される。画素駆動部110は、駆動回路であり、例えば、バッファ、シフトレジスタ、アドレスデコーダ等を含む複数の回路によって構成される。画素駆動部110は、画素Pを駆動するための信号を生成し、制御線Lreadを介して画素部100の各画素Pへ出力する。画素駆動部110は、制御部113により制御され、画素部100の画素Pの制御を行う。

[0019] 画素駆動部110は、例えば、画素Pの転送トランジスタを制御する信号、選択トランジスタを制御する信号、及びリセットトランジスタを制御する信号等の画素Pを制御するための信号を生成し、制御線Lreadによって各画素Pに供給する。画素駆動部110は、各画素Pから画素信号を読み出す制御を行い得る。画素駆動部110は、各画素Pを制御可能に構成された画素制御部ともいえる。なお、画素駆動部110と制御部113とを併せて、画素制御部ということもできる。

[0020] 信号処理部112は、入力される画素の信号の信号処理を実行可能に構成される。信号処理部112は、信号処理回路であり、例えば、負荷回路部、AD変換部40、水平選択スイッチ等を有する。負荷回路部は、一例として、画素Pの増幅トランジスタに電流を供給可能な電流源により構成される。負荷回路部は、例えば、画素Pの増幅トランジスタと共にソースフォロア回路を構成する。なお、信号処理部112は、信号線VSLを介して画素Pから読み出される信号を増幅するように構成された増幅回路部を有していてもよい。

[0021] 信号処理部112は、複数のAD変換部40（AD変換回路）を含み、A

D変換部40によってデジタル信号に変換された画素信号を出力し得る。A D変換部40は、A D C (Analog to Digital Converter) である。A D変換部40は、例えば、複数の信号線V S Lの各々に対して設けられる。画素部100の画素列ごとに、A D変換部40が設けられ得る。

[0022] A D変換部40は、入力されるアナログ信号をデジタル信号に変換するように構成される。A D変換部40は、各画素Pから信号線V S Lを介して入力されるアナログ信号である画素の信号に対して、A D変換処理を行う。A D変換部40 (A D変換回路) は、一例として、比較回路 (コンパレータ回路) とカウンタとを含み、入力される画素の信号を、所定のビット数のデジタル信号に変換し得る。

[0023] 画素駆動部110によって選択走査された各画素Pから出力される信号は、信号線V S Lを介して信号処理部112に入力される。信号処理部112は、例えば、画素Pの信号のA D変換、C D S (Correlated Double Sampling : 相関二重サンプリング) 等の信号処理を行い得る。各信号線V S Lを通して伝送される各画素Pの信号は、信号処理部112により信号処理が施され、処理部114に出力される。

[0024] 処理部114は、入力される信号に対して信号処理を実行可能に構成される。処理部114は、処理回路であり、例えば、画素信号に対して各種の信号処理を施す回路により構成される。処理部114は、プロセッサ及びメモリを含んでいてもよい。処理部114は、信号処理部112から入力される画素の信号に対して信号処理を行い、処理後の画素の信号を出力する。処理部114は、例えば、ノイズ低減処理、階調補正処理等の各種の信号処理を行い得る。

[0025] 制御部113は、撮像装置1の各部を制御可能に構成される。制御部113は、外部から与えられるクロック、動作モードを指令するデータ等を受け取り、また、撮像装置1の内部情報等のデータを出力し得る。制御部113は、制御回路であり、例えば、各種のタイミング信号を生成可能に構成されたタイミングジェネレータを有する。

[0026] 制御部 113 は、タイミングジェネレータで生成された各種のタイミング信号（パルス信号、クロック信号等）に基づき、画素駆動部 110 及び信号処理部 112 等の駆動制御を行う。なお、画素駆動部 110、信号処理部 112、制御部 113、処理部 114 等は、1つの半導体基板に設けられていてもよいし、複数の半導体基板に分けて設けられていてもよい。信号処理部 112、制御部 113、及び処理部 114 の一部又は全部は、一体的に構成されていてもよい。

[0027] 図 3 は、第 1 の実施の形態に係る撮像装置の画素の回路構成の一例を説明するための図である。撮像装置 1 の画素 P は、光電変換部 12（光電変換素子）と、転送トランジスタ TRG と、フローティングディフュージョン FD と、読み出し回路 20 とを有する。光電変換部 12 は、光を受光して信号を生成するように構成される。光電変換部 12 は、受光部（受光素子）であり、光電変換により電荷を生成可能に構成される。

[0028] 読み出し回路 20 は、光電変換された電荷に基づく信号を出力可能に構成される。撮像装置 1 では、読み出し回路 20 は、例えば、複数の画素 P に対して設けられる。撮像装置 1 は、複数の画素 P が 1 つの読み出し回路 20 を共有する構成を有する。

[0029] 図 3 に示す例では、2つの画素 P（画素 P a、画素 P b と称する）毎に、読み出し回路 20 が配置される。画素 P a と画素 P b とが、1つの読み出し回路 20 を共有する。例えば、隣り合う画素 P a 及び画素 P b により構成される 2×1 画素が、1つの読み出し回路 20 を共有する。1つの読み出し回路 20 を共有する複数の画素 P は、画素ユニット（又は画素ブロック）ともいえる。

[0030] 撮像装置 1 は、読み出し回路 20 を時分割で動作させることにより、 2×1 画素の各々の画素信号を読み出し得る。また、撮像装置 1 は、 2×1 画素の各々の信号が加算された画素信号を読み出すことも可能である。例えば、撮像装置 1 は、画素 P a の光電変換部 12 で変換された電荷と、画素 P b の光電変換部 12 で変換された電荷とを加算した電荷に応じた画素信号を読み

出し得る。

- [0031] 図3に示す例では、光電変換部12は、フォトダイオード(PD)であり、入射する光を電荷に変換する。光電変換部12(図3では、画素PaのフォトダイオードPD、画素PbのフォトダイオードPD)は、光電変換を行って受光量に応じた電荷を生成する。
- [0032] 転送トランジスタTRG(図3では、画素Paの転送トランジスタTRG1、画素Pbの転送トランジスタTRG2)は、光電変換部12で光電変換された電荷をフローティングディフュージョンFDに転送可能に構成される。転送トランジスタTRGは、信号STRGにより制御され、光電変換部12とフローティングディフュージョンFDとを電氣的に接続または切断する。転送トランジスタTRGは、光電変換部12で光電変換されて蓄積された電荷をフローティングディフュージョンFDに転送し得る。
- [0033] 図3に示す例では、画素Paと画素Pbの各々の転送トランジスタTRGは、互いに異なる信号によって制御される。画素Paの転送トランジスタTRG1は、信号STRG1によってオンオフ制御される。また、画素Pbの転送トランジスタTRG2は、信号STRG2によってオンオフ制御される。
- [0034] フローティングディフュージョンFDは、蓄積部であり、転送された電荷を蓄積可能に構成される。フローティングディフュージョンFDは、光電変換部12で光電変換された電荷を蓄積し得る。フローティングディフュージョンFDは、転送された電荷を保持可能な保持部ともいえる。フローティングディフュージョンFDは、転送された電荷を蓄積し、フローティングディフュージョンFDの容量に応じた電圧に変換する。
- [0035] 読み出し回路20は、一例として、図3に示すように、増幅トランジスタAMPと、選択トランジスタSELと、リセットトランジスタRSTとを有する。増幅トランジスタAMPは、フローティングディフュージョンFDに蓄積された電荷に基づく信号を生成して出力するように構成される。増幅トランジスタAMPは、光電変換部12で変換された電荷に基づく信号を生成

して出力し得る。

[0036] 図3に示すように、増幅トランジスタAMPのゲートは、フローティングディフュージョンFDと電氣的に接続され、フローティングディフュージョンFDで変換された電圧が入力される。増幅トランジスタAMPのドレインは、電源電圧VDDが供給される電源線に接続される。

[0037] 増幅トランジスタAMPのソースは、選択トランジスタSELを介して信号線VSLに接続される。増幅トランジスタAMPは、フローティングディフュージョンFDに蓄積された電荷に基づく信号、即ちフローティングディフュージョンFDの電圧に基づく信号を生成し、信号線VSLへ出力し得る。

[0038] 選択トランジスタSELは、画素の信号の出力を制御可能に構成される。選択トランジスタSELは、信号SSELにより制御され、増幅トランジスタAMPからの信号を信号線VSLに出力可能に構成される。選択トランジスタSELは、画素の信号の出力タイミングを制御し得る。選択トランジスタSELは、光電変換部12で変換された電荷に基づく信号を出力可能に構成される。

[0039] なお、選択トランジスタSELは、図4に示す例のように、電源電圧VDDが与えられる電源線と増幅トランジスタAMPとの間に設けられてもよい。図4に示す例では、増幅トランジスタAMPのドレインは、選択トランジスタSELを介して、電源電圧VDDが供給される電源線に接続される。増幅トランジスタAMPのソースは、信号線VSLに接続される。なお、必要に応じて、選択トランジスタSELを省略してもよい。

[0040] リセットトランジスタRSTは、フローティングディフュージョンFDの電圧をリセット可能に構成される。図3又は図4に示す例では、リセットトランジスタRSTは、電源電圧VDDが与えられる電源線と電氣的に接続され、画素Pの電荷のリセットを行うように構成される。

[0041] リセットトランジスタRSTは、信号SRSTにより制御され、フローティングディフュージョンFDに蓄積された電荷をリセットし、フローティン

グディフュージョンFDの電圧をリセットし得る。なお、リセットトランジスタRSTは、転送トランジスタTRGを介して、光電変換部12に蓄積された電荷を排出し得る。

[0042] 上述した転送トランジスタTRGと、増幅トランジスタAMPと、選択トランジスタSELと、リセットトランジスタRSTは、それぞれ、ゲート、ソース、ドレインの端子を有するMOSトランジスタ(MOSFET)である。図3等に出す例では、転送トランジスタTRG、増幅トランジスタAMP、選択トランジスタSEL、及びリセットトランジスタRSTは、それぞれNMOSトランジスタにより構成される。なお、画素Pのトランジスタは、PMOSトランジスタにより構成されてもよい。

[0043] 撮像装置1は、3つ以上の画素Pが、1つの読み出し回路20を共有する構成を有していてもよい。例えば、図5に出す例のように、4つの画素P(画素Pa～画素Pdと称する)毎に、読み出し回路20が配置されてもよい。なお、選択トランジスタSELは、図6に出す例のように、電源線と増幅トランジスタAMPとの間に電氣的に接続されていてもよい。また、必要に応じて、選択トランジスタSELを省略してもよい。

[0044] 図5又は図6に出す例では、画素Paと画素Pbと画素Pcと画素Pdとが、1つの読み出し回路20を共有する。例えば、隣り合う画素Pa～画素Pdにより構成される2×2画素を含む画素ユニットが、1つの読み出し回路20を共有する。なお、撮像装置1は、5つ以上の画素P、例えば8つの画素Pが1つの読み出し回路20を共有する構成を有していてもよい。

[0045] 画素駆動部110(図1参照)は、上述した制御線Lreadを介して、各画素Pの転送トランジスタTRG、選択トランジスタSEL、リセットトランジスタRST等のゲートに制御信号を供給し、トランジスタをオン状態(導通状態)又はオフ状態(非導通状態)とする。

[0046] 撮像装置1の複数の制御線Lreadには、転送トランジスタTRGを制御する信号STRGを伝送する配線、選択トランジスタSELを制御する信号SSELを伝送する配線、リセットトランジスタRSTを制御する信号S

R S T を伝送する配線等が含まれる。

[0047] 転送トランジスタ T R G、選択トランジスタ S E L、リセットトランジスタ R S T 等は、画素駆動部 1 1 0 によってオンオフ制御される。画素駆動部 1 1 0 は、各画素 P の読み出し回路 2 0 を制御することによって、各画素 P から画素信号を信号線 V S L に出力させる。画素駆動部 1 1 0 は、各画素 P の画素信号を信号線 V S L へ読み出す制御を行い得る。

[0048] 図 7 は、第 1 の実施の形態に係る撮像装置の断面構成の一例を示す図である。撮像装置 1 は、例えば、図 7 に示す例のように、第 1 基板 1 0 1 と、第 2 基板 1 0 2 と、第 3 基板 1 0 3 とを有する。撮像装置 1 は、第 1 基板 1 0 1 と、第 2 基板 1 0 2 と、第 3 基板 1 0 3 とが Z 軸方向に積層された構成を有する。

[0049] 光が入射する側から、第 1 基板 1 0 1 と、第 2 基板 1 0 2 と、第 3 基板 1 0 3 とが設けられている。第 1 基板 1 0 1、第 2 基板 1 0 2、及び第 3 基板 1 0 3 は、半導体基板（例えばシリコン基板、S O I (Silicon On Insulator) 基板等）によって構成される。

[0050] 第 1 基板 1 0 1 は、図 7 に示すように、対向する面 1 1 S 1 及び面 1 1 S 2 を有する。面 1 1 S 2 は、面 1 1 S 1 とは反対側の面である。第 1 基板 1 0 1 の面 1 1 S 2 は、受光面（光入射面）である。第 1 基板 1 0 1 では、第 1 基板 1 0 1 の面 1 1 S 1 及び面 1 1 S 2 に沿って、複数の光電変換部 1 2（光電変換素子）が設けられる。第 1 基板 1 0 1 には、例えば、複数の光電変換部 1 2 が埋め込み形成される。

[0051] 第 2 基板 1 0 2 は、対向する面 1 2 S 1 及び面 1 2 S 2 を有する。面 1 2 S 2 は、面 1 2 S 1 とは反対側の面である。また、第 3 基板 1 0 3 は、対向する面 1 3 S 1 及び面 1 3 S 2 を有する。面 1 3 S 2 は、面 1 3 S 1 とは反対側の面である。面 1 1 S 1、1 2 S 1、1 3 S 1 は、それぞれ、トランジスタ等の素子が形成される素子形成面である。面 1 1 S 1、1 2 S 1、1 3 S 1 の各々には、ゲート電極、ゲート絶縁膜（例えばゲート酸化膜）等が設けられ得る。

- [0052] 図7では、上述した画素Pの転送トランジスタTRG、増幅トランジスタAMP、選択トランジスタSEL等を図示している。第1基板101の面11S1側には、転送トランジスタTRG、フローティングディフュージョンFDが形成される。第2基板102の面12S1側には、画素Pの読み出し回路20の各トランジスタ（増幅トランジスタAMP、選択トランジスタSEL、リセットトランジスタRST等）が設けられる。
- [0053] 第1基板101の面11S1側には、図7に示すように、配線層111が設けられる。また、第2基板102の面12S1側には配線層121が設けられ、第2基板102の面12S2側には配線層122が設けられる。第3基板103の面13S1側には、配線層131が設けられる。配線層111、121、122、131は、それぞれ、例えば、導体膜および絶縁膜を含み、複数の配線およびビア（VIA）等を有する。
- [0054] 配線層111、121、122、131は、それぞれ、複数の配線が絶縁膜（層間絶縁膜）を間に積層された構成を有する。配線層111、121、122、131の各々の絶縁膜は、層間絶縁膜（層間絶縁層）ともいえる。配線層111、121、122、131は、それぞれ、一例として、2層以上の配線を含む。配線層122、131は、それぞれ、3層以上の配線を含んでいてもよい。
- [0055] 配線層111、121、122、131の各々の配線は、例えば、アルミニウム（Al）、銅（Cu）、タングステン（W）等の金属材料を用いて形成される。配線層111、121、122、131の各々の配線は、ポリシリコン（Poly-Si）、その他の導電材料を用いて構成されてもよい。層間絶縁膜は、例えば、酸化シリコン（SiO₂）、窒化シリコン（SiN）、酸窒化シリコン（SiON）等を用いて形成される。
- [0056] なお、第1基板101と配線層111とを併せて、第1基板101（または第1の回路層）ということもできる。また、第2基板102と配線層121、122とを併せて、第2基板102（または第2の回路層）ということもできる。さらに、第3基板103と配線層131とを併せて、第3基板1

０３（または第３の回路層）ということもできる。

[0057] 配線層１１１には複数の電極８５が設けられ、配線層１２１には複数の電極８６が設けられる。また、配線層１２２には複数の電極９５が設けられ、配線層１３１には複数の電極９６が設けられる。電極８５、電極８６、電極９５、及び電極９６は、例えば、それぞれ、銅（Ｃｕ）を用いて形成される電極である。

[0058] 電極８５、８６、９５、９６は、金属電極間の接合に用いる電極であり、接合用電極ともいえる。一例として、Ｃｕからなる金属電極（電極８５、電極８６）間の接合、即ちＣｕ－Ｃｕ接合によって、第１基板１０１と第２基板１０２とが貼り合わされる。

[0059] 第１基板１０１と第２基板１０２とは、電極間の接合により、トランジスタ等の素子がそれぞれ形成される面１１Ｓ１と面１２Ｓ１が互いに対向するように積層される。即ち、第１基板１０１と第２基板１０２は、第１基板１０１の表面と第２基板１０２の表面とが互いに対向するように接合される。電極８５及び電極８６によって、第１基板１０１側に設けられた回路と第２基板１０２側に設けられた回路とが電氣的に接続される。

[0060] また、Ｃｕからなる電極９５及び電極９６間の接合、即ちＣｕ－Ｃｕ接合によって、第２基板１０２と第３基板１０３とが貼り合わされる。第２基板１０２と第３基板１０３とは、電極間の接合により、面１２Ｓ２と面１３Ｓ１が互いに対向するように積層される。即ち、第２基板１０２及び第３基板１０３は、第２基板１０２の裏面と第３基板１０３の表面とが互いに対向するように接合される。

[0061] 電極９５及び電極９６によって、第２基板１０２の回路と第３基板１０３の回路とが電氣的に接続される。第３基板１０３及び配線層１３１には、例えば、上述した画素駆動部１１０、信号処理部１１２、制御部１１３、及び処理部１１４等が設けられ得る。

[0062] なお、電極８５、８６、９５、９６は、それぞれ、銅以外の金属材料、例えばニッケル（Ｎｉ）、コバルト（Ｃｏ）、金（Ａｕ）等により構成されて

もよく、その他の材料により構成されてもよい。また、バンプを用いて第1基板101、第2基板102、及び第3基板103を積層するようにしてもよい。

[0063] 撮像装置1では、各画素Pの光電変換部12及び転送トランジスタTRG及びフローティングディフュージョンFDは、第1基板101に設けられる。また、読み出し回路20の各トランジスタ（増幅トランジスタAMP、選択トランジスタSEL、リセットトランジスタRST等）は、第2基板102に設けられる。

[0064] 第1基板101の画素PのフローティングディフュージョンFDは、図7に示す例のように、配線層111の配線と配線層121の配線を介して、第2基板102の読み出し回路20の増幅トランジスタAMP、リセットトランジスタRST等と電氣的に接続される。第1基板101の光電変換部12で光電変換された電荷は、転送トランジスタTRGを介して、第1基板101のフローティングディフュージョンFDと第2基板102の読み出し回路20とに転送され得る。

[0065] 読み出し回路20は、光電変換部12で変換された電荷に基づく画素信号を生成し、後述する貫通電極を含んで構成される信号線VSLを介して、第3基板103の信号処理部112へ画素信号を出力し得る。上述のように、撮像装置1では、光電変換部12と読み出し回路20とが別々の基板に配置される。このため、撮像装置1は、画素の微細化に有利な構造を有することができる。

[0066] 撮像装置1の第2基板102及び配線層121、122は、図7に示すように、複数の貫通電極50を有する。例えば、画素P毎または複数の画素P毎に、複数の貫通電極50が設けられる。貫通電極50は、接続電極（接続部）であり、異なる層に設けられた回路間を接続する。貫通電極50は、第2基板102を貫通するように設けられる。

[0067] 貫通電極50は、一例として、隣り合う複数の読み出し回路20の間において、第2基板102の面12S2まで達するように形成され、第2基板1

02を貫通している。貫通電極50は、第2基板102を貫通する電極である。貫通電極50は、Z軸方向に延び、配線層122内に達するように形成される。

[0068] 貫通電極50は、例えば、タングステン(W)、アルミニウム(Al)、銅(Cu)等によって構成される。貫通電極50は、コバルト(Co)、モリブデン(Mo)、ルテニウム(Ru)、銀(Ag)等を用いて形成されてもよい。貫通電極50は、その他の金属材料により構成されてもよい。

[0069] 撮像装置1では、貫通電極50によって、画素Pの読み出し回路20が、第2基板102の面12S2側に設けられた配線、および第3基板103に設けられた回路と電氣的に接続される。図7に示す例では、画素Pの読み出し回路20は、貫通電極50と接合用の電極95、電極96等を介して、第3基板103の回路と電氣的に接続される。

[0070] 撮像装置1の信号線VSLは、貫通電極50を含んで構成され、画素の信号を伝送可能に構成される。画素信号を伝送する貫通電極50は、読み出し回路20毎または複数の読み出し回路20毎に設けられ得る。信号線VSLの一部を構成する貫通電極50は、例えば、読み出し回路20の選択トランジスタSELに対して配置される。

[0071] 信号線VSLは、図7に示すように、配線層121に設けられる配線61と、配線層122に設けられる配線62、63とを含んで構成される。図7に示す例では、信号線VSLの一部である貫通電極50は、配線61を介して選択トランジスタSELと電氣的に接続され、配線62を介して配線63と電氣的に接続されている。配線63は、一例として、配線層122において、画素列の画素の配列方向に沿うように配線される。

[0072] 図8は、第1の実施の形態に係る撮像装置の平面構成の一例を説明するための図である。図8の(A)は、撮像装置1の第2基板102と配線層121における平面構成の一例を示している。図8の(B)は、撮像装置1の配線層122における平面構成の一例を示している。

[0073] 読み出し回路20は、一例として、図8に示す例のように、読み出し回路

20を共有する2つの画素Pの領域に対して設けられる。なお、読み出し回路20は、読み出し回路20を共有する2×2画素の領域に対して配置されてもよい。複数の読み出し回路20の選択トランジスタSELは、図8(A)、(B)に示すように、配線61及び貫通電極50等を介して、配線層122に形成された配線63と電氣的に接続される。

[0074] 配線63は、例えば、列方向（例えばY軸方向）に延びるように設けられる。撮像装置1では、画素列に対して、複数の信号線VSL（図8(B)では信号線VSL0～信号線VSL6）に対応する複数の配線63が配置され得る。複数の信号線VSLが設けられることで、例えば、画素列の複数の読み出し回路20から、画素の信号を同時に（並列に）伝送することが可能となる。

[0075] 画素Pの読み出し回路20は、上述のように貫通電極50を用いた信号線となる信号線VSLを介して、第3基板103に設けられたAD変換部40を含む信号処理部112と電氣的に接続される。画素Pの増幅トランジスタAMPから出力される画素信号は、配線61、貫通電極50、配線62、63、及び電極95、96等を介して、信号処理部112のAD変換部40に入力される。

[0076] このように、本実施の形態に係る撮像装置1では、信号線VSLは、貫通電極50によって第2基板102の面12S2側まで達し、面12S2側の配線層122において所定方向（例えば列方向）に延びるように配線される。このため、面12S1側の配線層121における配線の層数が増大することを防ぐことができる。

[0077] 配線層121における配線の層数を低減することによって配線層121を低背化することができ、第1基板101のフローティングディフュージョンFDと第2基板102の増幅トランジスタAMPとの距離（間隔）を短くすることが可能となる。これにより、配線層121においてフローティングディフュージョンFDに付加される配線容量を低減することができる。このため、フローティングディフュージョンFDにおいて電荷を電圧に変換する際

の変換効率（変換ゲイン）を向上させることが可能となる。

- [0078] 本実施の形態に係る撮像装置 1 では、信号線 V S L をフローティングディフュージョン F D から離すことができ、信号線 V S L とフローティングディフュージョン F D の間に形成される不要な寄生容量を低減することが可能となる。画素信号にノイズが混入することを抑制し、画素信号の品質が低下することを抑制することができる。画像の画質低下を抑制することが可能となる。
- [0079] また、撮像装置 1 には、図 7 及び図 8 に示すように、絶縁層 7 0 が設けられる。絶縁層 7 0 は、貫通電極 5 0 の周囲において第 2 基板 1 0 2 を貫通するように設けられる。絶縁層 7 0 は、例えば、トレンチ（溝部）を含んで構成される。絶縁層 7 0 は、絶縁材料を用いて構成され、第 2 基板 1 0 2 において貫通電極 5 0 の周囲に配置される。絶縁層 7 0 は、第 2 基板 1 0 2 内に設けられ、第 2 基板 1 0 2 の一部に置換して配置されるともいえる。
- [0080] 絶縁層 7 0 は、例えば、図 7 及び図 8 に示す例のように、貫通電極 5 0 に隣接するように設けられる。撮像装置 1 では、例えば、複数の貫通電極 5 0 をそれぞれ囲むように、複数の絶縁層 7 0 が形成され得る。図 8 に示す例では、絶縁層 7 0 は、平面視において、複数の貫通電極 5 0 をそれぞれ囲むように設けられる。絶縁層 7 0 は、所定の厚みを有し、貫通電極 5 0 の四方を取り囲むように設けられ得る。
- [0081] 絶縁層 7 0 は、読み出し回路 2 0 のトランジスタ（例えば選択トランジスタ S E L 又は増幅トランジスタ A M P）と、信号線 V S L の一部を構成する貫通電極 5 0 との間に設けられ得る。例えば、信号線 V S L としての貫通電極 5 0 と選択トランジスタ S E L との間に絶縁層 7 0 の少なくとも一部が設けられ、貫通電極 5 0 が選択トランジスタ S E L から離れて位置する。
- [0082] 絶縁層 7 0 は、読み出し回路 2 0 のトランジスタと貫通電極 5 0 との間に形成され、所定の幅 W（図 8 では幅 W 1、幅 W 2）を有する。図 8 に示す幅 W 1 及び幅 W 2 は、一例として、それぞれ、2 0 0 n m 以上 1 μ m 以下であってよい。絶縁層 7 0 の幅 W 1、W 2 は、それぞれ、3 0 0 n m 以上として

もよく、400nm以上としてもよい。

[0083] 絶縁層70は、例えば、酸化シリコン(SiO)、窒化シリコン(SiN)、酸化アルミニウム(AlO)、樹脂材料等の絶縁材料を用いて形成される。絶縁層70は、低誘電率材料(Low-k材料)であるSiOC、SiOCH等によって構成されてもよい。絶縁層70は、SiOF、ポラスシリカ等により構成されてもよく、その他の材料を用いて構成されてもよい。なお、絶縁層70は、上記材料のうちの1種よりなる単層膜、或いは、これらのうちの2種以上よりなる積層膜により構成されてもよい。

[0084] このように、本実施の形態に係る撮像装置1では、貫通電極50の周囲に絶縁層70が設けられる。これにより、信号線VSLとなる貫通電極50に対して形成される寄生容量を低減することができる。信号線VSLに付加される不要な寄生容量を小さくすることができ、画素の信号の伝送特性を改善することが可能となる。例えば、信号線VSLにおける信号遅延、信号レベルの低下、フレームレートの低下等を抑制することができる。また、画素信号に混入するノイズ成分を低減することができ、信号品質の低下を抑制することが可能となる。

[0085] 図9は、第1の実施の形態に係る撮像装置の構成例を説明するための図である。撮像装置1は、図9に示す例のように、レンズ15とフィルタ16を有し得る。レンズ15及びフィルタ16は、例えば、第1基板101の面11S2側に設けられる。レンズ15は、上方から入射する光を光電変換部12側へ導く。レンズ15(レンズ部)は、オンチップレンズとも呼ばれる光学部材である。

[0086] レンズ15は、例えば、画素P毎または複数の画素P毎に、光電変換部12の上方に設けられる。レンズ15には、撮像レンズ等の光学系を介して被写体からの光が入射する。画素Pの光電変換部12は、レンズ15を介して入射する光を光電変換する。

[0087] フィルタ16は、入射する光のうちの特定の波長域の光を選択的に透過させるように構成される。フィルタ16は、例えば、RGBのカラーフィルタ

であり、レンズ 15 と光電変換部 12 との間に設けられる。フィルタ 16 は、例えば、画素 P 毎または複数の画素 P 毎に、光電変換部 12 の上方に配置される。なお、画素部 100 の各画素 P に設けられるフィルタ 16 は、補色系のカラーフィルタ、赤外光を透過するフィルタ等であってもよい。

[0088] [作用・効果]

本実施の形態に係る光検出装置は、光を光電変換する複数の光電変換素子（光電変換部 12）を有する第 1 基板（第 1 基板 101）と、第 1 基板と積層され、光電変換素子で変換された電荷に基づく第 1 信号を出力可能な複数の読み出し回路（読み出し回路 20）を有する第 2 基板（第 2 基板 102）と、第 2 基板において読み出し回路毎または複数の読み出し回路毎に設けられ、第 1 信号を伝送可能な貫通電極（貫通電極 50）と、貫通電極の周囲において第 2 基板を貫通するように設けられる第 1 絶縁層（絶縁層 70）とを備える。

[0089] 本実施の形態に係る光検出装置（撮像装置 1）では、画素の信号を伝送可能な貫通電極 50 の周囲において、第 2 基板 102 を貫通するように絶縁層 70 が設けられる。このため、信号線 VSL となる貫通電極 50 に付加される不要な寄生容量を低減することができる。信号品質の低下を抑制可能な光検出装置を実現することが可能となる。

[0090] <2. 第 2 の実施の形態>

次に、本開示の第 2 の実施の形態について説明する。以下では、上述した実施の形態と同様の構成部分については同一の符号を付し、適宜説明を省略する。

[0091] 図 10 は、本開示の第 2 の実施の形態に係る撮像装置の画素の構成例を説明するための図である。本実施の形態に係る撮像装置 1 では、増幅トランジスタ AMP と、読み出し回路 20 の他のトランジスタとが、別々のウェル（図 10 ではウェル 25、ウェル 26）に分けて設けられる。

[0092] 図 10 に模式的に示すように、読み出し回路 20 の増幅トランジスタ AMP は、ウェル 25 に設けられる。撮像装置 1 では、一例として、増幅トラン

ジスタAMP毎に、ウェル25が設けられる。例えば、撮像装置1の第2基板102では、1つの増幅トランジスタAMPに対して、1つのウェル25が形成され得る。読み出し回路20の選択トランジスタSEL、リセットトランジスタRSTは、ウェル26に設けられる。選択トランジスタSELのソース領域及びドレイン領域と、リセットトランジスタRSTのソース領域及びドレイン領域とは、それぞれウェル26に設けられる（図13も参照）。

[0093] 増幅トランジスタAMPのバックゲートは、増幅トランジスタAMPのソースと電氣的に接続される。この場合、増幅トランジスタAMPにおいてバックゲート効果が生じることを防ぐことができ、変換効率を向上させることが可能となる。増幅トランジスタAMPは、ロスレスアンプトランジスタともいえる。例えば、増幅トランジスタAMPを含むソースフォロア回路のゲインを1とすることができ、画素信号の品質低下を抑制することが可能となる。

[0094] 図11～図13は、第2の実施の形態に係る撮像装置の構成例を説明するための図である。図11は、撮像装置1の第2基板102における断面構成の一例を示している。また、図12は、撮像装置1の断面構成の一例を示している。また、図13は、撮像装置1の第2基板102における平面構成の一例を示している。

[0095] 図11に示すように、ウェル25及びウェル26は、例えば、それぞれ、p型の半導体領域であり、p型のウェル（pウェル）である。第2基板102には、p型のウェル領域であるウェル25とウェル26が設けられる。ウェル25とウェル26との間には絶縁層70が設けられ、ウェル25及びウェル26間が電氣的に分離される。

[0096] 絶縁層70は、図11～図13に示す例のように、第2基板102において増幅トランジスタAMPを囲むように設けられる。また、絶縁層70は、第1の実施の形態の場合と同様に、貫通電極50の周囲に設けられる。貫通電極50の周囲に設けられる絶縁層70は、ウェル25及びウェル26間を

分離する分離部を兼ねている。

- [0097] 絶縁層 70 は、例えばトレンチ（溝部）を用いて構成される。絶縁層 70 は、FTI（Full Trench Isolation）構造を有し、第 2 基板 102 を貫通するように形成される。絶縁層 70 は、第 2 基板 102 においてウェル 25 を囲むように設けられている。トレンチ内には、一例として、絶縁膜、例えばシリコン酸化膜、酸化アルミニウム膜等が設けられる。絶縁層 70 は、低屈折率を有する他の絶縁材料を用いて形成されてもよい。
- [0098] 第 2 基板 102 の面 12S1 側には、半導体領域 35 が設けられる。半導体領域 35 は、ウェル 25 と同じ導電型の半導体領域である。半導体領域 35 は、例えば、ウェル 25 の不純物濃度よりも高い不純物濃度を有し、 $p+$ 型の半導体領域である。
- [0099] $p+$ 領域である半導体領域 35 は、 $p+$ 型の拡散領域であり、 $p+$ 型の導電領域ともいえる。半導体領域 35 は、ウェルコンタクト領域であり、例えばウェル 25 毎に配置される。半導体領域 35 は、増幅トランジスタ AMP のバックゲートの一部を構成し得る。また、増幅トランジスタ AMP は、半導体領域 32 と、半導体領域 33 とを有する。
- [0100] 半導体領域 32 は、増幅トランジスタ AMP のソース領域である。また、半導体領域 33 は、増幅トランジスタ AMP のドレイン領域である。半導体領域 32 及び半導体領域 33 は、例えば、それぞれ、ウェル 25 の不純物濃度よりも高い不純物濃度を有し、 $n+$ 型の半導体領域となる。増幅トランジスタ AMP のドレイン領域となる半導体領域 33 は、電源電圧 VDD が供給される電源線と電氣的に接続される。
- [0101] 増幅トランジスタ AMP のソース領域となる半導体領域 32 は、図 11 及び図 13 に示す例のように、半導体領域 35 と電氣的に接続される。即ち、増幅トランジスタ AMP のソースと、増幅トランジスタ AMP のバックゲートとが電氣的に接続される。これにより、増幅トランジスタ AMP の閾値電圧の変動を抑制することが可能となる。
- [0102] 撮像装置 1 では、読み出し回路 20 は、ロスレスアンプ構造を有する増幅

トランジスタAMPによって画素信号を生成して出力し得る。このため、画素信号の品質低下を低減させることができる。画素信号にノイズが混入することを抑制し、画像の画質低下を抑制することが可能となる。

[0103] [作用・効果]

本実施の形態に係る光検出装置は、光を光電変換する複数の光電変換素子（光電変換部12）を有する第1基板（第1基板101）と、光電変換素子で変換された電荷に基づく第1信号を生成可能な増幅トランジスタをそれぞれ含む複数の読み出し回路（読み出し回路20）を有し、第1基板と積層される第2基板（第2基板102）と、第2基板において読み出し回路毎または複数の読み出し回路毎に設けられ、第1信号を伝送可能な貫通電極（貫通電極50）と、第2基板において増幅トランジスタを囲むように設けられる絶縁層（絶縁層70）とを備える。

[0104] 本実施の形態に係る光検出装置（撮像装置1）では、第2基板102において増幅トランジスタAMPを囲むように絶縁層70が設けられる。このため、増幅トランジスタAMPのウェル25を他のウェルから分離することができ、増幅トランジスタAMPの特性を向上させることが可能となる。信号品質の低下を抑制可能な光検出装置を実現することが可能となる。

[0105] <3. 第3の実施の形態>

次に、本開示の第3の実施の形態について説明する。以下では、上述した実施の形態と同様の構成部分については同一の符号を付し、適宜説明を省略する。

[0106] 図14は、本開示の第3の実施の形態に係る撮像装置の画素の構成例を説明するための図である。撮像装置1は、増幅トランジスタAMPの周囲に設けられる分離領域80を有する。分離領域80（分離部）は、例えば、トレンチ（溝部）を用いて構成され、第2基板102において増幅トランジスタAMPを囲むように設けられる。

[0107] 読み出し回路20の増幅トランジスタAMPは、分離領域80に囲まれたウェル25に設けられる。読み出し回路20の他のトランジスタ（例えば、

選択トランジスタSEL、リセットトランジスタRST)は、ウェル25を囲む分離領域80の外側のウェル26に設けられる。ウェル25及びウェル26は、例えば、それぞれ、p型のウェルである。ウェル25とウェル26との間には分離領域80が設けられ、ウェル25及びウェル26間が電氣的に分離される。

[0108] 増幅トランジスタAMPは、半導体領域32と、半導体領域33を有する。例えば、増幅トランジスタAMPのソース領域となる半導体領域32と、増幅トランジスタAMPのドレイン領域となる半導体領域33は、それぞれ、n+型の半導体領域であり、ウェル25に設けられる。

[0109] 半導体領域35は、ウェル25と同じ導電型の半導体領域、例えばp+型の半導体領域である。半導体領域35は、ウェルコンタクト領域として、例えばウェル25毎に配置される。半導体領域35は、増幅トランジスタAMPのバックゲートの一部を構成し得る。

[0110] 撮像装置1は、複数の画素P(又は画素ユニット)が、分離領域80の少なくとも一部を共有する構成を有する。図14では、隣り合う2つの画素P(画素Pa1、画素Pa2と称する)のうちの画素Pa1の増幅トランジスタAMPに対して設けられる分離領域80(分離領域80a)を図示している。また、画素Pa2の増幅トランジスタAMPに対して設けられる分離領域80(分離領域80b)を図示している。

[0111] 分離領域80aと分離領域80bとは、一体的に構成され、例えば、共通する部分71を有する。分離領域80bは、分離領域80aの一部である部分71を有し、画素Pa2の増幅トランジスタAMPを囲むように設けられる。分離領域80aは、分離領域80bの一部でもある部分71を有し、画素Pa1の増幅トランジスタAMPを囲むように設けられる。

[0112] 撮像装置1では、例えば、画素部100(図2等参照)においてX軸方向(又はY軸方向)に隣り合う2つの画素P(図14では画素Pa1、Pa2)が、部分71を共有する構成を有する。一例として、増幅トランジスタAMPのゲート幅方向に隣り合う画素Pa1と画素Pa2とが、部分71を共

有する構成を有する。

[0113] 分離領域80aと分離領域80bとは、連続して形成され、一体に設けられ得る。図14に示す例では、分離領域80a及び分離領域80bは、画素Pa1と画素Pa2との境界において連続するように設けられる。分離領域80（図14では、分離領域80a、80b）は、例えば、DTI (Deep Trench Isolation)構造を有する。なお、分離領域80aと分離領域80bとを併せて、分離領域ということもできる。

[0114] 分離領域80は、図15に示す例のように、第2基板102の面12S1から、第2基板102の面12S1と面12S2との間まで設けられる。分離領域80（即ちトレンチ）は、第2基板102において、増幅トランジスタAMPの半導体領域32及び半導体領域33と、半導体領域35を囲むように配置されている。

[0115] また、撮像装置1は、第2基板102に設けられる半導体領域36を有し得る。半導体領域36は、ウェル25とは異なる導電型の半導体領域であり、第2基板102の面12S2側に形成される。半導体領域36は、不純物を用いて形成される領域、例えばn型の半導体領域である。

[0116] 半導体領域36は、一例として、ウェル25の不純物濃度よりも高い不純物濃度を有し、n+型の半導体領域である。半導体領域36は、例えば、図15に示す例のように、分離領域80に接して配置され、第2基板102内においてウェル25及びウェル26の下方に位置する。ウェル25及びウェル26は、分離領域80及び半導体領域36によって、互いに電氣的に分離される。

[0117] 分離領域80のトレンチ内には、一例として、シリコン酸化膜（SiO₂）が設けられる。分離領域80のトレンチには、他の絶縁膜、例えばシリコン窒化膜、シリコン酸窒化膜、酸化アルミニウム膜等が埋め込まれていてもよい。分離領域80は、その他の絶縁材料を用いて形成されてもよい。分離領域80のトレンチには、ポリシリコン、金属材料等が埋め込まれていてもよい。

- [0118] 分離領域80は、ポリシリコン（Poly-Si）、又は、窒化シリコン（SiN）を用いて構成されてもよい。分離領域80は、分離領域80のトレンチ内に、ポリシリコン膜、又はシリコン窒化膜を埋め込んで構成され得る。埋め込み材としてポリシリコン又は窒化シリコンを用いることで、分離領域80にクラックが生じることを抑制することができる。
- [0119] 分離領域80は、図16に示す例のように、部分81aと部分81bを有していてもよい。例えば、分離領域80の部分81aは、第2基板102の面12S1側に設けられる。また、分離領域80の部分81bは、部分81aの下方から、半導体領域36に達するように設けられる。
- [0120] 分離領域80は、図17又は図18に示す例のように、第2基板102の面12S2に達するように設けられてもよい。分離領域80は、第2基板102を貫通するように設けられる。図18に示す例では、分離領域80の部分81bは、部分81aの底部（下端）から、第2基板102の面12S2まで形成されている。
- [0121] 増幅トランジスタAMPのソース領域となる半導体領域32は、例えば、図15等 to 示す例のように、半導体領域35と電氣的に接続される。即ち、増幅トランジスタAMPのソースと、増幅トランジスタAMPのバックゲートとが電氣的に接続される。増幅トランジスタAMPをロスレスアンプとして構成し、画素信号にノイズが混入することを抑制することができる。
- [0122] 図19は、第3の実施の形態に係る撮像装置の平面構成の一例を説明するための図である。図19は、撮像装置1の第2基板102における平面構成の一例を示している。また、図20は、撮像装置の断面構成の一例を説明するための図である。本実施の形態に係る撮像装置1は、例えば、2つ又は3つ以上の半導体層が積層された構造を有し得る。
- [0123] 読み出し回路20の選択トランジスタSEL、リセットトランジスタRSTは、例えば、図19又は図20に示す例のように、第2基板102において、増幅トランジスタAMPの周りの領域に設けられる。選択トランジスタSELのソース領域及びドレイン領域と、リセットトランジスタRSTのソ

ース領域及びドレイン領域とは、それぞれウェル26に形成される。

[0124] 本実施の形態に係る撮像装置1は、上述のように、複数の画素Pが分離領域80の少なくとも一部を共有する構成を有する。このため、画素Pにおいて増幅トランジスタAMPを配置する領域を広く（大きく）することができる。図19に示す例のように、増幅トランジスタAMPのゲート幅を大きくすることができ、画素の信号に混入するランダムノイズを低減することが可能となる。

[0125] 本実施の形態では、増幅トランジスタAMPをロスレスアンプとして構成し、増幅トランジスタAMPのゲート幅を大きくすることができる。このため、画素信号へのノイズの混入を効果的に抑制し、画素信号の品質低下を抑制することができる。画像の画質低下を抑制することが可能となる。

[0126] [作用・効果]

本実施の形態に係る光検出装置は、光を光電変換する複数の光電変換素子（光電変換部12）を有する第1基板（第1基板101）と、第1基板と積層され、光電変換素子で変換された電荷に基づく第1信号を生成可能な複数の増幅トランジスタを有する第2基板（第2基板102）と、光電変換素子と増幅トランジスタとをそれぞれ含む第1画素及び第2画素（例えば画素Pa1, Pa2）と、第2基板において第1画素の増幅トランジスタを囲むように設けられる第1分離領域（分離領域80a）と、第1分離領域の少なくとも一部を有し、第2基板において第2画素の増幅トランジスタを囲むように設けられる第2分離領域（分離領域80b）とを備える。

[0127] 本実施の形態に係る光検出装置（撮像装置1）では、分離領域80bは、分離領域80aの部分71を有し、画素Pa2の増幅トランジスタAMPを囲むように設けられる。増幅トランジスタAMPのゲート幅を大きくことができ、増幅トランジスタAMPの特性を向上させることが可能となる。信号品質の低下を抑制可能な光検出装置を実現することが可能となる。

[0128] 次に、本開示の変形例について説明する。以下では、上記実施の形態と同様の構成要素については同一の符号を付し、適宜説明を省略する。

[0129] <4. 変形例>

(4-1. 変形例1)

上述した実施の形態では、撮像装置1の構成例について説明したが、あくまでも一例であって、撮像装置1の構成は、上述した例に限られない。図21は、本開示の変形例1に係る撮像装置の断面構成の一例を説明するための図である。また、図22は、変形例1に係る撮像装置の平面構成の一例を説明するための図である。

[0130] 撮像装置1は、貫通電極50の周囲に設けられる絶縁層70（絶縁層70a）と、ウェル間を電氣的に分離する絶縁層70（絶縁層70b）とを有していてもよい。例えば、図21及び図22に示す例のように、撮像装置1では、貫通電極50用の絶縁層70aと、ウェル分離用の絶縁層70bとが設けられる。絶縁層70aは、例えば、図22に示す例のように、絶縁層70bの外側に設けられ得る。

[0131] 絶縁層70bは、例えば、図21に示すように、第2基板102を貫通するように設けられてもよい。即ち、絶縁層70は、第2基板102の面12S2まで達するように形成されてもよい。また、図23に示す例のように、絶縁層70は、第2基板102の面12S1と面12S2との間まで形成されてもよい。図23に示す例では、絶縁層70は、第2基板102の面12S1側から、第2基板102の面12S1と面12S2との間まで設けられる。本変形例の場合も、上記実施の形態の撮像装置と同様の効果を得ることができる。

[0132] (4-2. 変形例2)

図24は、変形例2に係る撮像装置の断面構成の一例を説明するための図である。また、図25は、変形例2に係る撮像装置の平面構成の一例を説明するための図である。貫通電極50の周囲に設けられる絶縁層70（図24及び図25では絶縁層70a）は、第2基板102の一部を挟んで、貫通電極50の周囲に設けられてもよい。

[0133] 図24及び図25に示す例では、貫通電極50と絶縁層70aとは、第2

基板 102 の一部を挟んで配置される。絶縁層 70a は、第 2 基板 102 の一部を介して、貫通電極 50 に接するように設けられ得る。本変形例に係る撮像装置 1 の場合も、絶縁層 70a が設けられることで、貫通電極 50 に付加される寄生容量を低減することができる。画素の信号の品質低下を抑制することが可能となる。

[0134] (4-3. 変形例 3)

図 26 は、変形例 3 に係る撮像装置の構成例を説明するための図である。撮像装置 1 を、貫通電極 50 の周囲に設けられる絶縁層 70a と、ウェル間に設けられる絶縁層 70b の一方のみを有する構成としてもよい。例えば、図 26 に示す例のように、絶縁層 70b のみを配置し、絶縁層 70a を配置しなくてもよい。また、例えば、絶縁層 70a のみを配置し、絶縁層 70b を配置しないようにしてもよい。

[0135] (4-4. 変形例 4)

上述した実施の形態では、分離領域 80 を有する撮像装置 1 の構成例について説明したが、あくまでも一例であって、撮像装置 1 の構成は、上述した例に限られない。図 27 は、変形例 4 に係る撮像装置の構成例を説明するための図である。撮像装置 1 は、図 27 に示す例のように、水平方向（行方向）または垂直方向（列方向）に隣り合う 2 つの画素 P 毎に、画素 P 間で共有される部分を含む分離領域 80 を有していてもよい。

[0136] 図 27 に示す例では、隣り合う画素 Pa1 及び画素 Pa2 に対して設けられる分離領域 80a 及び分離領域 80b が、画素 Pa1 及び画素 Pa2 間で共有する部分を有するように構成される。また、隣り合う画素 Pa3 及び画素 Pa4 に対して設けられる分離領域 80c 及び分離領域 80d が、画素 Pa3 及び画素 Pa4 間で共有する部分を有するように構成される。

[0137] 図 28 及び図 29 は、変形例 4 に係る撮像装置の別の構成例を説明するための図である。撮像装置 1 では、図 28 に示す例のように、3 つの画素 P 毎に、画素 P 間で共有する部分を含む分離領域 80 を設けてもよい。図 28 に示す例では、隣り合う画素 Pa1 ~ 画素 Pa3 に対して設けられる分離領域

80a～分離領域80cが、画素Pa1～画素Pa3間で共有する部分を有するように構成される。

[0138] また、撮像装置1では、図29に示す例のように、4つの画素P毎に、画素P間で共有する部分を含む分離領域80を設けてもよい。図29に示す例では、隣り合う画素Pa1～画素Pa4に対して設けられる分離領域80a～分離領域80dが、画素Pa1～画素Pa4間で共有する部分を有するように構成される。

[0139] 図30は、変形例4に係る撮像装置の別の構成例を説明するための図である。図30に模式的に示す例のように、水平方向（又は垂直方向）に並ぶ複数の画素Pにより構成される画素行（又は画素列）毎に、複数の画素P間で共有する部分を含む分離領域80を設けてもよい。

[0140] （4－5．変形例5）

撮像装置1の分離領域80の形状は、図示した例に限られず、適宜変更可能である。分離領域80の平面視における形状は、四角形状であってもよく、円形状または楕円形状であってもよい。分離領域80の形状は、多角形（例えば六角形、八角形等）、又はその他の形状であってもよい。

[0141] 図31は、変形例5に係る撮像装置の構成例を説明するための図である。分離領域80は、図31に示す例のように、平面視において、5つ以上の直線を含む形状を有していてもよい。分離領域80は、例えば、五角形以上の多角形状を有し得る。図31に示す例のように分離領域80を構成することにより、分離領域80の角部分の線幅が広がって残渣が残りやすくなってしまふことを防ぐことが可能となる。

[0142] （4－6．変形例6）

撮像装置1は、複数の画素Pをそれぞれ含む複数の画素ユニット（画素ブロック）が、分離領域80の少なくとも一部を共有する構成を有していてもよい。例えば、4つの画素Pを含む画素ユニットが1つの読み出し回路20を有し、複数の画素ユニット間で共有する部分を含む分離領域80が設けられてもよい。

[0143] 図32は、変形例6に係る撮像装置の構成例を説明するための図である。

図32では、隣り合う画素P a 1～画素P a 4を含む画素ユニットP U aと、隣り合う画素P b 1～画素P b 4を含む画素ユニットP U bとを図示している。図32に示す例では、分離領域80 aは、画素ユニットP U aの読み出し回路20（即ち、画素P a 1～画素P a 4により共有される読み出し回路20）の増幅トランジスタAMPを囲むように設けられる。

[0144] 分離領域80 bは、画素ユニットP U bの読み出し回路20（即ち、画素P b 1～画素P b 4により共有される読み出し回路20）の増幅トランジスタAMPを囲むように設けられる。分離領域80 a及び分離領域80 bは、画素ユニットP U a及び画素ユニットP U b間で共有する部分を有するように構成され得る。本変形例の場合も、上記実施の形態の撮像装置と同様の効果を得ることができる。

[0145] （4－7．変形例7）

図33は、変形例7に係る撮像装置の構成例を説明するための図である。図33に示す例のように、ウェル25は、凹部（又は凸部）を含む形状を有するように形成されてもよい。撮像装置1では、増幅トランジスタAMPのゲート長方向に隣り合う複数の画素P（又は複数の画素ユニット）間で共有する部分を含む分離領域80が設けられてもよい。図33に示す例のように撮像装置1を構成することにより、画素P（又は画素ユニット）における面積効率を向上させることが可能となる。

[0146] （4－8．変形例8）

図34は、変形例8に係る撮像装置の構成例を説明するための図である。分離領域80は、複数の増幅トランジスタAMP（図34では、2つの増幅トランジスタAMP）を囲むように設けられてもよい。例えば、読み出し回路20が互いに電氣的に並列に接続された2つの増幅トランジスタAMPを有する場合、分離領域80は、読み出し回路20の2つの増幅トランジスタAMPを囲むように配置されてもよい。

[0147] （4－9．変形例9）

図35～37は、変形例9に係る撮像装置の構成例を説明するための図である。撮像装置1では、貫通電極50をウェル25に設けてもよい。図35等を示す例では、貫通電極50は、分離領域80により囲まれたウェル25の領域内に設けられる。本変形例の場合、変換効率を向上させることが可能となる。

[0148] 図36に示す例のように、貫通電極50の周囲に設けられる絶縁膜、即ち絶縁層70の幅W1は、例えば、分離領域80の幅W2と略同一であってもよい。撮像装置1は、例えば、絶縁層70（即ち絶縁膜）の幅W1が分離領域80の幅W2と等しくなるように構成され得る。なお、図37に示す例のように、絶縁層70の幅W1は、分離領域80の幅W2の2倍以上としてもよい。

[0149] 絶縁層70は、分離領域80を構成する材料の誘電率よりも低い誘電率を有するように構成されてもよい。絶縁層70は、例えば、分離領域80のトレンチ内に埋め込まれる材料の誘電率よりも低い誘電率を有する材料を用いて構成され得る。

[0150] 図38は、変形例9に係る撮像装置の別の構成例を説明するための図である。図38に示す例のように、撮像装置1は、絶縁層70及び分離領域80間で共有する部分を有するように構成されてもよい。絶縁層70は、分離領域80と同じ材料（例えばシリコン酸化膜）を用いて構成されてよい。図38に示す例のように撮像装置1を構成することにより、画素P（又は画素ユニット）における面積効率を向上させることが可能となる。

[0151] （4－10．変形例10）

図39及び図40は、変形例10に係る撮像装置の構成例を説明するための図である。図39又は図40に示す例のように、貫通電極50を、ウェル25の外側の領域、例えばウェル26に設けるようにしてもよい。これにより、例えば図35の場合と比較して、画素信号に混入するノイズを低減させることが可能となる。

[0152] （4－11．変形例11）

図４１は、変形例１１に係る撮像装置の構成例を説明するための図である。ウェル２５は、平面視において、凸状の構造部分を有していてもよい。図４１に示す例のように、ウェル２５の中央の領域が、凸構造（凸部）を有するように構成されてもよい。

[0153] 図４２は、変形例１１に係る撮像装置の別の構成例を説明するための図である。ウェルコンタクト領域としての半導体領域３５の形状および配置は、適宜変更可能である。例えば、図４２に示す例のように、半導体領域３５は、増幅トランジスタAMPに対して、増幅トランジスタAMPのゲート幅方向に隣り合うように配置されてもよい。

[0154] ＜５．適用例＞

上記撮像装置１等は、例えば、デジタルスチルカメラやビデオカメラ等のカメラシステムや、撮像機能を有する携帯電話等、撮像機能を備えたあらゆるタイプの電子機器に適用することができる。図４３は、電子機器１０００の概略構成を表したものである。

[0155] 電子機器１０００は、例えば、レンズ群１００１と、撮像装置１と、DSP（Digital Signal Processor）回路１００２と、フレームメモリ１００３と、表示部１００４と、記録部１００５と、操作部１００６と、電源部１００７とを有し、バスライン１００８を介して相互に接続されている。

[0156] レンズ群１００１は、被写体からの入射光（像光）を取り込んで撮像装置１の撮像面上に結像するものである。撮像装置１は、レンズ群１００１によって撮像面上に結像された入射光の光量を画素単位で電気信号に変換して画素信号としてDSP回路１００２に供給する。

[0157] DSP回路１００２は、撮像装置１から供給される信号を処理する信号処理回路である。DSP回路１００２は、撮像装置１からの信号を処理して得られる画像データを出力する。フレームメモリ１００３は、DSP回路１００２により処理された画像データをフレーム単位で一時的に保持するものである。

[0158] 表示部１００４は、例えば、液晶パネルや有機EL（Electro Luminescenc

e) パネル等のパネル型表示装置からなり、撮像装置 1 で撮像された動画または静止画の画像データを、半導体メモリやハードディスク等の記録媒体に記録する。

[0159] 操作部 1006 は、ユーザによる操作に従い、電子機器 1000 が所有する各種の機能についての操作信号を出力する。電源部 1007 は、DSP 回路 1002、フレームメモリ 1003、表示部 1004、記録部 1005 および操作部 1006 の動作電源となる各種の電源を、これら供給対象に対して適宜供給するものである。

[0160] <6. 応用例>

(移動体への応用例)

本開示に係る技術（本技術）は、様々な製品へ応用することができる。例えば、本開示に係る技術は、自動車、電気自動車、ハイブリッド電気自動車、自動二輪車、自転車、パーソナルモビリティ、飛行機、ドローン、船舶、ロボット等のいずれかの種類の移動体に搭載される装置として実現されてもよい。

[0161] 図 44 は、本開示に係る技術が適用され得る移動体制御システムの一例である車両制御システムの概略的な構成例を示すブロック図である。

[0162] 車両制御システム 12000 は、通信ネットワーク 12001 を介して接続された複数の電子制御ユニットを備える。図 44 に示した例では、車両制御システム 12000 は、駆動系制御ユニット 12010、ボディ系制御ユニット 12020、車外情報検出ユニット 12030、車内情報検出ユニット 12040、及び統合制御ユニット 12050 を備える。また、統合制御ユニット 12050 の機能構成として、マイクロコンピュータ 12051、音声画像出力部 12052、及び車載ネットワーク I/F (interface) 12053 が図示されている。

[0163] 駆動系制御ユニット 12010 は、各種プログラムにしたがって車両の駆動系に関連する装置の動作を制御する。例えば、駆動系制御ユニット 12010 は、内燃機関又は駆動用モータ等の車両の駆動力を発生させるための駆

動力発生装置、駆動力を車輪に伝達するための駆動力伝達機構、車両の舵角を調節するステアリング機構、及び、車両の制動力を発生させる制動装置等の制御装置として機能する。

[0164] ボディ系制御ユニット１２０２０は、各種プログラムにしたがって車体に装備された各種装置の動作を制御する。例えば、ボディ系制御ユニット１２０２０は、キーレスエントリシステム、スマートキーシステム、パワーウィンドウ装置、あるいは、ヘッドランプ、バックランプ、ブレーキランプ、ウinker又はフォグランプ等の各種ランプの制御装置として機能する。この場合、ボディ系制御ユニット１２０２０には、鍵を代替する携帯機から発信される電波又は各種スイッチの信号が入力され得る。ボディ系制御ユニット１２０２０は、これらの電波又は信号の入力を受け付け、車両のドアロック装置、パワーウィンドウ装置、ランプ等を制御する。

[0165] 車外情報検出ユニット１２０３０は、車両制御システム１２０００を搭載した車両の外部の情報を検出する。例えば、車外情報検出ユニット１２０３０には、撮像部１２０３１が接続される。車外情報検出ユニット１２０３０は、撮像部１２０３１に車外の画像を撮像させるとともに、撮像された画像を受信する。車外情報検出ユニット１２０３０は、受信した画像に基づいて、人、車、障害物、標識又は路面上の文字等の物体検出処理又は距離検出処理を行ってもよい。

[0166] 撮像部１２０３１は、光を受光し、その光の受光量に応じた電気信号を出力する光センサである。撮像部１２０３１は、電気信号を画像として出力することもできるし、測距の情報として出力することもできる。また、撮像部１２０３１が受光する光は、可視光であっても良いし、赤外線等の非可視光であっても良い。

[0167] 車内情報検出ユニット１２０４０は、車内の情報を検出する。車内情報検出ユニット１２０４０には、例えば、運転者の状態を検出する運転者状態検出部１２０４１が接続される。運転者状態検出部１２０４１は、例えば運転者を撮像するカメラを含み、車内情報検出ユニット１２０４０は、運転者状

態検出部 12041 から入力される検出情報に基づいて、運転者の疲労度合い又は集中度合いを算出してもよいし、運転者が居眠りをしていないかを判別してもよい。

[0168] マイクロコンピュータ 12051 は、車外情報検出ユニット 12030 又は車内情報検出ユニット 12040 で取得される車内外の情報に基づいて、駆動力発生装置、ステアリング機構又は制動装置の制御目標値を演算し、駆動系制御ユニット 12010 に対して制御指令を出力することができる。例えば、マイクロコンピュータ 12051 は、車両の衝突回避あるいは衝撃緩和、車間距離に基づく追従走行、車速維持走行、車両の衝突警告、又は車両のレーン逸脱警告等を含む ADAS (Advanced Driver Assistance System) の機能実現を目的とした協調制御を行うことができる。

[0169] また、マイクロコンピュータ 12051 は、車外情報検出ユニット 12030 又は車内情報検出ユニット 12040 で取得される車両の周囲の情報に基づいて駆動力発生装置、ステアリング機構又は制動装置等を制御することにより、運転者の操作に拠らずに自律的に走行する自動運転等を目的とした協調制御を行うことができる。

[0170] また、マイクロコンピュータ 12051 は、車外情報検出ユニット 12030 で取得される車外の情報に基づいて、ボディ系制御ユニット 12020 に対して制御指令を出力することができる。例えば、マイクロコンピュータ 12051 は、車外情報検出ユニット 12030 で検知した先行車又は対向車の位置に応じてヘッドランプを制御し、ハイビームをロービームに切り替える等の防眩を図ることを目的とした協調制御を行うことができる。

[0171] 音声画像出力部 12052 は、車両の搭乗者又は車外に対して、視覚的又は聴覚的に情報を通知することが可能な出力装置へ音声及び画像のうちの少なくとも一方の出力信号を送信する。図 44 の例では、出力装置として、オーディオスピーカ 12061、表示部 12062 及びインストルメントパネル 12063 が例示されている。表示部 12062 は、例えば、オンボード

ディスプレイ及びヘッドアップディスプレイの少なくとも一つを含んでもよい。

[0172] 図45は、撮像部12031の設置位置の例を示す図である。

[0173] 図45では、車両12100は、撮像部12031として、撮像部12101, 12102, 12103, 12104, 12105を有する。

[0174] 撮像部12101, 12102, 12103, 12104, 12105は、例えば、車両12100のフロントノーズ、サイドミラー、リアバンパ、バックドア及び車室内のフロントガラスの上部等の位置に設けられる。フロントノーズに備えられる撮像部12101及び車室内のフロントガラスの上部に備えられる撮像部12105は、主として車両12100の前方の画像を取得する。サイドミラーに備えられる撮像部12102, 12103は、主として車両12100の側方の画像を取得する。リアバンパ又はバックドアに備えられる撮像部12104は、主として車両12100の後方の画像を取得する。撮像部12101及び12105で取得される前方の画像は、主として先行車両又は、歩行者、障害物、信号機、交通標識又は車線等の検出に用いられる。

[0175] なお、図45には、撮像部12101ないし12104の撮影範囲の一例が示されている。撮像範囲12111は、フロントノーズに設けられた撮像部12101の撮像範囲を示し、撮像範囲12112, 12113は、それぞれサイドミラーに設けられた撮像部12102, 12103の撮像範囲を示し、撮像範囲12114は、リアバンパ又はバックドアに設けられた撮像部12104の撮像範囲を示す。例えば、撮像部12101ないし12104で撮像された画像データが重ね合わせられることにより、車両12100を上方から見た俯瞰画像が得られる。

[0176] 撮像部12101ないし12104の少なくとも一つは、距離情報を取得する機能を有していてもよい。例えば、撮像部12101ないし12104の少なくとも一つは、複数の撮像素子からなるステレオカメラであってもよいし、位相差検出用の画素を有する撮像素子であってもよい。

[0177] 例えば、マイクロコンピュータ12051は、撮像部12101ないし12104から得られた距離情報を基に、撮像範囲12111ないし12114内における各立体物までの距離と、この距離の時間的变化（車両12100に対する相対速度）を求めることにより、特に車両12100の進行路上にある最も近い立体物で、車両12100と略同じ方向に所定の速度（例えば、0km/h以上）で走行する立体物を先行車として抽出することができる。さらに、マイクロコンピュータ12051は、先行車の手前に予め確保すべき車間距離を設定し、自動ブレーキ制御（追従停止制御も含む）や自動加速制御（追従発進制御も含む）等を行うことができる。このように運転者の操作に拠らずに自律的に走行する自動運転等を目的とした協調制御を行うことができる。

[0178] 例えば、マイクロコンピュータ12051は、撮像部12101ないし12104から得られた距離情報を元に、立体物に関する立体物データを、2輪車、普通車両、大型車両、歩行者、電柱等その他の立体物に分類して抽出し、障害物の自動回避に用いることができる。例えば、マイクロコンピュータ12051は、車両12100の周辺の障害物を、車両12100のドライバが視認可能な障害物と視認困難な障害物とに識別する。そして、マイクロコンピュータ12051は、各障害物との衝突の危険度を示す衝突リスクを判断し、衝突リスクが設定値以上で衝突可能性がある状況であるときには、オーディオスピーカ12061や表示部12062を介してドライバに警報を出力することや、駆動系制御ユニット12010を介して強制減速や回避操舵を行うことで、衝突回避のための運転支援を行うことができる。

[0179] 撮像部12101ないし12104の少なくとも1つは、赤外線を検出する赤外線カメラであってもよい。例えば、マイクロコンピュータ12051は、撮像部12101ないし12104の撮像画像中に歩行者が存在するかどうかを判定することで歩行者を認識することができる。かかる歩行者の認識は、例えば赤外線カメラとしての撮像部12101ないし12104の撮像画像における特徴点を抽出する手順と、物体の輪郭を示す一連の特徴点にパ

ターンマッチング処理を行って歩行者か否かを判別する手順によって行われる。マイクロコンピュータ 12051 が、撮像部 12101 ないし 12104 の撮像画像中に歩行者が存在すると判定し、歩行者を認識すると、音声画像出力部 12052 は、当該認識された歩行者に強調のための方形輪郭線を重畳表示するように、表示部 12062 を制御する。また、音声画像出力部 12052 は、歩行者を示すアイコン等を所望の位置に表示するように表示部 12062 を制御してもよい。

[0180] 以上、本開示に係る技術が適用され得る移動体制御システムの一例について説明した。本開示に係る技術は、以上説明した構成のうち、例えば、撮像部 12031 に適用され得る。具体的には、例えば、撮像装置 1 等は、撮像部 12031 に適用することができる。撮像部 12031 に本開示に係る技術を適用することにより、高精細な撮影画像を得ることが可能となる。移動体制御システムにおいて撮影画像を利用した高精度な制御を行うことが可能となる。

[0181] (内視鏡手術システムへの応用例)

本開示に係る技術（本技術）は、様々な製品へ応用することができる。例えば、本開示に係る技術は、内視鏡手術システムに適用されてもよい。

[0182] 図 46 は、本開示に係る技術（本技術）が適用され得る内視鏡手術システムの概略的な構成の一例を示す図である。

[0183] 図 46 では、術者（医師） 11131 が、内視鏡手術システム 11000 を用いて、患者ベッド 11133 上の患者 11132 に手術を行っている様子が図示されている。図示するように、内視鏡手術システム 11000 は、内視鏡 11100 と、気腹チューブ 11111 やエネルギー処置具 11112 等の、その他の術具 11110 と、内視鏡 11100 を支持する支持アーム装置 11120 と、内視鏡下手術のための各種の装置が搭載されたカート 11200 と、から構成される。

[0184] 内視鏡 11100 は、先端から所定の長さの領域が患者 11132 の体腔内に挿入される鏡筒 11101 と、鏡筒 11101 の基端に接続されるカメ

ラヘッド１１１０２と、から構成される。図示する例では、硬性の鏡筒１１１０１を有するいわゆる硬性鏡として構成される内視鏡１１１００を図示しているが、内視鏡１１１００は、軟性の鏡筒を有するいわゆる軟性鏡として構成されてもよい。

[0185] 鏡筒１１１０１の先端には、対物レンズが嵌め込まれた開口部が設けられている。内視鏡１１１００には光源装置１１２０３が接続されており、当該光源装置１１２０３によって生成された光が、鏡筒１１１０１の内部に延設されるライトガイドによって当該鏡筒の先端まで導光され、対物レンズを介して患者１１１３２の体腔内の観察対象に向かって照射される。なお、内視鏡１１１００は、直視鏡であってもよいし、斜視鏡又は側視鏡であってもよい。

[0186] カメラヘッド１１１０２の内部には光学系及び撮像素子が設けられており、観察対象からの反射光（観察光）は当該光学系によって当該撮像素子に集光される。当該撮像素子によって観察光が光電変換され、観察光に対応する電気信号、すなわち観察像に対応する画像信号が生成される。当該画像信号は、RAWデータとしてカメラコントロールユニット（CCU： Camera Control Unit）１１２０１に送信される。

[0187] CCU１１２０１は、CPU（Central Processing Unit）やGPU（Graphics Processing Unit）等によって構成され、内視鏡１１１００及び表示装置１１２０２の動作を統括的に制御する。さらに、CCU１１２０１は、カメラヘッド１１１０２から画像信号を受け取り、その画像信号に対して、例えば現像処理（デモザイク処理）等の、当該画像信号に基づく画像を表示するための各種の画像処理を施す。

[0188] 表示装置１１２０２は、CCU１１２０１からの制御により、当該CCU１１２０１によって画像処理が施された画像信号に基づく画像を表示する。

[0189] 光源装置１１２０３は、例えばLED（Light Emitting Diode）等の光源から構成され、術部等を撮影する際の照射光を内視鏡

１１１００に供給する。

[0190] 入力装置１１２０４は、内視鏡手術システム１１０００に対する入力インタフェースである。ユーザは、入力装置１１２０４を介して、内視鏡手術システム１１０００に対して各種の情報の入力や指示入力を行うことができる。例えば、ユーザは、内視鏡１１１００による撮像条件（照射光の種類、倍率及び焦点距離等）を変更する旨の指示等を入力する。

[0191] 処置具制御装置１１２０５は、組織の焼灼、切開又は血管の封止等のためのエネルギー処置具１１１１２の駆動を制御する。気腹装置１１２０６は、内視鏡１１１００による視野の確保及び術者の作業空間の確保の目的で、患者１１１３２の体腔を膨らめるために、気腹チューブ１１１１１を介して当該体腔内にガスを送り込む。レコーダ１１２０７は、手術に関する各種の情報を記録可能な装置である。プリンタ１１２０８は、手術に関する各種の情報を、テキスト、画像又はグラフ等各種の形式で印刷可能な装置である。

[0192] なお、内視鏡１１１００に術部を撮影する際の照射光を供給する光源装置１１２０３は、例えばＬＥＤ、レーザ光源又はこれらの組み合わせによって構成される白色光源から構成することができる。ＲＧＢレーザ光源の組み合わせにより白色光源が構成される場合には、各色（各波長）の出力強度及び出力タイミングを高精度に制御することができるため、光源装置１１２０３において撮像画像のホワイトバランスの調整を行うことができる。また、この場合には、ＲＧＢレーザ光源それぞれからのレーザ光を時分割で観察対象に照射し、その照射タイミングに同期してカメラヘッド１１１０２の撮像素子の駆動を制御することにより、ＲＧＢそれぞれに対応した画像を時分割で撮像することも可能である。当該方法によれば、当該撮像素子にカラーフィルタを設けなくても、カラー画像を得ることができる。

[0193] また、光源装置１１２０３は、出力する光の強度を所定の時間ごとに変更するようにその駆動が制御されてもよい。その光の強度の変更のタイミングに同期してカメラヘッド１１１０２の撮像素子の駆動を制御して時分割で画像を取得し、その画像を合成することにより、いわゆる黒つぶれ及び白とび

のない高ダイナミックレンジの画像を生成することができる。

[0194] また、光源装置 11203 は、特殊光観察に対応した所定の波長帯域の光を供給可能に構成されてもよい。特殊光観察では、例えば、体組織における光の吸収の波長依存性を利用して、通常の観察時における照射光（すなわち、白色光）に比べて狭帯域の光を照射することにより、粘膜表層の血管等の所定の組織を高コントラストで撮影する、いわゆる狭帯域光観察（Narrow Band Imaging）が行われる。あるいは、特殊光観察では、励起光を照射することにより発生する蛍光により画像を得る蛍光観察が行われてもよい。蛍光観察では、体組織に励起光を照射し当該体組織からの蛍光を観察すること（自家蛍光観察）、又はインドシアニンググリーン（ICG）等の試薬を体組織に局注するとともに当該体組織にその試薬の蛍光波長に対応した励起光を照射し蛍光像を得ること等を行うことができる。光源装置 11203 は、このような特殊光観察に対応した狭帯域光及び／又は励起光を供給可能に構成され得る。

[0195] 図 47 は、図 46 に示すカメラヘッド 11102 及び CCU 11201 の機能構成の一例を示すブロック図である。

[0196] カメラヘッド 11102 は、レンズユニット 11401 と、撮像部 11402 と、駆動部 11403 と、通信部 11404 と、カメラヘッド制御部 11405 と、を有する。CCU 11201 は、通信部 11411 と、画像処理部 11412 と、制御部 11413 と、を有する。カメラヘッド 11102 と CCU 11201 とは、伝送ケーブル 11400 によって互いに通信可能に接続されている。

[0197] レンズユニット 11401 は、鏡筒 11101 との接続部に設けられる光学系である。鏡筒 11101 の先端から取り込まれた観察光は、カメラヘッド 11102 まで導光され、当該レンズユニット 11401 に入射する。レンズユニット 11401 は、ズームレンズ及びフォーカスレンズを含む複数のレンズが組み合わされて構成される。

[0198] 撮像部 11402 は、撮像素子で構成される。撮像部 11402 を構成す

る撮像素子は、１つ（いわゆる単板式）であってもよいし、複数（いわゆる多板式）であってもよい。撮像部１１４０２が多板式で構成される場合には、例えば各撮像素子によってRGBそれぞれに対応する画像信号が生成され、それらが合成されることによりカラー画像が得られてもよい。あるいは、撮像部１１４０２は、３Ｄ（Dimensional）表示に対応する右目用及び左目用の画像信号をそれぞれ取得するための１対の撮像素子を有するように構成されてもよい。３Ｄ表示が行われることにより、術者１１１３１は術部における生体組織の奥行きをより正確に把握することが可能になる。なお、撮像部１１４０２が多板式で構成される場合には、各撮像素子に対応して、レンズユニット１１４０１も複数系統設けられ得る。

[0199] また、撮像部１１４０２は、必ずしもカメラヘッド１１１０２に設けられなくてもよい。例えば、撮像部１１４０２は、鏡筒１１１０１の内部に、対物レンズの直後に設けられてもよい。

[0200] 駆動部１１４０３は、アクチュエータによって構成され、カメラヘッド制御部１１４０５からの制御により、レンズユニット１１４０１のズームレンズ及びフォーカスレンズを光軸に沿って所定の距離だけ移動させる。これにより、撮像部１１４０２による撮像画像の倍率及び焦点が適宜調整され得る。

[0201] 通信部１１４０４は、CCU１１２０１との間で各種の情報を送受信するための通信装置によって構成される。通信部１１４０４は、撮像部１１４０２から得た画像信号をRAWデータとして伝送ケーブル１１４００を介してCCU１１２０１に送信する。

[0202] また、通信部１１４０４は、CCU１１２０１から、カメラヘッド１１１０２の駆動を制御するための制御信号を受信し、カメラヘッド制御部１１４０５に供給する。当該制御信号には、例えば、撮像画像のフレームレートを指定する旨の情報、撮像時の露出値を指定する旨の情報、並びに／又は撮像画像の倍率及び焦点を指定する旨の情報等、撮像条件に関する情報が含まれる。

- [0203] なお、上記のフレームレートや露出値、倍率、焦点等の撮像条件は、ユーザによって適宜指定されてもよいし、取得された画像信号に基づいてCCU 11201の制御部11413によって自動的に設定されてもよい。後者の場合には、いわゆるAE (Auto Exposure) 機能、AF (Auto Focus) 機能及びAWB (Auto White Balance) 機能が内視鏡11100に搭載されていることになる。
- [0204] カメラヘッド制御部11405は、通信部11404を介して受信したCCU 11201からの制御信号に基づいて、カメラヘッド11102の駆動を制御する。
- [0205] 通信部11411は、カメラヘッド11102との間で各種の情報を送受信するための通信装置によって構成される。通信部11411は、カメラヘッド11102から、伝送ケーブル11400を介して送信される画像信号を受信する。
- [0206] また、通信部11411は、カメラヘッド11102に対して、カメラヘッド11102の駆動を制御するための制御信号を送信する。画像信号や制御信号は、電気通信や光通信等によって送信することができる。
- [0207] 画像処理部11412は、カメラヘッド11102から送信されたRAWデータである画像信号に対して各種の画像処理を施す。
- [0208] 制御部11413は、内視鏡11100による術部等の撮像、及び、術部等の撮像により得られる撮像画像の表示に関する各種の制御を行う。例えば、制御部11413は、カメラヘッド11102の駆動を制御するための制御信号を生成する。
- [0209] また、制御部11413は、画像処理部11412によって画像処理が施された画像信号に基づいて、術部等が映った撮像画像を表示装置11202に表示させる。この際、制御部11413は、各種の画像認識技術を用いて撮像画像内における各種の物体を認識してもよい。例えば、制御部11413は、撮像画像に含まれる物体のエッジの形状や色等を検出することにより、鉗子等の術具、特定の生体部位、出血、エネルギー処置具11112の使

用時のミスト等を認識することができる。制御部 11413 は、表示装置 11202 に撮像画像を表示させる際に、その認識結果を用いて、各種の手術支援情報を当該術部の画像に重畳表示させてもよい。手術支援情報が重畳表示され、術者 11131 に提示されることにより、術者 11131 の負担を軽減することや、術者 11131 が確実に手術を進めることが可能になる。

[0210] カメラヘッド 11102 及び CCU 11201 を接続する伝送ケーブル 11400 は、電気信号の通信に対応した電気信号ケーブル、光通信に対応した光ファイバ、又はこれらの複合ケーブルである。

[0211] ここで、図示する例では、伝送ケーブル 11400 を用いて有線で通信が行われていたが、カメラヘッド 11102 と CCU 11201 との間の通信は無線で行われてもよい。

[0212] 以上、本開示に係る技術が適用され得る内視鏡手術システムの一例について説明した。本開示に係る技術は、以上説明した構成のうち、例えば、内視鏡 11100 のカメラヘッド 11102 に設けられた撮像部 11402 に好適に適用され得る。撮像部 11402 に本開示に係る技術を適用することにより、高精細な内視鏡 11100 を提供することが可能となる。

[0213] 以上、実施の形態、変形例および適用例ならびに応用例を挙げて本開示を説明したが、本技術は上記実施の形態等に限定されるものではなく、種々の変形が可能である。例えば、上述した変形例は、上記実施の形態の変形例として説明したが、各変形例の構成を適宜組み合わせることができる。例えば本開示は、裏面照射型イメージセンサに限定されるものではなく、表面照射型イメージセンサにも適用可能である。

[0214] 上記実施の形態等では、撮像装置を例示して説明するようにしたが、本開示の光検出装置は、例えば、入射する光を受光し、光を電荷に変換するものであればよい。出力される信号は、画像情報の信号でもよいし、測距情報の信号でもよい。光検出装置（撮像装置）は、イメージセンサ、測距センサ等に適用され得る。

[0215] 本開示に係る光検出装置は、TOF (Time of Flight) 方式の距離計測が

可能な測距センサとしても適用され得る。光検出装置（撮像装置）は、イベントを検出可能なセンサ、例えば、イベント駆動型のセンサ（EVS（Event Vision Sensor）、EDS（Event Driven Sensor）、DVS（Dynamic Vision Sensor）等と呼ばれる）としても適用され得る。

[0216] 本開示の一実施形態の光検出装置は、複数の光電変換素子を有する第1基板と、第1基板と積層され、光電変換素子で変換された電荷に基づく第1信号を出力可能な複数の読み出し回路を有する第2基板と、第2基板において読み出し回路毎または複数の読み出し回路毎に設けられ、第1信号を伝送可能な貫通電極と、貫通電極の周囲において第2基板を貫通するように設けられる第1絶縁層とを備える。このため、信号品質の低下を抑制可能な光検出装置を実現することが可能となる。

[0217] 本開示の一実施形態の光検出装置は、複数の光電変換素子を有する第1基板と、光電変換素子で変換された電荷に基づく第1信号を生成可能な増幅トランジスタをそれぞれ含む複数の読み出し回路を有し、第1基板と積層される第2基板と、第2基板において読み出し回路毎または複数の読み出し回路毎に設けられ、第1信号を伝送可能な貫通電極と、第2基板において増幅トランジスタを囲むように設けられる絶縁層とを備える。このため、信号品質の低下を抑制可能な光検出装置を実現することが可能となる。

[0218] なお、本明細書中に記載された効果はあくまで例示であってその記載に限定されるものではなく、他の効果があってもよい。また、本開示は以下のような構成をとることも可能である。

(1)

光を光電変換する複数の光電変換素子を有する第1基板と、
前記第1基板と積層され、前記光電変換素子で変換された電荷に基づく第1信号を出力可能な複数の読み出し回路を有する第2基板と、
前記第2基板において前記読み出し回路毎または複数の前記読み出し回路毎に設けられ、前記第1信号を伝送可能な貫通電極と、
前記貫通電極の周囲において前記第2基板を貫通するように設けられる第

1 絶縁層と

を備える光検出装置。

(2)

前記第1基板と前記第2基板とは、前記第1基板の素子が形成される第1面と前記第2基板の素子が形成される第2面とが対向するように積層されている

前記(1)に記載の光検出装置。

(3)

前記第2基板の前記第2面とは反対の第3面側に設けられる配線層をさらに備え、

前記配線層は、前記第2基板を貫通する前記貫通電極と電氣的に接続される配線を含む

前記(2)に記載の光検出装置。

(4)

信号処理を行うことが可能な信号処理部を有する第3基板をさらに備える

前記(2)または(3)に記載の光検出装置。

(5)

前記第2基板と前記第3基板とは、前記第2基板の前記第2面とは反対の第3面と、前記第3基板の素子が形成される第4面とが対向するように積層されている

前記(4)に記載の光検出装置。

(6)

前記第2基板と前記第3基板とは、前記貫通電極に接続される電極間の接合により積層されている

前記(4)または(5)に記載の光検出装置。

(7)

前記読み出し回路は、前記第1信号を出力可能な選択トランジスタを有し

、

前記貫通電極は、前記選択トランジスタと電氣的に接続されている

前記（１）から（６）のいずれか１つに記載の光検出装置。

（８）

前記第１絶縁層は、前記選択トランジスタと前記貫通電極との間に設けられている

前記（７）に記載の光検出装置。

（９）

前記読み出し回路は、前記第１信号を生成可能な増幅トランジスタを有し、

前記第１絶縁層は、前記第２基板において前記増幅トランジスタを囲むように設けられている

前記（１）から（８）のいずれか１つに記載の光検出装置。

（１０）

前記増幅トランジスタのバックゲートは、前記増幅トランジスタのソースと電氣的に接続されている

前記（９）に記載の光検出装置。

（１１）

前記第２基板に設けられる第１導電型の第１ウェルと、

前記第１ウェルに設けられる前記第１導電型の第１半導体領域と

をさらに備え、

前記増幅トランジスタは、前記第１ウェルに設けられる第２導電型のソース領域を有し、

前記第１半導体領域は、前記ソース領域と電氣的に接続されている

前記（９）または（１０）に記載の光検出装置。

（１２）

前記第１絶縁層は、前記第２基板において前記第１ウェルを囲むように設けられている

前記（１１）に記載の光検出装置。

(13)

前記第2基板に設けられる第1導電型の第2ウェルをさらに備え、

前記読み出し回路は、前記第1信号を出力可能な選択トランジスタを有し

、

前記選択トランジスタのソース領域及びドレイン領域は、前記第2ウェルに設けられている

前記(11)または(12)に記載の光検出装置。

(14)

前記第1絶縁層とは異なる第2絶縁層をさらに備え、

前記読み出し回路は、前記第1信号を生成可能な増幅トランジスタを有し

、

前記第2絶縁層は、前記第2基板において前記増幅トランジスタを囲むように設けられている

前記(1)から(13)のいずれか1つに記載の光検出装置。

(15)

前記第1絶縁層は、前記第2絶縁層の外側に設けられている

前記(14)に記載の光検出装置。

(16)

前記第2絶縁層は、前記増幅トランジスタの周囲において前記第2基板を貫通するように設けられている

前記(14)または(15)に記載の光検出装置。

(17)

光を光電変換する複数の光電変換素子を有する第1基板と、

前記光電変換素子で変換された電荷に基づく第1信号を生成可能な増幅トランジスタをそれぞれ含む複数の読み出し回路を有し、前記第1基板と積層される第2基板と、

前記第2基板において前記読み出し回路毎または複数の前記読み出し回路毎に設けられ、前記第1信号を伝送可能な貫通電極と、

前記第2基板において前記増幅トランジスタを囲むように設けられる絶縁層と

を備える光検出装置。

(18)

前記第2基板に設けられる第1導電型の第1ウェルと、

前記第1ウェルに設けられる前記第1導電型の第1半導体領域と

をさらに備え、

前記増幅トランジスタは、前記第1ウェルに設けられる第2導電型のソース領域を有し、

前記第1半導体領域は、前記ソース領域と電氣的に接続されている

前記(17)に記載の光検出装置。

(19)

光を光電変換する複数の光電変換素子を有する第1基板と、

前記第1基板と積層され、前記光電変換素子で変換された電荷に基づく第1信号を生成可能な複数の増幅トランジスタを有する第2基板と、

前記光電変換素子と前記増幅トランジスタとをそれぞれ含む第1画素及び第2画素と、

前記第2基板において前記第1画素の前記増幅トランジスタを囲むように設けられる第1分離領域と、

前記第1分離領域の少なくとも一部を有し、前記第2基板において前記第2画素の前記増幅トランジスタを囲むように設けられる第2分離領域と

を備える光検出装置。

(20)

前記第1分離領域及び前記第2分離領域は、前記第2基板において前記増幅トランジスタを囲むように設けられるトレンチを有する

前記(19)に記載の光検出装置。

(21)

前記第1分離領域と前記第2分離領域とは、一体に設けられている

前記（１９）または（２０）に記載の光検出装置。

（２２）

前記第１分離領域と前記第２分離領域とは、前記第１画素と前記第２画素との境界において連続するように設けられている

前記（１９）から（２１）のいずれか１つに記載の光検出装置。

（２３）

前記第２基板において前記第１分離領域に囲まれた第１導電型の第１ウェルと、

前記第１ウェルに設けられる前記第１導電型の第１半導体領域と
をさらに備え、

前記増幅トランジスタは、前記第１ウェルに設けられる第２導電型のソース領域を有し、

前記第１半導体領域は、前記ソース領域と電氣的に接続されている

前記（１９）から（２２）のいずれか１つに記載の光検出装置。

（２４）

前記増幅トランジスタと前記第１信号を出力可能な選択トランジスタとを含み、前記第２基板に設けられる読み出し回路を備え、

前記選択トランジスタは、前記増幅トランジスタを囲むように設けられた前記第１分離領域の外側に設けられている

前記（１９）から（２３）のいずれか１つに記載の光検出装置。

（２５）

前記第１分離領域及び前記第２分離領域は、それぞれ、酸化シリコンを用いて構成され、四角形状を有する

前記（１９）から（２４）のいずれか１つに記載の光検出装置。

（２６）

前記第１分離領域及び前記第２分離領域は、それぞれ、ポリシリコンまたは窒化シリコンを用いて構成されている

前記（１９）から（２５）のいずれか１つに記載の光検出装置。

(27)

前記第1分離領域及び前記第2分離領域は、それぞれ、5つ以上の直線を含む形状、円形状、または楕円形状を有する

前記(19)から(26)のいずれか1つに記載の光検出装置。

(28)

信号処理を行うことが可能な信号処理部を有する第3基板をさらに備える

前記(19)から(27)のいずれか1つに記載の光検出装置。

(29)

光学系と、

前記光学系を透過した光を受光する光検出装置と

を備え、

前記光検出装置は、

光を光電変換する複数の光電変換素子を有する第1基板と、

前記第1基板と積層され、前記光電変換素子で変換された電荷に基づく第1信号を出力可能な複数の読み出し回路を有する第2基板と、

前記第2基板において前記読み出し回路毎または複数の前記読み出し回路毎に設けられ、前記第1信号を伝送可能な貫通電極と、

前記貫通電極の周囲において前記第2基板を貫通するように設けられる第1絶縁層と

を有する

電子機器。

(30)

光学系と、

前記光学系を透過した光を受光する光検出装置と

を備え、

前記光検出装置は、

光を光電変換する複数の光電変換素子を有する第1基板と、

前記光電変換素子で変換された電荷に基づく第1信号を生成可能な増幅ト

ランジスタをそれぞれ含む複数の読み出し回路を有し、前記第 1 基板と積層される第 2 基板と、

前記第 2 基板において前記読み出し回路毎または複数の前記読み出し回路毎に設けられ、前記第 1 信号を伝送可能な貫通電極と、

前記第 2 基板において前記増幅トランジスタを囲むように設けられる絶縁層と

を有する

電子機器。

(31)

光学系と、

前記光学系を透過した光を受光する光検出装置と

を備え、

前記光検出装置は、

光を光電変換する複数の光電変換素子を有する第 1 基板と、

前記第 1 基板と積層され、前記光電変換素子で変換された電荷に基づく第 1 信号を生成可能な複数の増幅トランジスタを有する第 2 基板と、

前記光電変換素子と前記増幅トランジスタとをそれぞれ含む第 1 画素及び第 2 画素と、

前記第 2 基板において前記第 1 画素の前記増幅トランジスタを囲むように設けられる第 1 分離領域と、

前記第 1 分離領域の少なくとも一部を有し、前記第 2 基板において前記第 2 画素の前記増幅トランジスタを囲むように設けられる第 2 分離領域と

を有する

電子機器。

[0219] 本出願は、日本国特許庁において 2023 年 6 月 9 日に出願された日本特許出願番号 2023-095803 号を基礎として優先権を主張するものであり、この出願の全ての内容を参照によって本出願に援用する。

[0220] 当業者であれば、設計上の要件や他の要因に応じて、種々の修正、コンビ

ネーション、サブコンビネーション、および変更を想到し得るが、それらは添付の請求の範囲やその均等物の範囲に含まれるものであることが理解される。

請求の範囲

- [請求項1] 光を光電変換する複数の光電変換素子を有する第1基板と、
前記第1基板と積層され、前記光電変換素子で変換された電荷に基づく第1信号を出力可能な複数の読み出し回路を有する第2基板と、
前記第2基板において前記読み出し回路毎または複数の前記読み出し回路毎に設けられ、前記第1信号を伝送可能な貫通電極と、
前記貫通電極の周囲において前記第2基板を貫通するように設けられる第1絶縁層と
を備える光検出装置。
- [請求項2] 前記第1基板と前記第2基板とは、前記第1基板の素子が形成される第1面と前記第2基板の素子が形成される第2面とが対向するように積層されている
請求項1に記載の光検出装置。
- [請求項3] 前記第2基板の前記第2面とは反対の第3面側に設けられる配線層をさらに備え、
前記配線層は、前記第2基板を貫通する前記貫通電極と電氣的に接続される配線を含む
請求項2に記載の光検出装置。
- [請求項4] 信号処理を行うことが可能な信号処理部を有する第3基板をさらに備える
請求項2に記載の光検出装置。
- [請求項5] 前記第2基板と前記第3基板とは、前記第2基板の前記第2面とは反対の第3面と、前記第3基板の素子が形成される第4面とが対向するように積層されている
請求項4に記載の光検出装置。
- [請求項6] 前記第2基板と前記第3基板とは、前記貫通電極に接続される電極間の接合により積層されている
請求項4に記載の光検出装置。

- [請求項7] 前記読み出し回路は、前記第1信号を出力可能な選択トランジスタを有し、
前記貫通電極は、前記選択トランジスタと電氣的に接続されている請求項1に記載の光検出装置。
- [請求項8] 前記第1絶縁層は、前記選択トランジスタと前記貫通電極との間に設けられている
請求項7に記載の光検出装置。
- [請求項9] 前記読み出し回路は、前記第1信号を生成可能な増幅トランジスタを有し、
前記第1絶縁層は、前記第2基板において前記増幅トランジスタを囲むように設けられている
請求項1に記載の光検出装置。
- [請求項10] 前記増幅トランジスタのバックゲートは、前記増幅トランジスタのソースと電氣的に接続されている
請求項9に記載の光検出装置。
- [請求項11] 前記第2基板に設けられる第1導電型の第1ウェルと、
前記第1ウェルに設けられる前記第1導電型の第1半導体領域とをさらに備え、
前記増幅トランジスタは、前記第1ウェルに設けられる第2導電型のソース領域を有し、
前記第1半導体領域は、前記ソース領域と電氣的に接続されている請求項9に記載の光検出装置。
- [請求項12] 前記第1絶縁層は、前記第2基板において前記第1ウェルを囲むように設けられている
請求項11に記載の光検出装置。
- [請求項13] 前記第2基板に設けられる第1導電型の第2ウェルをさらに備え、
前記読み出し回路は、前記第1信号を出力可能な選択トランジスタを有し、

前記選択トランジスタのソース領域及びドレイン領域は、前記第2ウェルに設けられている

請求項11に記載の光検出装置。

[請求項14]

前記第1絶縁層とは異なる第2絶縁層をさらに備え、

前記読み出し回路は、前記第1信号を生成可能な増幅トランジスタを有し、

前記第2絶縁層は、前記第2基板において前記増幅トランジスタを囲むように設けられている

請求項1に記載の光検出装置。

[請求項15]

前記第1絶縁層は、前記第2絶縁層の外側に設けられている

請求項14に記載の光検出装置。

[請求項16]

前記第2絶縁層は、前記増幅トランジスタの周囲において前記第2基板を貫通するように設けられている

請求項14に記載の光検出装置。

[請求項17]

光を光電変換する複数の光電変換素子を有する第1基板と、

前記光電変換素子で変換された電荷に基づく第1信号を生成可能な増幅トランジスタをそれぞれ含む複数の読み出し回路を有し、前記第1基板と積層される第2基板と、

前記第2基板において前記読み出し回路毎または複数の前記読み出し回路毎に設けられ、前記第1信号を伝送可能な貫通電極と、

前記第2基板において前記増幅トランジスタを囲むように設けられる絶縁層と

を備える光検出装置。

[請求項18]

前記第2基板に設けられる第1導電型の第1ウェルと、

前記第1ウェルに設けられる前記第1導電型の第1半導体領域とをさらに備え、

前記増幅トランジスタは、前記第1ウェルに設けられる第2導電型のソース領域を有し、

前記第 1 半導体領域は、前記ソース領域と電氣的に接続されている請求項 17 に記載の光検出装置。

[請求項19]

光を光電変換する複数の光電変換素子を有する第 1 基板と、

前記第 1 基板と積層され、前記光電変換素子で変換された電荷に基づく第 1 信号を生成可能な複数の増幅トランジスタを有する第 2 基板と、

前記光電変換素子と前記増幅トランジスタとをそれぞれ含む第 1 画素及び第 2 画素と、

前記第 2 基板において前記第 1 画素の前記増幅トランジスタを囲むように設けられる第 1 分離領域と、

前記第 1 分離領域の少なくとも一部を有し、前記第 2 基板において前記第 2 画素の前記増幅トランジスタを囲むように設けられる第 2 分離領域と

を備える光検出装置。

[請求項20]

前記第 1 分離領域及び前記第 2 分離領域は、前記第 2 基板において前記増幅トランジスタを囲むように設けられるトレンチを有する

請求項 19 に記載の光検出装置。

[請求項21]

前記第 1 分離領域と前記第 2 分離領域とは、一体に設けられている請求項 19 に記載の光検出装置。

[請求項22]

前記第 1 分離領域と前記第 2 分離領域とは、前記第 1 画素と前記第 2 画素との境界において連続するように設けられている

請求項 19 に記載の光検出装置。

[請求項23]

前記第 2 基板において前記第 1 分離領域に囲まれた第 1 導電型の第 1 ウェルと、

前記第 1 ウェルに設けられる前記第 1 導電型の第 1 半導体領域とをさらに備え、

前記増幅トランジスタは、前記第 1 ウェルに設けられる第 2 導電型のソース領域を有し、

前記第 1 半導体領域は、前記ソース領域と電氣的に接続されている請求項 19 に記載の光検出装置。

[請求項24] 前記増幅トランジスタと前記第 1 信号を出力可能な選択トランジスタとを含み、前記第 2 基板に設けられる読み出し回路を備え、
前記選択トランジスタは、前記増幅トランジスタを囲むように設けられた前記第 1 分離領域の外側に設けられている
請求項 19 に記載の光検出装置。

[請求項25] 前記第 1 分離領域及び前記第 2 分離領域は、それぞれ、酸化シリコンを用いて構成され、四角形状を有する
請求項 19 に記載の光検出装置。

[請求項26] 前記第 1 分離領域及び前記第 2 分離領域は、それぞれ、ポリシリコンまたは窒化シリコンを用いて構成されている
請求項 19 に記載の光検出装置。

[請求項27] 前記第 1 分離領域及び前記第 2 分離領域は、それぞれ、5 つ以上の直線を含む形状、円形状、または楕円形状を有する
請求項 19 に記載の光検出装置。

[請求項28] 信号処理を行うことが可能な信号処理部を有する第 3 基板をさらに備える
請求項 19 に記載の光検出装置。

[請求項29] 光学系と、
前記光学系を透過した光を受光する光検出装置と
を備え、
前記光検出装置は、
光を光電変換する複数の光電変換素子を有する第 1 基板と、
前記第 1 基板と積層され、前記光電変換素子で変換された電荷に基づく第 1 信号を出力可能な複数の読み出し回路を有する第 2 基板と、
前記第 2 基板において前記読み出し回路毎または複数の前記読み出し回路毎に設けられ、前記第 1 信号を伝送可能な貫通電極と、

前記貫通電極の周囲において前記第2基板を貫通するように設けられる第1絶縁層と

を有する

電子機器。

[請求項30]

光学系と、

前記光学系を透過した光を受光する光検出装置と

を備え、

前記光検出装置は、

光を光電変換する複数の光電変換素子を有する第1基板と、

前記光電変換素子で変換された電荷に基づく第1信号を生成可能な増幅トランジスタをそれぞれ含む複数の読み出し回路を有し、前記第1基板と積層される第2基板と、

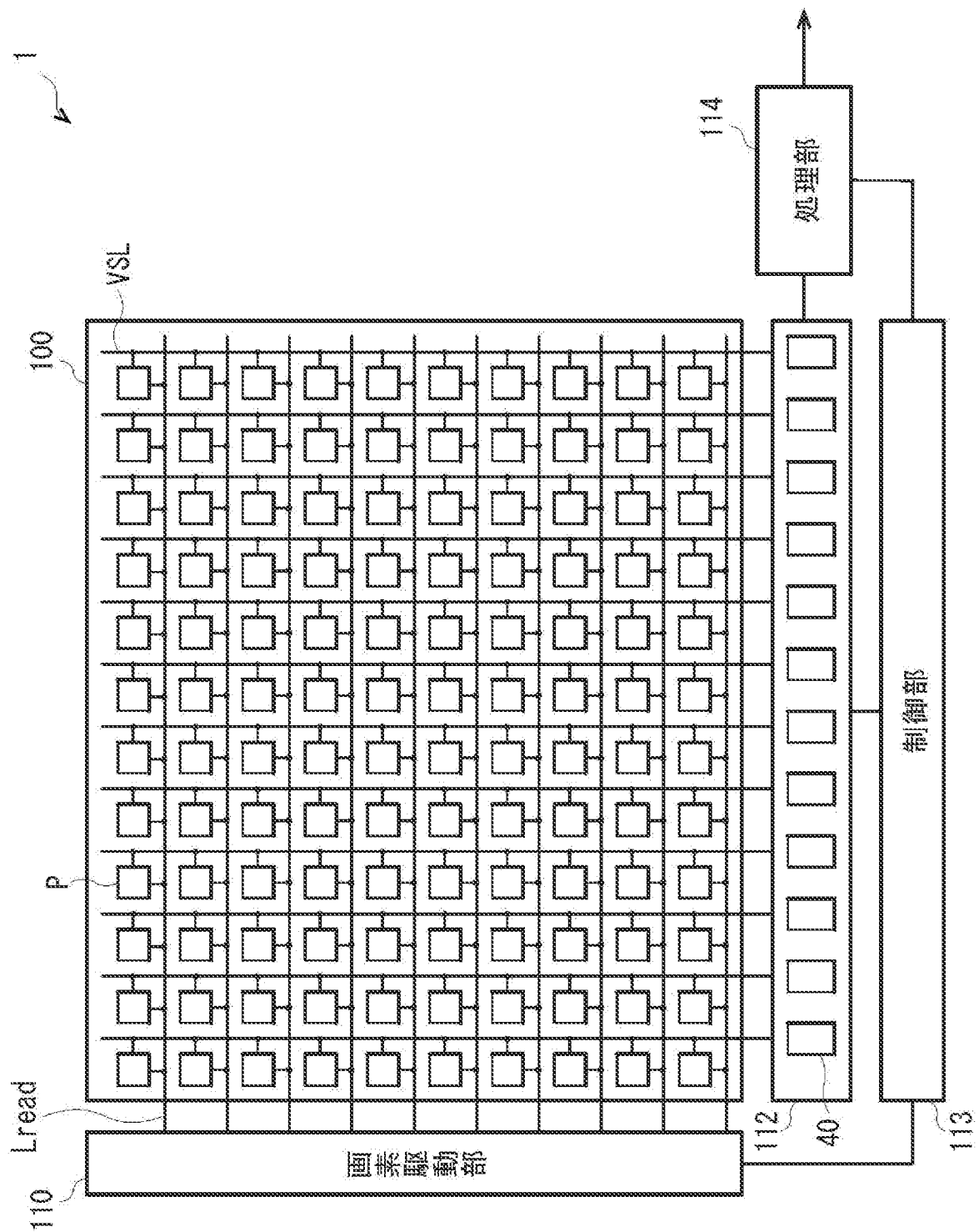
前記第2基板において前記読み出し回路毎または複数の前記読み出し回路毎に設けられ、前記第1信号を伝送可能な貫通電極と、

前記第2基板において前記増幅トランジスタを囲むように設けられる絶縁層と

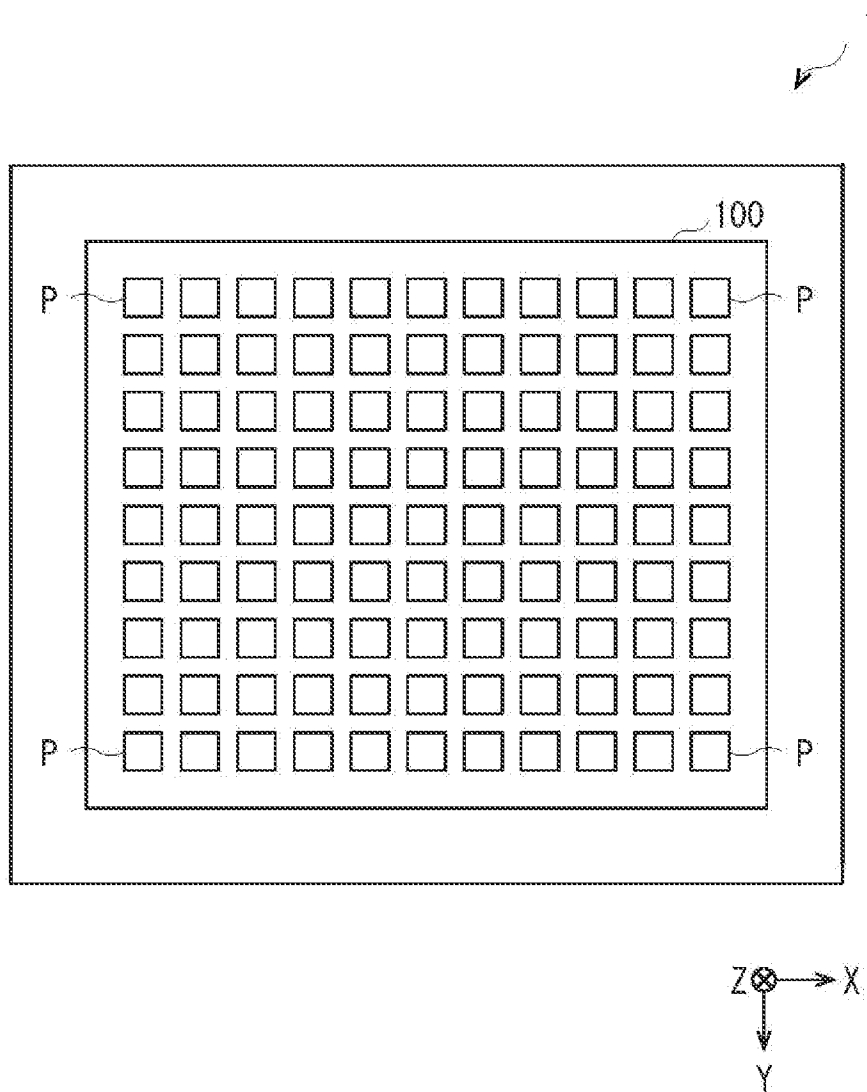
を有する

電子機器。

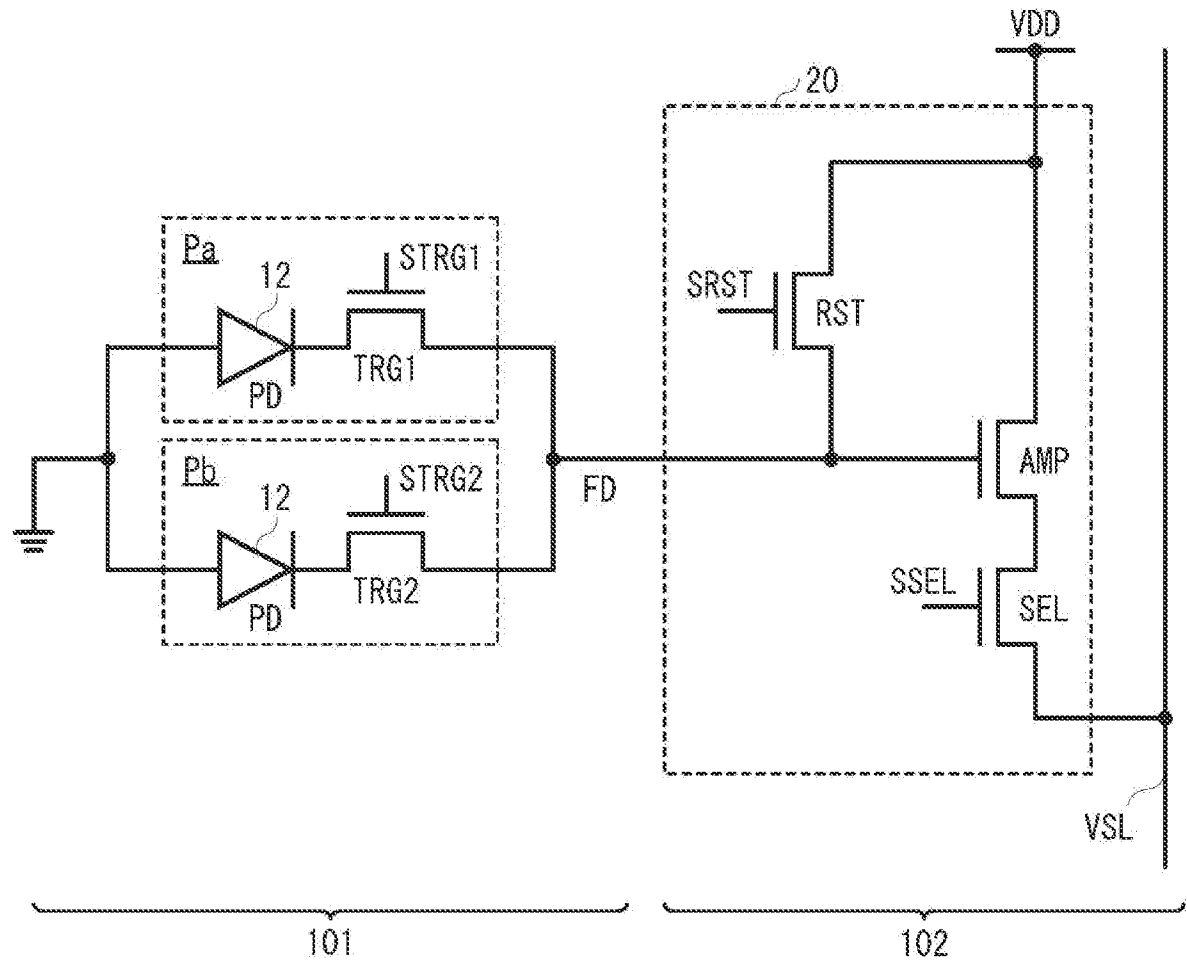
[図1]



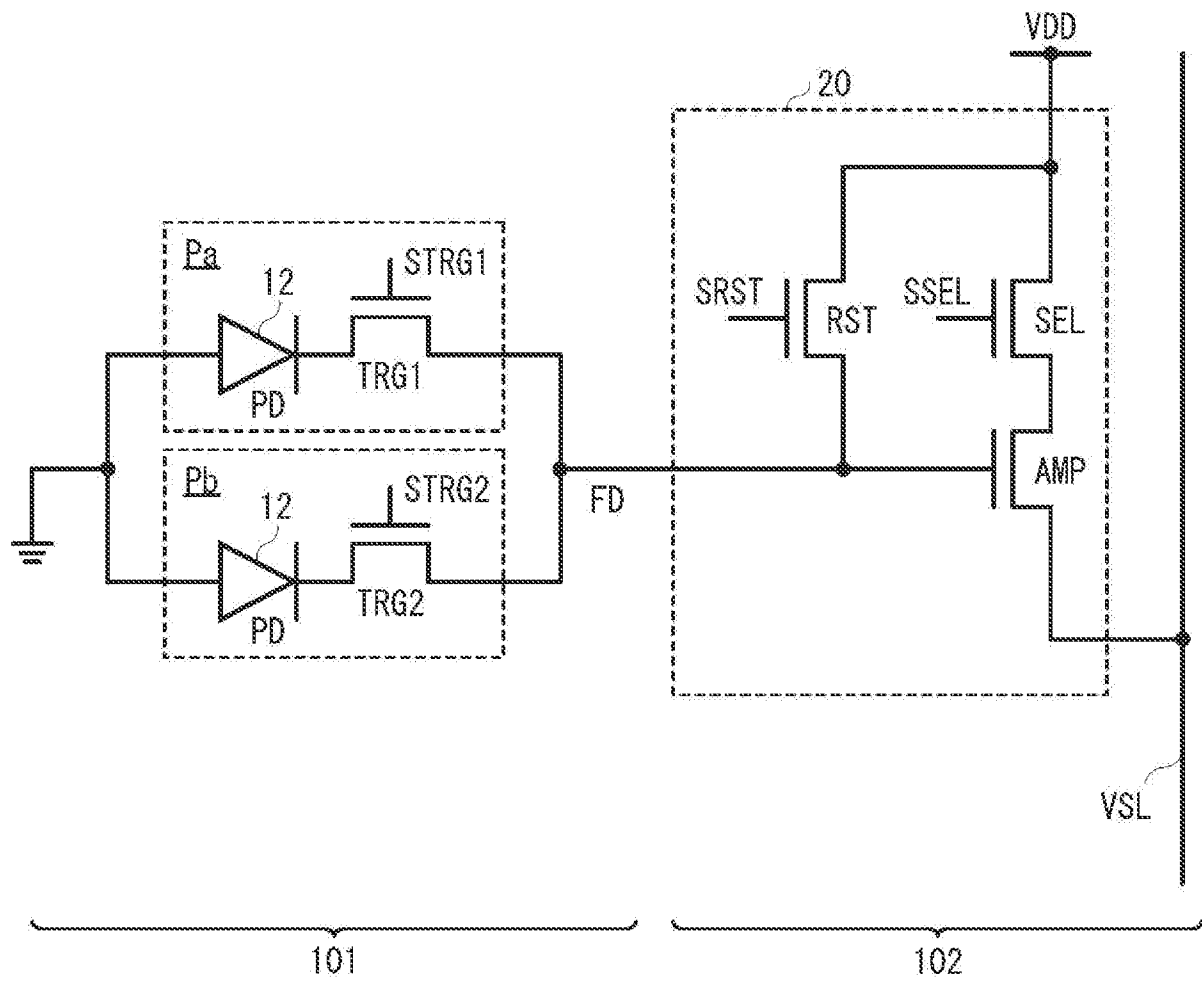
[図2]



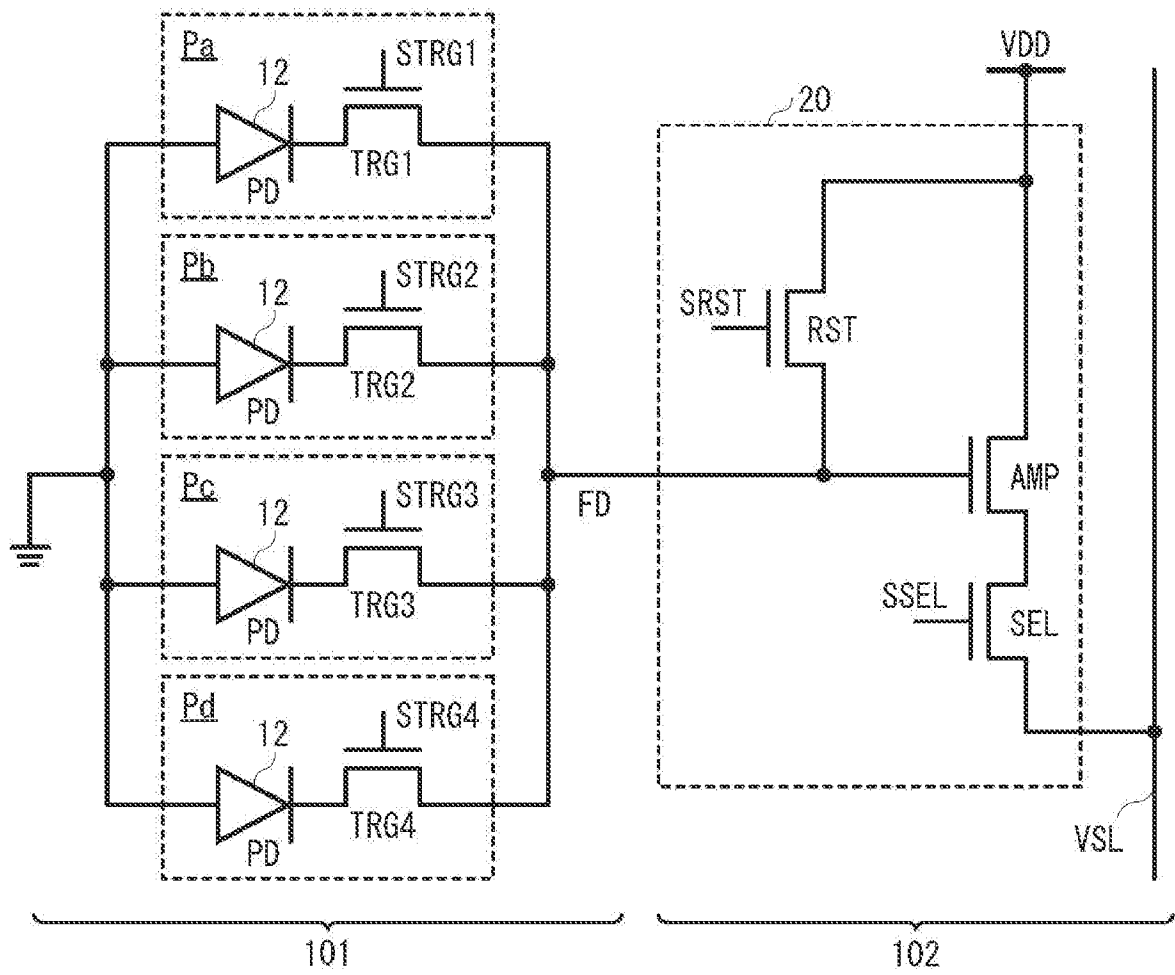
[図3]



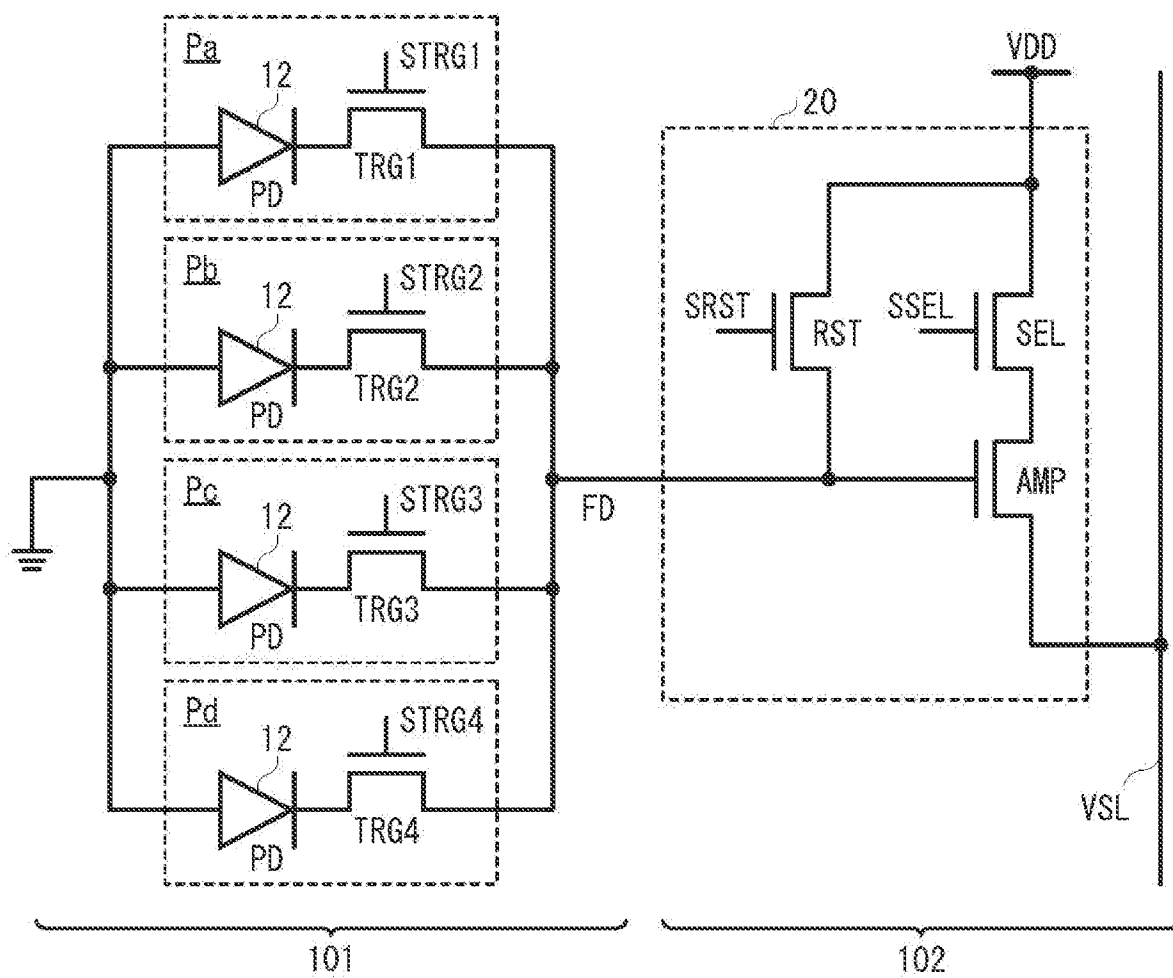
[図4]



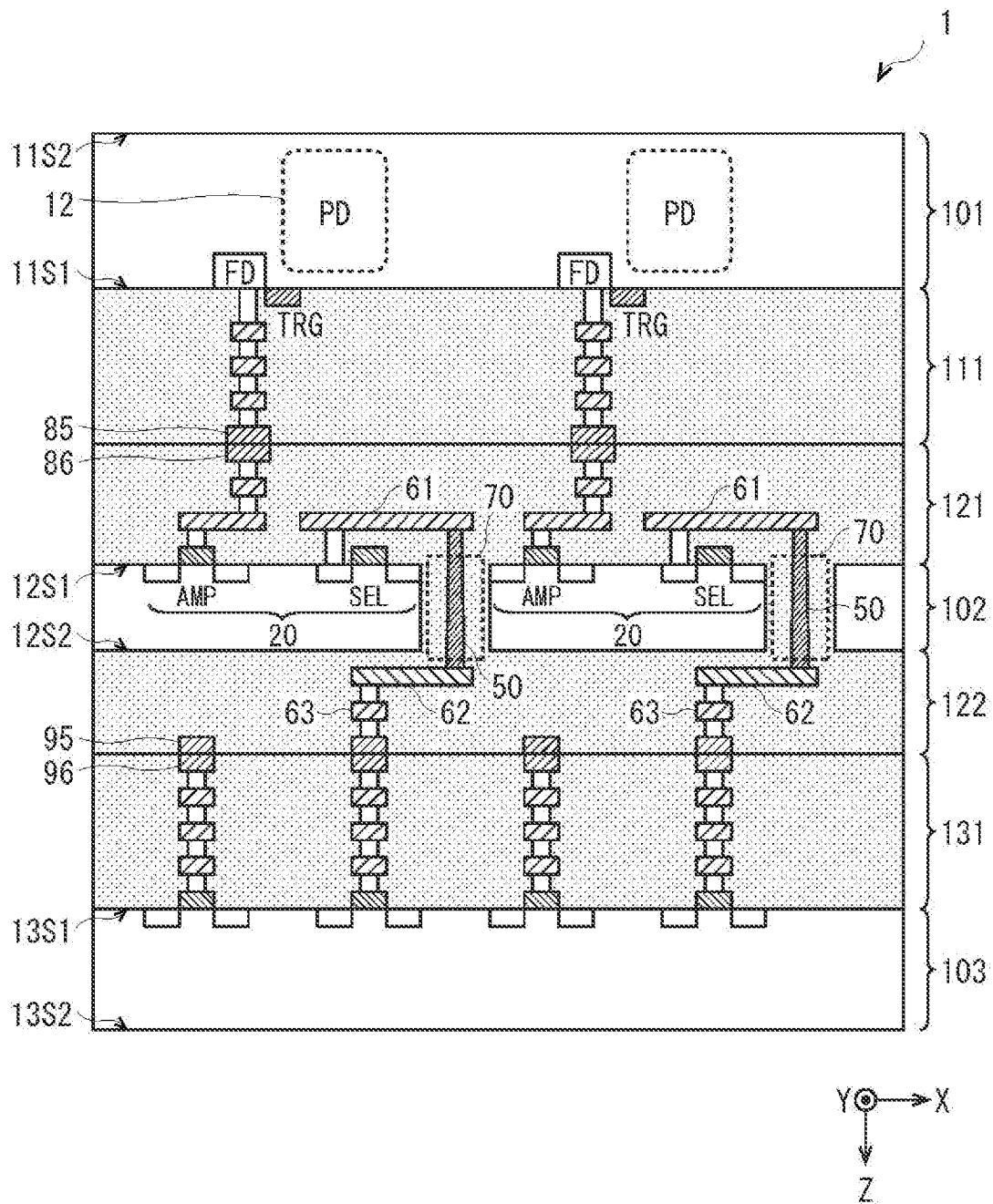
[図5]



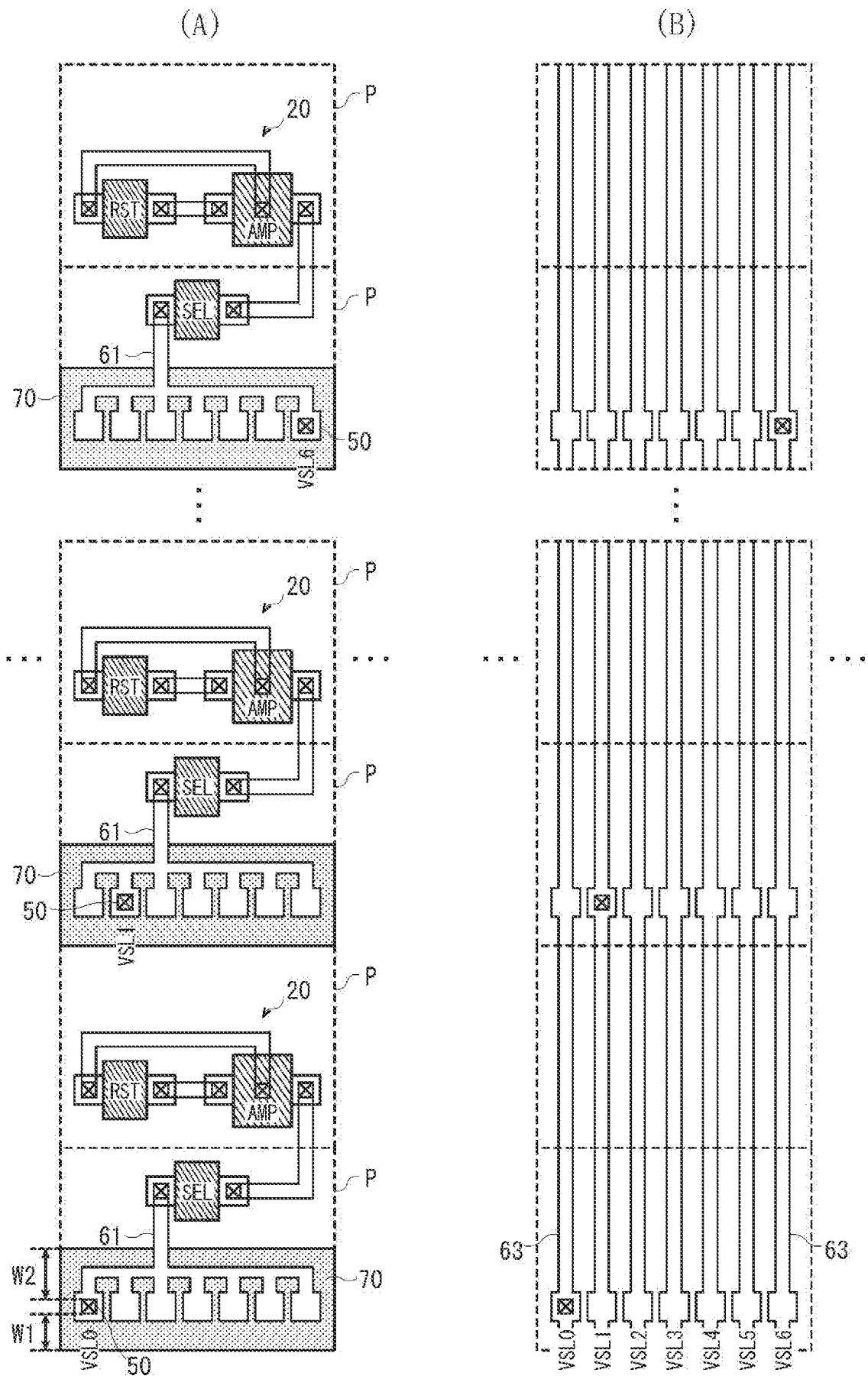
[図6]



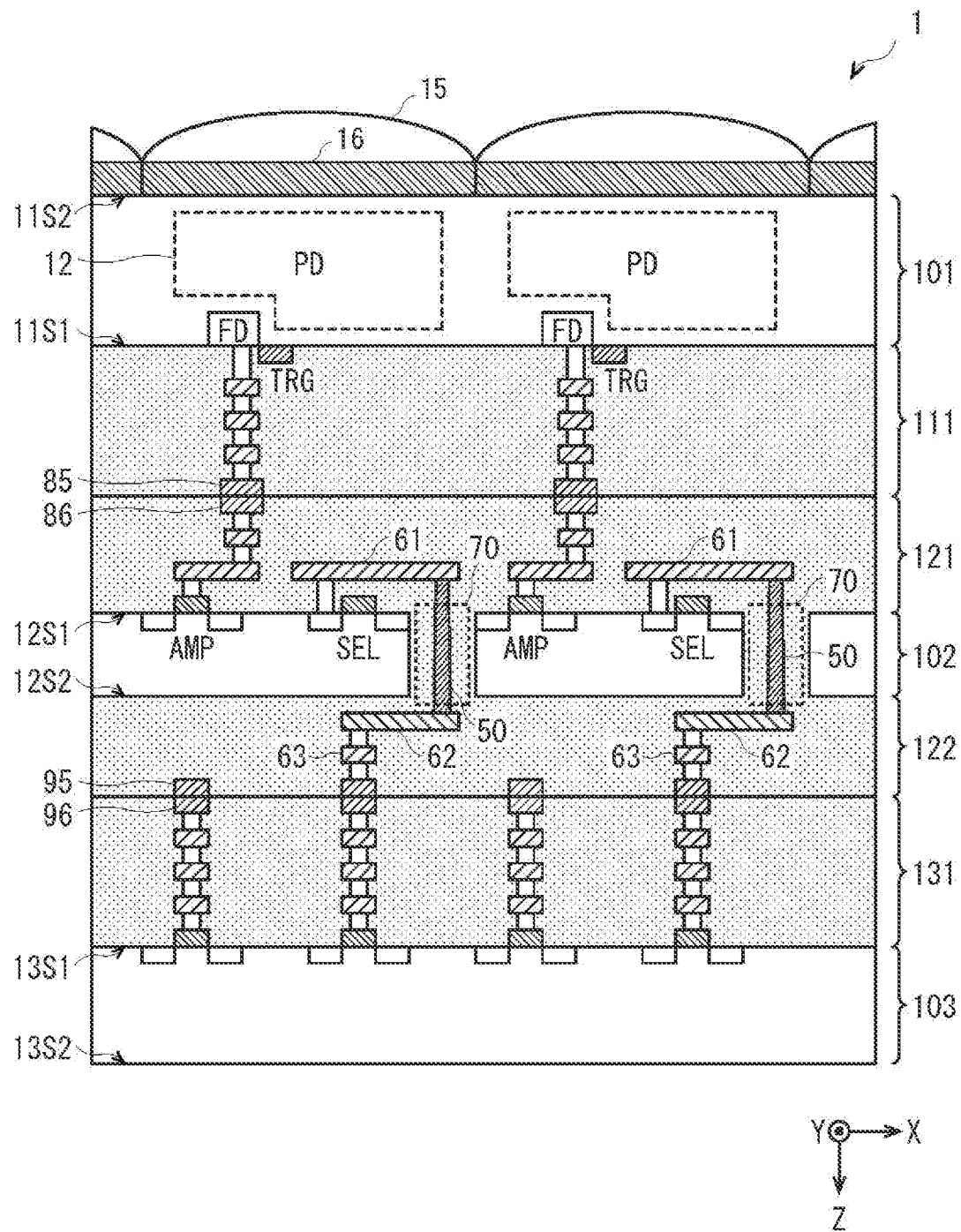
[図7]



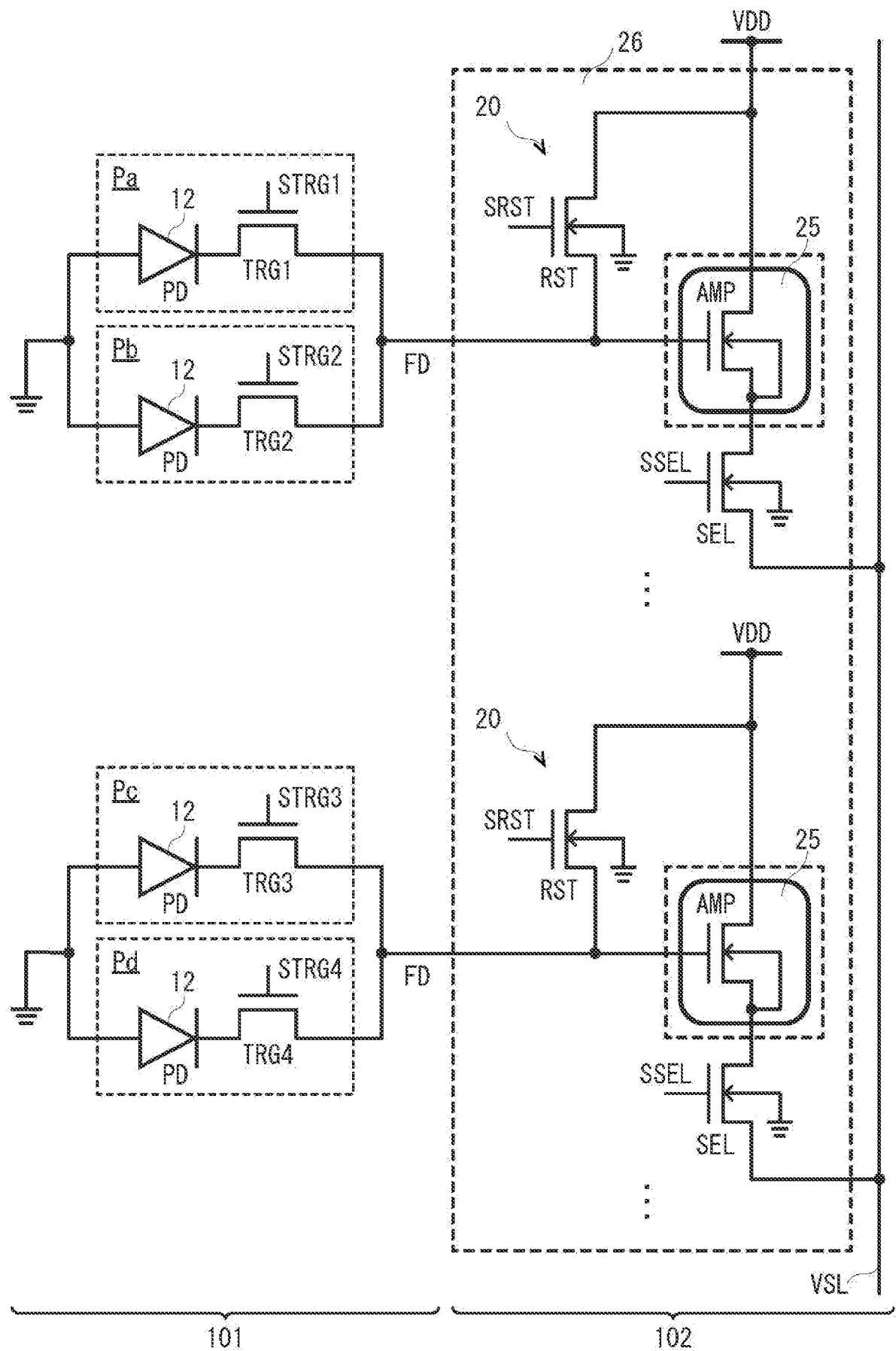
[図8]



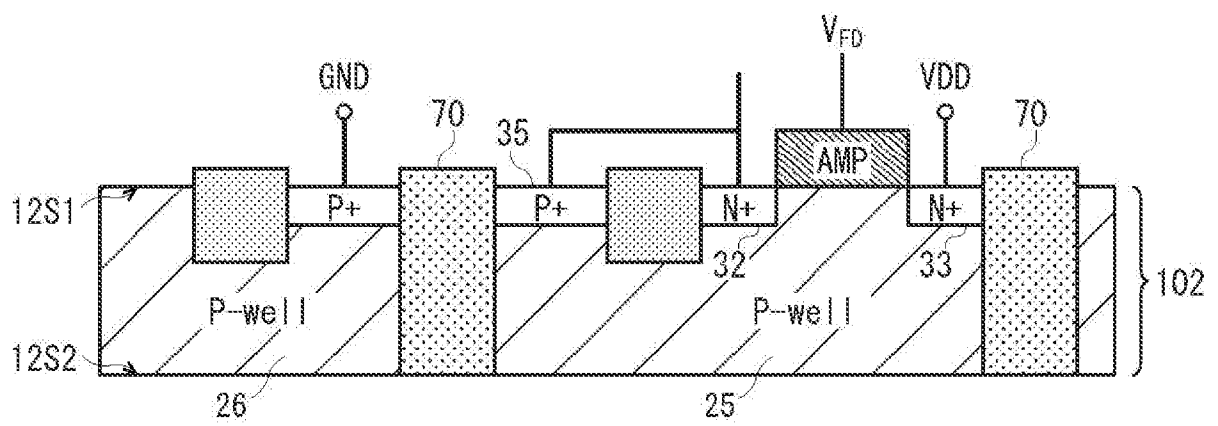
[図9]



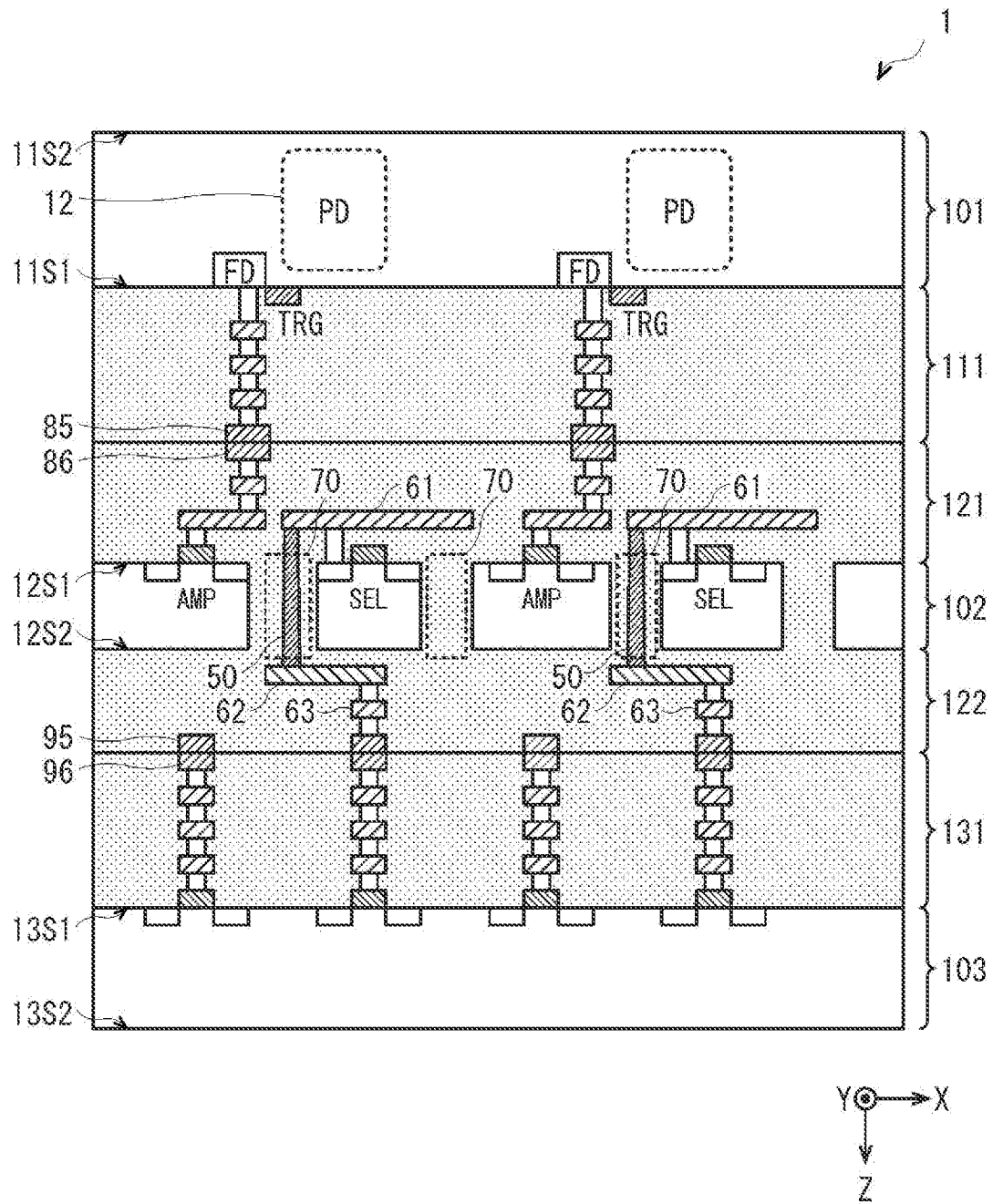
[図10]



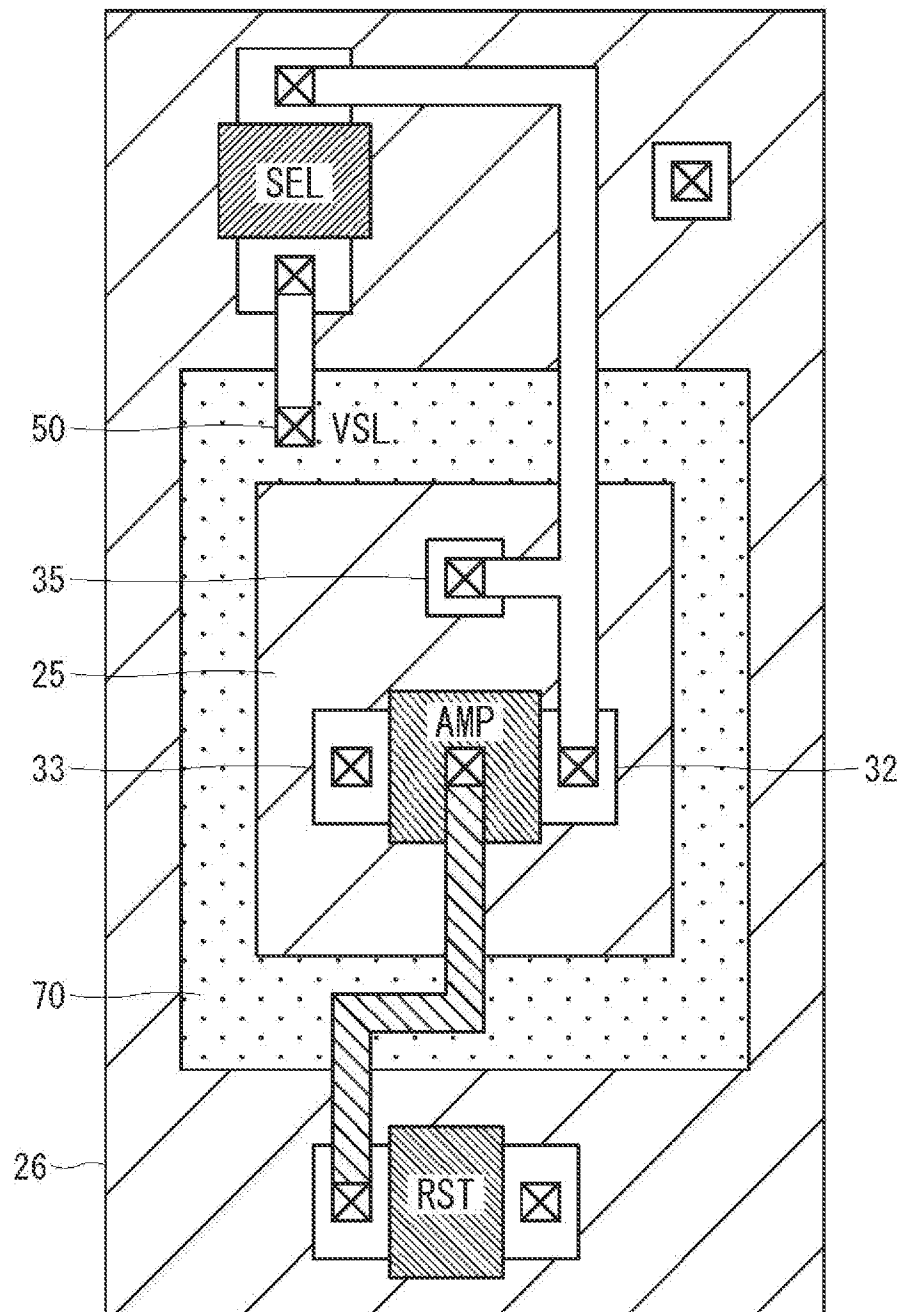
[図11]



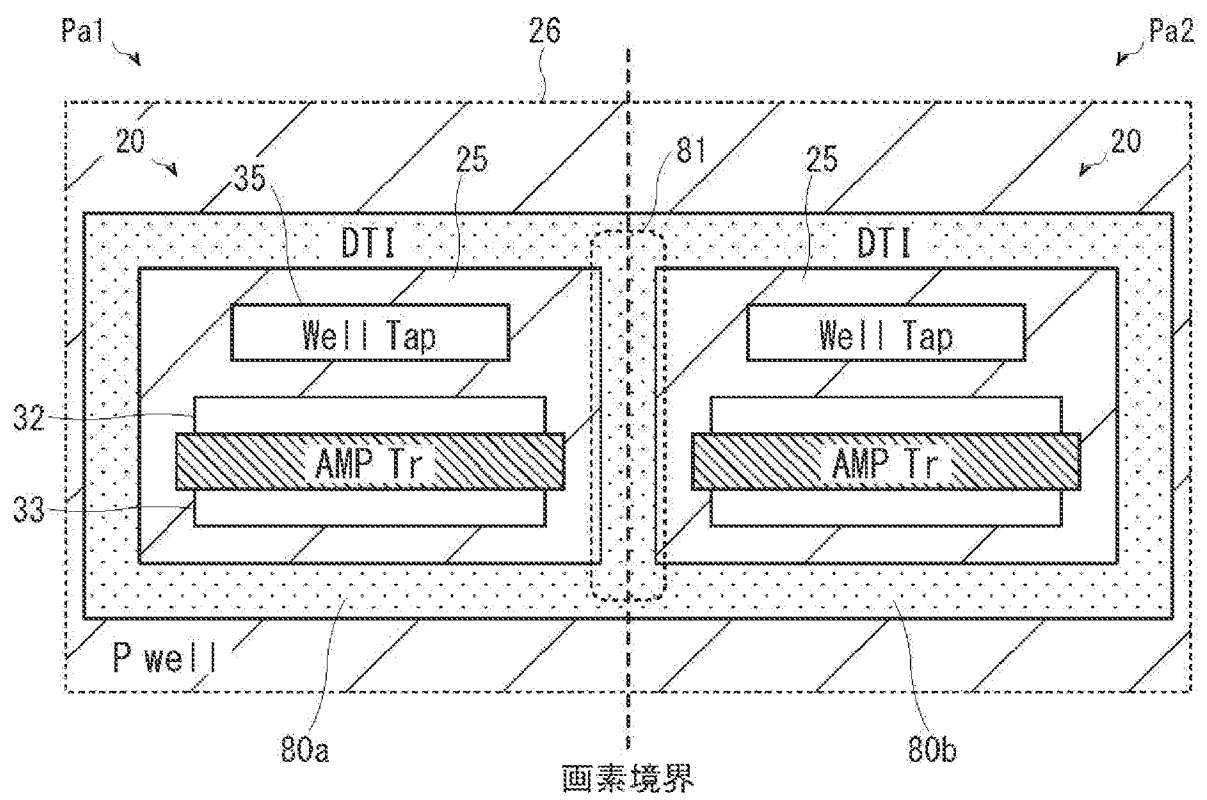
[図12]



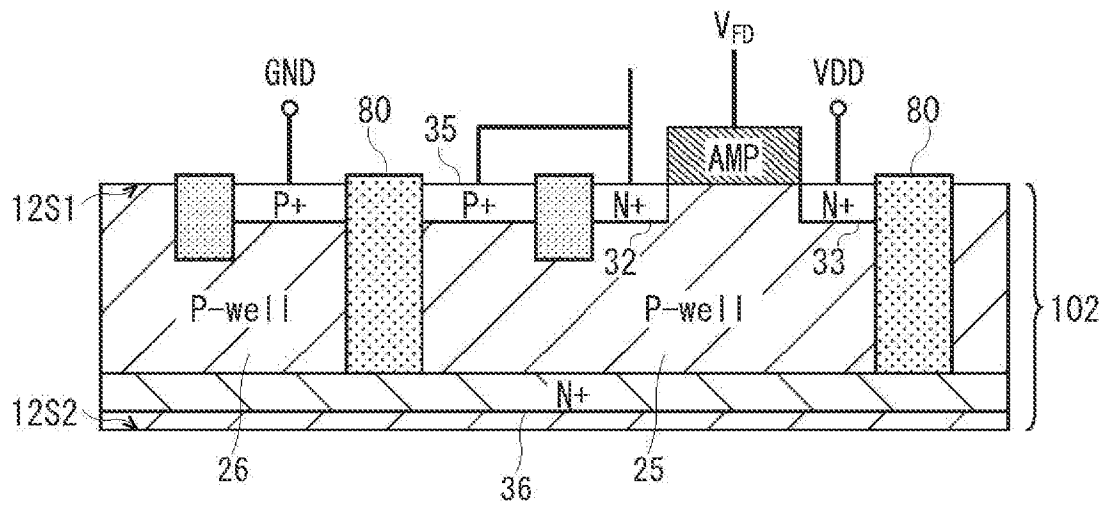
[図13]



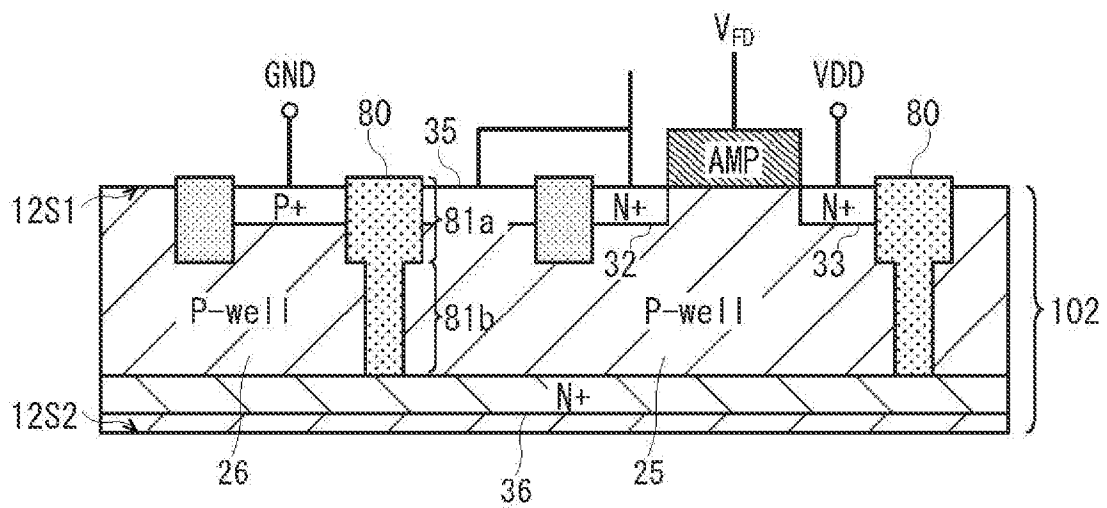
[図14]



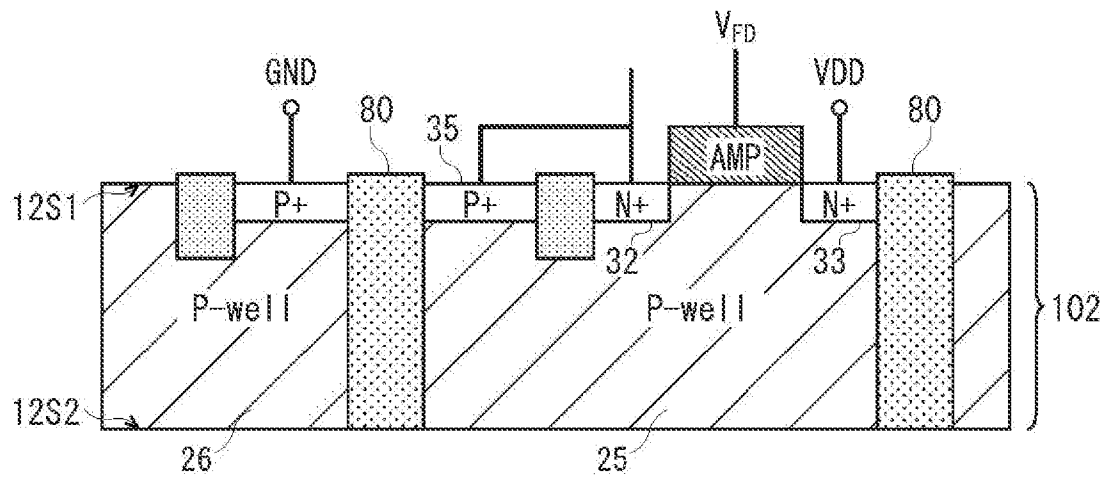
[図15]



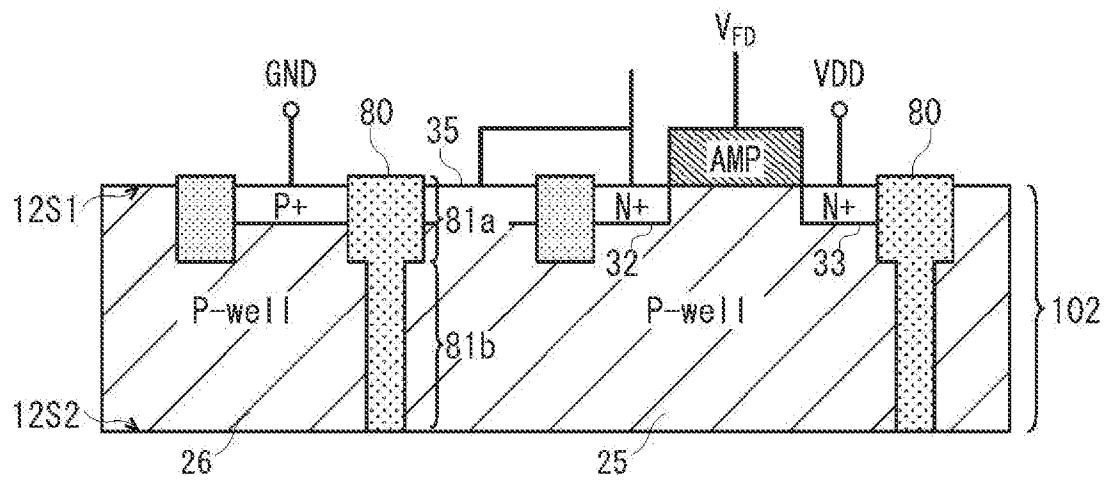
[図16]



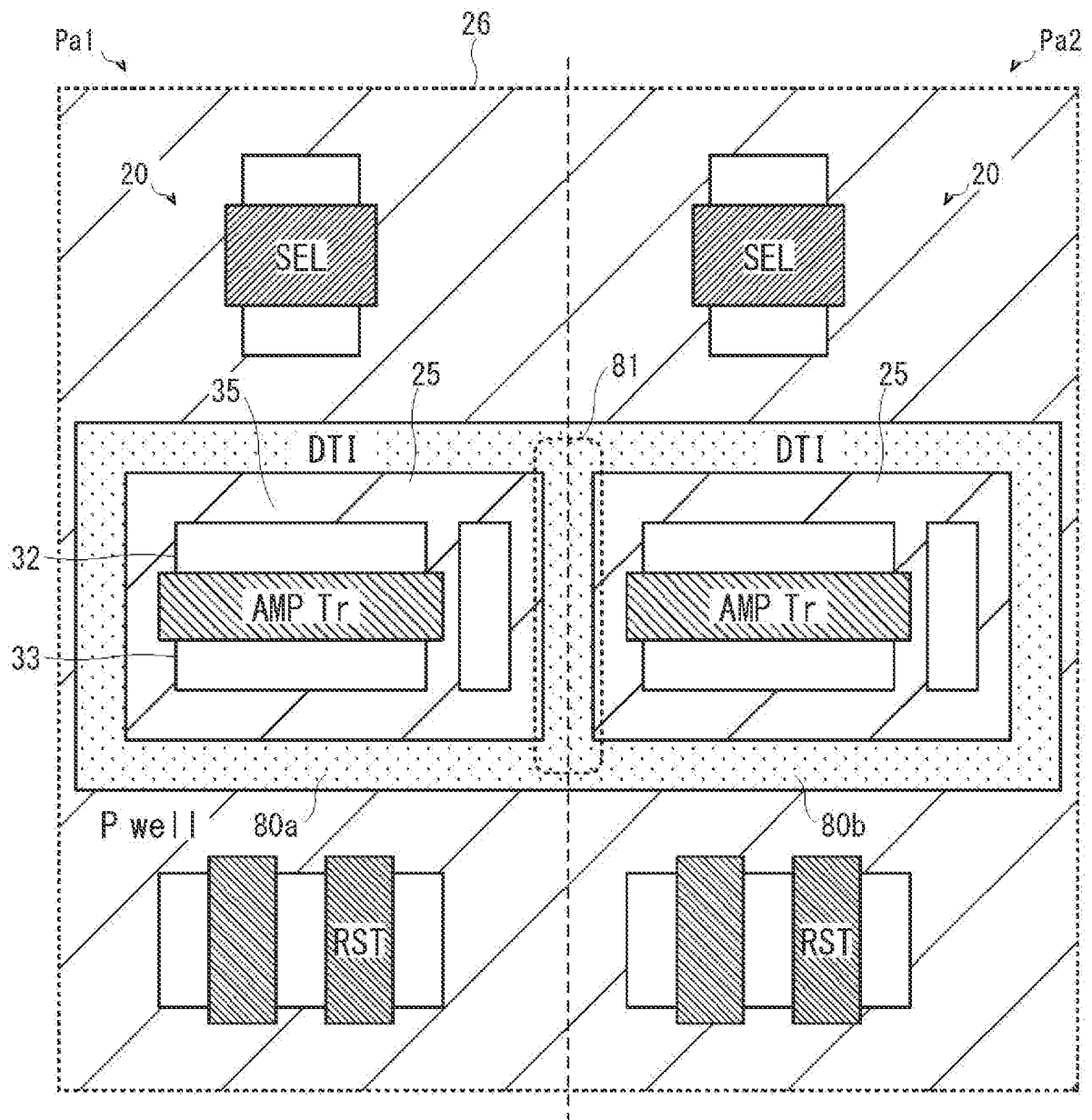
[図17]



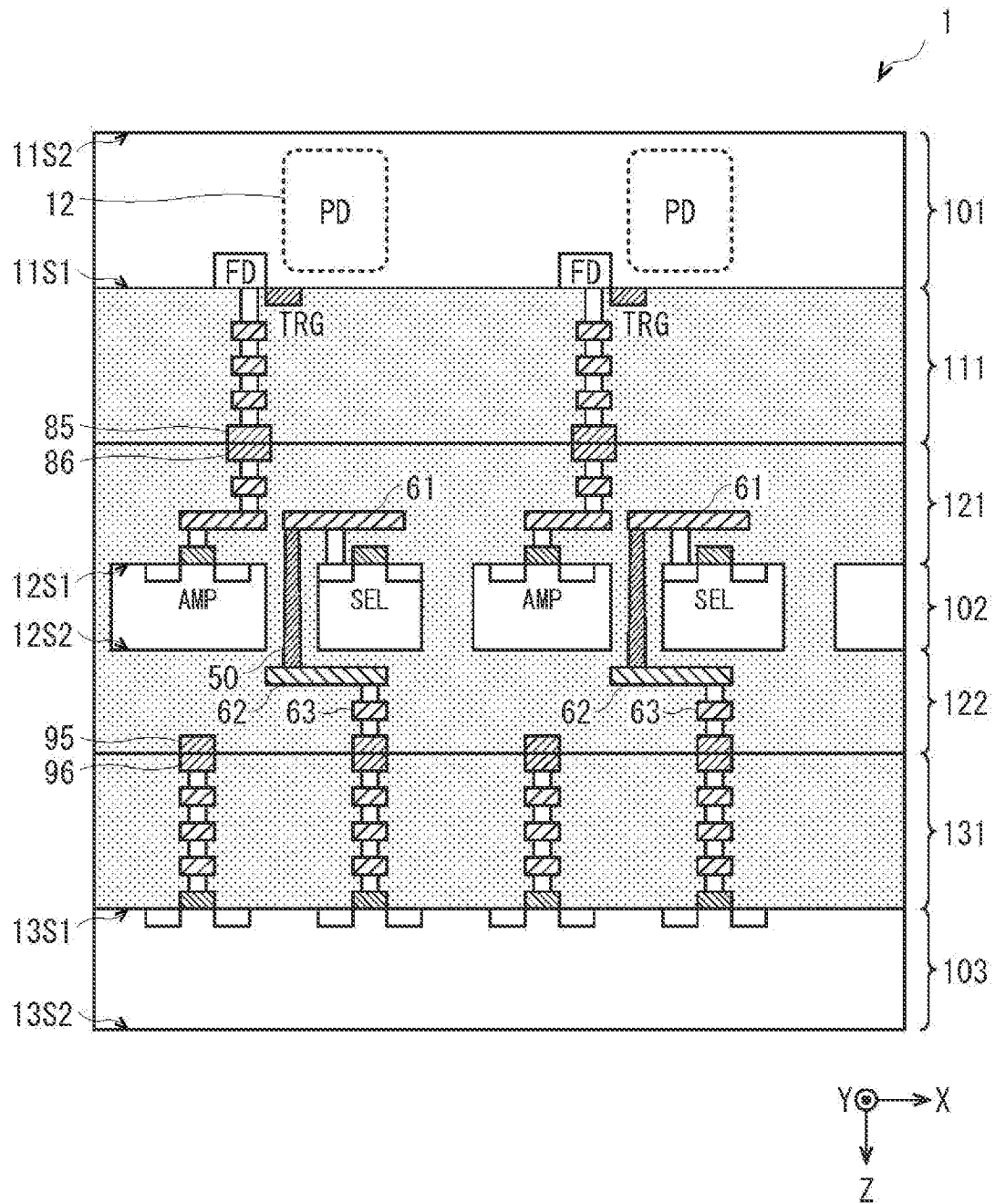
[図18]



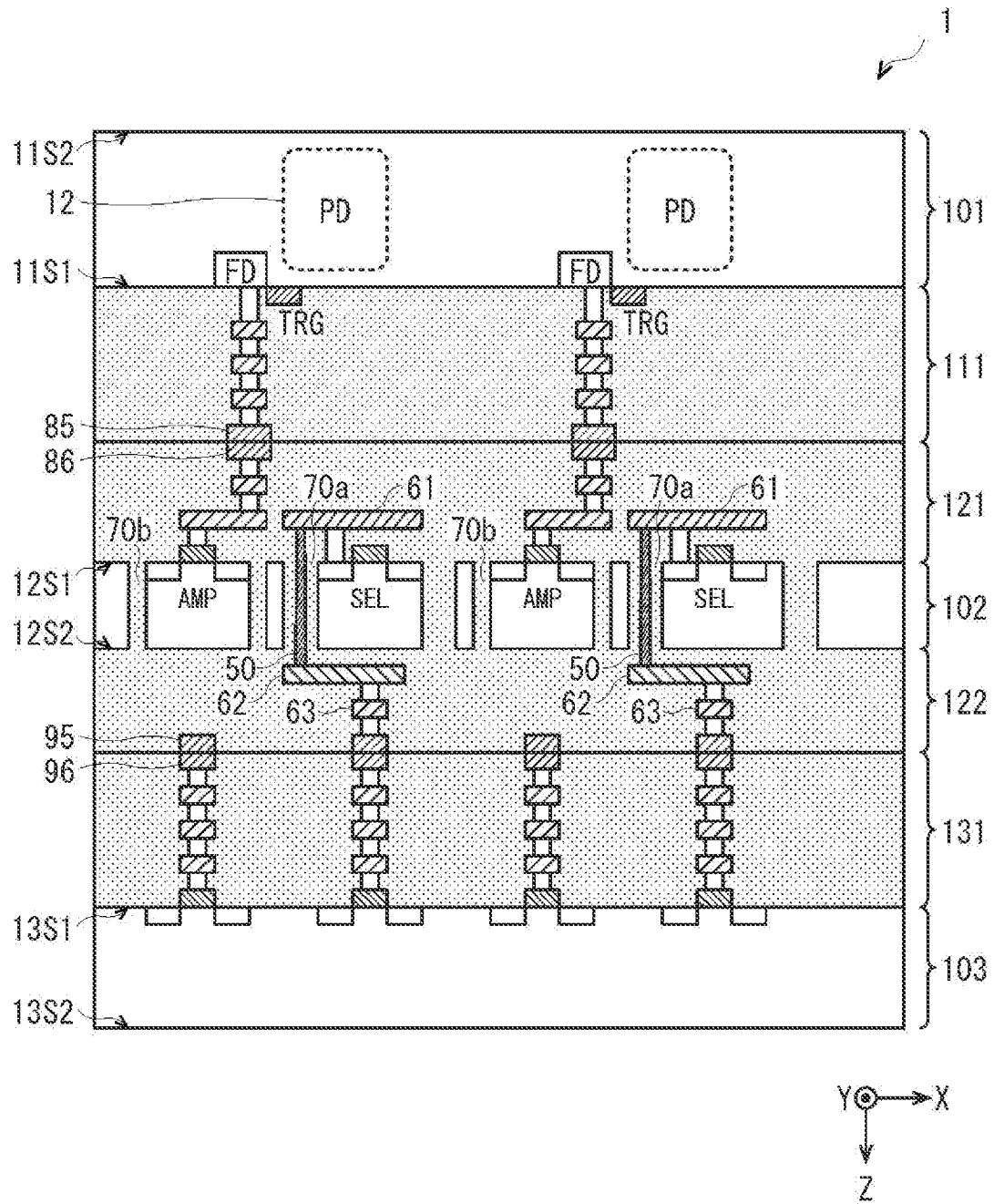
[図19]



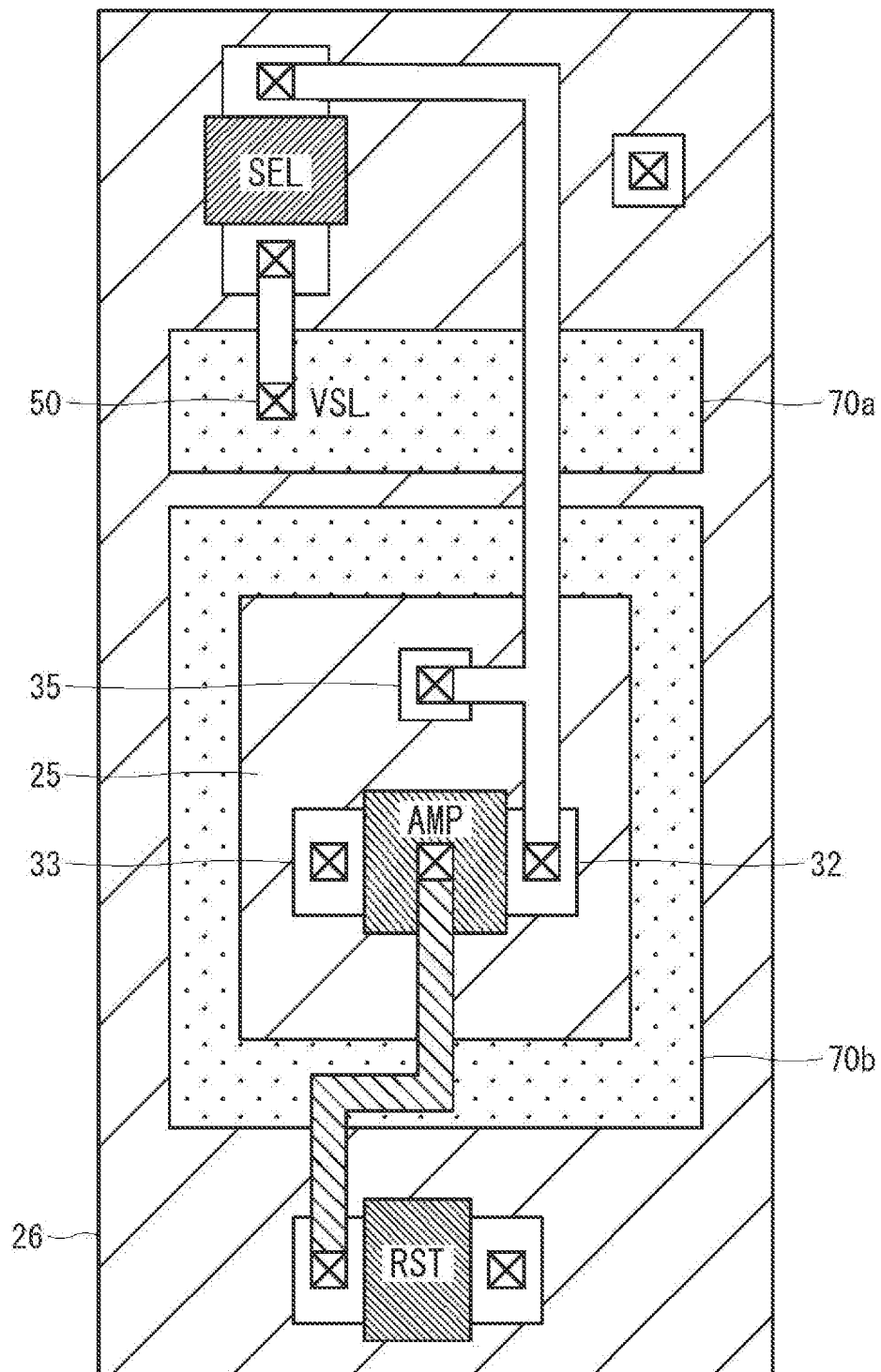
[図20]



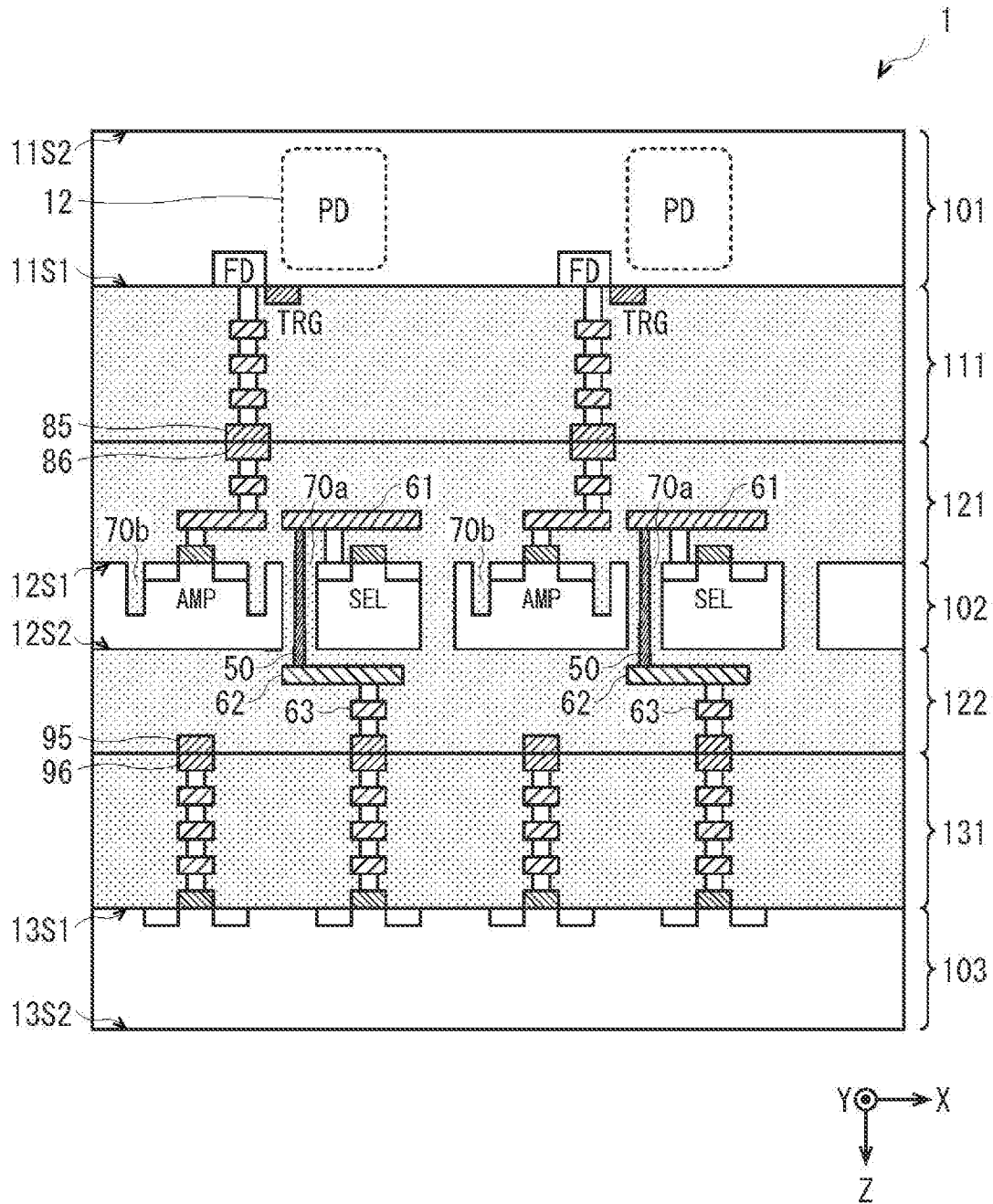
[図21]



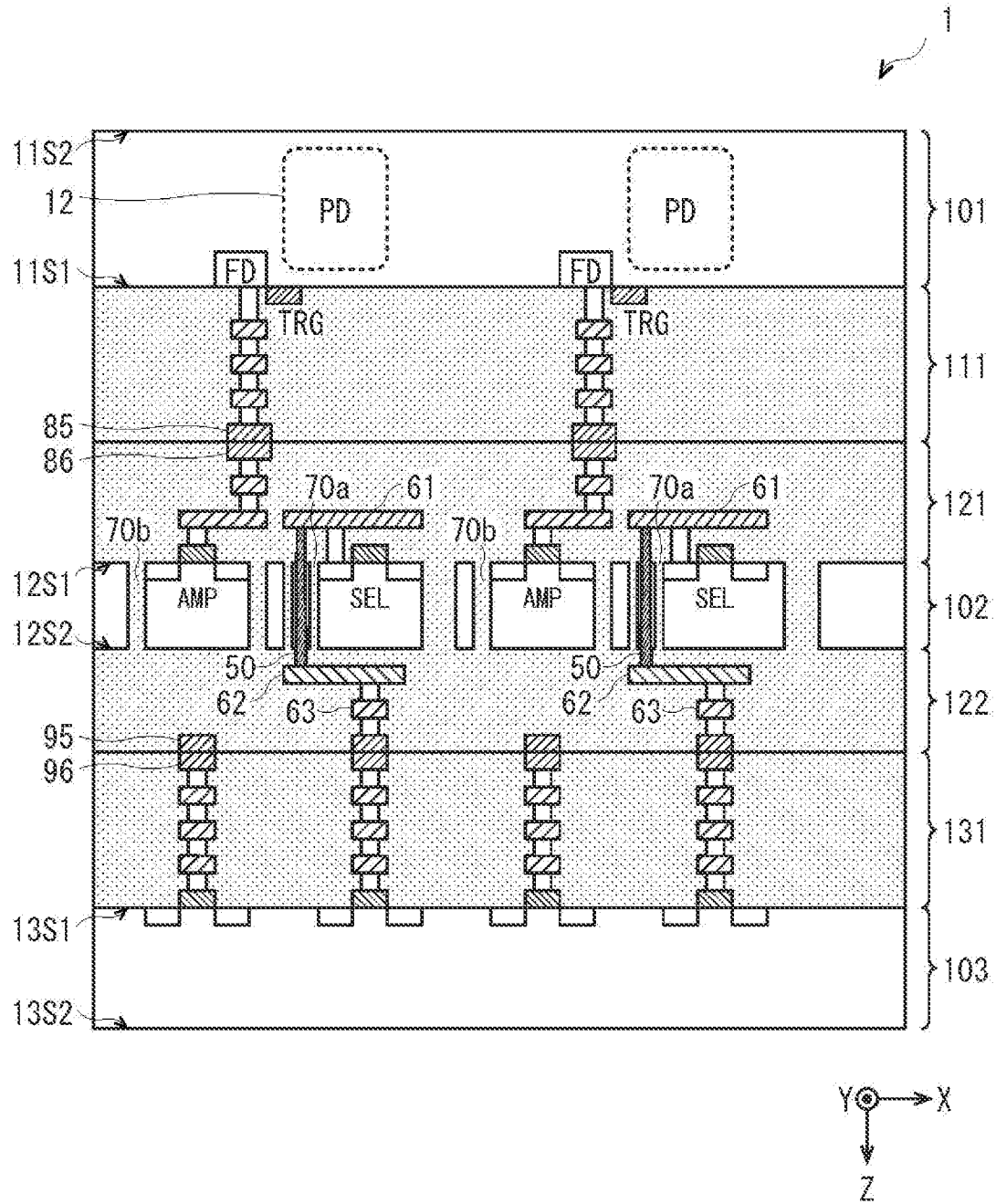
[図22]



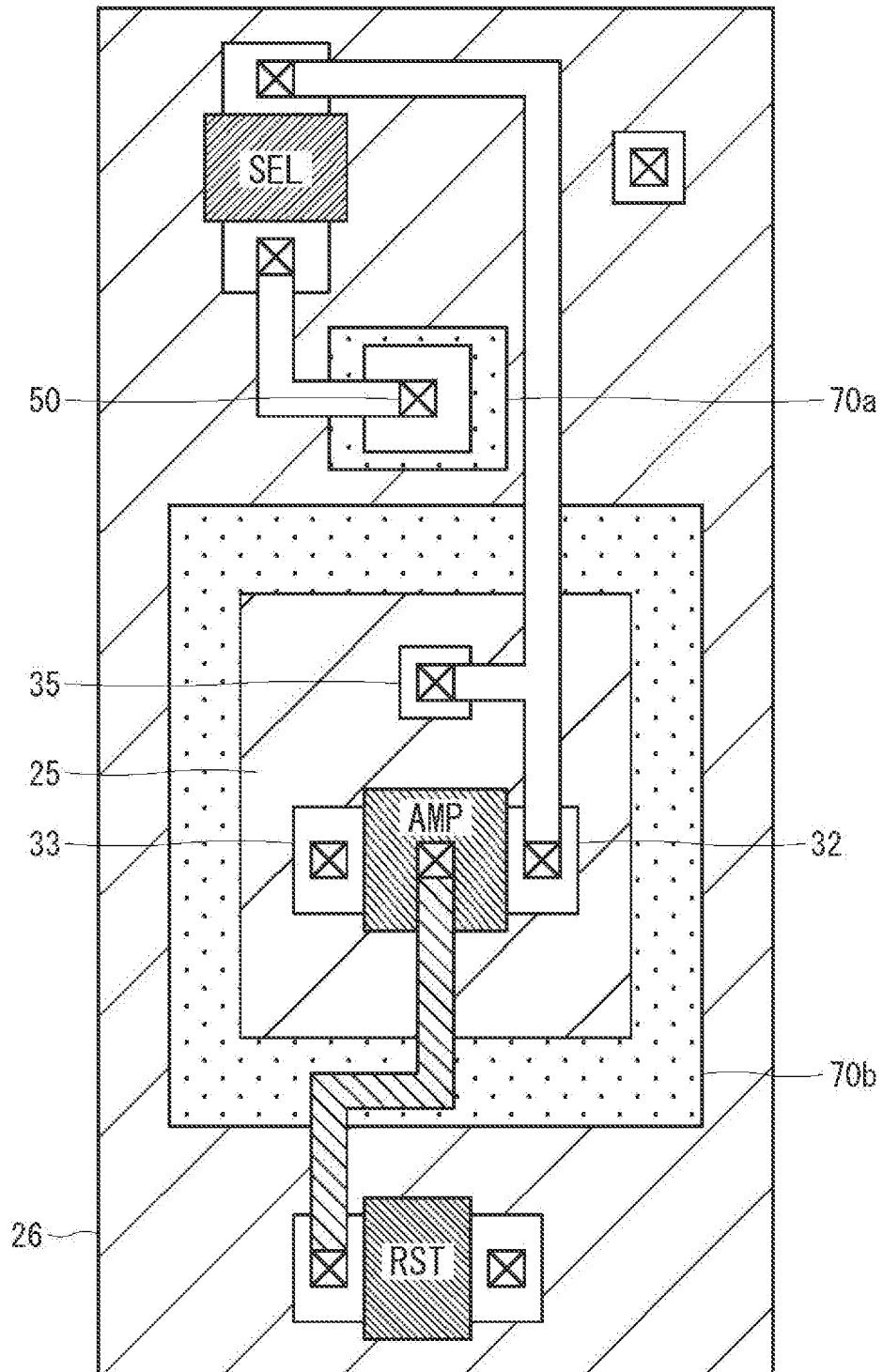
[図23]



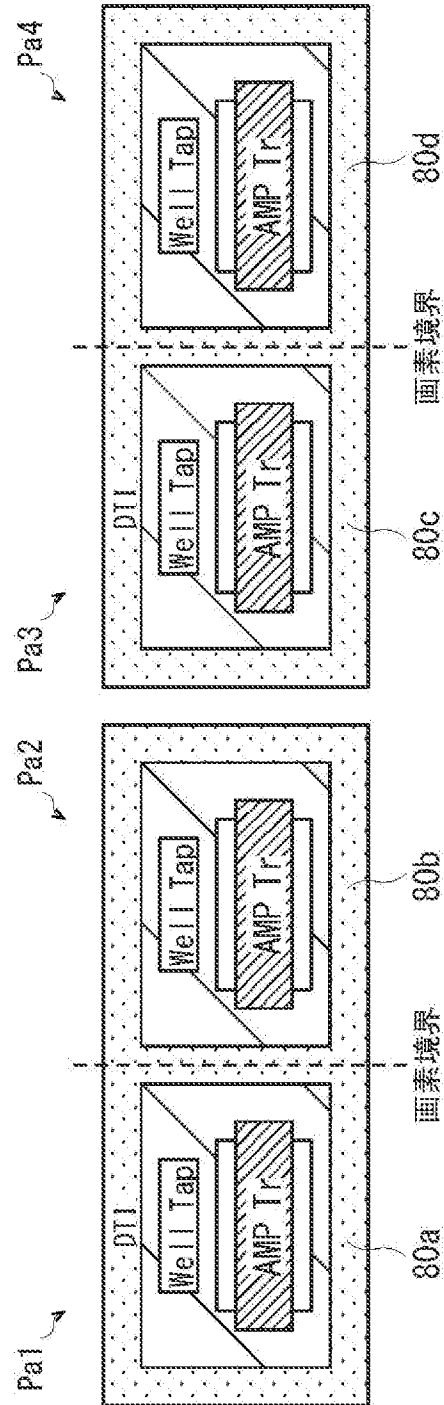
[図24]



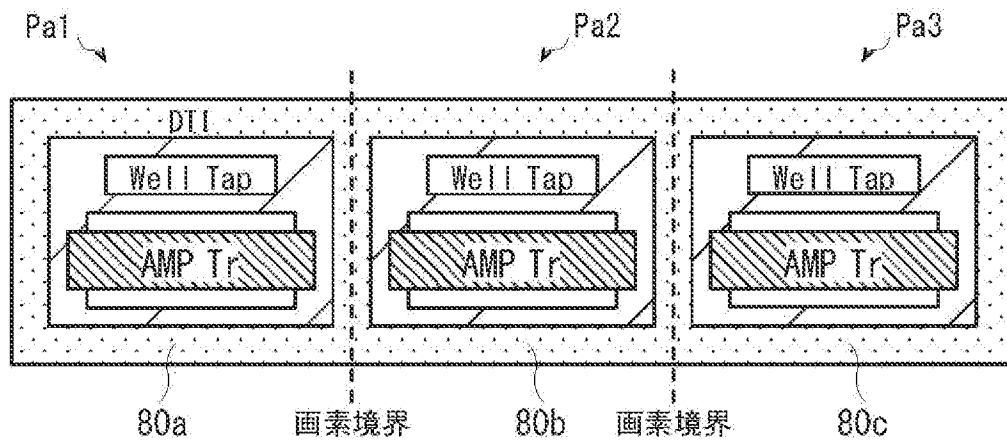
[図25]



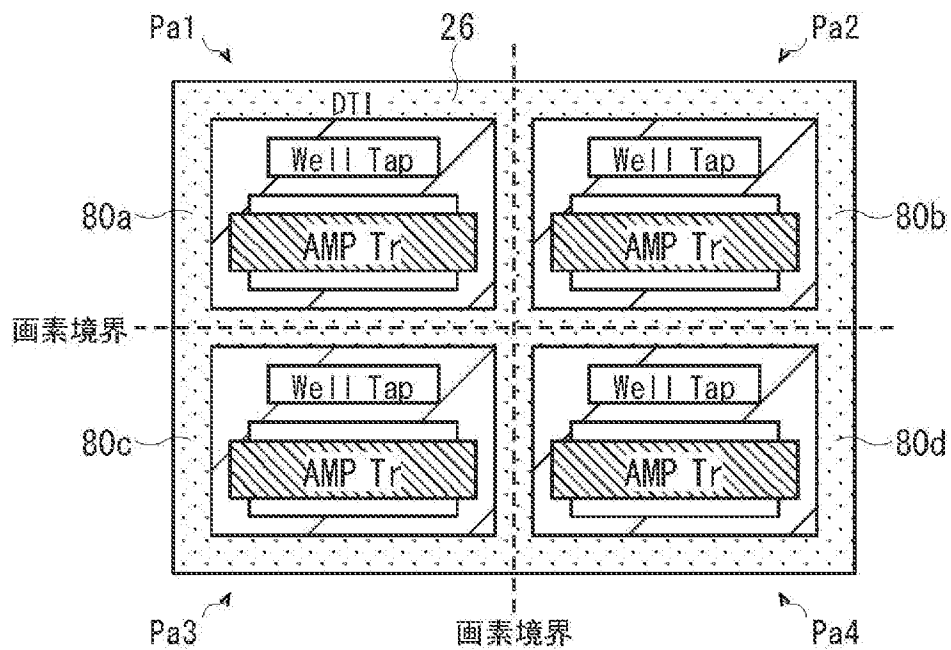
[図27]



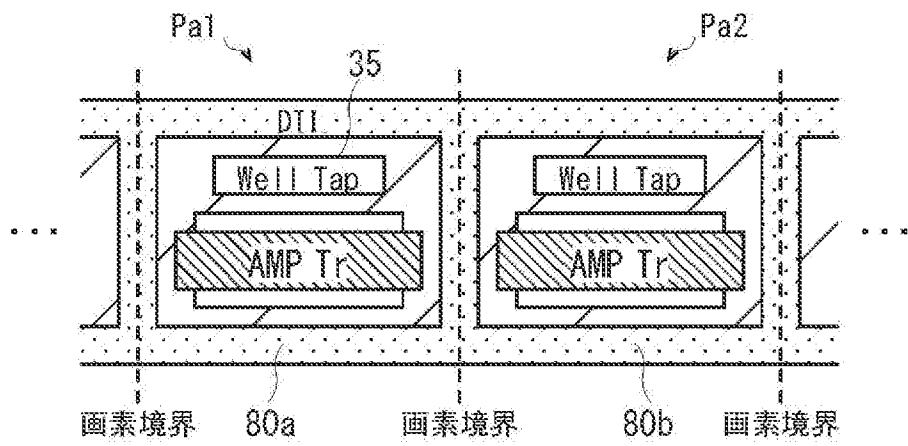
[図28]



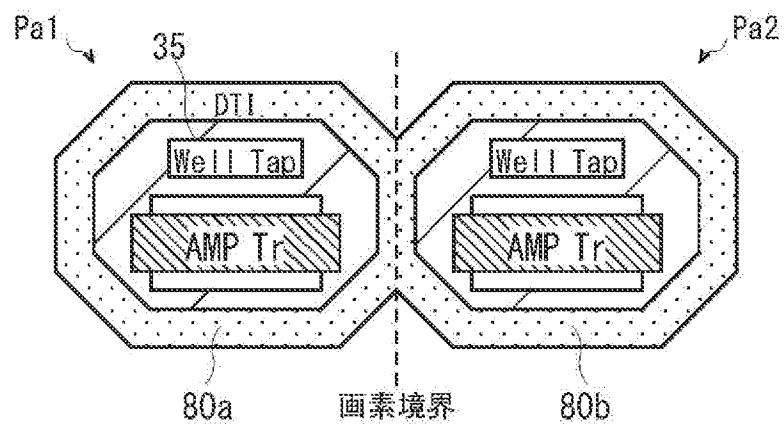
[図29]



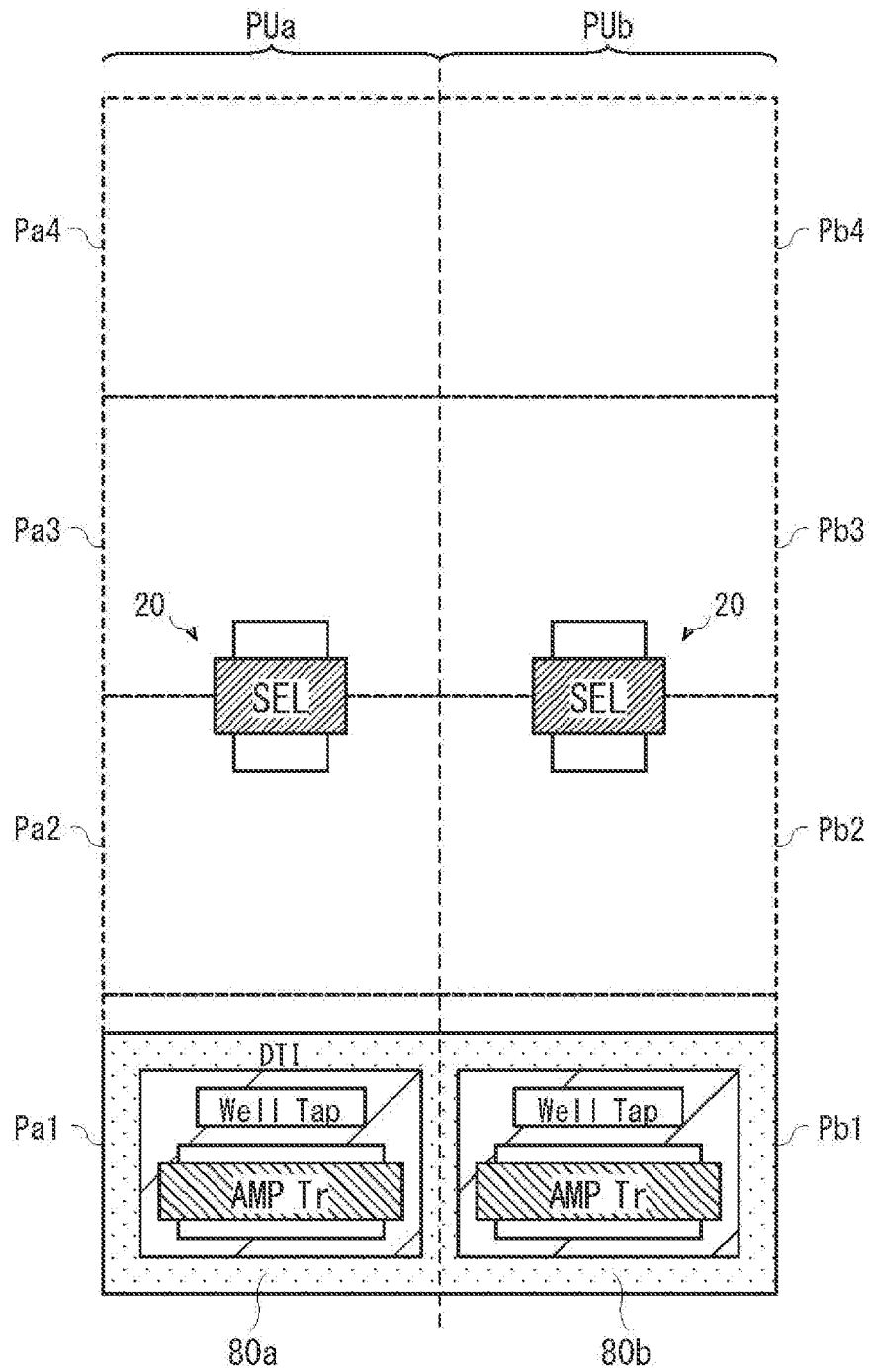
[図30]



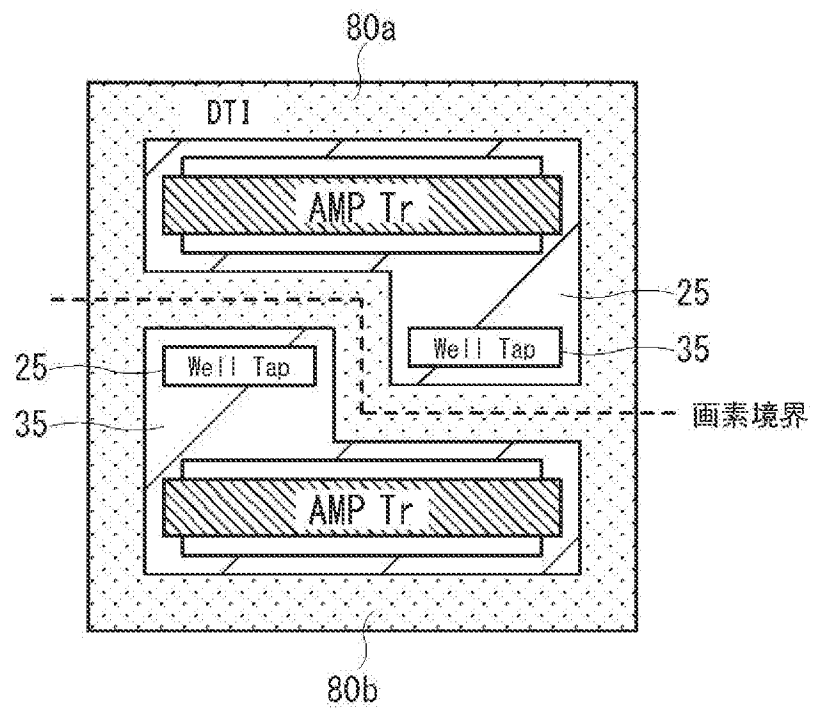
[図31]



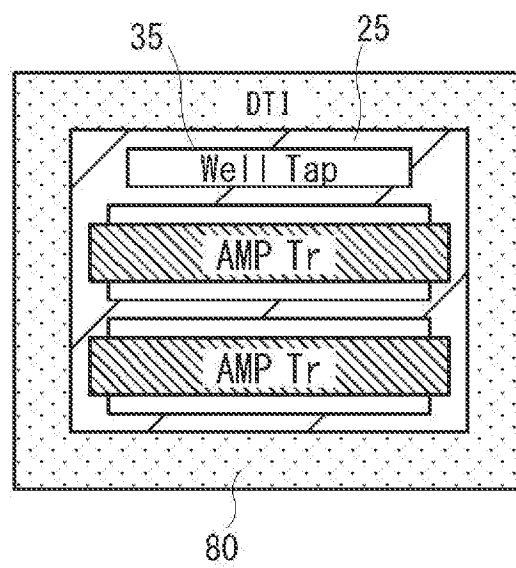
[図32]



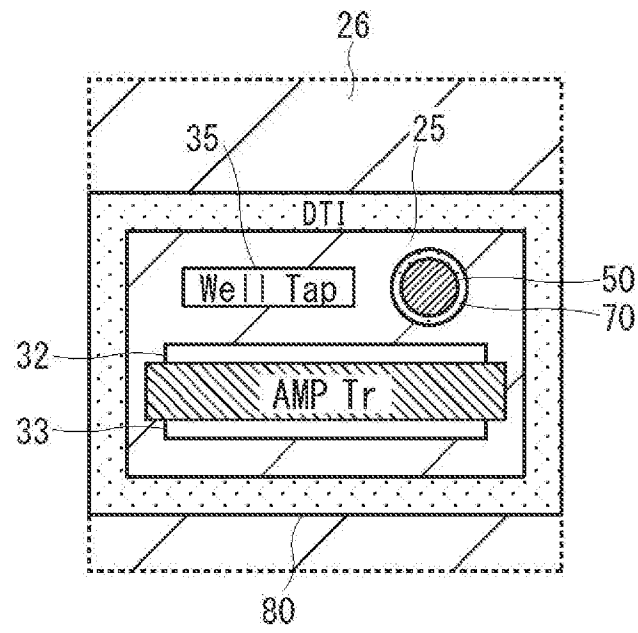
[図33]



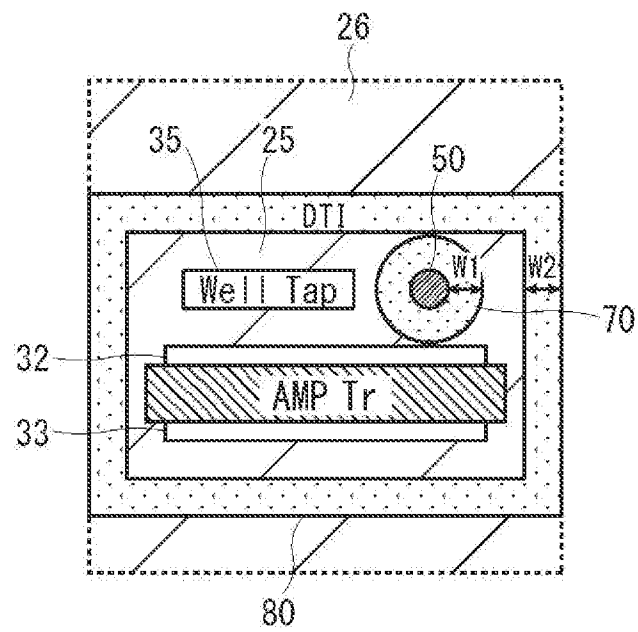
[図34]



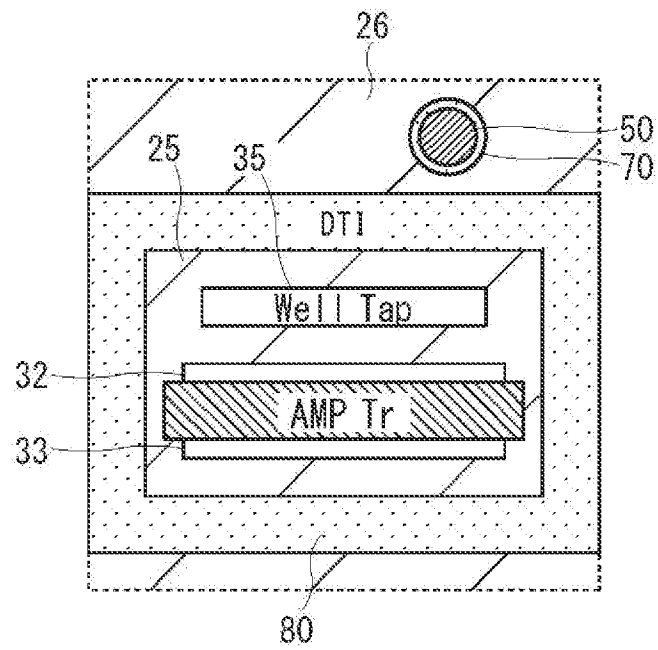
[図35]



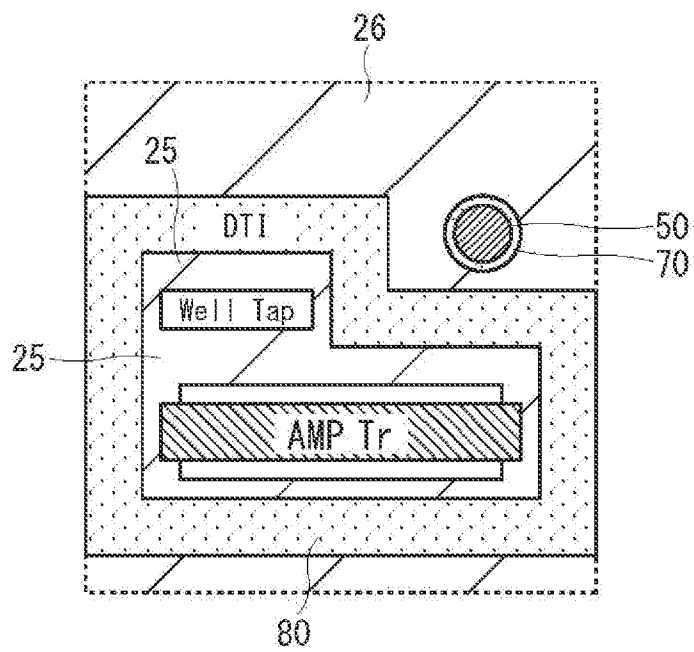
[図36]



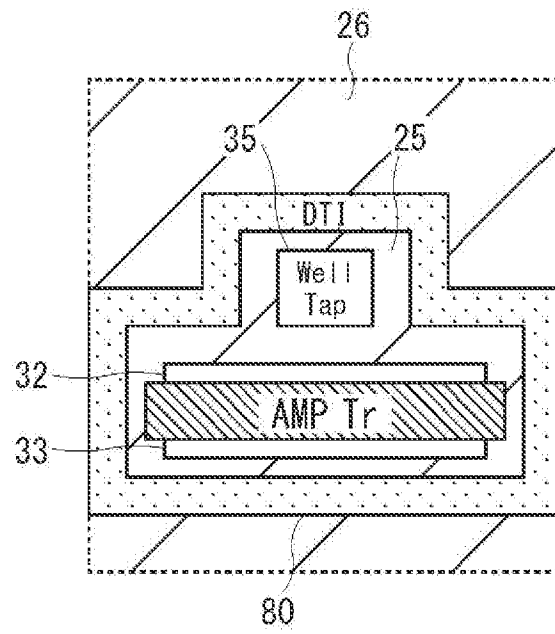
[図39]



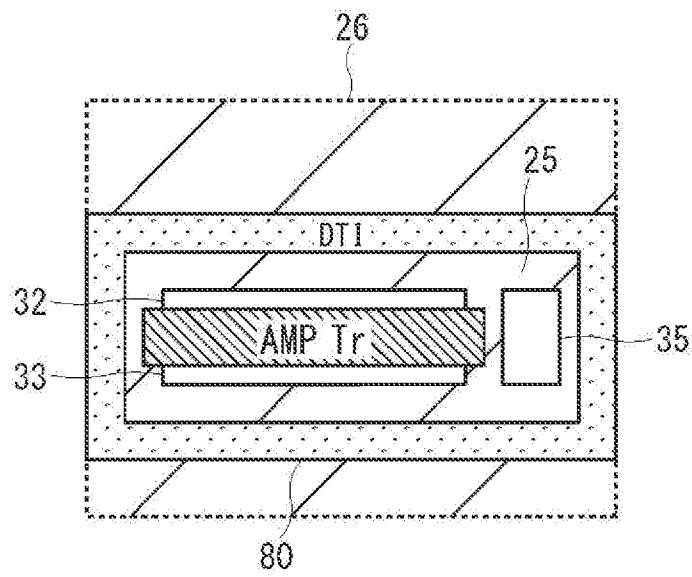
[図40]



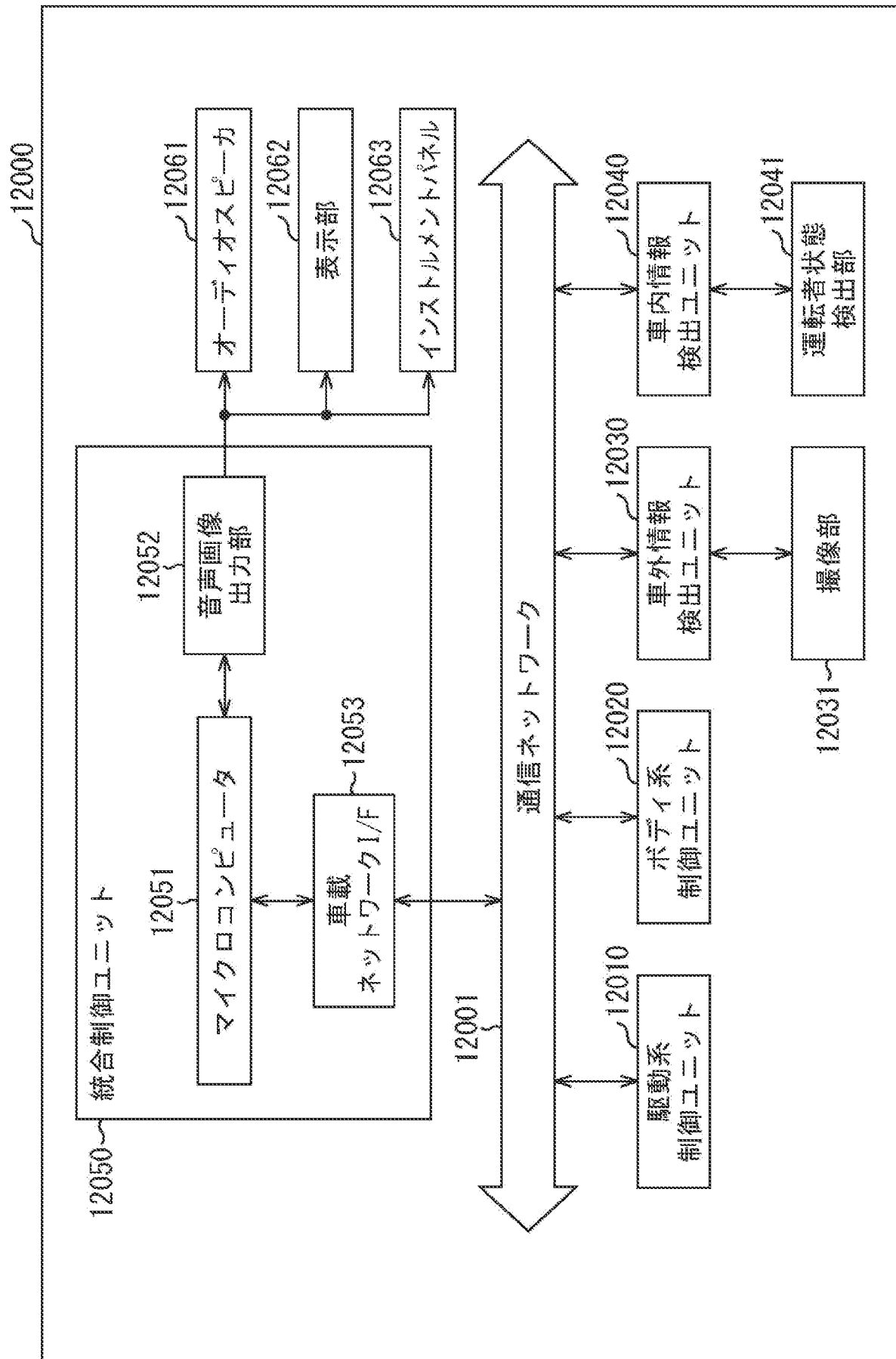
[図41]



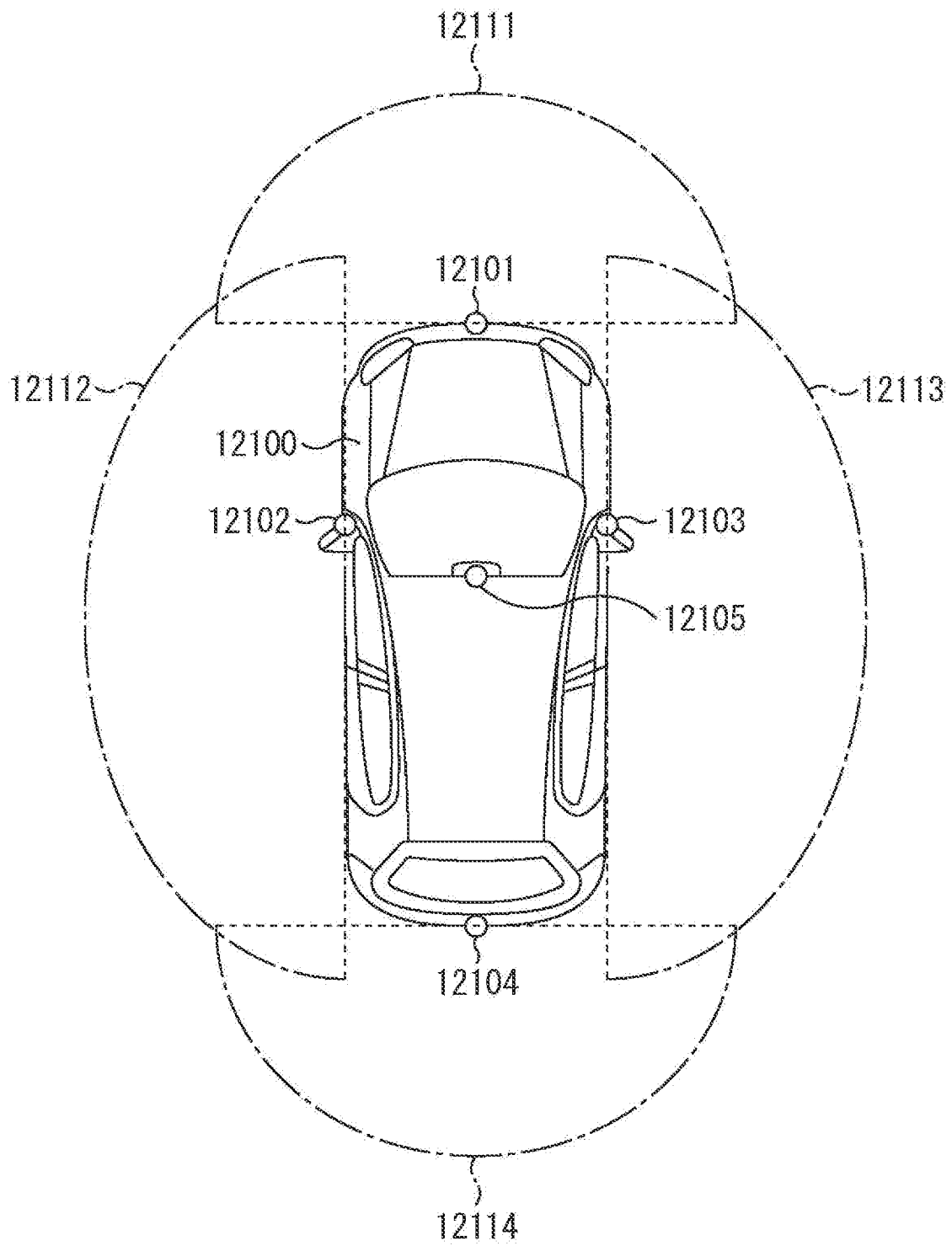
[図42]



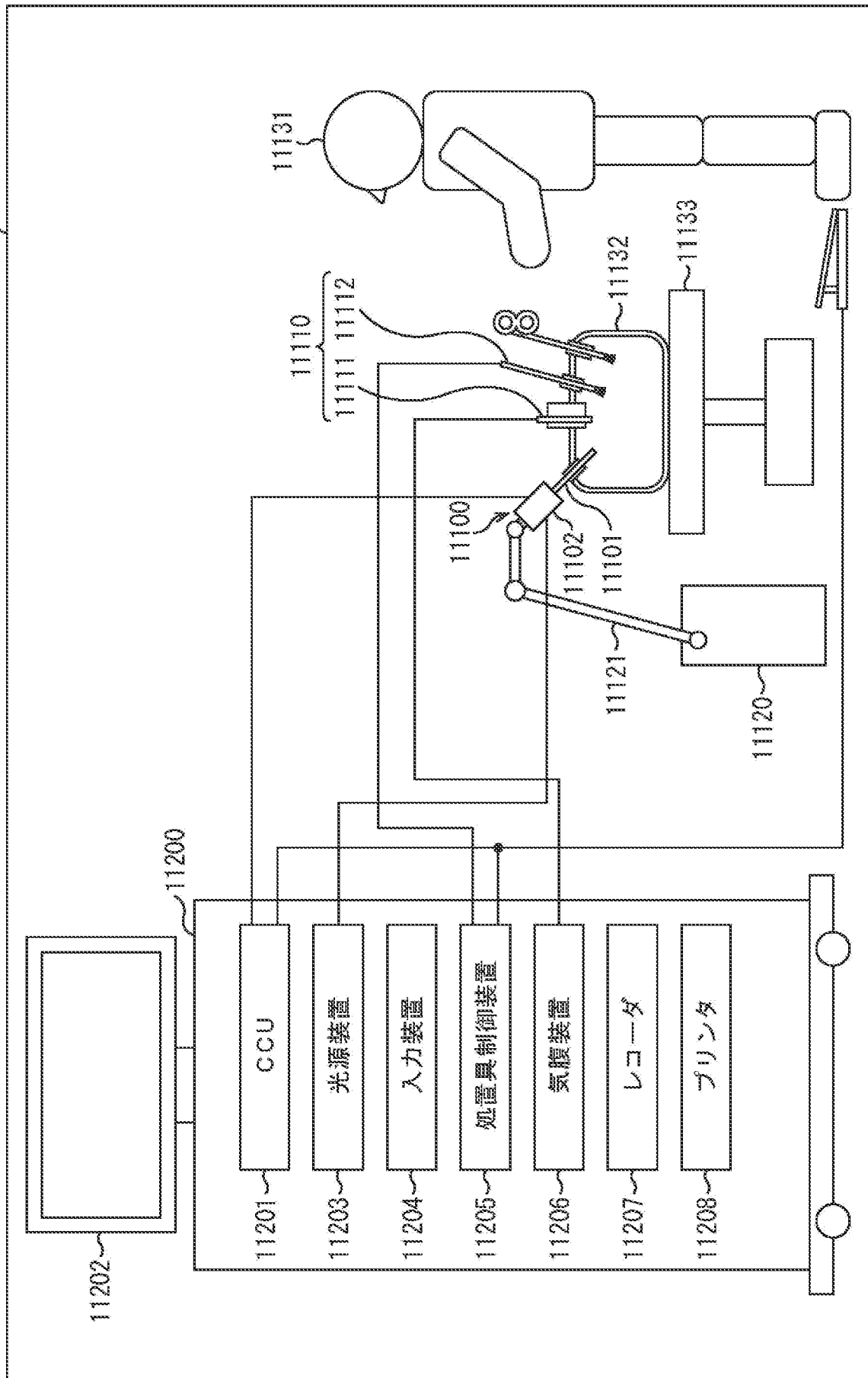
[図44]



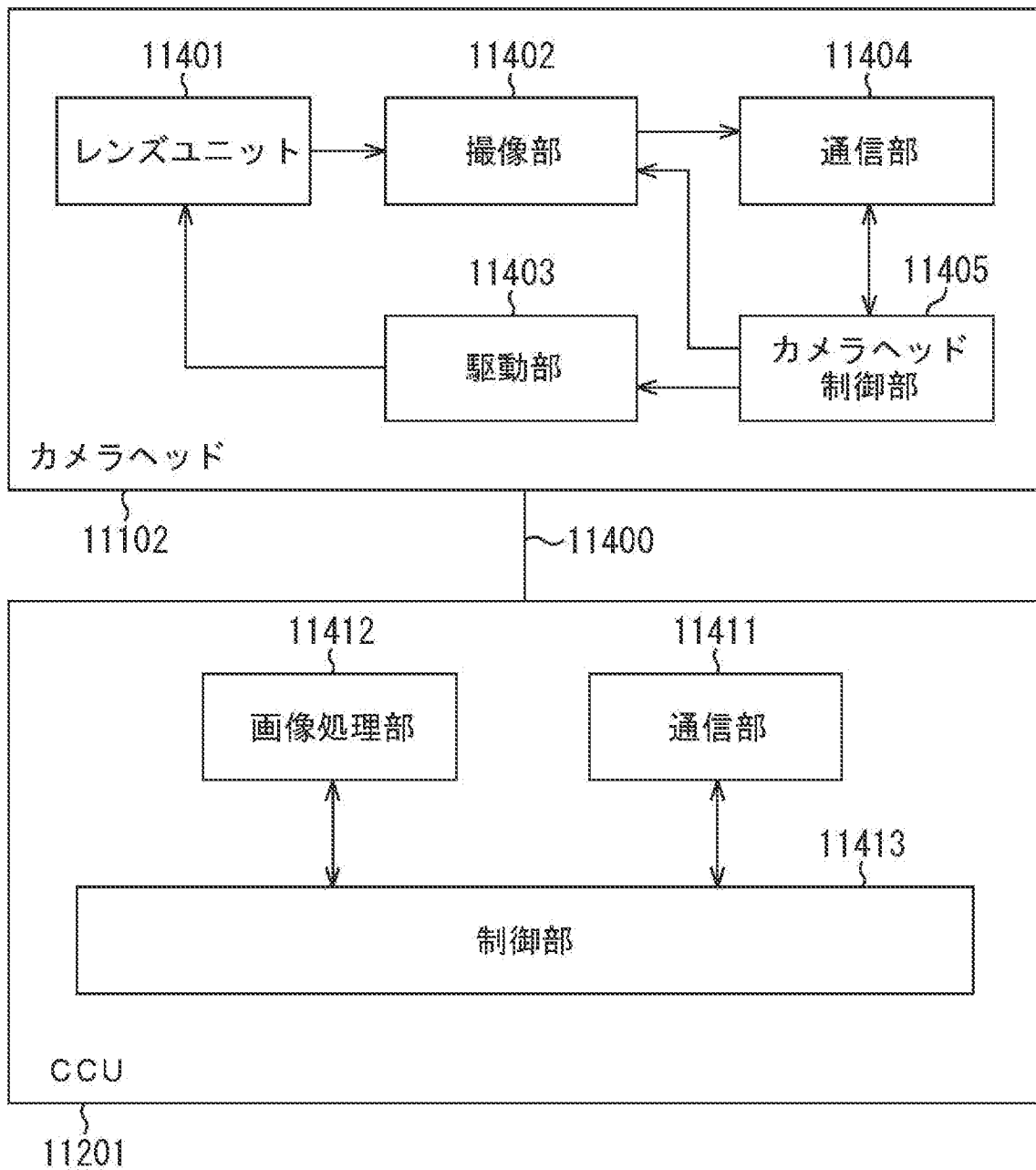
[図45]



[図46]



[図47]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2024/020300

A. CLASSIFICATION OF SUBJECT MATTER**H01L 27/146**(2006.01)i

FI: H01L27/146 F; H01L27/146 D

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L27/146

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Published examined utility model applications of Japan 1922-1996

Published unexamined utility model applications of Japan 1971-2024

Registered utility model specifications of Japan 1996-2024

Published registered utility model applications of Japan 1994-2024

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	WO 2020/045122 A1 (SONY SEMICONDUCTOR SOLUTIONS CORPORATION) 05 March 2020 (2020-03-05) fig. 5-6, 14, 22	1-2, 4-6, 29
Y		3, 7-16, 17-18, 30
Y	WO 2021/256142 A1 (SONY SEMICONDUCTOR SOLUTIONS CORPORATION) 23 December 2021 (2021-12-23) fig. 5	3
Y	WO 2020/262584 A1 (SONY SEMICONDUCTOR SOLUTIONS CORPORATION) 30 December 2020 (2020-12-30) paragraphs [0107], [0113], fig. 1-2, 37, 46-47	7-13, 17-18, 26, 30
Y	WO 2020/262629 A1 (SONY SEMICONDUCTOR SOLUTIONS CORPORATION) 30 December 2020 (2020-12-30) paragraphs [0037], [0049], fig. 38, 50A-52	10-16, 18-28

☒ Further documents are listed in the continuation of Box C.☒ See patent family annex.

* Special categories of cited documents:

“A” document defining the general state of the art which is not considered to be of particular relevance

“D” document cited by the applicant in the international application

“E” earlier application or patent but published on or after the international filing date

“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

“O” document referring to an oral disclosure, use, exhibition or other means

“P” document published prior to the international filing date but later than the priority date claimed

“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

“&” document member of the same patent family

Date of the actual completion of the international search

08 August 2024

Date of mailing of the international search report

20 August 2024

Name and mailing address of the ISA/JP

Japan Patent Office (ISA/JP)
3-4-3 Kasumigaseki, Chiyoda-ku, Tokyo 100-8915
Japan

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2024/020300

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 2021-86919 A (CANON KABUSHIKI KAISHA) 03 June 2021 (2021-06-03) fig. 2-3, 9	19-28
Y	US 2021/0210534 A1 (TAIWAN SEMICONDUCTOR MANUFACTURING COMPANY, LTD.) 08 July 2021 (2021-07-08) paragraph [0050]	27

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.

PCT/JP2024/020300

Patent document cited in search report			Publication date (day/month/year)	Patent family member(s)		Publication date (day/month/year)
WO	2020/045122	A1	05 March 2020	US	2021/0314516	A1
				fig. 5-6, 14, 22		
				TW	202015395	A
				JP	2021-184510	A
WO	2021/256142	A1	23 December 2021	US	2023/0254608	A1
				fig. 5		
WO	2020/262584	A1	30 December 2020	US	2022/0367558	A1
				paragraphs [0229], [0236], fig.		
				1-2, 37, 46-47		
				CN	113841245	A
				KR	10-2022-0025725	A
				TW	202118029	A
WO	2020/262629	A1	30 December 2020	US	2022/0367555	A1
				paragraphs [0161], [0173], fig.		
				38, 50A-52		
				EP	3993011	A1
				CN	113841242	A
				KR	10-2022-0023760	A
				TW	202109616	A
JP	2021-86919	A	03 June 2021	US	2021/0159258	A1
				fig. 2-3, 9		
US	2021/0210534	A1	08 July 2021	DE	102020100773	A1
				CN	113161420	A
				KR	10-2021-0089564	A
				TW	202127547	A

A. 発明の属する分野の分類（国際特許分類（IPC））

H01L 27/146(2006.01)i
FI: H01L27/146 F; H01L27/146 D

B. 調査を行った分野

調査を行った最小限資料（国際特許分類（IPC））
H01L27/146

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報

1922-1996年

日本国公開実用新案公報

1971-2024年

日本国実用新案登録公報

1996-2024年

日本国登録実用新案公報

1994-2024年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
X	WO 2020/045122 A1（ソニーセミコンダクタソリューションズ株式会社）05.03.2020 (2020 - 03 - 05) 図5-6, 14, 22	1-2, 4-6, 29
Y		3, 7-16, 17-18, 30
Y	WO 2021/256142 A1（ソニーセミコンダクタソリューションズ株式会社）23.12.2021 (2021 - 12 - 23) 図5	3
Y	WO 2020/262584 A1（ソニーセミコンダクタソリューションズ株式会社）30.12.2020 (2020 - 12 - 30) 段落[0107], [0113], 図1-2, 37, 46-47	7-13, 17-18, 26, 30
Y	WO 2020/262629 A1（ソニーセミコンダクタソリューションズ株式会社）30.12.2020 (2020 - 12 - 30) 段落[0037], [0049], 図38, 50A-52	10-16, 18-28
Y	JP 2021-86919 A（キヤノン株式会社）03.06.2021（2021 - 06 - 03） 図2-3, 9	19-28

☒ C欄の続きにも文献が列挙されている。

☒ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

“A” 特に関連のある文献ではなく、一般的技術水準を示すもの

“D” 国際出願で出願人が先行技術文献として記載した文献

“E” 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの

“L” 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）

“O” 口頭による開示、使用、展示等に言及する文献

“P” 国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献

“T” 国際出願日又は優先日後に公表された文献であって出願と抵触するものではなく、発明の原理又は理論の理解のために引用するもの

“X” 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの

“Y” 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの

“&” 同一パテントファミリー文献

国際調査を完了した日

08.08.2024

国際調査報告の発送日

20.08.2024

名称及びあて先

日本国特許庁(ISA/JP)
〒100-8915
日本国
東京都千代田区霞が関三丁目4番3号

権限のある職員（特許庁審査官）

脇水 佳弘 5F 3464

電話番号 03-3581-1101 内線 3514

様式 PCT/ISA/210（第2ページ）（2022年7月）

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
Y	US 2021/0210534 A1 (TAIWAN SEMICONDUCTOR MANUFACTURING CO., LTD.) 08.07.2021 (2021 - 07 - 08) 段落[0050]	27

国際調査報告
 パテントファミリーに関する情報

国際出願番号

PCT/JP2024/020300

引用文献			公表日	パテントファミリー文献			公表日
WO	2020/045122	A1	05.03.2020	US	2021/0314516	A1	
				図5-6, 14, 22			
				TW	202015395	A	
				JP	2021-184510	A	
WO	2021/256142	A1	23.12.2021	US	2023/0254608	A1	
				図5			
WO	2020/262584	A1	30.12.2020	US	2022/0367558	A1	
				段落[0229], [0236], 図1-2, 37, 46-47			
				CN	113841245	A	
				KR	10-2022-0025725	A	
				TW	202118029	A	
WO	2020/262629	A1	30.12.2020	US	2022/0367555	A1	
				段落[0161], [0173], 図38, 50A-52			
				EP	3993011	A1	
				CN	113841242	A	
				KR	10-2022-0023760	A	
				TW	202109616	A	
JP	2021-86919	A	03.06.2021	US	2021/0159258	A1	
				図2-3, 9			
US	2021/0210534	A1	08.07.2021	DE	102020100773	A1	
				CN	113161420	A	
				KR	10-2021-0089564	A	
				TW	202127547	A	