

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第4317552号  
(P4317552)

(45) 発行日 平成21年8月19日(2009.8.19)

(24) 登録日 平成21年5月29日(2009.5.29)

(51) Int.Cl.		F I			
<b>HO2M</b>	<b>7/48</b>	<b>(2007.01)</b>	HO2M	7/48	A
<b>HO2M</b>	<b>3/28</b>	<b>(2006.01)</b>	HO2M	3/28	C
			HO2M	3/28	B
			HO2M	3/28	Q

請求項の数 5 (全 12 頁)

(21) 出願番号	特願2006-88813 (P2006-88813)	(73) 特許権者	500521843
(22) 出願日	平成18年3月28日(2006.3.28)		オーツァー マイクロ, インコーポレーテッド
(62) 分割の表示	特願2003-128362 (P2003-128362) の分割		アメリカ合衆国 95054 カリフォルニア州, サンタ クララ, パトリック ヘンリー ドライブ 3118
原出願日	平成15年5月6日(2003.5.6)	(74) 代理人	100064908
(65) 公開番号	特開2006-204096 (P2006-204096A)		弁理士 志賀 正武
(43) 公開日	平成18年8月3日(2006.8.3)	(74) 代理人	100089037
審査請求日	平成18年3月28日(2006.3.28)		弁理士 渡邊 隆
(31) 優先権主張番号	10/139, 619	(74) 代理人	100108453
(32) 優先日	平成14年5月6日(2002.5.6)		弁理士 村山 靖彦
(33) 優先権主張国	米国 (US)	(74) 代理人	100110364
			弁理士 実広 信哉

最終頁に続く

(54) 【発明の名称】 インバータ制御装置

(57) 【特許請求の範囲】

【請求項1】

負荷から電圧フィードバック信号を受けよう構成設定され、かつ、負荷への電力を中断するための保護信号を生成しよう構成設定された過電圧保護回路と、

負荷へ供給される電力を制御するために、ディミング信号を受けよう構成設定され、かつ、ディミング信号を生成しよう構成設定されたディミング回路と、

負荷から電流フィードバック信号を受けよう構成設定され、かつ、エラー信号を生成しよう構成設定された電流制御回路と、

前記エラー信号と前記ディミング信号とを受けよう構成設定され、かつ、前記負荷を駆動するための駆動信号を生成しよう構成設定された出力回路と

を有するインバータ制御装置 IC を具備し、

前記 IC は、前記エラー信号と前記ディミング信号とを受けよう構成設定された入力ピンをさらに具備し、

前記 IC は、前記エラー信号および/または前記ディミング信号の値に基づいて第1信号を生成するか、または前記エラー信号の値に基づいて第2信号を生成しようさらに構成設定されると共に、

前記エラー信号および前記ディミング信号は、前記 IC の動作中に前記 IC によって使用される独立した信号をそれぞれ含んでいる

ことを特徴とするシステム。

【請求項2】

増加した A C 信号を受信する 1 つ以上の冷陰極蛍光ランプ ( C C F L ) をさらに具備することを特徴とする請求項 1 に記載のシステム。

【請求項 3】

プッシュプル、ハーフブリッジ、および、フルブリッジのインバータトポロジから選択されたインバータ回路を形成するように配置される電力スイッチをさらに具備することを特徴とする請求項 1 に記載のシステム。

【請求項 4】

前記制御装置の第 1 機能をサポートするための前記エラー信号を第 1 回路へ向け、かつ、前記制御装置の第 2 機能をサポートするための前記ディミング信号を第 2 回路へ向けるための多重化回路をさらに具備することを特徴とする請求項 1 に記載のシステム。

10

【請求項 5】

前記エラー信号または前記ディミング信号の 1 つは第 1 期間に存在し、かつ、前記エラー信号または前記ディミング信号の他の 1 つは第 2 期間に存在することを特徴とする請求項 1 に記載のシステム。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、インバータ制御装置に関し、より詳細には、制御装置の機能性および/または性能を低減せずに全体的なピン総数を低減しかつ構成部品数を低減するために、ピン多重化 ( pin multiplexing ) および/またはピンマルチタスキング ( pin multitasking ) 技術を利用するインバータ制御装置に関する。

20

【背景技術】

【0002】

本発明についての特定の有用性は、 C C F L を駆動するための 2 スイッチ型 D C / A C インバータトポロジのためのものであるが、本明細書では、他のインバータトポロジおよび/または D C / A C 変換器トポロジおよび/または他の負荷についても等しく考慮する。

【発明の開示】

【課題を解決するための手段】

【0003】

本発明は、インバータ回路を駆動するための複数の信号を生成するように適合されたインバータ制御装置を含む集積回路を提供する。前記制御装置は、2 つ以上の入力信号を受け取るように構成設定された 1 つ以上の入力ピンをさらに含む。各信号は、関連機能 ( associated function ) をサポートする。

30

【0004】

例示的实施形態において、前記入力ピンは、ディム電圧 ( dim voltage ) を表す第 1 信号を受け取るように構成設定され、前記第 1 信号は第 1 電圧範囲を有する。さらに、前記入力ピンは、電圧フィードバック信号を表す第 2 信号を受け取るように構成設定され、前記第 2 信号は第 2 電圧範囲を有する。

【0005】

他の例示的实施形態において、前記入力ピンは、電流フィードバック信号を表す第 1 信号を受け取るように構成設定され、前記第 1 信号は第 1 期間内に存在する。さらに、前記入力ピンは、ソフトスタート ( soft start ) 信号を表す第 2 信号を受け取るように構成設定され、前記第 2 信号は第 2 期間内に存在する。

40

【0006】

本発明は、多重化回路を含むインバータ制御装置 I C をさらに提供し、該多重化回路は、前記制御装置の第 1 機能をサポートするための第 1 回路へ 1 つの入力信号を向けるためのものであり、かつ、前記制御装置の第 2 機能をサポートするための第 2 回路へ入力信号の他の 1 つを向けるためのものである。

【0007】

50

本発明は、2つ以上の入力信号を受けるとともに構成設定された入力ピンを含むインバータ制御装置ICをさらに提供し、各信号は、前記制御装置の関連機能をサポートする。前記入力信号の1つは第1期間内に存在し、かつ、前記入力信号の他の1つは第2期間内に存在する。

【発明の効果】

【0008】

したがって、本発明によれば、ピン総数を著しく低減することができる。さらに、どのピンが多機能であり得るのか、および/または、多重化され得るのかを選択することにより、本発明は、工作機械器具設備(tooling)およびPCBレイアウトの必要性を減少させる。

10

【発明を実施するための最良の形態】

【0009】

本発明によるさらなる利益および利点については、添付図面と関連して取り上げられる後続の好ましい実施形態についての説明および添付請求項から、本発明に関わる当業者にとって明白なものとなるだろう。

【0010】

図1は、本発明による例示的なインバータ制御装置集積回路10のブロック図を示す。この例示的な実施形態において、制御装置10は、(1~8のラベルを付けられた)8ピン型のデザインであり、この場合に、ピン2は、2つの信号を受けるとともに適合され、2つの機能をサポートするように多重化され、かつ、ピン4は、制御装置のある構成要素の状態に応じて、2つの機能をサポートするための2つの信号を受けるとともに適合される。この例において、ピン2は、負荷電圧の感知およびディム信号の感知の両方をサポートする。ピン4は、正常な動作条件中における電流比較、および、初期ターンオン条件および/またはランプアウト(lamp out)条件中におけるソフトスタート(SST)動作の両方をサポートする。

20

【0011】

前記制御装置10は、過電圧保護回路100と、ディミング(dimming)回路200と、電流フィードバック制御回路300と、出力回路400とを含む。制御装置10は、負荷の状態に基づいて、負荷電圧の感知とディミング信号の入力制御との間におけるピン2の機能のスイッチングを制御するためのMUX18をさらに含む。制御装置は、固定キャパシタCT16を充電/放電することによりノコギリ波信号14を生成する発振回路12と、制御装置10により利用される基準信号および/またはバイアス信号のうち1つ以上を生成する基準信号/バイアス信号生成器20とをさらに含む。制御装置は、2つのスイッチ駆動信号NDR1, NDR2を生成するように動作する。駆動制御信号については、派生したロイヤー回路(derived Royer circuit)、プッシュプル回路、ハーフブリッジ回路、または、他の従来技術において公知の2スイッチ型インバータ回路の2つのスイッチを駆動するために用いることができる。

30

【0012】

別の言い方をすると、本発明は、1つ以上の多重化および/または多機能ピン(multiplexed and/or multifunctional pins)を含むインバータ制御装置を提供し、前記制御装置は、多重化および/または多機能ピンの信号状態に基づいて1つ以上の制御信号を生成するように適合される。過電圧保護回路100と、ディミング回路200と、電流制御回路300と、出力回路400とについての以下の説明は、インバータ技術における当業者により容易に理解されるだろう。制御装置10の構成要素の各々については、より詳細に後述する。

40

【0013】

出力回路400は、エラー増幅器30の出力からの信号52を、発振回路12により生成されたノコギリ波信号と比較する比較器42を含む。エラー信号52は、電流制御回路300により生成され、および/または、ディミング回路200によっても修正され得るような(ピン4における)キャパシタ40により生成される。エラー信号は、正常な動作

50

についてのノコギリ波信号14の最小値から最大値までの範囲内の値を有する。例えば、CCFL負荷について、ノコギリ波信号は、0V～3Vの範囲を有し得る。従来技術において理解されているように、ノコギリ波信号14とエラー信号52との間の交点(intersection)は、スイッチ駆動信号NDR1, NDR2の各々のパルス幅を設定するためのスイッチ駆動論理回路44により用いられる。(逆が真である場合には回路を修正することができるが)、一般的には、エラー信号値が高いほど、パルス幅も広くなり、したがって、より大きな電力が負荷に供給される。

#### 【0014】

前述したように、エラー信号52の値は、電流制御回路300により生成される電流フィードバック情報により決定され、かつ、ディミング回路200により修正される。一般的に、CMPキャパシタ40は、制御装置10の最初のパワーオン状態の間に充電される。エラー増幅器30は、CMPキャパシタ40上の電荷を調節するための電流ソース(例えば、相互コンダクタンス増幅器)として動作する。増幅器30は、負荷電流Isensを、最大電力または最大輝度(maximum brightness)における最大負荷電流32を示すユーザー定義可能な基準信号32に対して比較する。負荷電流の値が信号32よりも小さければ、増幅器30は、エラー信号52のDC値を増加させようとしてキャパシタ40を充電するように電流をソース(source)し、これにより、出力駆動信号NDR1, NDR2のパルス幅を増加させる。負荷電流の値が基準信号32よりも大きければ、増幅器30は、エラー信号52のDC値を減少させるようにCMPキャパシタ40から電荷を減らし(sink)、これにより、出力駆動信号NDR1, NDR2のパルス幅を減少させる。すなわち、増幅器30は、負荷電流Isensを基準信号32にほぼ等しくなるように維持しようとするために電流をソースするかまたは減らす閉ループフィードバック電流制御を表す。

#### 【0015】

ディミング回路200はMUX回路18によりイネーブル状態(enable)にされ(このプロセスについては、より詳細に後述する)、相対的なディム値はVDIM(ピン2)により設定される。例示的な実施形態において、VDIMは、V1～V2の値を有するDC信号である。VDIMについては、ソフトウェア・プログラマブル・ディミング値により、または、ユーザーにより操作可能なスイッチ(例えば、ロータリースイッチ)により生成することができる。この例において、逆が真である場合には回路を修正することができるが、Vdimの値が大きいほど、より大きな電力が負荷に供給される。ディミング回路200は、Vdimに比例するデューティサイクルを有するバーストモード信号(低周波PWM信号50)を生成するバーストモード・ディミング回路である。バーストモード信号50の周波数は、駆動信号NDR1, NDR2の周波数よりも遙かに小さくなるように選択される。例えば、CCFLの用途について、駆動信号の通常の動作範囲は35～80kHzであり、かつ、バーストモード信号は約200Hzの周波数を有し得る。

#### 【0016】

例示的な実施形態において、ディミング回路200は、Vdimを受けかつVdimをデジタル信号に変換するデジタル・ディミング回路を具備する。デジタル信号は、所定数のディミング値(例えば、256ディムレベル)を表現するために、所定のビット深度(bit depth)(例えば、8ビット)に重み付けされる。デジタル・ディミング回路36は、Vdimの値に比例するデューティサイクルを有するバーストモード信号50を生成する。この例において、バーストモード信号50のデューティサイクルは、0%(Vdim=V1)～100%(Vdim=V2)の範囲に及ぶ。

#### 【0017】

ディミング回路200がMUX18によりイネーブル状態にされれば、PWMイネーブルブロック38は、CMPキャパシタ40から電荷を減らすように動作する。イネーブルブロック38は、バーストモード信号50により制御される伝導状態を有するグラウンドに結合された簡単なスイッチを具備し得る。前述したように、エラー増幅器30は、信号32により表される最大値を有するDC信号52を維持するために出力を生成する。バーストモード信号50は、以下の通りに動作する。バーストモード信号が(ハイまたはロー

10

20

30

40

50

に)アサート(assert)されると、イネーブル回路38は、キャパシタ40からの電荷を減らす。結果として生じるDC信号52は、最小値(例えば、0ボルト)である。結果として、比較器42により生成された信号は、CT信号14の最も低い値とDC信号52との交点を表し、これにより、スイッチ駆動論理回路44は、バーストモード信号がアサートされている間に、駆動信号NDR1, NDR2をオフ状態にする。バーストモード信号がデアサート(deassert)されると、イネーブルブロック38は本質的に開回路となり、かつ、エラー増幅器30はキャパシタ40を元の値まで再充電する。結果として生じるエラー信号は、前述したような最大輝度出力に対応する値を取り戻し、これにより、スイッチ論理回路ドライバーは、最大輝度出力に対応するデューティサイクルを有する駆動信号NDR1, NDR2を生成する。したがって、この例示的な実施形態において、バーストモード工程は、バーストモード信号50により決定された周波数において、出力を完全なオン状態から完全なオフ状態まで揺り動かす。

10

**【0018】**

ピン2は、負荷電圧の感知(Vsens)およびDIM信号の入力の両方を表す2つの信号を受けるように適合される。DIM信号(Vdim)は、負荷の電力制御をサポートするために用いられる。負荷電圧制御は、例えば、負荷における過電圧条件を検出するために用いられる。この例において、多重化器MUX18は、ピン2上の入力(VsensまたはVdimのいずれか)を、所定の条件に基づいて過電圧保護回路100またはディミング回路200へ向けるために利用される。この例において、所定の条件は、ランプ負荷が存在しかつ適切に作動していることを表すランプオン(lamp on)信号34であり、この場合に、前記信号34は、MUX18への入力である。この例示的な実施形態において、DIM信号は、所定の範囲(すなわち、 $V1 < Vdim < V2$ )に固定される。Vsensは、この範囲外(すなわち、 $Vsens > V2$ 、または、 $Vsens < V1$ )となるように構成設定される。

20

**【0019】**

前記制御装置が、負荷を駆動するために最初にパワーオンされると、該制御装置は、該負荷が適切に作動しているか否かを判断するために、負荷電圧および負荷電流フィードバックの両方を受ける。電流フィードバックはピン3におけるIsensにより表され、かつ、電圧フィードバックはピン2におけるVsensにより表される。ランプ負荷(例えば、CCFL)を仮定すると、当業者であれば、破損または紛失したランプが変圧器(図1には図示せず)の2次側において危険な高電圧の状況を生じさせ得ることを認識するだろう。したがって、本発明は、最小限の電流が負荷に供給されているか否かをチェックすることにより、最初にランプ負荷の状態を判断する。

30

**【0020】**

比較器28は、負荷電流Isensを、ランプ閾値信号46と比較する。ランプ閾値信号46は、負荷が適切に作動している場合に該負荷において存在すべき最小電流を示す信号である。Isensが信号46以上であれば、比較器28は、ランプ負荷が適切に作動していることを表すランプオン信号34を生成する。ランプオン信号34は、MUX18の状態を制御する比較器28により生成される制御信号である。この場合に、ランプオン信号は、ディミング回路200をピン2に連結するために、MUXの出力状態を設定する。ラッチ回路74は、いったんIsensが閾値信号46を超過するとランプオン信号の出力をラッチするために設けられる。ランプオン信号は、正常な動作中にはこの状態のままであり、この結果、バーストモード・ディミング(後述する)は、ランプオン信号の状態を変更しない。次に、ピン2上に入力されるVdimは、(後述するような)望ましいディム輝度値を設定するために用いられる。

40

**【0021】**

しかしながら、負荷を駆動するために制御装置が最初に電力を供給される時間中(かつ、ラッチ回路74が設定される前)に、電流感知値Isensがランプ閾値信号46の下方にあれば、増幅器28の出力は、ランプオン信号34の状態を変更する。今度は、このことが、MUXの状態を変更して、過電圧保護回路100をピン2に連結する。CCFL技術において理解されているように、Vsensは、ランプ負荷を駆動するために用いられる変圧

50

器の2次側から得られる。正常な動作条件の下で、 $V_{sens}$ は、 $V_{dim}$ の範囲（すなわち、 $V_1 < V_{dim} < V_2$ ）に影響を及ぼさない。しかしながら、開放または破損されたランプ条件が存在すれば、 $V_{sens}$ は、 $V_2$ よりも大きな値へ上昇する。ピン2が過電圧保護回路100に連結されると、 $V_{sens}$ は、比較器22において、所定の過電圧閾値信号 $V_{ovp}$ （この場合に、 $V_{ovp} > V_2$ ）と比較される。 $V_{sens}$ が $V_{ovp}$ 48を超過すると、比較器の出力は、タイミング回路24に、所定のタイムアウト期間を開始させる。

#### 【0022】

このことは破損または紛失したランプの条件であるので、 $I_{sens}$ は、ランプ閾値信号46よりも小さな値を有する。さらに、エラー増幅器30は、負荷に供給される電力を増加させるべくCMPキャパシタをソースしようとして、出力信号を生成する。これにより、タイミングアウト期間中に、保護回路は、PWMイネーブル回路38と同様の方法で動作する。この期間中に、スイッチをより高い電力にて駆動させるためのエラー信号をエラー増幅器が生成するのを防ぐために、OVP信号60は、CMPキャパシタ40を充電/放電するために、エラー増幅器30を停止させる。タイムアウトの終わりに、保護回路26はスイッチ駆動論理回路44をディスエーブル状態（disable）にし、これにより、過電圧の出力が制御される。

#### 【0023】

したがって、要約すると、本発明は、1)負荷から電圧フィードバック信号を受けようように構成設定され、かつ、負荷への電力を中断するための保護信号を生成するよう構成設定された過電圧保護回路100と、2)負荷へ供給される電力を制御するために、ディミング信号を受けようように構成設定され、かつ、ディミング信号を生成するよう構成設定されたディミング回路200と、3)負荷から電流フィードバック信号を受けようように構成設定され、かつ、エラー信号を生成するよう構成設定された電流制御回路300と、4)前記エラー信号と前記ディミング信号とを受けようように構成設定され、かつ、前記負荷を駆動するための駆動信号を生成するよう構成設定された出力回路400を含む、負荷への電力を生成するためのインバータ制御装置ICを提供する。ICピンの1つ（例えば、ピン2）は、電圧フィードバック信号とディミング信号とを受けようように構成設定される。多重化器18は、ピンに連結され、かつ、電流フィードバック信号の値に基づいて、電圧フィードバック信号を過電圧保護回路へ、または、ディミング信号をディミング回路へ向けるよう構成設定される。

#### 【0024】

ピン4およびCMPキャパシタは、ソフトスタート（SST）の機能性を制御するようさらに動作する。ソフトスタートは、従来技術において公知であるように、出力回路に最小パルス幅を生成させかつ該パルス幅を徐々に増加させるために、本質的にはパワーオンの始めに動作する。最初のパワーオンにおいて、CMPキャパシタ上の電圧はゼロである。 $I_{sens}$ もまたゼロであるので、エラー増幅器は、信号32を満たす電荷までCMPキャパシタをソースしようとする。このプロセスに要する時間は、CMP上の望ましい電荷とCMPの静電容量とに依存するので、この時間はソフトスタートとして利用される。このことは、負荷への電力量が徐々に増加することを保証する。これは、負荷電流値が閾値32に到達するまで続く。次に、エラー増幅器30は、本明細書内で説明するよう、キャパシタ上の電荷であるピン4の制御を引き継ぐ。CCFL負荷について、ランプ電流における段階的な増加がランプの寿命を保証するのに役立つことが知られている。

#### 【0025】

したがって、ピン4は、電流制御回路300により生成されたエラー信号の値および/またはディミング回路200により生成されたディミング信号の値に基づいてDC信号CMP52を生成するよう適合される。ピン4は、電流制御回路300により生成されたエラー信号の値に基づいてソフトスタート信号52を生成するようにも適合されるので、多機能である。

#### 【0026】

図5は、本発明の制御装置10により生成されたある信号についての代表的な信号グラ

10

20

30

40

50

フを示す。5 Aは、駆動信号NDR1, NDR2を示す。5 Dに示されるように、これらの駆動信号のパルス幅は、DCエラー信号CMP52とノコギリ波信号CTとの交点により決定される。5 Bは、バーストモード信号(LPWM)50を示し、かつ、5 Cは、負荷電流 $I_L$ を示す。バーストモード信号が50Aのようにデアサートされる(ハイ状態にされる)場合には、駆動信号およびランプ電流が存在する。バーストモード信号が50Bのようにアサートされる(ロー状態にされる)場合には、駆動信号は停止し、かつ、ランプ電流はほぼゼロである。バーストモード信号がアサートされる場合には、前述したように、CMP信号が最小値(ほぼゼロ)まで下がることに留意されたい。

#### 【0027】

図2は、本発明による他の例示的なインバータ制御装置10'を示す。この例示的实施形態のインバータ制御装置10'は、図1を参照して前述した場合と同様の方法で動作するが、所定の動作環境のために望ましいものであり得るさらなる回路を含む。例えば、エラー増幅器30の出力には、OVP信号によりトリガーされるオン/オフ回路が存在する。過電圧保護回路が活性化されれば、OVP信号は、Isensの値とは無関係に、エラー増幅器30の出力を遮断する。これにより、OVP信号がアサートされると、キャパシタ40は保護回路26により放電され、この結果、出力信号NDR1, NDR2は、最小限の電力を供給するための最小限の状態で作動する。もちろん、保護回路については、ある最小限のレベルまでキャパシタ40を充電するように適合させることもでき、この結果、出力信号は、タイムアウト期間中に、所定の最小パルス幅を負荷へ供給する。

#### 【0028】

制御装置10'は、最小/最大回路56をさらに含み、該最小/最大回路56は、バーストモード信号がイネーブル状態にされている期間中に、(これらの期間中における前述したようなゼロDC値52の代わりに)最小DC値を生成する。これにより、ノコギリ波信号と最小/最大回路56により生成される最小DC信号との交点は、出力信号にある所定の最小パルス幅を持たせるための出力を生成する。このことは、例えば、アサートされたバーストモード信号とデアサートされたバーストモード信号との間において、広範囲の電圧揺れを防ぎ、および/または、駆動信号の連続関数を維持する。

#### 【0029】

イネーブル比較器58は、スイッチ論理回路44に対してイネーブル制御信号を生成するために設けられる。キャパシタ40上の値がイネーブル閾値よりも大きければ、前記比較器はイネーブル信号を生成し(これにより、スイッチ論理回路がイネーブルとなる)、さもなければ、スイッチ論理回路はディスエーブル状態にされる。

#### 【0030】

PWMイネーブル回路38'は、イネーブル回路がCMPキャパシタ40から電荷を減らさない上限であるフロア値(すなわち、バイアス)を含むことができる。最小/最大回路のように、このことは、バーストモードイネーブル信号がキャパシタ上の電荷を完全に減らすのを防ぎ、この結果、出力信号は、ゼロ以外の所定の最小値に設定される。バイアスの値については、制御装置の動作範囲、バーストモードアサート中に負荷へ供給される望ましい最小電力、および/または、当業者には明らかな他の要因にしたがって選択することができる。

#### 【0031】

図6は、本発明の制御装置10'により生成されたある信号についての代表的な信号グラフを示す。6 Aは、駆動信号NDR1, NDR2を示す。6 Dに示されるように、これらの駆動信号のパルス幅は、DCエラー信号CMP52とノコギリ波信号CTとの交点により決定される。6 Bは、バーストモード信号(LPWM)50'を示し、かつ、6 Cは、負荷電流 $I_L$ を示す。バーストモード信号が50A'のようにデアサートされる(ハイ状態にされる)場合には、駆動信号およびランプ電流が存在する。バーストモード信号が50B'のようにアサートされる(ロー状態にされる)場合には、駆動信号は所定の最小パルス幅まで低減し、かつ、ランプ電流は著しく低減する。アサートされたバーストモード信号値50B'は、前述した方法でバイアスされる。前述したように、バーストモード

10

20

30

40

50

信号がアサートされると、CMP信号が（ゼロよりも大きな）最小値まで下がることに留意されたい。

【0032】

これにより、図1および図2の例示的なインバータ制御装置IC10, 10'は、第1所定範囲を備えた第1入力信号（例えば、VdimまたはVsens）と、第2所定範囲を備えた第2入力信号とを受けるとして多重化されるピン（例えば、ピン2）を含む。インバータ制御装置IC10, 10'は、第1期間（例えば、正常な動作条件）と、第2期間（例えば、ソフトスタートローディングを用いた最初の電力）とにおいて動作するように多機能であるピン（例えば、ピン4）を含むようにも適合される。

【0033】

図3は、インバータ制御装置IC10または10'についての例示的な用途となるトポロジを示す図である。図3に示されるインバータ制御装置IC10または10'は、CCFL負荷66に電力を供給するためのトランジスタQ1, Q2からなる派生したロイヤ回路を駆動するために用いられる。トランジスタQ1, Q2は、キャパシタ68と変圧器60の1次側インダクタンスとにより形成される共振タンク回路を通して、変圧器60の1次側を駆動する。この形式の回路の動作は、当業者には十分に公知である。Vsenは、キャパシタC1, C2間の分圧器（ノード62）から得られ、この結果、Vsenの値は、変圧器の2次側における電圧に対して比較される公称値である。Vsenは、通常は、1~5ボルトの範囲である。Isenは、R1, R2からなる分圧回路（ノード64）を通して、CCFL負荷から得られる。Isenは、通常は、0ボルト（ランプなし）~1.25ボルト（最大限のランプ輝度）の範囲である。もちろん、これらの値は、例示的なものに過ぎず、かつ、本発明から逸脱することなく設計基準を満たすように変更することができる。図4は、インバータ制御装置ICについての他の例示的な用途となるトポロジを示す。この実施形態における制御装置は、2つ（または、それ以上）のCCFL負荷66, 70を駆動するために用いられる。この場合に、電流フィードバックIsensは、ランプ66, 70、および、分圧器R1, R2および分圧器R3, R4の両方から得られる。

【0034】

当業者であれば、本発明に対して行うことができる多数の修正形態を認識するだろう。例えば、図1および図2の制御装置IC10, 10'は、Vsenの値とDIMの値とをピン2上で多重化し、かつ、電荷CMPキャパシタ40の機能性とソフトスタート機能性とを結合する。しかしながら、これらは、本発明により達成できるピンの多重化/マルチタスキングの例に過ぎない。例示的なICと関連した他のピンを多重化および/またはマルチタスクすることができる。さらに、図1および図2に示された8ピン型ICよりも多くのまたは少ないピンを必要とする他のICデザインは、本明細書内で提供されるようなマルチタスキングおよび/または多重化を同様に含むことができる。

【0035】

さらに他の修正形態を行うことができる。図1および図2の例示的な制御装置ICにおいて、ピン2は、負荷電圧感知およびディム信号入力の両方をサポートするように多重化される。上記に開示されたようなディム信号の範囲（ $V1 < Vdim < V2$ ）、および、過電圧保護閾値Vovpは、 $Vovp > V2$ となるように選択される。しかしながら、この関係は、本発明が適切に機能するために必要とされない。実際に、Vsens値はディム値とは無関係に過電圧保護回路100により用いられるので、Vovpについては、Vsensの範囲内またはVsensの範囲の下方に選択することができる。あるいは、本明細書内に開示された多重化および/または多機能ピンについては、本明細書内で提供される多重化および/または多機能技術を用いて、3つ以上の信号をサポートするように適合させることができる。

【0036】

さらに他の修正形態を行うことができる。例えば、図3および図4の例示的な用途となるトポロジは、Q1とQ2とにより形成される派生したロイヤ回路を駆動する制御装置IC10または10'を示す。しかしながら、制御装置10または10'については、プッシュプルインバータ、ハーフブリッジインバータ、および/または、従来技術におい

10

20

30

40

50

て公知である他の形式の２スイッチ型インバータトポロジーにも同様に適用することができる。さらに、制御装置 IC 10 または 10' については、該制御装置 IC 10 または 10' が 4 スwitch型インバータトポロジー（フルブリッジインバータ）を駆動することを可能にするための第 2 組の駆動信号（例えば、PDR 1, PDR 2）を含むように変更することができる。

#### 【0037】

本発明は、CCFL 負荷に制限されるものではない。実際に、本発明の制御装置 10 または 10' については、金属ハロゲン化物（metal halide）またはナトリウム灯（sodium vapor）のような他のランプ負荷を駆動するために用いることができる。さらに他の負荷を用いることができる。例えば、本発明の制御装置 10 または 10' については、X 線管  
10  
または他のより高周波の負荷の駆動をサポートするための周波数範囲で動作するように適合させることができる。本発明は、負荷の形式に制限されるものではなく、かつ、負荷から独立したものとして解釈されるべきである。さらに、図 4 に示されるような多数のランプトポロジーや、例えば、米国特許第 6, 104, 146 号明細書、米国特許出願第 09/873, 669 号、米国特許出願第 09/850, 692 号、米国特許出願第 10/035, 973 号（これらの全ては、参照により完全な形で本明細書に編入される）に示されるような他の多くのトポロジーを用いることができる。

#### 【0038】

図 1 および図 2 の構成要素の動作についての詳細な論考については省略してきた。例えば、発振回路 12 の動作およびスイッチ論理回路 44 の動作については、当業者であれば  
20  
これらの特徴の動作および実施手段の両方について容易に認識するだろうと思われるので省略してきた。さらに、駆動信号 NDR 1, NDR 2 のタイミングについても、これらの信号の動作は当業者には明らかであるので、本明細書内で詳細には説明していない。図 1 および図 2 のブロック図についての前述の詳細な説明は、主に、構成要素の機能性に対して向けられている。図 1 および図 2 の構成要素については、本明細書内で述べた機能性を達成するための既製品でも特別注文品であってもよく、かつ、当業者であれば、本明細書内で述べた機能性を達成するために多くの回路実装を利用できることを容易に認識するだろうし、また、このような全ての代替案は本発明の範囲内にあるものと考えられる。

#### 【0039】

さらに、（本明細書内で説明したような）電圧および電流フィードバックとディム信号  
30  
とインバータ制御装置回路は、当業者には十分に公知である。しかしながら、従来技術の集積回路インバータ制御装置は、インバータ IC の機能性を維持する一方で IC パッケージのピン総数を低減するという長い間感じられていた必要性に取り組んでいなかった。本明細書内で説明された本発明は、例えば、多重化および/または多機能 IC ピンを提供することにより、この問題に取り組むための例を提供する。本発明のテーマに対する多数の修正形態が当業者には明らかであり、かつ、このような全ての修正形態は、請求項において述べられるように本発明の範囲内にあるものと考えられる。

#### 【図面の簡単な説明】

#### 【0040】

【図 1】本発明による例示的なインバータ制御装置集積回路のブロック図である。  
40

【図 2】本発明による他の例示的なインバータ制御装置集積回路のブロック図である。

【図 3】図 1 または図 2 のインバータ制御装置 IC についての例示的な用途となる回路トポロジーを示す図である。

【図 4】図 1 または図 2 のインバータ制御装置 IC についての他の例示的な用途となる回路トポロジーを示す図である。

【図 5】図 1 の制御装置により生成されたある信号についての代表的な信号グラフを示す図である。

【図 6】図 2 の制御装置により生成されたある信号についての代表的な信号グラフを示す図である。

#### 【符号の説明】

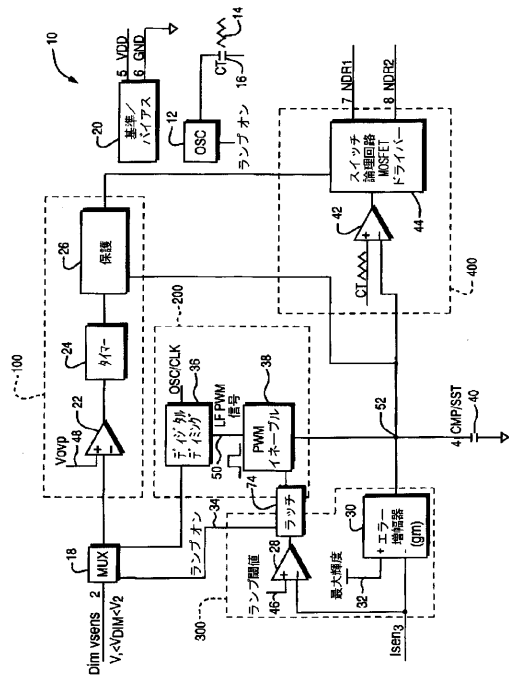
【 0 0 4 1 】

- 1 0 , 1 0' インバータ制御装置
- 1 2 発振回路
- 1 6 , 4 0 キャパシタ
- 1 8 多重化器
- 2 0 基準信号 / バイアス信号生成器
- 2 4 タイミング回路
- 2 6 保護回路
- 2 8 比較器
- 3 0 エラー増幅器
- 3 6 デジタル・ディミング回路
- 3 8 P W M イネーブル回路
- 4 2 比較器
- 4 4 スイッチ駆動論理回路
- 5 6 最小 / 最大回路
- 5 8 イネーブル比較器
- 7 4 ラッチ回路
- 1 0 0 過電圧保護回路
- 2 0 0 ディミング回路
- 3 0 0 電流制御回路
- 4 0 0 出力回路

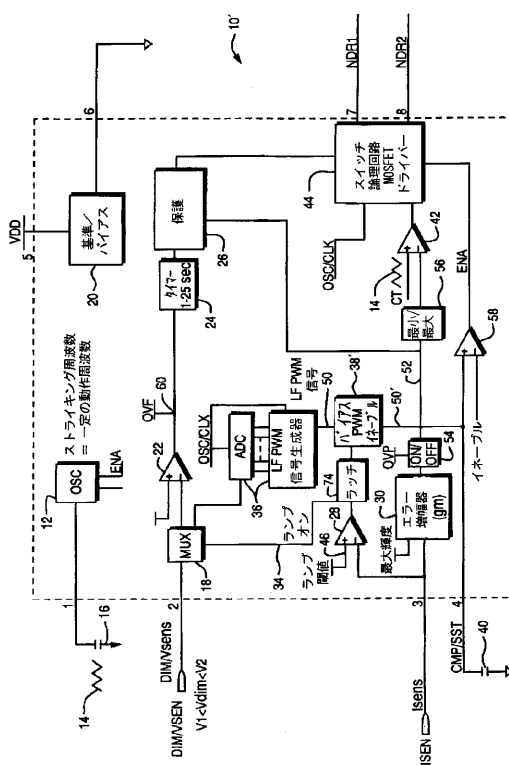
10

20

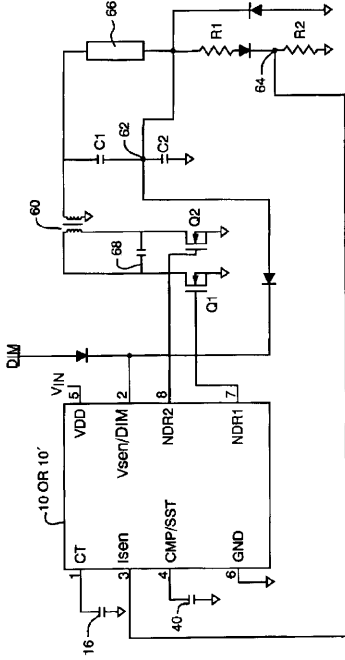
【 図 1 】



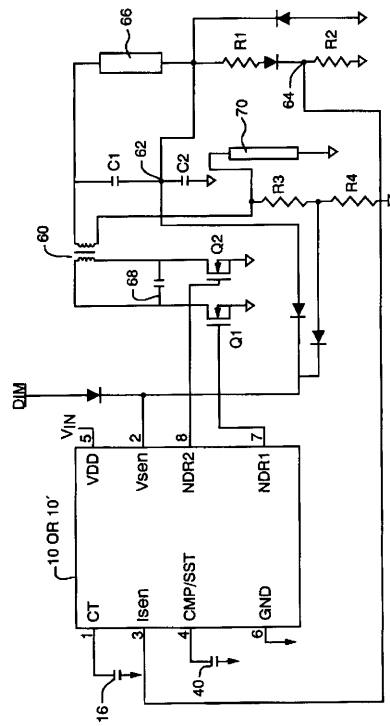
【 図 2 】



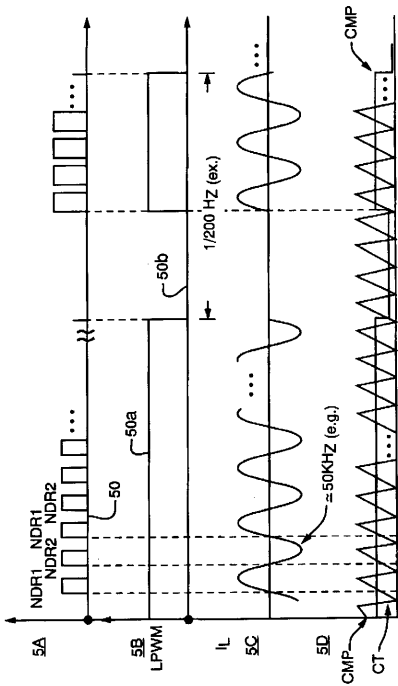
【 図 3 】



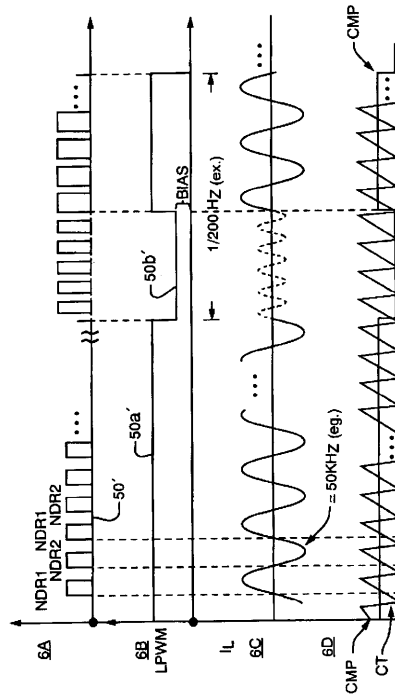
【 図 4 】



【 図 5 】



【 図 6 】



---

フロントページの続き

(72)発明者 ユン・リン・リン

アメリカ合衆国・カリフォルニア・94303・パロ・アルト・インディアン・ドライブ・2518

(72)発明者 ダ・リュウ

アメリカ合衆国・カリフォルニア・95148・サン・ノゼ・マーマン・コート・2946

審査官 安池 一貴

(56)参考文献 米国特許第05742134(US,A)

特開平11-146655(JP,A)

特開平08-098534(JP,A)

特開平09-147280(JP,A)

特開2000-228295(JP,A)

(58)調査した分野(Int.Cl., DB名)

H02M 7/48

H02M 3/28