

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第5000635号
(P5000635)

(45) 発行日 平成24年8月15日(2012.8.15)

(24) 登録日 平成24年5月25日(2012.5.25)

(51) Int.Cl.

F I

H04L 7/02 (2006.01)

H04L 7/02

Z

請求項の数 5 (全 13 頁)

(21) 出願番号	特願2008-504188 (P2008-504188)	(73) 特許権者	504199127
(86) (22) 出願日	平成18年3月24日 (2006.3.24)		フリースケール セミコンダクター イン
(65) 公表番号	特表2008-536383 (P2008-536383A)		コーポレイテッド
(43) 公表日	平成20年9月4日 (2008.9.4)		アメリカ合衆国 テキサス州 78735
(86) 国際出願番号	PCT/US2006/010744		オースティン ウィリアム キャノン
(87) 国際公開番号	W02006/107615		ドライブ ウェスト 6501
(87) 国際公開日	平成18年10月12日 (2006.10.12)	(74) 代理人	100116322
審査請求日	平成21年3月24日 (2009.3.24)		弁理士 桑垣 衛
(31) 優先権主張番号	11/097,577	(72) 発明者	ラーマン、マヒブール
(32) 優先日	平成17年4月1日 (2005.4.1)		アメリカ合衆国 33467 フロリダ州
(33) 優先権主張国	米国 (US)		レイク ワース シェル リッジ テラ
			ス 7289

最終頁に続く

(54) 【発明の名称】 多ピン非同期シリアル・インタフェース全体に転送されるデータをビット同期する方法および装置

(57) 【特許請求の範囲】

【請求項 1】

複数のシリアル・ビットストリームを、共通クロック周波数を有する共通クロック信号にビット同期させる方法であって、

逡倍の前記共通クロック周波数と略等しいサンプリング周波数で、前記複数のシリアル・ビットストリームの各々をオーバーサンプリングして、前記複数のシリアル・ビットストリームの各々に関連付けられた複数のフェーズを生成する工程と、

前記シリアル・ビットストリームそれぞれに対する前記複数のフェーズそれぞれの中で発生するアクティビティを検出する工程であって、該複数のフェーズそれぞれが該共通クロック信号の周期に対応する、アクティビティを検出する工程と、

選択されるフェーズ内で検出されたアクティビティに基づいて、該シリアル・ビットストリームそれぞれの該複数のフェーズのうちの1つをフェーズ選択する工程であって、カウンタ調整論理回路によって、前記選択されたフェーズに応じてフェーズ選択カウンタおよび遅延カウンタをインクリメントまたはデクリメントを行うことを含む、前記選択する工程と、

前記カウンタ調整論理回路によって、第1の多段遅延線内の複数のタップのうちの1つを前記フェーズ選択カウンタを用いて選択し、該シリアル・ビットストリームそれぞれに対して該選択されたフェーズからデータを抽出する工程と、

前記カウンタ調整論理回路によって、第2の多段遅延線内の複数のタップのうちの1つを前記遅延カウンタを用いて選択し、前記選択されたフェーズの関数として決定される遅

10

20

延時間だけ前記抽出されたデータを遅延させる工程とを備える方法。

【請求項 2】

前記選択する工程が、前記複数のフェーズのうちどれが最少のアクティビティを示すかを判定する工程を含む、請求項 1 に記載の方法。

【請求項 3】

複数のシリアル・ビットストリームの 1 つを、共通クロック信号を有する多ピン非同期インタフェースで受信された他のビットストリームと同期させるデバイスであって、

それぞれのフェーズが前記共通クロック信号の周期に対応している、該ビットストリームの複数のフェーズそれぞれの中で起こるビット遷移を検出するように構成されたアクティビティ検出モジュールと、

該アクティビティ検出モジュールに結合され、該複数のフェーズそれぞれの中で検出されたビット遷移に基づいて複数のフェーズのうちの 1 つを選択するように構成されたフェーズ選択モジュールであって、フェーズ選択カウンタと、遅延カウンタと、前記選択されたフェーズに応じて該フェーズ選択カウンタおよび該遅延カウンタをインクリメントまたはデクリメントを行うカウンタ調整論理回路とを含む、前記フェーズ選択モジュールと、

該フェーズ選択モジュールに結合されたデータ抽出モジュールであって、前記複数のフェーズのうちの 1 つにそれぞれが関連付けられた複数のタップを有する第 1 の多段遅延線を含む前記データ抽出モジュールと、

前記複数のフェーズのうちの 1 つにそれぞれが関連付けられた複数のタップを有する第 2 の多段遅延線を含む遅延モジュールとを備え、

前記カウンタ調整論理回路は、前記第 1 の多段遅延線内の複数のタップのうちの、前記選択されたフェーズに対応する 1 つを前記フェーズ選択カウンタを用いて選択し、該ビットストリームの該選択されたフェーズからデータを抽出し、前記第 2 の多段遅延線内の複数のタップのうちの、前記選択されたフェーズに対応する 1 つを前記遅延カウンタを用いて選択して、前記抽出されたデータに遅延を付加する、デバイス。

【請求項 4】

前記フェーズ選択モジュールが、所定の数の先行ビット期間内に起こるビット遷移の数に基づいて、前記選択されたフェーズを識別するように構成されたフェーズ選択論理回路を備える、請求項 4 に記載のデバイス。

【請求項 5】

共通ビットレートを有し、多ピン非同期インタフェースでそれぞれ受信される複数のシリアル・ビットストリームを同期させるシステムであって、

該共通ビットレートの整数倍に実質的に等しい周波数を有する共通クロック信号を生成するように構成されたクロック発生器と、

該複数のシリアル・ビットストリームのうちの 1 つとそれぞれが関連付けられ、該共通クロック信号を受け取るように構成された複数のビット同期モジュールであって、

それぞれのフェーズが該共通クロック信号の周期に応じてサンプリングされたフェーズのオーバーサンプリングされたデータに対応している、該関連付けされたビットストリームの複数のフェーズそれぞれの中で起こるビット遷移を検出するように構成されたアクティビティ検出モジュールと、

該アクティビティ検出モジュールに結合され、該複数のフェーズそれぞれの中で検出された該ビット遷移に基づいて該複数のフェーズのうちの 1 つを選択するように構成されたフェーズ選択モジュールであって、フェーズ選択カウンタと、遅延カウンタと、前記選択されたフェーズに応じて該フェーズ選択カウンタおよび該遅延カウンタをインクリメントまたはデクリメントを行うカウンタ調整論理回路とを含む、前記フェーズ選択モジュールと、

該フェーズ選択モジュールに結合されたフェーズ抽出モジュールであって、前記複数のフェーズのうちの 1 つにそれぞれが関連付けられた複数のタップを有する第 1 の多段遅延線を含む前記フェーズ抽出モジュールと、

前記複数のフェーズのうちの 1 つにそれぞれが関連付けられた複数のタップを有する

10

20

30

40

50

第2の多段遅延線を含む遅延モジュールとを含み、

前記カウンタ調整論理回路は、前記第1の多段遅延線内の複数のタップのうちの、前記選択されたフェーズに対応する1つを前記フェーズ選択カウンタを用いて選択し、該ビットストリームの該選択されたフェーズからデータを抽出し、前記第2の多段遅延線内の複数のタップのうちの、前記選択されたフェーズに対応する1つを前記遅延カウンタを用いて選択して、前記抽出されたデータに遅延を付加する、前記複数のビット同期モジュールと、

該抽出された各ビットストリームを該複数のビット同期モジュールから受け取り、かつデータ・ワードを該同期ビットストリームから抽出するように構成されたワード同期モジュールとを備える、システム。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は一般にビット同期に関し、より詳細には、多ピン非同期シリアル・インタフェース全体に受信されるビットストリームをビット同期する方法および装置に関する。

【背景技術】

【0002】

電気および電子通信手段は、現代生活のあらゆる面に普及し続けている。たとえば、コンピュータ・システムはますます移動性が向上し、かつ相互にネットワーク化されるようになり、携帯電話はより広く普及し、消費者はストリーミング映像、ストリーミング音声、ストリーミング・データ、および他のサービスへの常時アクセスを求め続けている。このようなサービスに対する需要が高まり続けると、空間効率がよく、しかも高速データ処理能力を実現する通信方式の必要性が生じる。

【0003】

デジタル・データに使用されるほとんどの従来のデータ信号方式は一般に、「シリアル」（すなわち、単一の信号チャネルに1つの順次データ・ビットストリームを供給する）、または「パラレル」（すなわち、2つ以上のデータ・チャネルに別々のデータ・ビットのストリームを並列に供給する）として分類される。諸シリアル方式は、より簡単であるという共通の利点を有し、また単一のデータ・チャネルに対してパラレル方式よりも空間効率がよい。特に、単一シリアル・データ・チャネルは通常、マイクロチップ上、または同様なモジュール上で使用する「ピン」の数が最も少なくなる。パラレル・データ・チャネルに存在する複数のデータ経路は、追加のピンおよび他のチップ資源を消費するがあるが、一般に、対応するシリアル・チャネルよりも多くのデータを所与の転送速度で供給することができる。別の言い方をすれば、シリアル・チャネルは一般に、空間および物理的オーバーヘッドの点で効率的であるが、同等のデータ量をシリアル方式が転送するには、シリアル・チャネルのデータ転送速度は通常、複数のパラレル・チャネルのそれぞれに適用されるデータ転送速度よりも速くなければならない。したがって、多くの用途では（たとえば空間が限定されている、あるいはピン数が問題になる場合）、シリアル転送方式が有益であるが、容認できる処理能力をシリアル・チャネルによって得るために使用されるビット転送速度が重要になることがある。

【0004】

さらに、実際のシリアル転送速度は、高速クロック発生源の限定された可用性、送信デバイスおよび受信デバイスの速度限界、および/または他の要因によって阻害されることがある。その結果、多くのデータ信号方式では現在、データ・メッセージを、複数のシリアル・データ・チャネル全体に同時伝送できる別個の「ワード」に細分している。このような混成方式は、全体の処理能力を犠牲にすることなく、従来のシリアル方式に通常伴う低いビットレートと共に、従来のパラレル方式と比べてピン数が削減されるという利点を提供する。

【発明の開示】

【発明が解決しようとする課題】

10

20

30

40

50

【 0 0 0 5 】

しかし、別個に回復されたシリアル・データ・ワードの収集から元のメッセージを復元する際に困難が生じ得る。これらの困難は、複数のシリアル・チャネルによって示される変動経路遅延（スキュー）に起因し、このスキューは電源電圧の変動、温度および他の環境の影響の変化、ならびに他の要因により生じる。

【 0 0 0 6 】

したがって、多ピン非同期データ・インタフェースに転送された複数のシリアル・ビットストリームを再同期させるための技法を考案することが望ましい。加えて、シリアル・ビットストリームを再同期させるデバイスおよびシステムを作り出すことが望ましい。それに加えて、本発明の他の望ましい機能および特徴は、以下の詳細な説明および添付の特許請求の範囲を添付の図面ならびに上述の技術分野および背景技術と併せ読めば明らかになるであろう。

【 0 0 0 7 】

本発明を添付の図面と併せて以下に説明する。図面では、同じ数字は同じ要素を示す。

【発明を実施するための最良の形態】

【 0 0 0 8 】

以下の詳細な説明は例示的な性質のものにすぎず、本発明、または本発明の適用および用途を限定するものではない。さらに、前出の技術分野、背景技術、概要、または以下の詳細な説明に提示の、表現または暗示されたいかなる理論にも束縛されるべきものではない。

【 0 0 0 9 】

多ピン非同期シリアル・インタフェースで受信されたそれぞれ異なるシリアル・ビットストリームは、回復シリアル・データを生成するために、各シリアル・チャネルのうちの1つとそれぞれが関連付けられた個別のビット同期モジュール内で適宜にビット同期される。様々な実施形態において、ビット同期機能は、受信されたビットストリームをビットストリーム・データ転送速度の整数の倍数（ N ）でオーバーサンプリングして、各ビット周期と関連付けられた多数のフェーズを生成することによって実現される。各フェーズ中に起こるビット遷移が検出されて、最後のビット周期中に比較的少数のフェーズ・ビット遷移を有するフェーズの1つが選択される。次いでビットストリームが選択されたフェーズは、シリアル出力信号として抽出される。選択されたフェーズが動作全体を通して監視され更新されて、正確な出力データ・ストリームを継続して供給する。さらに、ある遅延を出力に与えて、選択されたフェーズの変化により生じるタイミング変化を補償することができる。その結果、多ピン・シリアル・インタフェースで受信されたそれぞれ異なるシリアル・ビットストリームは、共通クロック信号に基づき固定データ転送速度で同期データ・ストリームに変換することができる。

【 0 0 1 0 】

様々な他の実施形態によれば、ビット同期シリアル・データ・ストリームは、ワード同期ユニットによってさらに処理されてワード整合パラレル出力データを生成する。このような実施形態では、ビット同期ユニットから受信された同期出力ストリームの固定データ転送速度により、ワード同期機能を大幅に簡略化することができる。最初に多ピン・シリアル・インタフェース全体に伝送されたデータ・ワードは、その後再集合させ、あるいは他の任意の適切な方法で処理される。さらに、特定の実施形態は、堅牢なデジタル回路を用いて実施され、それによって、アナログ・チャージ・ポンプや電圧制御発信器（ VCO ）など堅牢性が低いアナログ構成要素の必要性が減少し、あるいは解消する。本明細書に示した概念は、いかなる通信インタフェース応用例（たとえば、無線周波数（ RF ）トランシーバとベースバンド・トランシーバの間など、あらゆるインタフェース）にも有用であり、また相補型金属酸化膜半導体（ $CMOS$ ）あるいは他の集積回路技術を用いて容易に実施することができるが、集積回路、個別論理回路、ソフトウェア、および/またはハードウェアとソフトウェアの構成要素の任意の組合せからなる他の形態を用いて別の実施形態を実施することもできる。

【 0 0 1 1 】

次に図面に移り、まず図 1 を参照すると、多ピン同期インタフェース 1 0 6 で受信された任意の数のシリアル・ビットストリーム 1 0 6 A ~ Z を同期させるシステム 1 0 0 の例示的な 1 実施形態は、各シリアル・ビットストリーム 1 0 6 A ~ Z 用のビット同期モジュール 1 0 2 A ~ Z、ならびにワード同期モジュール 1 0 5 を適宜に含んでいる。各ビット同期モジュール 1 0 2 A ~ Z は、インタフェース 1 0 6 で受信されたシリアル・ビットストリーム 1 0 6 A ~ Z のうちの 1 つを受け取り、ある固定データ転送速度でシリアル・データ・ストリーム 1 0 4 A ~ Z を回復する。ワード同期モジュール 1 0 5 は、各同期ビットストリーム 1 0 4 A ~ Z を受け取り、1 つまたは複数の出力ストリーム 1 0 8 を適宜に生成する。出力ストリーム 1 0 8 は、任意の数のパラレル・データ・ストリーム 1 0 8 A ~ Z、および / または同種のものを様々に含むことができる。

10

【 0 0 1 2 】

様々な実施形態では、各ビット同期モジュール 1 0 2 A ~ Z、およびワード同期モジュール 1 0 6 は、入力シリアル・データ・ストリーム 1 0 6 A ~ Z のデータ転送速度の整数倍 (N) に実質的に対応する周波数のクロック信号 1 1 6 を受け取る。この文脈での「実質的に」とは、製造、設計、および実施上の不完全性、ならびに環境変化および他の要因によりいくらかの変動が存在し得ることを認めるものである。その結果、信号 1 1 6 の周波数は、本明細書で表される概念を実質的に具体化するためにデータ転送速度の整数倍に正確に対応する必要がなくなる。クロック信号 1 1 6 は、任意のクリスタル、発振器、フェーズ・ロック・ループ (P L L) または他のクロック発生源 1 1 0 を使用するなど都合のよい任意の方法で、任意のクロック発生回路または論理回路によって生成され、かつ / または、クロック発生源 1 1 0 から受け取った任意の信号 1 1 4 を適切な論理回路 1 1 6 を使用して増倍することにより、または別な方法で処理することにより生成される。

20

【 0 0 1 3 】

ビット同期モジュール 1 0 2 A ~ Z は、シリアル・データ・ストリーム 1 0 4 を所望のデータ転送速度で生成できる任意の集積回路、個別回路、ソフトウェア回路、ファームウェア回路、および / または他の論理回路を用いて実施される。様々な例示的实施形態によれば、各ビット同期モジュール 1 0 2 A ~ Z は、クロック信号 1 1 6 を使用して、関連した入力ビットストリーム 1 0 6 A ~ Z をオーバーサンプリングする。入力ストリーム 1 0 6 A ~ Z のビットレートの整数倍にクロック信号 1 1 6 が適切に対応しているので、クロック信号 1 1 6 を使用してオーバーサンプリングすると、各入力ビット期間が、アクティビティを検出できる N 個の別個のフェーズに実際上分離する。各フェーズ内で起こるビット遷移 (たとえば低から高、または高から低への状態変化) を識別することによって、各フェーズのうちの 1 つをそのフェーズ内で起こるアクティビティのレベルに基づき選択する。すなわち、(他のフェーズと比べて) 正確なデータ値を有している可能性のあるフェーズを、各フェーズ内で起こるアクティビティを監視することによって容易に識別する。個々の選択アルゴリズムが実施形態ごとに異なり得るが、サンプリングするフェーズは、適切な数の先行ビット期間内にビット遷移が起こらないということに基づいて選択される。別法として、サンプリングするフェーズは、特定のフェーズ中に起こる最小アクティビティ、または他の適切な技法に基づき選択することができる。次いで、選択されたフェーズからデータを抽出して、入力データ・ストリームの正確な表現を生成することができる。選択されたフェーズは、たとえば N - タップ遅延線または他の同様な構造体の適切なタップから抽出することができる。さらに、選択されたフェーズに回答して追加の遅延を加えて、出力シリアル・データ・ストリーム 1 0 4 A ~ Z が一定のデータ転送速度でワード同期モジュール 1 0 5 に確実に供給されるようにすることができる。入力データ・ストリーム 1 0 6 A ~ Z の各フェーズを継続してオーバーサンプリングし解析することにより、効率的で一貫性のある方法でシリアル・データを識別し抽出して、正確なフェーズ同期および比較的一定した出力データ転送速度を保証する。

30

40

【 0 0 1 4 】

ワード同期モジュール 1 0 5 は、ビット同期データ・ストリーム 1 0 4 A ~ Z を受け取

50

り、かつそれに応答して出力ストリーム 108A～Z を生成する任意の論理回路、回路、または他のモジュールである。様々な実施形態において、ワード同期モジュール 105 は、受け取ったシリアル・ストリーム 104A～Z のそれぞれと、初期のトレーニング期間中に受け取った既知の同期ワード 107 との相関を取ることによって、ビット同期シリアル・ストリーム 104A～Z からパラレル・ワード 108A～Z を回復する。それに続く動作の間、同期ワード 107 と各ストリーム 104A～Z との既知の相関は、データ・ワード境界を識別するために使用される。様々な実施形態ではさらに、1 つまたは複数のチャネル（たとえば図 1 のチャネル 106A）をフレーム指示情報の伝送専用とすることによって、インタフェース 106 全体に転送されるワードについてのフレーム指示情報を識別する。このような情報は、たとえば、その他のシリアル・ライン 106B～Z 上で伝送されるデータ・ワードの最上位ビットまたは最下位ビットの識別子を含むことができる。他の実施形態では、広範な種々のワード同期方式を使用するか、あるいはワード同期を全く省略する。

10

【0015】

次に、動作の際、各シリアル・ビットストリーム 106A～Z はビット同期モジュール 102A～Z で受信され、このモジュールは、受信データをオーバサンプリングし、データを抽出するための適切なフェーズを選択し、抽出したシリアル・ビットストリームを共通データ転送速度でワード同期モジュール 105 に供給する。次にワード同期モジュール 105 は、ビット同期データ・ストリーム 104A～Z から適宜にパラレル・データ・ワード 108A～Z を組み立てる。

20

【0016】

データおよびフレーム指示信号 106A～Z は、任意の適切な方法でビット同期される。次に図 2 に移ると、例示的なビット同期モジュール 102x（図 1 のビット同期モジュール 102A～Z のうちのいずれかを表す）は、アクティビティ検出モジュール 202、フェーズ選択モジュール 204、およびデータ抽出モジュール 206 を適宜に含んでいる。ビット同期モジュール 102x はまた、遅延モジュール 208 を適宜に含む。各モジュール 202、204、206 は、本明細書に記載の機能を実行できる任意の集積化構造体、個別構造体、ソフトウェア構造体、および / またはファームウェア構造体を用いて実施される。図 2 には特に示されていないが、処理モジュール 202、204、206、208 の一部またはすべては、入力ストリーム 106A～Z のオーバサンプリングを行い、かつ同期をとるために共通クロック信号 116（図 1）を受け取る。

30

【0017】

アクティビティ検出モジュール 202 は、受信シリアル・データ 106 中のビット遷移を検出する任意の論理回路である。ビット遷移は、たとえば低から高および / または高から低への遷移を含み、任意の方法で検出される。図 2 に示されるように、アクティビティ検出モジュール 202 の例示的な 1 実施形態は、パルス発生器 210 と、オーバサンプリングされたビット期間の「N」個のフェーズのうちの 1 つにそれぞれ対応する任意の数のパラレル・チャネルとを適宜に含む。各チャネルは、遷移検出器 214A～Z と、ビット期間の各フェーズ内で発生するパルスを識別するための適切な遅延 212B～Z とを適宜に含む。パルス発生器 210 は、信号データ 106x 中に観察されるビット遷移に応答してパルスまたは他の適切な信号を生成する。パルス発生器 210 によって生成されたこの信号は次に、検出器モジュール 214A～Z のうちの、その信号が生成されたフェーズに対応する 1 つの検出器モジュールによって観察される。他の実施形態では、検出器モジュール 214A～Z は、適当な数（P）の先行ビット期間中にいくつかの遷移が起きたかどうか（たとえば、いくつかのパルス / 信号が発生器 210 から受け取られたか）を検出する。ここで P は任意の正の整数である。このような実施形態では、各検出器モジュール 214A～Z は、先行の P 個のビット期間中の、対象となっているフェーズ中にいくつかのアクティビティが起きたかどうかを効果的に判定する。検出器モジュール 214A～Z は、各フェーズ内で検出されたアクティビティに応答して、適切なデジタル信号または他の標識をフェーズ選択モジュール 204 に供給する。

40

50

【 0 0 1 8 】

フェーズ選択モジュール 2 0 4 は、入力データ 1 0 6 x のオーバサンプリングされた N 個のフェーズのうちの、同期シリアル・データの抽出に適した 1 つを識別する任意の回路、論理回路または他のモジュールである。様々な実施形態において、フェーズ選択モジュール 2 0 4 は論理回路 2 1 6 を含み、これは適切なフェーズを、そのフェーズ内で起こるアクティビティに基づいて選択する。この選択は、任意のアルゴリズムまたは基準に従って行われる。たとえば、適切な数の先行ビット期間と比較してビット遷移の数が最も少ないフェーズを選択する。あるいは、選択されるフェーズとして、1 つまたは複数のビット遷移が起きた別のフェーズの前にくる、または後に続くフェーズを選ぶ。データを取り込むのに適した 1 つまたは複数のフェーズを識別するいかなる技法も、多様な代替実施形態に使用することができる。

10

【 0 0 1 9 】

選択モジュール 2 0 4 の様々な実施形態ではさらに、選択されたフェーズを、1 つまたは複数のカウンタ 2 2 0、2 2 2 を調整することによって識別する。カウンタ 2 2 0、2 2 2 は、抽出モジュール 2 0 6 および / または遅延モジュール 2 0 8 内の切替えタップおよび / またはデータ抽出タップを制御するものである。たとえば、カウンタ調整論理回路 2 1 8 が、選択されたフェーズの識別子をフェーズ選択論理回路 2 1 6 から適宜に受け取る。様々な実施形態において、この識別子は、論理回路 2 1 6 と論理回路 2 1 8 を相互接続する 1 つまたは複数の信号ラインを介して与えられる。このような実施形態では、選択された状態を表すために使用されるパラレル信号ラインの数は適宜に、2 を底とするクロック乗数の対数 (すなわち $\log_2 N$) に等しくなり、あるいはそれを超えてもよい。別法として、選択されたフェーズは、メモリ、レジスタ、または同様な構造体内に記憶されたデジタル値として表わされ、かつ / または他の任意の方法で表わされる。カウンタ論理回路 2 1 8 は、選択された状態を入力ストリーム 1 0 6 x から抽出するようにカウンタ 2 2 0、2 2 2 を適宜に調整する。たとえば、論理回路 2 1 8 は、選択されたフェーズからデータを抽出するために、かつ / またはタイミングを補償するために、カウンタ 2 2 0、2 2 2 それぞれをインクリメントおよび / またはデクリメントして、抽出モジュール 2 0 6 および / または遅延モジュール 2 0 8 の適切なタップを特定する。カウンタ調整論理回路 2 1 8、ならびにカウンタ 2 2 0 および 2 2 2 に関するさらなる詳細を以下に示す。

20

【 0 0 2 0 】

抽出モジュール 2 0 6 は、入力ストリーム 1 0 6 x の選択されたフェーズからデータ値を取り込む任意の回路、論理回路、または他のモジュールである。様々な実施形態において、抽出モジュール 2 0 6 は、データを抽出するための適切な数のデータ「タップ」を有する多段遅延線または同様な構造体である。様々な実施形態において、抽出モジュール 2 0 6 は、少なくとも N 個のデータ・タップを有し、フェーズ間の適切な時間領域分離を行うために、各タップがバッファまたは同様な遅延素子によって後続のタップから分離されている。入力ストリーム 1 0 6 x は抽出モジュール 2 0 6 に供給され、この抽出モジュールは、フェーズ選択モジュール 2 0 4 から受け取った制御信号を使用して、選択されたフェーズを取り込む。

30

【 0 0 2 1 】

様々な実施形態において、後続の遅延モジュール 2 0 8 は、抽出されたデータ信号を受け取り、適切な時間領域遅延を与えて、抽出モジュール 2 0 4 でのフェーズ選択を補償する。すなわち、フェーズ選択遅延が抽出モジュール 2 0 6 で低減されると、追加の遅延が遅延モジュール 2 0 8 によって与えられて、出力信号 1 0 4 のタイミングおよびフェーズ同期が確実に比較的一定したままになるようにする。遅延モジュール 2 0 8 は、抽出モジュール 2 0 6 内に使用されるものと類似の多段遅延線を用いて実施される。しかし、様々な実施形態では、遅延モジュール 2 0 8 は、フェーズ調整タイミングの正確な補償を行うために抽出モジュール 2 0 6 よりも多くのデータ・タップを有する。

40

【 0 0 2 2 】

したがって、ビット同期モジュール 1 0 2 から出力されることになるシリアル・ビット

50

ストリーム 104x は、基準クロック信号 116 に対し適切にクロック制御され、入力ストリーム 106x の信頼できるフェーズから抽出され、一定したフェーズ同時性が得られるように調整され得る。同期ビットストリーム 104x は、ワード同期モジュール 105 (図 1) に供給され、または別の方法で適宜に処理される。

【0023】

次に図 3 を参照すると、1 つのシリアル・ビットストリームを共通非同期インタフェースで受信された他のビットストリームと同期させる例示的な方法 300 は、シリアル・ビットストリームの各フェーズ内で起こるアクティビティを検出すること (工程 304)、検出されたアクティビティに基づき各フェーズのうちの 1 つを選択すること (工程 308)、および選択されたフェーズからデータを抽出すること (工程 322) からなる広範な工程を適宜に含む。図 3 は、フェーズ・カウンタおよび遅延カウンタ (図 2 の要素 220、222) を使用するフェーズ選択およびフェーズ抽出の例示的な方法 300 を示すが、同等の実施形態が、広範な種々の構造体および方法が組み込まれる。したがって、図 3 の流れ図は、入力ビットストリームの選択されたフェーズからデータを抽出する 1 つの例示的な方法を論理的に表現しようとしたものであり、これは補足することができ、さもなければ任意の方法で変更することができる。

【0024】

上述のように、方法 300 は、入力ビットストリーム 106 の各フェーズを、そのフェーズ内で起こるビット遷移または他のアクティビティを識別するために評価することから適宜に開始する (工程 302)。各フェーズは、共通クロック信号 116 (図 1) の周期に適切に対応し、それによって、信号 116 の周波数と入力ビットストリーム 106 のビットレートとの比によって決まる適切な数のフェーズを作り出す。

【0025】

各フェーズ内で起こるアクティビティは、図 2 に示されたパルス発生および検出の方式など、任意の方法で検出される (工程 304)。その場合、選択されるフェーズは、任意の適切な技法によって決定される。図 3 に示された例示的な実施形態では、各フェーズ内で起こる遷移は、適切な数 (P) の先行ビット期間にわたって監視され (工程 306)、その時間にビット遷移が識別されなかった場合にアクティブフェーズが選択される (工程 308)。その先行ビット期間中に 1 つまたは複数の遷移が識別された場合には、後続のフェーズが評価される (工程 310)。しかし、同等の実施形態においては、選択されるフェーズは、1 つまたは複数の遷移を有するフェーズを識別し、次いで、遷移フェーズに先行するまたはその後続くフェーズを選択することによって決定される。選択されるフェーズは別法として、先行するビット期間内に起こる遷移の数が最少であるフェーズとして決定され、かつ / または入力ビットストリーム 106 のそれぞれ異なるフェーズ内で起こる同程度のアクティビティに基づく他の任意の技法によっても決定される。

【0026】

図 3 は、選択されたフェーズをさらに処理して、抽出モジュール 206、および遅延モジュール 206、208 の適切なデータ・タップを選択できることを示す。図 3 に示された実施形態において、選択されたフェーズは、任意の適切な値 (たとえば中間のフェーズ) に初期化され、それに続く工程 302 ~ 310 の反復が、先に選択されたフェーズを更新するために用いられる。工程 312 ~ 320 では、カウンタ 220、222 (図 2) は、適宜にインクリメントおよび / またはデクリメントされて、選択されたフェーズからのデータが抽出モジュール 206 で得られ、また対応する遅延がモジュール 208 で与えられる。したがって、フェーズ数の増加は通常、遅延数の減少に対応し、逆も同様である。図 3 に示された例示的な方法 300 では、選択されたフェーズが、先に選択されたフェーズの 1 フェーズ「窓」の外側にある場合 (工程 312)、または選択されたフェーズが、先に選択されたフェーズより 1 フェーズだけ進んでいる場合に (工程 314)、フェーズ数をインクリメントする (工程 318)。代替実施形態ではその代わりに、選択されたフェーズが「窓」の外側にある場合にフェーズ数をデクリメントすることができ、あるいは、窓の概念を全く除去することもできる。方法 300 は同様に、選択されたフェーズが先に

選択されたフェーズよりも前である場合（工程 3 1 6）、フェーズ数をデクリメントする（工程 3 2 0）。次に、カウンタ 2 2 0、2 2 2 内に置かれた値を使用して、抽出モジュール 2 0 6（工程 3 2 2）および／または遅延モジュール 2 0 8（工程 3 2 4）の選択されたデータ・タップからデータを適宜に抽出することができる。再び、任意のフェーズ選択／決定方式を多様な代替実施形態に使用される。

【 0 0 2 7 】

したがって、多ピン非同期インタフェースとの使用に適したビット同期技法は、シリアル・ビットストリーム間のフェーズ同時性を適宜に実現しながら、各フェーズから正確にデータを抽出する。さらに、本明細書に記載された概念の様々な実施形態は、従来のデジタル回路を使用して容易に実施され、それによって、実施するのに扱いにくいことがあるアナログ・チャージ・ポンプ回路、または電圧制御発振器（VCO）回路の必要性が低減し、あるいは解消する。さらに、フェーズ同期シリアル・ビットストリームは、ワード同期モジュール 1 0 5 の様々な実施形態に使用される回路を大幅に簡略化する。

【 0 0 2 8 】

様々な例示的实施形態は以下を含む。

1 実施形態では、複数のシリアル・ビットストリームを共通クロック信号とビット同期させる方法は、各シリアル・ビットストリームの、共通クロック信号の周期に対応する複数のフェーズそれぞれの中で起こるアクティビティを検出する工程と、各シリアル・ビットストリームの複数のフェーズのうちの 1 つを、選択されるフェーズ内で検出されたアクティビティに基づき選択する工程と、各シリアル・ビットストリームについて選択されたフェーズからデータを抽出し、それによって複数のシリアル・ビットストリームのそれぞれをビット同期させる工程とを適宜に含む。様々な実施形態において、アクティビティはビット遷移である。さらに、検出工程は、複数のフェーズのうちの 1 つの中で起こるビット遷移にตอบสนองして標識信号を生成し、それに続いてその標識信号の発生を複数のフェーズそれぞれの中で検出すること、および／または同様なことを含む。選択工程は、複数のフェーズのうちのどれが最少のアクティビティを示すかを判定すること、および／または複数のフェーズのうちのどれが所定の数の先行ビット期間内にビット遷移を示したかを判定すること、および／またはフェーズ選択カウンタを調整すること、および／または他の任意の工程または下位工程を適宜に含む。

【 0 0 2 9 】

いくつかの方法は、選択されたフェーズの関数として決定される遅延時間だけ、抽出されたデータを遅延させる工程を含む。このような実施形態では、選択工程は、選択されたフェーズにตอบสนองして、遅延時間を変えるように構成された遅延カウンタを調整することを含む。

【 0 0 3 0 】

いくつかの方法はさらに、共通クロック信号を、複数のシリアル・ビットストリームのそれぞれに関連したビットレートの関数として発生する工程を含む。このような実施形態では、共通クロック信号は、ビットレートの整数倍に実質的に等しい。

【 0 0 3 1 】

他の実施形態では、複数のシリアル・ビットストリームのうちの 1 つを、共通クロック信号を有する多ピン非同期インタフェースで受信された他のビットストリームと同期させるデバイスを含む。このデバイスは、それぞれのフェーズが共通クロック信号の周期に対応している、ビットストリームの複数のフェーズそれぞれの中で起こるビット遷移を検出するように構成されたアクティビティ検出モジュールと、アクティビティ検出モジュールに結合され、複数のフェーズそれぞれの中で検出されたビット遷移に基づいて複数のフェーズのうちの 1 つを選択するように構成されたフェーズ選択モジュールと、フェーズ選択モジュールに結合されたデータ抽出モジュールとを適宜に含み、データ抽出モジュールは、ビットストリームの選択されたフェーズを抽出するように構成され、それによってそのビットストリームを他のシリアル・ビットストリームに同期させる。アクティビティ検出モジュールは、ビットストリーム内のビット遷移にตอบสนองしてパルスを発生するように構成

されたパルス発生器、および／または複数のフェーズそれぞれの遅延モジュールおよび遷移検出回路を含む。この遷移検出モジュールは、選択されるフェーズを所定の数の先行ビット期間内で起こるビット遷移の数に基づいて識別するように構成されたフェーズ選択論理回路を含む。データ抽出モジュールは、複数のフェーズのうちの１つにそれぞれが関連付けられた複数のタップを有する多段遅延線を備え、さらに、フェーズ選択カウンタと、このフェーズ選択カウンタをインクリメントおよび／またはデクリメントするように構成されたカウンタ調整論理回路とを有し、それにより複数のタップのうちの、選択されたフェーズに対応する１つをフェーズ選択カウンタを用いて選択することができる。

【 0 0 3 2 】

このデバイスはまた、ビットストリームの選択されたフェーズをフェーズ抽出モジュールから受け取るように、またこの選択されたフェーズに遅延を加えるように結合された遅延モジュールを含む。このような実施形態は、フェーズ選択モジュールはさらに、遅延カウンタと、この遅延カウンタをインクリメントおよび／またはデクリメントするように構成されたカウンタ調整論理回路を含み、それによって、選択されたフェーズに加える遅延を調整する。

【 0 0 3 3 】

他の実施形態は、多ピン非同期インタフェースでそれぞれが受信される、共通ビットレートを有する複数のシリアル・ビットストリームを同期させるシステムを含み、このシステムは、共通ビットレートの整数倍に実質的に等しい周波数を有する共通クロック信号を生成するように構成されたクロック発生器と、複数のシリアル・ビットストリームのうちの１つとそれぞれが関連付けられ、共通クロック信号を受け取るように構成された複数のビット同期モジュールとを備え、この複数のビット同期モジュールそれぞれは、それぞれのフェーズが共通クロック信号の周期に対応している、関連付けられたビットストリームの複数のフェーズそれぞれの中で起こるビット遷移を検出するように構成されたアクティビティ検出モジュールと、アクティビティ検出モジュールに結合され、複数のフェーズそれぞれの中で検出されたビット遷移に基づいて複数のフェーズのうちの１つを選択するように構成されたフェーズ選択モジュールと、フェーズ選択モジュールに結合されたフェーズ抽出モジュールとを含み、このフェーズ抽出モジュールは、関連付けられたビットストリームの選択されたフェーズを抽出するように構成され、それによって、関連付けられたビットストリームを他のシリアル・ビットストリームとビット同期させ、このシステムは、抽出された各ビットストリームを複数のビット同期モジュールから受け取るように、またデータ・ワードを同期ビットストリームから抽出するように構成されたワード同期モジュールをさらに備える。このような実施形態では、複数のビットストリームのうちの１つは、フレーム指示信号として構成され、またワード同期モジュールは、このフレーム指示信号を使用してデータ・ワードを複数のビットストリームから抽出するように構成することができる。このシステムは、無線周波数トランシーバ、および／またはベースバンド・モデム、またはその他に使用される集積回路間、あるいは他の構成要素間のインタフェースを実施する。

【 0 0 3 4 】

上記およびその他の例示的な実施形態を上述の詳細な説明で提示してきたが、膨大な数の代替実施形態および同等の変形形態が存在することを理解されたい。１つまたは複数の例示的な実施形態は例にすぎず、本発明の範囲、適用可能性、または構成を限定することを意図するものではないことも理解されたい。むしろ、上述の詳細な説明は、例示的な実施形態を実施するのに都合のよいロードマップを当業者に提供するものである。添付の特許請求の範囲およびその法的等価物に示された本発明の範囲から逸脱することなく、要素の機能および構成に様々な変更を加えることができることを理解されたい。

【図面の簡単な説明】

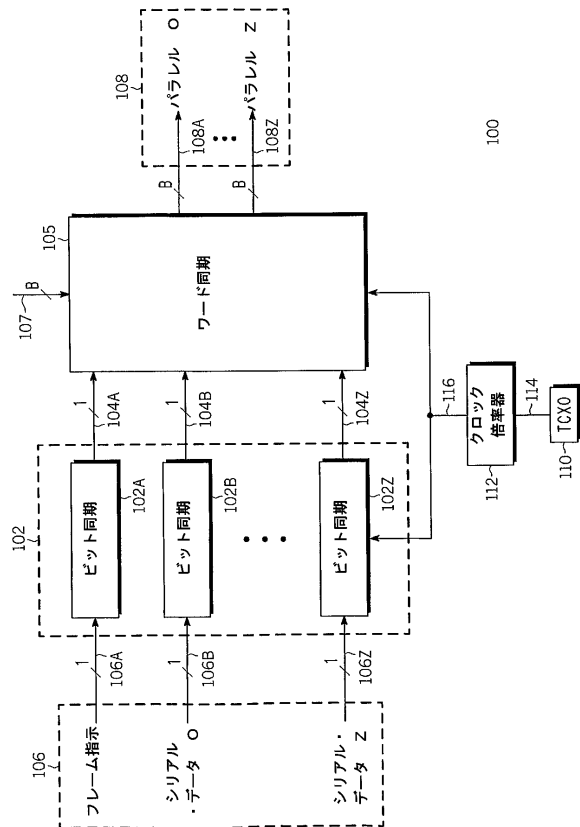
【 0 0 3 5 】

【図 1】複数のシリアル・ビットストリームを同期させるための例示的なシステムのブロック図。

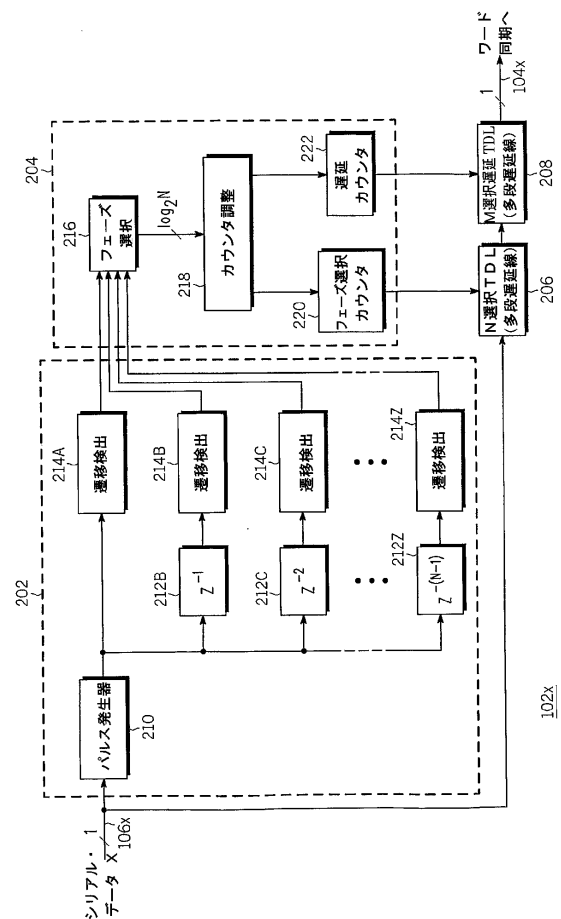
【図 2】例示的なビット同期モジュールのブロック論理回路図。

【図 3】シリアル・ビットストリームをビット同期させる例示的な方法の流れ図。

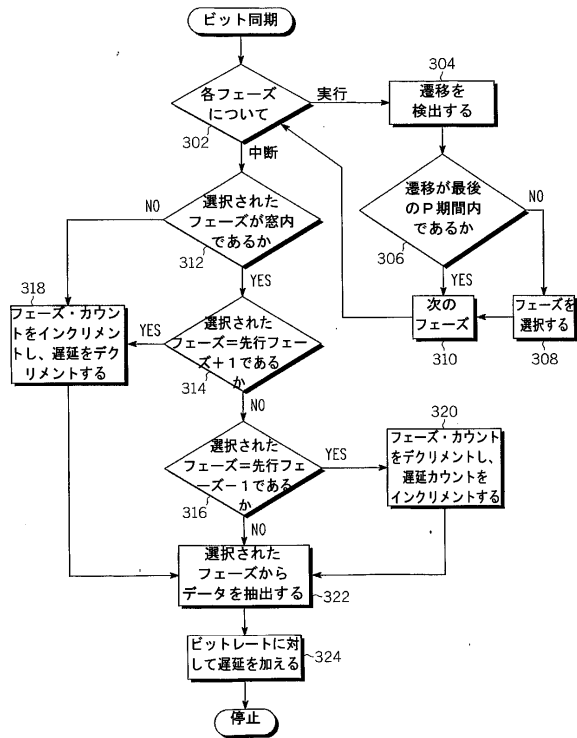
【図 1】



【図 2】



【図 3】



フロントページの続き

(72)発明者 キローガ、エミリオ ジェイ .

アメリカ合衆国 33467 フロリダ州 レイク ワース クロス パイン コート 9816

審査官 安藤 一道

(56)参考文献 特開2003-218843(JP, A)

(58)調査した分野(Int.Cl., DB名)

H04L 7/02