

409258

公告本

申請日期	85.7.23	修正 本86年6月3日 補充	A4 C4
案號	85-108943		
類別	G11C 5/02		

409258

(以上各欄由本局填註)

發明專利說明書

一、發明 名稱	中文	含有由NMOS電晶體所組成之區解碼器電路之半導體記憶元件 (86年6月3日修正)
	英文	SEMICONDUCTOR MEMORY DEVICE INCLUDING DIVISIONAL DECODER CIRCUIT COMPOSED OF NMOS TRANSISTORS
二、發明 人 創作	姓名	佐伯貴範
	國籍	日本
住、居所		東京都港區芝五丁目7番1號 日本電氣株式會社內
	姓名 (名稱)	日本電氣股份有限公司 (日本電氣株式會社)
三、申請人	國籍	日本
	住、居所 (事務所)	東京都港區芝五丁目7番1號
代表人 姓名		金子尚志

409258

公告本

申請日期	85.7.23	修正 本86年6月3日 補充	A4 C4
案 號	85-108943		
類 別	G11C 5/02		

409258

(以上各欄由本局填註)

發 明 專 利 說 明 書

一、發明 名稱	中 文	含有由NMOS電晶體所組成之區解碼器電路之半導體記憶元件 (86年6月3日修正)
	英 文	SEMICONDUCTOR MEMORY DEVICE INCLUDING DIVISIONAL DECODER CIRCUIT COMPOSED OF NMOS TRANSISTORS
二、發明 創作人	姓 名	佐伯貴範
	國 籍	日本
三、申請人	住、居所	東京都港區芝五丁目7番1號 日本電氣株式會社內
	姓 名 (名稱)	日本電氣股份有限公司 (日本電氣株式會社)
	國 籍	日本
	住、居所 (事務所)	東京都港區芝五丁目7番1號
	代 表 人 姓 名	金子尚志

409253

(由本局填寫)

承辦人代碼：
大類：
IPC分類：

A6
B6

本案已向：

日本 國(地區) 申請專利，申請日期： 案號： ，有 無主張優先權
 1995年8月17日 特願平7-208947

有關微生物已寄存於： ，寄存日期： ，寄存號碼：

(請先閱讀背面之注意事項再填寫本頁各欄)

裝

訂

線

經濟部中央標準局員工消費合作社印製

本 88 年 1 月 30 日
補充

(請先閱讀背面之注意事項再填寫本頁)

表

訂

象

五、發明說明 (14)

NMOS電晶體 2 之閘極足可被提升。

如上述，根據本發明，區解碼器係由均具有相同導電性形式之 MOS 電晶體，亦即，NMOS 電晶體所組成。因此，無需任何元件分隔區，同時，不使用主字元線之反相信號，因而，可解決漏電流之問題，且進一步地，可輸入地址信號至 NMOS 電晶體之汲極，因此，地址信號之負載小，再者，因為防止浮動電晶體被提供於主字元線與副字元線之間，所以不會有副字元線浮動之情形。

主要符號對照表

1, 2, 3, 4	NMOS 電晶體
21	行地址信號之第一部份
22	行地址信號之第二部份
31	主解碼器電路
32	地址解碼器電路
33	提升電路
MW	主字元線
SW	副字元線
N1	閘極之節點
RA	地址信號
VB	固定電壓
VCC	準位

五、發明說明(1)

發明背景1. 發明領域

本發明有關一種半導體記憶元件，且較特別地，有關一種半導體記憶元件，其中係於一DRAM(動態隨機存取記憶體)中，使字元線成群地為主字元線與副字元線，使得此主字元線由一主解碼器電路所驅動，而此副字元線由一區解碼器電路(divisional decoder circuit)所驅動。

2. 相關技術說明

如第1圖中所示，為一種被發展之大容量DRAM，提出有一種半導體記憶元件，其中使字元線成群地為一群主字元線12-1與12-2以及一群副字元線13-1至13-16，使得此字元線被分類。此主字元線12-1與12-2係分別由主X解碼器14-1與14-2所驅動，而副字元線13-1至13-16係分別由區驅動器15-1至15-16之輸出所驅動。主X解碼器14-1解碼在行地址線10-1，10-3與10-4上之地址信號以驅動主字元線12-1，而主X解碼器14-2解碼在行地址線10-2，10-3與10-4上之地址信號驅動主字元線12-2。區解碼器15-1解碼主字元線12-1上之信號以及一部分其餘之行地址線11-1以驅動副字元線13-1，而區解碼器15-2解碼主字元線12-1上之信號以及一部分其餘之行地址線11-2以驅動副字元線13-2，其他之區解碼器15-3至15-16解碼相對應字元線上之信號，以及相對應部分之其餘之行地址線以相同之方式分別地驅動相對應之副字元線，如圖中所示。

五、發明說明(2)

有三種形式之電路結構被提出為區解碼器 15-1 至 15-16 之電路結構之實例，且此等電路實例係分別地顯示於第 2、4 及 6 圖中。

首先，第 2 圖中所示之電路揭示於 "用於 256Mb (百萬位元) DRAMs 之提升式雙字元線解碼架構" (VLSI (極大型積體電路) 電路研討會之技術論文文摘，第 112 至 113 頁，1992 年) 且由三個 NMOS 電晶體 151 至 153 組成。電晶體 151 係一驅動電晶體用以驅動副字元線 SW 至一經選取狀態之電位，電晶體 152 係一重置電晶體用以重置副字元線 SW 至一未經選取狀態之電位 (接地電位)，電晶體 153 係一傳送閘電晶體用以傳送主字元線 MW 之電位至驅動電晶體 151 之閘極，此電晶體 153 之閘極被施加有足以使此電晶體 153 一直導通之固定電位 VB，且一地址信號 RA 被施加於電晶體 151 之汲極，同時，電晶體 152 之閘極被施以一具有相位相反於主地址線 MW 之信號。所以，此副字元線 SW 係由電晶體 151 之源極與電晶體 152 之汲極之共同連接節點所驅動。

第 3 圖顯示第 2 圖中所示之電路各點之信號波形之實例，於一情形中，其中副字元線 SW 欲設定於經選取之狀態時，主字元線 MW 之電位首先被設定於 H (高) 準位 (高準位：電源電壓準位 VB) 且同時，主字元線 MW 上信號之反相信號之電位被設定於 L (低) 準位 (低準位；接地準位) (其顯示於第 3 圖中為經反相之 MW，而 H 準位係 VCC，滿足於 $VCC < VB$)。其後，地址信號 RA 被設定於 H 準位使得

五、發明說明(3)

副字元線 SW 被驅動至 H 準位。結果，到達經選取之狀態。電晶體 151 之閘極 N2 電位由傳送閘電晶體 153 作業而升至較高於 VB 準位(即，提升)。因此，電晶體 151 之源極電位，亦即，副字元線之電位足以被驅動至 H 準位。

於一情形中，其中副字元線 SW 欲設定於非經選取之狀態時，主字元線 MW 之電位被設定於 L (低)準位而反相信號之電位被設定於 H 準位。

第 4 圖中所示之電路係揭示於 Nikkei 微元件(1993 年 11 月)中且由兩個 NMOS 電晶體 255 與 256 以及一個 PMOS 電晶體 254 所組成。電晶體 254 係一驅動電晶體用以驅動一副字元線 SW 至一經選取之狀態。電晶體 256 係一重置電晶體用以重置此副字元線 SW 至一未經選取之狀態，電晶體 255 係一防止浮動電晶體用以防止副字元線 SW 浮動，電晶體 254 之閘極係直接地被供應以主字元線 MW 之電位而一地址信號 RA 被供應至此電晶體 254 之源極，主字元線 MW 之電位被供應至電晶體 255 之閘極而地址信號 RA 之反相信號(反 RA)被供應至電晶體 256 之閘極，副字元線 SW 則連接於電晶體 254 至 256 之共接汲極。

第 5 圖顯示第 4 圖中所示之電路之各部分之波形，於一情形中，其中副字元線欲設定於經選取之狀態時，地址信號 RA 首先被設定於準位，同時，反相信號(反 RA)被設定於 L 準位。進一步地，主字元線 MW 之電位被設定於 L 準位。

於一情況中，其中副字元線 SW 欲設定於一未經選取之

五、發明說明(4)

狀態時，地址信號 RA 被設定於 L 準位而反相信號被設定於 H 準位。

於一情況中，其中副字元線 SW 欲保持於 L 準位（未經選取之準位）中時，主字元線 MW 被維持於 H 準位，藉此，副字元線由電晶體 255 維持於 L 準位而可防止浮動。

第 6 圖中所示之電路揭示於“具備波傳輸線方法之 150 MHz 8 組合 250M 同步 DRAM”(ISSCC 技術論文文摘，第 250 至 251 頁，1995 年 2 月)且由三個 NMOS 電晶體 357 至 359 所組成。電晶體 357 係一用以驅動一副字元線 SW 至一經選取狀態之電晶體而電晶體 359 係一用以傳送地址信號 RA 至電晶體 357 之閘極之電晶體，電晶體 358 係用以重置副字元線 SW 於一非經選取狀態之電晶體，主字元線 MW 連接於電晶體 357 之汲極而地址信號 RA 之反相信號被供應至電晶體 358 之閘極，電晶體 359 之閘極被供應以一足以使此電晶體一直導通之電位 VB 而地址信號 RA 被供應至此電晶體之汲極，副字元線 SW 係由電晶體 357 之源極與電晶體 358 之汲極之共接節點所驅動。

第 7 圖顯示第 6 圖中所示電路之各部分波形之實例，於一情況中，其中副字元線 SW 欲設定於經選取之狀態時，主字元線 MW 首先被設定於 H 準位，然後，地址信號 RA 被設定於 H 準位，同時，反相信號被設定於 L 準位。於選取副字元線 SW 之後，電晶體 357 之閘極電位 N3 由轉移開電晶體 359 之作業而升高於 VB 準位（即，提升），因此，電晶體 357 之源極電位，亦即，副字元線 SW 之電位

五、發明說明(5)

被充分地設定於H準位。

於一情況中，其中副字元線SW欲設定於非經選取之狀態時，地址信號RA被設定於L準位而反相信號被設定於H準位。

於一情況中，其中副字元線SW欲保持於非經選取之狀態時，地址信號RA被設定於L準位而反相信號被設定於H準位。

於第2圖中所示之區解碼器中，使用具有反相於主字元線上信號之信號（亦即，反相MW）。因而，存在一問題，其中諸如在主字元線MW與反相信號線間之不良電流以及由於在它們之間短路之短路電流無法被免除。

於第4圖所示之電路中，存在一缺陷，其中使用CMOS結構係利用P型MOS電晶體與N型MOS電晶體，PN分離區域必須分離於半導體基體上之P型井與N型井之間，使得當此電路達成為一IC（積體電路）時，此晶片之面積會增加。

於第6圖所示之電路中，因為採用地址信號RA輸入於電晶體357之閘極，故地址信號RA之負載容量會變大，因而，必須使地址信號RA之驅動電流變大，使得晶片面積亦導致增加。

發明概述

本發明之目的係提供一種半導體記憶元件，其可由相同導電性形式之電晶體元件組成，且其中地址信號可輸入於電晶體元件之汲極使得製成一IC之整個電路時，可

五、發明說明(6)

抑制晶片面積增加。

本發明之另一目的係提供一種半導體記憶元件，其中未使用一具有反相於主字元線信號之信號。

為達成本發明之一觀點，一種半導體記憶元件，包含：
一主字元線；一副字元線；一主解碼器電路，用以解碼一第一地址信號之第一部分而根據解碼之結果輸出一主字元線信號至主字元線，此地址信號含有此第一部分與一第二部分；一地址信號解碼部，用以解碼此地址信號第二部分之一部分而根據解碼之結果產生一第一行地址信號與一具有相位相反於此第一行地址信號之第二行地址信號；一第一MOS電晶體元件，具有一閘極連接於一預定之電壓，一汲極連接於主字元線與一源極；一第二MOS電晶體元件，具有一閘極連接於第一MOS電晶體之源極，一汲極連接於第一列地址信號，及一源極連接於一共用連接節點；以及一第三MOS電晶體元件，具有一閘極連接於第二行地址信號，一汲極連接於共用連接節點及一源極連接於一接地電位。

此半導體記憶元件尚可包含一第四MOS電晶體元件，具有一閘極連接於第一行地址信號，一汲極連接於主字元線，及一源極連接於共用連接節點。

為達成本發明之另一觀點，一種半導體記憶元件，包含：一主字元線；一副字元線；一主解碼器電路用以解碼一第一地址信號之第一部分而根據解碼之結果輸出一主字元線信號至主字元線，此地址信號含有此第一部分

五、發明說明(7)

與第二部分；一地址信號解碼部，用以解碼此地址信號第二部分之一部分而根據解碼之結果產生一第一行地址信號與一具有相位相反於此第一列地址信號之第二行地址信號；一第一MOS電晶體元件，具有一閘極連接於第一行地址信號，一汲極連接於主字元線及一源極，一第二MOS電晶體元件具有一閘極連接於第一MOS電晶體之源極，一汲極連接於第一行地址信號，及一源極連接於一共用連接節點，以及一第三電晶體元件，具有一閘極連接於第二行地址信號，一汲極連接於共用連接節點及一源極連接於一接地電位。

此半導體記憶元件尚包含一第四MOS電晶體元件，具有一閘極連接於第一行地址信號，一汲極連接於主字元線，及一源極連接於共用連接節點。

為達成本發明之又一觀點，一種半導體記憶體包含；一由一驅動MOS電晶體與一重置MOS電晶體經由一共用連接節點串聯所組成之串聯電路，此重置MOS電晶體之源極連接於一較低電位之電源；一主字元線；一副字元線，連接於共用連接節點；一行地址信號部，用以解碼一地址信號之第一部分而根據解碼之結果產生一第一行地址信號與一具有相位相反於此第一行地址信號之第二行地址信號，且用於供應此第一行地址信號至驅動MOS電晶體之汲極及供應此第二行地址信號至重置MOS電晶體之閘極，此地址信號含有此第一部分與一第二部分；一主解碼器電路，用以解碼此地址信號之第二部分而在行

五、發明說明(8)

地址信號部供應第一與第二行地址信號之前根據解碼之結果輸出一主字元線信號至主字元線；以及一傳送部，用以傳送主字元線信號至驅動MOS電晶體之閘極。

此行地址信號部尚可包含一用以提升第二行地址信號之高準位至一較高於高電位電源之提升電壓之部。於此情況中，此傳送部之一傳送MOS電晶體，具有一閘極連接於第二行地址信號，一汲極連接於主字元線及一源極連接於驅動電晶體之閘極。

另外，此傳送部可包含一傳送MOS電晶體，具有一閘極連接於一較高於高電位電源之預定電壓，一汲極連接主字元線及一源極連接於驅動電晶體之閘極。

此半導體記憶元件尚可包含一保護部以便當不存在主字元線信號時防止此副字元線浮動。於此情況中，此保護部包含一防止浮動電晶體，具有一閘極連接於第一行地址信號，一汲極連接於主字元線及一源極連接於共用連接節點。

較佳地，所有MOS電晶體具有相同之導電形式，亦即，係由NMOS電晶體所組成。

圖式簡述

第1圖係一諸如具有一字元線分類結構之DRAM之習知半導體記憶元件之概略方塊圖；

第2圖係一電路圖，顯示使用於習知半導體記憶元件中之區解器之結構；

第3圖係一圖示，顯示第2圖電路諸點處之信號波形

409258

五、發明說明(9)

之實例；

第4圖係一電路圖，顯示使用於另一習知半導體記憶元件中之區解碼器之結構；

第5圖係一圖示，顯示第4圖電路諸點處之信號波形之實例；

第6圖係一電路圖，顯示使用又一習知半導體記憶元件中之區解碼器之結構；

第7圖係一圖示，顯示第6圖電路諸點處之信號波形之實例；

第8圖係一電路圖，描繪根據本發明第一實例例之半導體記憶元件之區解碼器電路部分之結構；

第9圖係一圖示，顯示第8圖之電路部分諸點處之信號波形之實例；

第10圖係一邏輯圖表，顯示第8圖之電路部分之輸入／輸出關係；

第11圖係一電路圖，描繪根據本發明第二實施例之半導體記憶元件之區解碼器電路之結構；以及

第12圖係一圖示，顯示第11圖之電路部分諸點處之信號波形之實例。

較佳實施例說明

本發明之半導體記憶元件將參照附圖詳述如下。

第8圖係一電路圖，描繪根據本發明第一實施例之半導體記憶元件之區解碼器電路及其週邊電路部分之結構。於第8圖中，區解碼器電路係由四個NMOS電晶體1至

五、發明說明(10)

4 所組成。NMOS電晶體 2 係一驅動電晶體用以選取一副字元線 SW，以及 NMOS電晶體 1 係一傳送開電晶體用以控制一主字元線 MW之電位供應至 NMOS電晶體 2 之閘極。同時，NMOS電晶體 3 係一重置電晶體用於副字元線 SW之非經選取狀態，以及 NMOS電晶體 4 係一防止浮動電晶體用於副字元線 SW之非經選取狀態。一主解碼器電路 31與一個行地址解碼器電路 32配置於區解碼器電路之周圍。主字元線 MW連接於 NMOS電晶體 1 之汲極而 NMOS電晶體 1 之閘極被施加一足以使 NMOS電晶體 1 一直導通之固定電壓 VB，以及 NMOS電晶體 1 之源極作為 NMOS電晶體 2 之閘極輸入。地址信號 RA被供應至 NMOS電晶體 2 之汲極，而副字元線連接於 NMOS電晶體 2 之源極。地址信號 RA之反相信號(反 RA)被施加於 NMOS電晶體 3 之閘極，而 NMOS電晶體 3 之源極則接地。副字元線 SW連接於 NMOS電晶體 3 之源極，同時，主字元線 MW連接於 NMOS電晶體 4 之汲極。地址信號 RA被施加於 NMOS電晶體 4 之閘極，副字元線 SW連接於 NMOS電晶體 4 之源極。

接著，將說明根據本發明第一實施例之半導體記憶元件之作業。若其中一副字元線欲設定於一選取之狀態時，則主字元線之電位被設定於 H 準位以驅動一驅動電晶體之閘極，此驅動電晶體汲極之地址信號被驅動至 H 準位以驅動一連接於源極之副字元線至 H 準位。若其中此副字元線欲重置於一非經選取之狀態時，地址信號被設定於 H 準位且反相信號被設定於 L 準位，使得副字元線



訂

五、發明說明（11）

由一重置電晶體與該驅動電晶體重置於一重置之電位。若其中此副字元線欲保持於此重置電位時，主字元線與地址信號之電位均設定於L準位而地址信號之反相信號則設定於H準位。當主字元線之準位係L準位以及地址信號係H準位時，已配置之防止浮動電晶體則開啓以防止副字元線浮動而維持此重置狀態。

第9圖係一圖示，顯示第8圖中所示之電路部分之各點信號之波形實例。此半導體記憶元件將參照第9圖予以詳細說明。

若其中欲選取副字元線SW時，行地址信號之一部分21由主解碼器31解碼以及主字元線MW之電位先被設定於H準位且經由NMOS電晶體1傳送至NMOS電晶體2之閘極（節點N1），因為此傳送閘電晶體1係一直導通的。然後，其餘部分22之行地址信號由一個行地址解碼器32解碼而地址信號RA被設定於H準位且反相信號被設定於L準位。結果，重置電晶體2關閉。由於驅動電晶體2已被開啓，副字元線SW由此驅動電晶體2驅動至H準位。於此情況中，驅動電晶體2閘極之節點N1由傳送閘電晶體1之作業而被升至（提升）高於VB準位，且因此，NMOS電晶體2之源極電位，亦即，副字元線SW之準位被充分地設定於H準位（VB準位）。

若其中副字元線欲重置於非經選取之狀態時，地址信號RA被設定於L準位以及反相信號被設定於H準位。結果，重置電晶體3被開啓以重置副字元線SW之電位於接

五、發明說明(12)

地準位。

接著，若其中此副字元線欲保持於L準位(重置情況)時，主字元線MW之電壓被設定於H準位，同時，地址信號RA設定於L準位以及反相信號設定於H準位。結果，NMOS電晶體2與NMOS電晶體3均被開啓使得副字元線SW經由NMOS電晶體3連接於L準位之地址信號RA。因而，此副字元線保持於重置狀態。

當主字元線MW設定於L準位，地址信號設定於L準位中以及反相信號設定於H準位之中時，NMOS電晶體3開啓。結果，因為NMOS電晶體4關閉，故此副字元線經由NMOS電晶體3而呈接地電位且維持於L準位。

若主字元線MW係於L準位中，地址信號RA於H準位中以反相位號於L準位之中時，NMOS電晶體4開啓。結果，因為副字元線SW係經由NMOS電晶體而連接於L準位之主字元線MW，故副字元線被維持於L準位。

第10圖顯示主字元線MW，地址信號RA，以及副字元線SW之邏輯準位之關係，同時，顯示各情況與路徑(第8圖中之點實線之箭頭a-c)中副字元線SW之邏輯準位之關係。於此電路中，完全使用相同導電性形式之MOS電晶體，同時，無需使用主字元線MW之反相信號，進一步地，任何情況時，此副字元線並不會呈浮動狀態。

第11圖係一圖示，描繪根據本發明第二實施例之半導體記憶元件。於第11圖中，相同於第8圖中之零件係描繪以相同之參考數字，因此，只有第11圖不同於第8圖

五、發明說明(13)

之部分將予以說明。於第11圖中，NMOS電晶體1之閘極係連接於地址信號RA之反相信號(RA)以取代固定電壓VB。此反相信號係由列地址解碼器32產生，而反相信號之高準位則由提升電路33提供至固定電壓VB。其他部分係與第8圖相同。

接著，將說明本發明第二實施例之半導體記憶元件之作業。第12圖係一圖示，顯示第11圖中所示電路部分之各點之波形實例。

若其中欲選取副字元線SW時，先設定主字元線MW之電位於H準位，然後設定地址信號RA於H準位。由於反相信號於初始狀態中被設定於H準位，驅動電晶體2之閘極電位(N1之電位)由主字元線來提升。於此情況中，當地址RA被設定於H準位時，此地址信號之反相信號同時呈L準位，故NMOS電晶體1關閉。結果，NMOS電晶體2之閘極電位不會從提升之準位降下，因而造成良好之效率。於第二實施例中，並不需連接於NMOS電晶體1之閘極之電源線VB。因此，當半導體記憶元件被完成為一IC時，晶片面積可被有效地使用，而其他之作業則相同於第8圖。

於第8圖所示之第一實施例中，地址信號之反相信號之H準位可為一足以使NMOS電晶體3導通之準位。因此，如第9圖中所示，此H準位可為一VCC準位($V_B > V_{CC}$)。然而，第11圖所示之第二實施例中，如第5圖中之所示，地址信號之反相信號之H準位被設為VB以便使傳送開

本 88 年 1 月 30 日
補充

(請先閱讀背面之注意事項再填寫本頁)

訂

頁

五、發明說明(14)

NMOS電晶體 2 之閘極足可被提升。

如上述，根據本發明，區解碼器係由均具有相同導電性形式之 MOS 電晶體，亦即，NMOS 電晶體所組成。因此，無需任何元件分隔區，同時，不使用主字元線之反相信號，因而，可解決漏電流之問題，且進一步地，可輸入地址信號至 NMOS 電晶體之汲極，因此，地址信號之負載小，再者，因為防止浮動電晶體被提供於主字元線與副字元線之間，所以不會有副字元線浮動之情形。

主要符號對照表

1, 2, 3, 4	NMOS 電晶體
21	行地址信號之第一部份
22	行地址信號之第二部份
31	主解碼器電路
32	地址解碼器電路
33	提升電路
MW	主字元線
SW	副字元線
N1	閘極之節點
RA	地址信號
VB	固定電壓
VCC	準位

四、中文發明摘要(發明之名稱：含有由NMOS電晶體所組成之區解碼器電路之半導體記憶元件)

一半導體記憶元件，包含：一串聯電路(2, 3)由一為第一MOS電晶體之驅動MOS電晶體(2)與一為第二MOS電晶體之重置電晶體(3)經由一共用連接節點串聯連接所組成，此重置MOS電晶體之源極連接於一低電位電源；一主字元線(MW)；以及一連接於共用連接節點之副字元線(SW)。一地址信號包含一第一部分(21)與一第二部分(22)，以及一個列地址信號部解碼器地址信號之第一部分(21)且根據此解碼結果產生一第一列地址信號(RA)與一具有反相於第一列地址信號之第二列地址信號(反RA)，及供應此第一列地址信號至驅動MOS電晶體(2)之汲極與供應第二列地址信號至重置MOS電晶體(3)之閘極。一主解碼器電路(11)解碼地址信號之第二部分且根據此解碼結果在列地址信號部(12)供應第一與第二列地址信號之前輸出一主字元線信號至主字元線(MW)。一第三MOS電晶體(1)為一傳送部而傳送主字元線信號至驅動MOS電晶體(2)之閘極。一第四MOS電晶體(4)為一防止部，係提供當沒有主字元線信號時防止副字元線浮動，且此第四MOS電晶體具有一連接於第一列地址信號之閘極，一連接於主字元線之汲極以及一連接於共用連接節點之源極。

四、英文發明摘要(發明之名稱: SEMICONDUCTOR MEMORY DEVICE INCLUDING DIVISIONAL DECODER CIRCUIT COMPOSED OF NMOS TRANSISTORS)

A semiconductor memory device includes a series circuit (2, 3) composed of a drive MOS transistor (2) as a first MOS transistor and a reset MOS transistor (3) as a second MOS transistor connected in series via a common connection node, a source of the reset MOS transistor being connected to a lower potential power supply, a main word line (MW), and a sub-word line (SW) connected to the common connection node. An address signal includes a first part (21) and a second part (22) and a row address signal section (12) decodes the first part (22) of the address signal to generate a first row address signal (RA) and a second row address signal (inverted RA) having a phase inverse to that of the first row address signal in accordance with the decoding result, and supplies the first row address signal to a drain of the drive MOS transistor (2) and the second row address signal to a gate of a reset MOS transistor (3). A main decoder circuit (11) decodes the second part of the address signal to output a main word line signal to the main word line (MW) in accordance with the decoding result before the row address signal section (12) supplies the first and second row address signals. A third MOS transistor (1) as a transfer section transfers the main word line signal to a gate of the drive MOS transistor (2). A fourth MOS transistor (4) as a preventing section is provided to prevent the sub-word line from floating when there is no main word line signal and the fourth MOS transistor includes a gate connected to the first row address signal, a drain connected to the main word line, and a source connected to the common connection node.

六、申請專利範圍

第 85108943 號「含有由 NMOS 電晶體所組成之區解碼器電路之半導體記憶元件」專利案

(88 年 1 月 30 日修正)

六 申請專利範圍：

1. 一種半導體記憶元件，其特徵為：

一 串聯電路由一驅動 MOS 電晶體與一重置電晶體經由一共同連接節點串聯連接所組成，該重置於 MOS 電晶體之源極連接於一低電位電源；

一 主字元線 (MW)；

一副字元線 (SW)，連接於該共用連接節點；

一行地址信號裝置用以解碼一地址信號之第一部分且根據解碼結果產生一第一行地址信號 (RA) 與一具有反相於該第一行地址信號之第二行地址信號 (反 RA)，以及用以供應該第一行地址信號至該驅動 MOS 電晶體之汲極與供應該第二行地址信號至該重置 MOS 電晶體之閘極，該地址信號含有該第一部分與一第二部分；

一 主解碼器電路用以解碼該地址信號之第二部分，而根據解碼結果在該行地址信號裝置供應該第一與第二行地址信號之前輸出一主字元線信號至該主字元線；以及

傳送裝置用以傳送該主字元線信號至該驅動 MOS 電晶體之閘極，其中所有該 MOS 電晶體元件具有相同之導電形式。

六、申請專利範圍

第 85108943 號「含有由 NMOS 電晶體所組成之區解碼器電路之半導體記憶元件」專利案

(88 年 1 月 30 日修正)

六 申請專利範圍：

1. 一種半導體記憶元件，其特徵為：

一 串聯電路由一驅動 MOS 電晶體與一重置電晶體經由一共同連接節點串聯連接所組成，該重置於 MOS 電晶體之源極連接於一低電位電源；

一 主字元線 (MW)；

一副字元線 (SW)，連接於該共用連接節點；

一行地址信號裝置用以解碼一地址信號之第一部分且根據解碼結果產生一第一行地址信號 (RA) 與一具有反相於該第一行地址信號之第二行地址信號 (反 RA)，以及用以供應該第一行地址信號至該驅動 MOS 電晶體之汲極與供應該第二行地址信號至該重置 MOS 電晶體之閘極，該地址信號含有該第一部分與一第二部分；

一 主解碼器電路用以解碼該地址信號之第二部分，而根據解碼結果在該行地址信號裝置供應該第一與第二行地址信號之前輸出一主字元線信號至該主字元線；以及

傳送裝置用以傳送該主字元線信號至該驅動 MOS 電晶體之閘極，其中所有該 MOS 電晶體元件具有相同之導電形式。

六、申請專利範圍

2. 如申請專利範圍第1項之半導體記憶元件，其中該行地址信號裝置尚包括包含用以提升該第二行地址信號之高準位至較高於一高電位電源之一提升電壓之裝置。
3. 如申請專利範圍第2項之半導體記憶元件，其中該傳送裝置尚包含一傳送MOS電晶體，具有一閘極連接於該第二行地址信號，一汲極連接於該主字元線以及一源極連接於該驅動MOS電晶體之閘極。
4. 如申請專利範圍第1項之半導體記憶元件，其中該傳送裝置尚包含一傳送MOS電晶體，具有一閘極連接於一較電位電源之預定電壓(VB)，一汲極連接於該主字元線以及一源極連接於該驅動MOS電晶體之閘極。
5. 如申請專利範圍第1至4項中任一項之半導體記憶元件，尚包含防止裝置用於當沒有主字元線信號時防止該副字元線浮動。
6. 如申請專利範圍第5項之半導體記憶元件，其中該防止裝置包含一防止浮動MOS電晶體，具有一閘極連接於該第一行地址信號，一汲極連接於該主字元線，以及一源極連接於該共用連接節點。
7. 如申請專利範圍第1至4項中任一項之半導體記憶元件，其中所有該MOS電晶體係NMOS電晶體。
8. 如申請專利範圍第7項之半導體記憶元件，尚包含防止裝置用於當沒有主字元線信號時防止該副字元線浮動。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

六、申請專利範圍

9. 如申請專利範圍第 8 項之半導體記憶元件，其中該防止裝置包含一防止浮動 MOS 電晶體，具有一閘極連接於該第一行地址信號，一汲極連接於該字元線，以及一源極連接於該共用連接節點。

(請先閱讀背面之注意事項再填寫本頁)

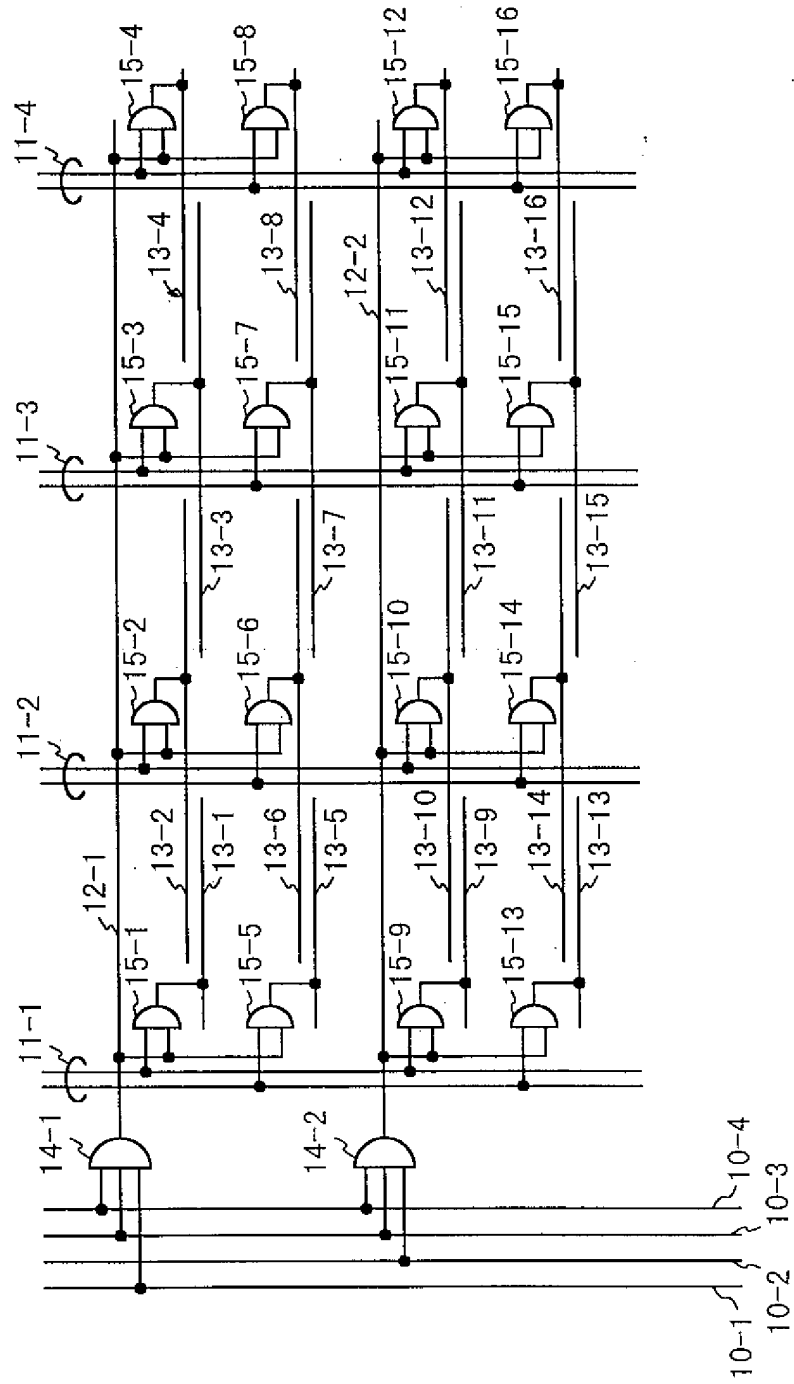
裝

訂

線

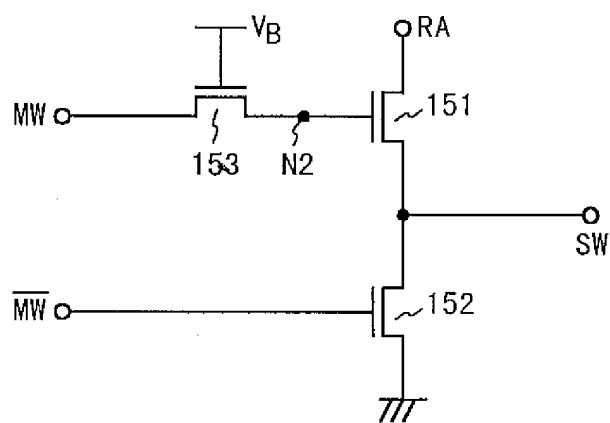
409258

85108943

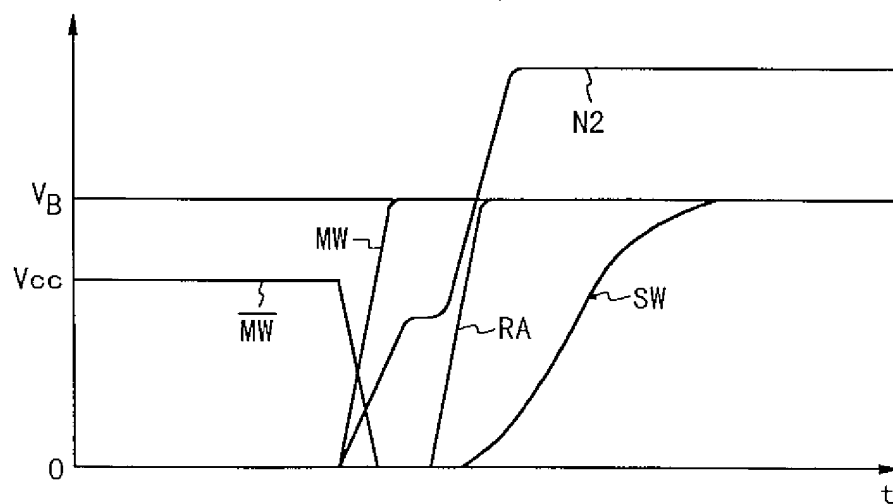


第1圖

409258

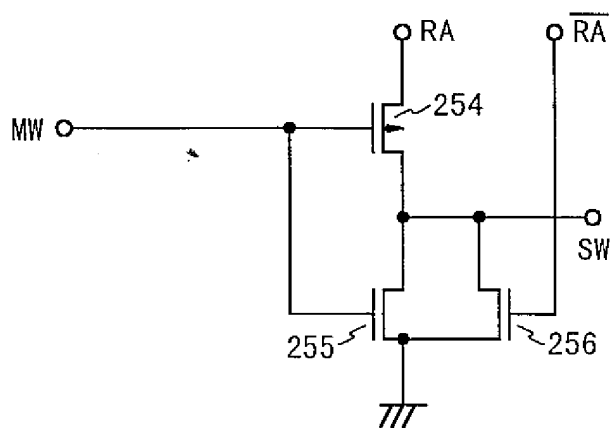


第2圖

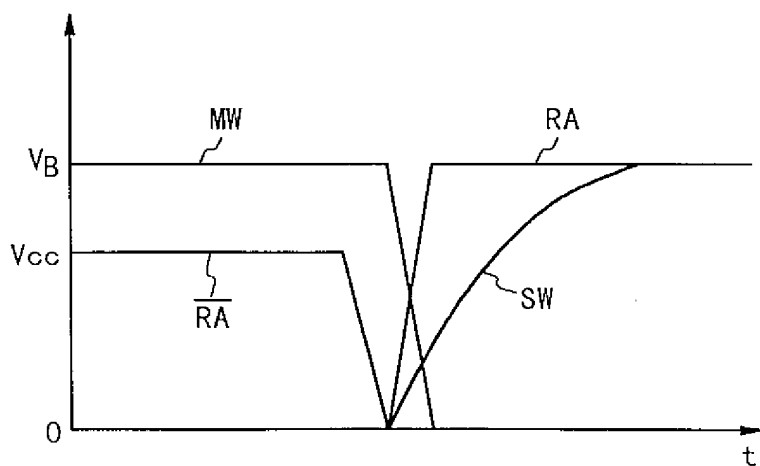


第3圖

409258

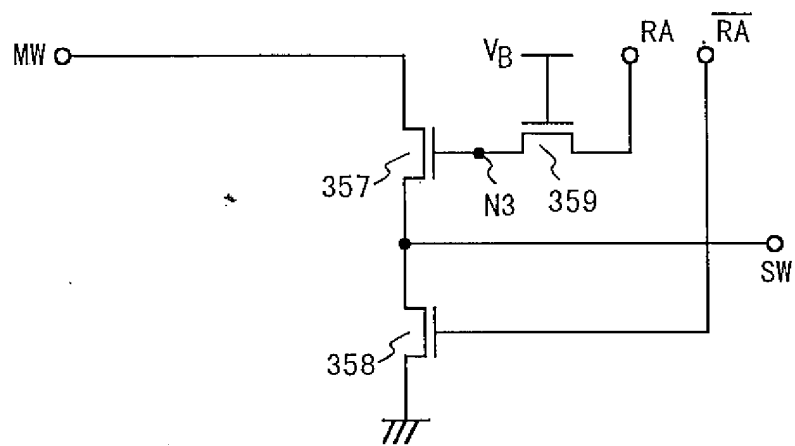


第4圖

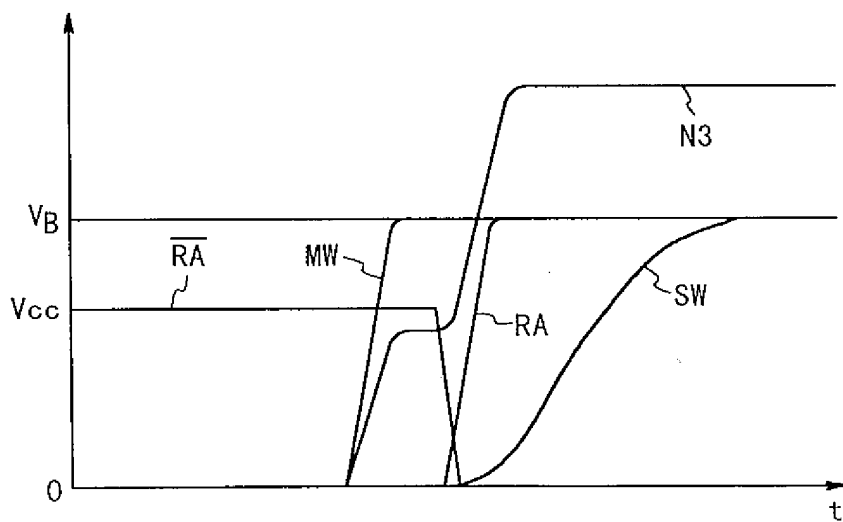


第5圖

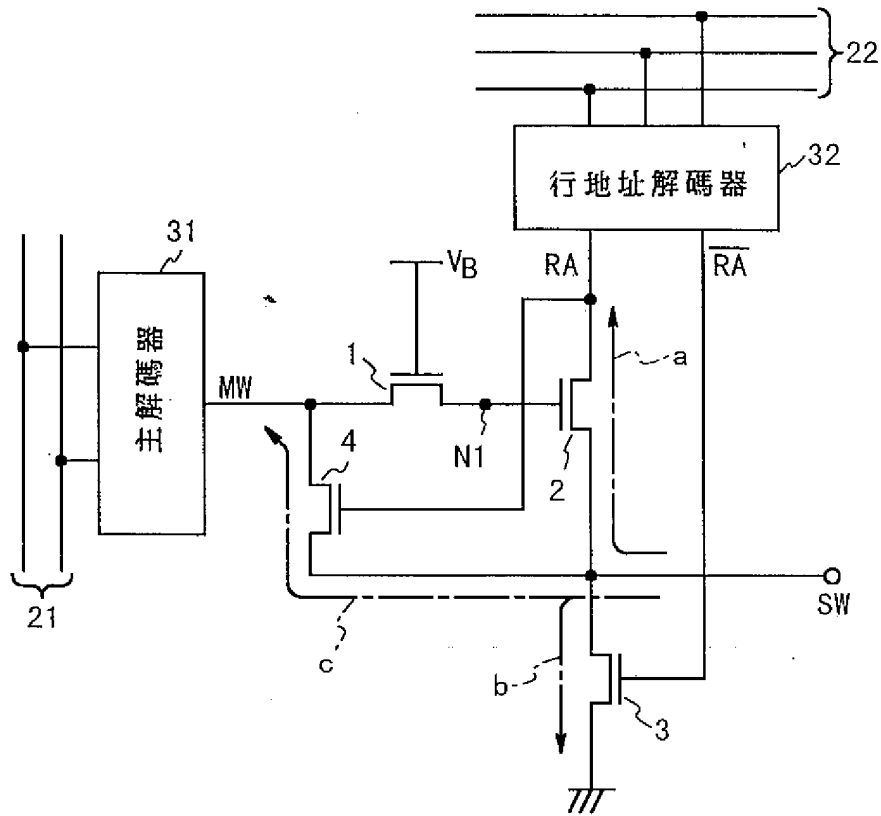
409258



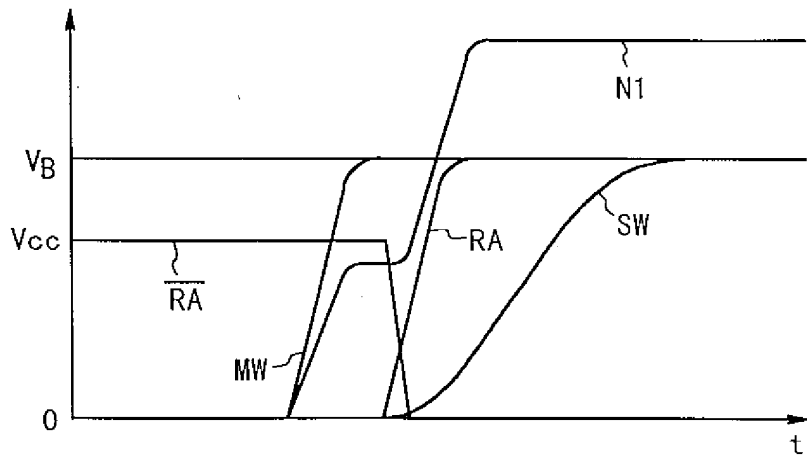
第6圖



第7圖



第8圖



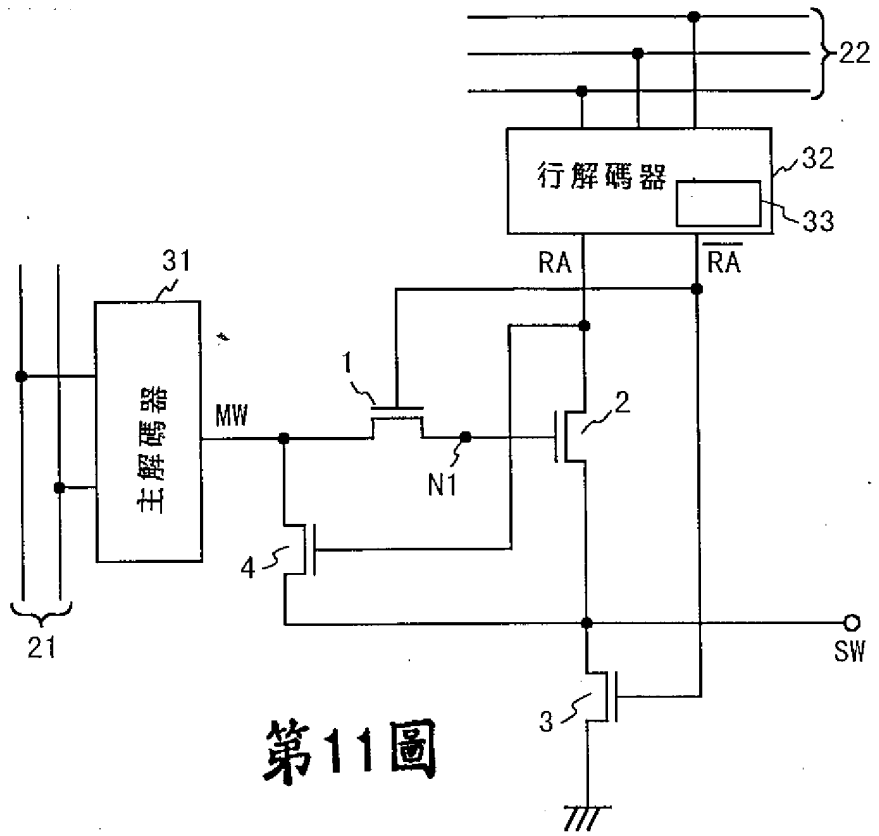
第9圖

409258

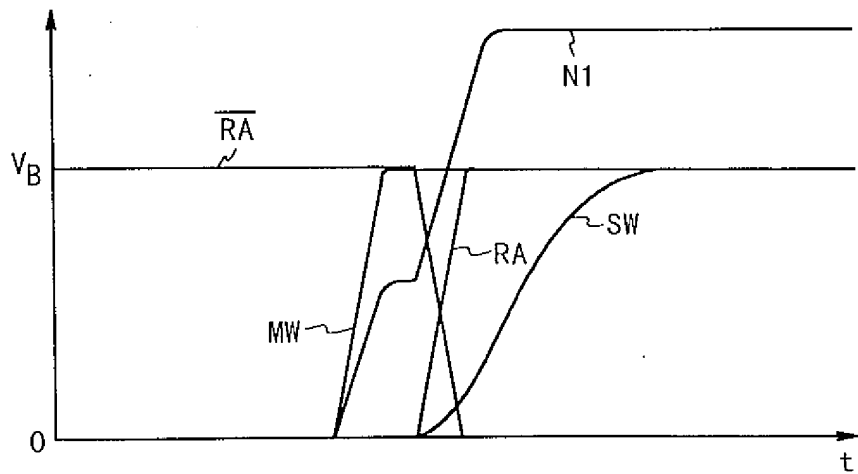
MW	RA	SW	提升 / 降下	路徑
H	H	H	提 升	a
H	L	L	降 下	a, b
L	L	L	降 下	b'
L	H	L	降 下	c

第10圖

409258



第11圖



第12圖