

(19) 대한민국특허청(KR)

(12) 공개특허공보(A)

(51) Int. Cl.⁶
H01L 27/10

(11) 공개번호 특2001-0008584
(43) 공개일자 2001년02월05일

(21) 출원번호 10-1999-0026501
(22) 출원일자 1999년07월02일
(71) 출원인 현대전자산업 주식회사 김영환
(72) 발명자 경기 이천시 부발읍 아미리 산136-1
문정언
경기도성남시수정구수진2동3331번지
이금범
서울특별시강북구번1동444-11
(74) 대리인 박대진, 정은섭

심사청구 : 없음

(54) 고집적 반도체장치의 커패시터 형성방법

요약

본 발명은 고집적 반도체장치의 커패시터 형성방법에 관한 것으로서, 특히 이 방법은 반도체 소자를 구비한 기판 상부에 층간절연막의 콘택홀을 형성하고 그 내측벽에 사이드월 스페이서를 형성하고, 사이드월 스페이서 사이의 콘택홀에 기판의 활성영역과 접하도록 비정질의 도프트 실리콘을 증착하여 매립하고 그 위에 제 1차로 비정질 언도프트 실리콘을 증착한 후에, 언도프트 실리콘층 상부에 절연막을 두껍게 형성한 후에 순차적층된 절연막 및 언도프트 실리콘층을 패터닝하고, 패터닝된 절연막과 언도프트 실리콘층 외측벽에 제 2차로 비정질의 언도프트 실리콘층으로 이루어진 사이드월 스페이서를 형성한 후에, 절연막만을 선택적으로 제거하고 소정의 온도에서 어닐링 공정을 실시한 선택적 MPS 공정을 실시하여 스토리지노드 전극을 형성한다. 이에 따라, 본 발명은 비정질 실리콘의 선택적 MPS성장시 균일한 그레인 크기로 실리콘이 성장되기 때문에 선택적 MPS 공정 시간이 감소될 뿐만 아니라 후속 공정인 유전체막을 증착시 스텝 커버리지를 향상시킬 수 있다.

대표도

도2b

명세서

도면의 간단한 설명

도 1a 내지 도 1d는 종래 기술에 의한 고집적 반도체장치의 커패시터 제조 방법을 설명하기 위한 공정 순서도,

도 2a 내지 도 2g는 본 발명에 따른 고집적 반도체장치의 커패시터 제조 방법을 설명하기 위한 공정 순서도.

도면의 주요 부분에 대한 부호 설명

100: 실리콘 기판	110: 층간절연막
112: 배리어 절연막	114, 126: 사이드월 스페이서
120: 비정질의 도프트 실리콘	122: 비정질의 언도프트 실리콘
124: 절연막	128: 스토리지노드 전극
130: 유전체박막	132: 플레이트노드 전극

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 반도체장치의 제조방법에 관한 것으로서, 특히 고집적 반도체장치에서 커패시터 스토리지노드

전극의 전기적 특성을 향상시킬 수 있는 커패시터 형성방법에 관한 것이다.

현재 반도체 소자는 고집적화를 달성하기 위하여 셀 면적의 감소 및 동작 전압의 저전압화에 관한 연구/개발이 활발하게 진행되고 있다. 더구나 반도체 소자의 고집적화가 이루어질수록 커패시터의 면적은 급격하게 감소되고 있기 때문에 기억소자의 동작에 필요한 전하 즉, 단위 면적에 확보되는 커패시턴스를 더욱 증가시켜야만 한다.

한편, 메모리 셀에 사용되는 커패시터의 기본 구조는 스토리지노드(storage node) 전극, 유전체막 및 플레이트노드(plate node) 전극으로 구성된다. 이러한 구조를 가지는 커패시터는 작은 면적 내에서 보다 큰 고정전용량을 얻기 위해서 첫째 얇은 유전체막 두께를 확보하거나, 둘째 3차원적인 커패시터의 구조를 통해서 유효 면적을 증가하거나, 셋째 유전율이 높은 물질을 사용하여 유전체막을 형성하는 등의 몇 가지 조건이 만족되어야만 한다.

반도체장치의 커패시터는 통상적으로 주어진 유전체막의 두께에서 누설 전류가 적어지면 적어질수록, 파괴 전압이 커지면 커질수록 좋은 유전체막을 얻지만 유전체막의 두께가 100 Å 이하로 박막화될 경우 파울러-노드하임(Fowler-Nordheim) 터널링에 의하여 누설 전류가 증가하여 신뢰성이 저하되기 때문에 이 방법은 한계가 있다. 또한, 고집적화 메모리장치의 좁은 면적에서도 고정전용량의 확보가 충분히 이루어질 수 있도록 메모리 셀의 커패시터에서 높은 유전율을 갖는 물질을 이용하는 방법이 계속 연구중에 있다.

그리고, 마지막으로 커패시터의 유효 면적을 증가시키기 위해서 3차원 구조로 스토리지노드 전극의 단면적을 증가시키는 방법이 진행중에서 있다.

도 1a 내지 도 1d는 종래 기술에 의한 고집적 반도체장치의 커패시터 제조 방법을 설명하기 위한 공정 순서도로서, 이를 참조하여 그 제조 공정을 설명하면 다음과 같다.

우선, 도 1a에 도시된 바와 같이 반도체기판으로서 실리콘기판(10)의 활성 영역 상부면에 반도체소자(도시하지 않음)를 형성하고, 그 기판(10) 전면에 소자간 층간 절연하는 평탄화된 층간절연막(20)을 형성한다. 기판(10)의 활성영역과 접하는 커패시터의 단면적을 확보하기 위하여 사진 및 식각 공정으로 상기 층간절연막(20)을 선택 식각하여 콘택홀(도시하지 않음)을 형성하고, 콘택홀 공간 마진을 위해 콘택홀 내측벽에 절연물질로된 사이드월 스페이서(22)를 형성한다.

그 다음, 사이드월 스페이서(22)가 형성된 콘택홀내에 실린더 구조의 스토리지노드 전극의 제조공정을 실시하는데, LPCVD(low pressure chemical vapor deposition) 퍼니스에서 400°C로 로딩하고 1.0torr의 압력하에서 반응 챔버내 온도를 520°C로 올리면서 SiH_4 가스= 1000cc, PH_3 가스= 132cc를 흘려 비정질의 도프트 실리콘막(30)을 1000 Å을 증착한다. 그리고, 실린더 구조를 얻기 위해서 코어 산화막(32)을 5000~6000 Å을 증착한 후에 실린더형 커패시터 패턴을 형성하기 위한 마스크를 이용한 사진 및 식각 공정으로 상기 적층된 코어 산화막(32)과 비정질의 도프트 실리콘막(30)을 패터닝한다. 실린더 커패시터 측벽의 접착을 양호하게 하기 위해 피라나(piranha)+ HF 습식 세정공정을 실시한다.

이어서, 상기 실리콘 증착과 동일한 조건을 두고 비정질의 도프트 실리콘막을 700~1000 Å으로 증착한 후에 이 막을 블랭킷 식각하여 사이드월 스페이서(34)를 형성한다.

그 다음, 도 1b에 도시된 바와 같이, 사이드월 스페이서(34)사이에 남아 있는 코어 산화막 패턴(32)을 제거함과 동시에 사이드월 실리콘막(34) 위에 형성된 자연산화막을 없애주기 위해서 H_2SO_4 +HF 습식 세정을 실시한다.

도 1c에 도시된 바와 같이, 커패시터의 단면적을 증가시키기 위하여 싱글 웨이퍼타입의 챔버를 이용하여 650°C에서 Si_2H_6 내지 SiH_4 가스를 5~10cc정도를 주입하여 선택적 준안전성 폴리실리콘(Metastable PolySilicon: 이하 선택적 MPS라 칭함) 박막(30', 34')을 형성하고, 공핍층을 제거하기 위해 인시튜(insitu)로 PH_3 도핑을 실시함으로써 커패시터의 스토리지노드 전극(35)을 형성한다.

그 다음, 도 1d에 도시된 바와 같이 상기 스토리지노드 전극(35)상부에 유전체박막(36)을 형성하고, 그 위에 도프트 폴리실리콘을 증착하여 플레이트노드 전극(38)을 형성한다.

상기한 종래 기술에 의한 스토리지노드 전극의 제조 방법은, 커패시터의 고용량을 확보하기 위하여 스토리지노드 전극의 단면적을 넓히는 선택적 MPS 박막 공정을 실시할 경우 그 박막의 불균일한 성장으로 인해 유전체막의 형성시 스텝 커버리지가 나빠지게 된다. 이러한 상황이 악화될 경우 위크 포인트(weak point)가 발생하게 되고 이 부분에 전계가 가해지면 누설 전류가 증가되고 항복 전압이 감소되어 결국 커패시터의 신뢰성을 저하시키는 문제점이 있었다.

발명이 이루고자하는 기술적 과제

본 발명의 목적은 상기와 같은 종래 기술의 문제점을 해결하기 위하여 실린더 구조를 갖는 커패시터 제조공정시 기판과 접하는 스토리지노드 전극의 패턴을 비정질의 도프트 및 언도프트 실리콘막으로 2중 증착하여 형성하고 그 패턴의 측벽에 비정질의 언도프트 실리콘막으로 이루어진 사이드월 스페이서막을 형성한 후에 후속공정인 선택적 MPS 박막 형성시 PH_3 도핑 처리를 하여 스토리지노드 전극을 형성함으로써 스토리지노드의 선택적 MPS 성장시 균일한 크기로 그레인을 성장시킬 수 있는 고집적 반도체장치의 커패시터 형성방법을 제공하는데 있다.

발명의 구성 및 작용

상기 목적을 달성하기 위하여 본 발명은 반도체기판의 활성영역과 접촉하는 스토리지노드 전극과 그 위에 유전체 박막 및 플레이트노드 전극으로 이루어진 커패시터를 형성함에 있어서, 반도체 소자를 구비한

반도체기판 상부에 소자간 절연을 위한 층간절연막의 콘택홀을 형성하고 그 내측벽에 사이드월 스페이서를 형성하는 단계와, 사이드월 스페이서에 의해 개방된 콘택홀에 기판의 활성영역과 접하도록 비정질의 도프트 실리콘을 증착하여 매립하고 그 위에 제 1차로 비정질 언도프트 실리콘을 증착하는 단계와, 언도프트 실리콘층 상부에 절연막을 두껍게 형성한 후에 순차적층된 절연막 및 언도프트 실리콘층을 패터닝하는 단계와, 패터닝된 절연막과 언도프트 실리콘층 외측벽에 제 2차로 비정질의 언도프트 실리콘층으로 이루어진 사이드월 스페이서를 형성하는 단계와, 절연막만을 선택적으로 제거하고, 소정의 온도에서 어닐링 공정을 실시하여 비정질의 실리콘을 폴리실리콘화하여 스토리지노드 전극을 형성하는 단계와, 스토리지노드 전극 상부에 유전체박막을 형성하는 단계와, 유전체박막 상부면에 도전층의 플레이트노드 전극을 형성하는 단계를 포함하는 것을 특징으로 한다.

본 발명에 따르면, 스토리지노드 전극 제조공정시 층간절연막의 콘택홀을 통해서 하부의 기판(또는 콘택 전극)과 접하도록 비정질의 도프트 및 언도프트 실리콘막을 순차적으로 증착한다. 그 위에 절연막을 적층하여 스토리지노드의 영역을 확보하기 위한 패턴을 형성하고, 그 패턴 측벽에 비정질의 언도프트 실리콘막을 증착해서 이를 식각하여 사이드월 스페이서를 형성한다.

그러므로, 본 발명의 스토리지노드 전극의 제조 방법은, 전극의 단면적을 증가시키기 위한 선택적 MPS 박막 형성시 그레이인이 성장하는데 억제 역할을 하는 불순물이 바깥부위(패턴외측과 사이드월)에 없기 때문에 균일한 박막 크기를 성장시킬 수 있어 유전체막의 스텝 커버리지가 향상된다.

이하, 도면을 참조하여 본 발명의 바람직한 실시예에 대해 상세하게 설명하고자 한다.

도 2a 내지 도 2g는 본 발명에 따른 고집적 반도체장치의 커패시터 제조 방법을 설명하기 위한 공정 순서도로서, 이를 참조하면 본 발명의 커패시터의 형성과정은 다음과 같다.

우선, 도 2a에 도시된 바와 같이 실리콘 기판(100)의 활성 영역 상부면에 게이트 전극, 소스/드레인을 갖는 반도체소자(도시하지 않음)를 형성하고, 그 기판(100) 전면에 USG(Undoped Silicate Glass), BPSG(Boro Phospho Silicate Glass) 및 SiON 중에서 선택한 물질을 증착하고 화학적기계적연마(Chemical Mechanical Polishing) 공정을 실시하여 층간절연막(110) 및 배리어 역할을 하는 절연막, 예를 들어 PE-TEOS(Plasma Enhanced TetraEtylOrthoSilicate)을 형성한다. 그 다음 기판(100)의 활성영역 예를 들면, 드레인 영역과 접촉하는 커패시터의 단면적을 확보하기 위하여 사진 및 식각 공정으로 상기 층간절연막(110)을 선택 식각하여 콘택홀(도시하지 않음)을 형성한다. 그 콘택홀 내측벽에 절연물질로 된 사이드월 스페이서(114)를 형성한다.

그 다음, 도 2b에 도시된 바와 같이, 사이드월 스페이서(114)에 의해 개방된 콘택홀에 기판과 접하도록 비정질의 도프트 실리콘(120)을 증착하여 매립한다. 이때, 증착공정은 저압 화학기상증착장비를 이용하여 챔버 온도를 510℃~530℃로 하며 반응챔버의 압력을 0.5~1.0Torr 조건으로 한다. 도핑된 불순물인 P의 도핑 농도는 1.0E20atoms/cc~3.0E20atoms/cc로 하는 것이 바람직하며 실리콘막(120)의 두께는 500Å~600Å로 한다.

그리고, 상기와 동일한 증착공정(단, PH₃가스를 흘려주지 않음)에서 도프트 실리콘막(120) 상부에 제 1차로 비정질 언도프트 실리콘(122)을 500Å~600Å 정도로 증착한다. 여기서, 콘택홀 내부에는 도프트 실리콘막(120)을 형성하고 절연막(110) 상부에는 언도프트 실리콘막(122)을 형성하는 이유는 후속 PH₃ 도핑 공정시 P가 콘택홀이 맞닿는 부분까지 확산이 안되기 때문에 콘택홀 부위에는 도프트 실리콘을 증착한 것이다.

이어서, 도 2c 및 도 2d에 도시된 바와 같이, 실린더 구조를 얻기 위해서 코어 절연막으로서 식각율이 빠른 O₃ PSG(Phospho Silicate Glass)(124)을 5000Å~6000Å을 증착한 후에 실린더형 커패시터 패턴을 형성하기 위한 마스크를 이용한 사진 및 식각 공정으로 상기 적층된 O₃ PSG막(124)과 비정질의 도프트 실리콘막(122)을 패터닝한다. 그리고, 패터닝된 O₃ PSG막(124') 및 비정질의 도프트 실리콘막(122) 측벽의 접착을 양호하게 하기 위해 피라나 + HF 습식 세정공정을 실시한다. 또한, 상기 O₃ PSG(124)막 위에 마스크 작업시 난방사를 방지하기 위한 ARC(Anti-Reflective Coating)막을 추가적으로 형성할 수 있다.

이어서, 도 2e에 도시된 바와 같이 실린더 커패시터의 사이드월을 형성하기 위하여 비정질의 도프트 실리콘막을 700~1000Å으로 증착한 후에 이 막을 블랭킷 식각하여 상기 패턴(124', 122') 측벽에 사이드월 스페이서(126)를 형성한다. 그리고, 사이드월 스페이서(126)사이에 남아 있는 O₃ PSG 패턴(124')을 제거함과 동시에 사이드월 실리콘막(126) 위에 형성된 자연산화막을 없애주기 위해서 H₂SO₄+HF 습식 세정을 실시한다.

계속해서, 도 2f에 도시된 바와 같이, 커패시터의 단면적을 증가시키기 위하여 싱글 웨이퍼타입의 챔버를 이용하여 650℃에서 Si₂H₆ 내지 SiH₄ 가스를 5~10cc정도를 주입하고 어닐링 공정을 실시한 선택적 MPS 공정을 실시하여 비정질의 실리콘을 준안정성 폴리실리콘으로 성장시킨다. 이로 인해, 비정질의 언도프트 실리콘 패턴(122')과 사이드월 스페이서(126)의 표면이 반구형 요철 형태를 가지게 되어 120, 122' 126으로 이루어진 스토리지노드 전극(128)의 전체 단면적이 증가하게 된다. 상기 선택적 MPS공정에 의해 막내에 P가 부족하여 저항이 작아지기 때문에 충분히 P를 공급하고자 인시튜로 PH₃ 도핑을 실시한다.

이와 같이 본 발명의 스토리지노드 전극(128) 제조 공정이 완료된 후에 통상의 유전체박막(130) 및 플레이트노드 전극(132)을 형성한다.

발명의 효과

본 발명에 따른 커패시터 제조방법을 이용하게 되면, 스토리지노드 전극의 물질을 단 한가지로 비정질의

도프트 실리콘을 사용하는 대신에 선택적 MPS 그레이인이 성장될 부분만을 선택적으로 비정질의 언도프트 실리콘막으로 대체함으로써 비정질 실리콘의 선택적 MPS성장시 균일한 그레이 크기로 실리콘이 성장되기 때문에 선택적 MPS 공정 시간이 감소되고 이로 인해 TAT 단축을 기대할 수 있다.

또한, 언도프트 비정질 실리콘막으로 증착시 파티클 원인이 될 수 있는 PH_3 가스가 유입되지 않으므로 파티클 감소 및 이로 인한 수율 증대를 기대할 수 있다.

따라서, 본 발명은 스토리지노드 전극의 균일한 막질을 확보할 수 있어 후속 공정인 유전체막을 증착시 스텝 커버리지를 향상시킬 수 있다.

(57) 청구의 범위

청구항 1

반도체기판의 활성영역과 접촉하는 스토리지노드 전극과 그 위에 유전체 박막 및 플레이트노드 전극으로 이루어진 커패시터를 형성함에 있어서,

반도체 소자를 구비한 반도체기판 상부에 소자간 절연을 위한 층간절연막의 콘택홀을 형성하고 그 내측 벽에 사이드월 스페이서를 형성하는 단계;

상기 사이드월 스페이서에 의해 개방된 콘택홀에 기판의 활성영역과 접하도록 비정질의 도프트 실리콘을 증착하여 매립하고 그 위에 제 1차로 비정질 언도프트 실리콘을 증착하는 단계;

상기 언도프트 실리콘층 상부에 절연막을 두껍게 형성한 후에 순차적층된 절연막 및 언도프트 실리콘층을 패터닝하는 단계;

상기 패터닝된 절연막과 언도프트 실리콘층 외측벽에 제 2차로 비정질의 언도프트 실리콘층으로 이루어진 사이드월 스페이서를 형성하는 단계;

상기 절연막만을 선택적으로 제거하고, 소정의 온도에서 어닐링 공정을 실시하여 비정질의 실리콘을 폴리실리콘화하여 스토리지노드 전극을 형성하는 단계;

상기 스토리지노드 전극 상부에 유전체박막을 형성하는 단계; 및

상기 유전체박막 상부면에 도전층의 플레이트노드 전극을 형성하는 단계를 포함하는 것을 특징으로 하는 고집적 반도체장치의 커패시터 형성방법.

청구항 2

제 1항에 있어서, 상기 콘택홀에 매립되는 비정질의 도프트 실리콘은 P의 도핑 농도를 $1.0\text{E}20\text{atoms/cc} \sim 3.0\text{E}20\text{atoms/cc}$ 로 하는 것을 특징으로 하는 고집적 반도체장치의 커패시터 형성방법.

청구항 3

제 1항에 있어서, 상기 비정질의 도프트 실리콘과 제 1비정질 언도프트 실리콘 및 제 2비정질 언도프트 실리콘의 증착은 모두 저압 화학기상증착장비를 이용하여 반응 챔버의 온도를 $510^\circ\text{C} \sim 530^\circ\text{C}$ 로 하며 반응 챔버의 압력을 $0.5 \sim 1.0\text{Torr}$ 조건으로 하는 것을 특징으로 하는 고집적 반도체장치의 커패시터 형성방법.

청구항 4

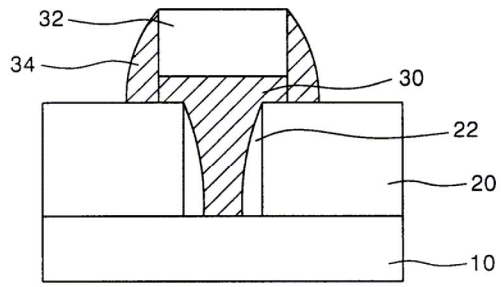
제 1항에 있어서, 상기 절연막만을 선택적으로 제거한 후에 스토리지 노드의 단면적을 증가하기 위한 선택적 준안정성의 폴리실리콘 성장공정을 실시하여 언도프트 실리콘막의 표면에 요철을 생성하는 것을 특징으로 하는 고집적 반도체장치의 커패시터 형성방법.

청구항 5

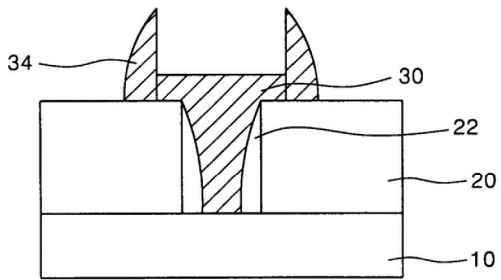
제 1항에 있어서, 상기 스토리지노드 전극 형성후에 전극의 저항 및 공핍영역을 줄이기 위하여 PH_3 처리를 실시하는 것을 특징으로 하는 고집적 반도체장치의 커패시터 형성방법.

도면

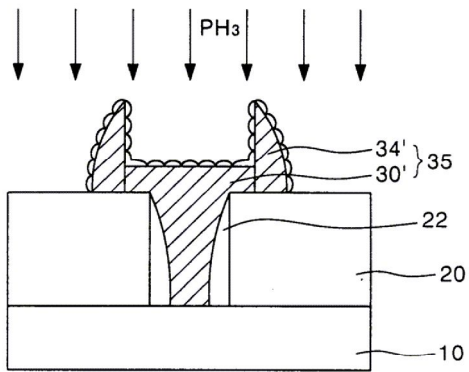
도면 1a



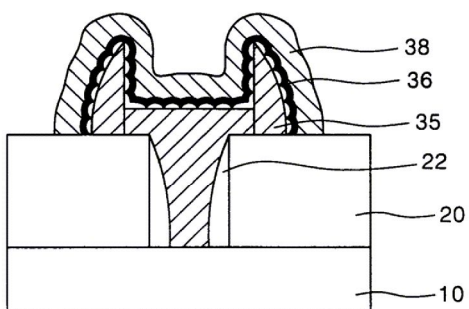
도면 1b



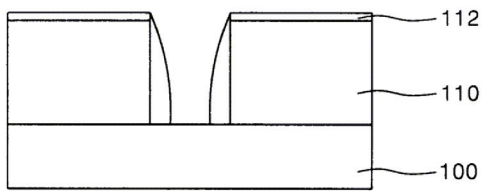
도면 1c



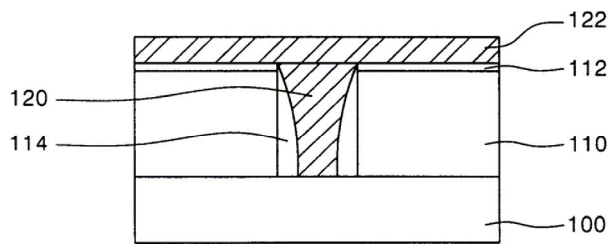
도면 1d



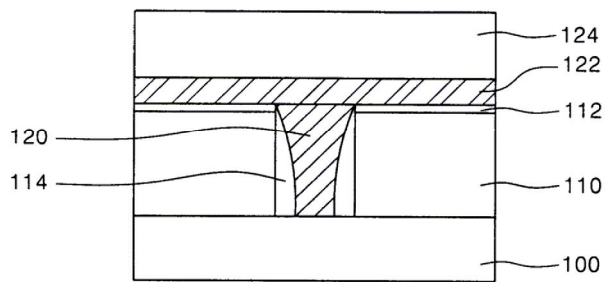
도면2a



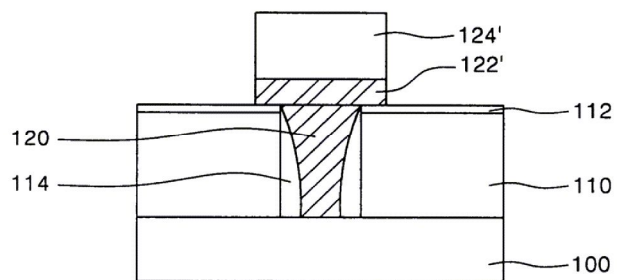
도면2b



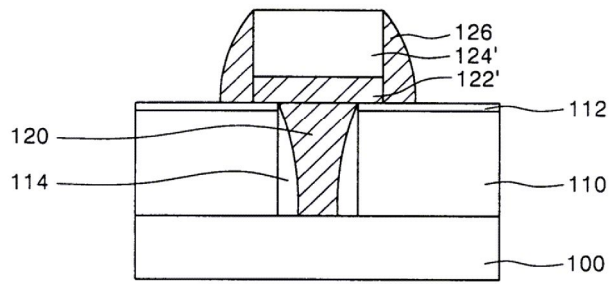
도면2c



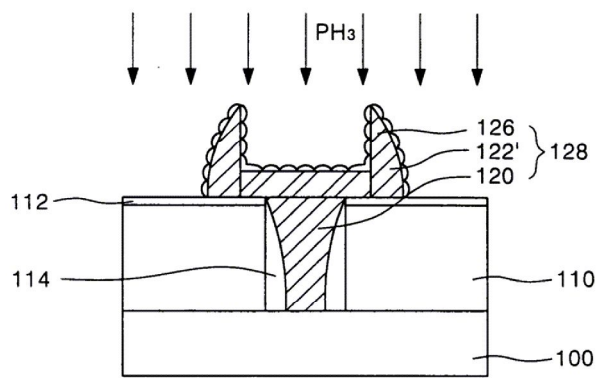
도면2d



도면2e



도면2f



도면2g

