

[19] 中华人民共和国国家知识产权局

[51] Int. Cl.

H01L 21/8242 (2006.01)

H01L 21/336 (2006.01)

H01L 27/108 (2006.01)

H01L 29/78 (2006.01)



# [12] 发明专利说明书

专利号 ZL 200580038056.5

[45] 授权公告日 2010年1月20日

[11] 授权公告号 CN 100583414C

[22] 申请日 2005.8.29

[21] 申请号 200580038056.5

[30] 优先权

[32] 2004.9.1 [33] US [31] 10/932,150

[86] 国际申请 PCT/US2005/030668 2005.8.29

[87] 国际公布 WO2006/028775 英 2006.3.16

[85] 进入国家阶段日期 2007.5.8

[73] 专利权人 美光科技公司

地址 美国爱达荷州

[72] 发明人 S·唐 G·哈勒 K·布朗

T·E·艾伦三世

[56] 参考文献

US 20030001290 A1 2003.1.2

US20030011032 A1 2003.1.16

US 6340614 B1 2002.1.22

审查员 张 岩

[74] 专利代理机构 北京律盟知识产权代理有限公司

代理人 王允方 刘国伟

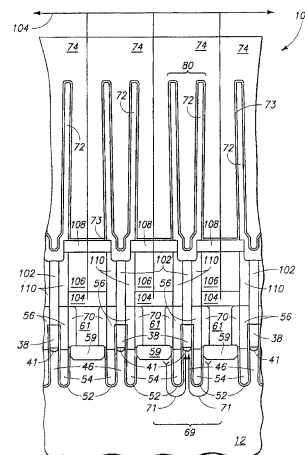
权利要求书 5 页 说明书 15 页 附图 26 页

[54] 发明名称

具有埋入衬底的栅的动态随机存取存储器晶体管及其形成方法

[57] 摘要

本发明包括具有半导体衬底(12)的晶体管器件(69)，所述衬底具有上表面。一对源/漏区(41, 59)在半导体衬底内形成以及沟道区(46)在半导体衬底内形成并且通常相对于半导体衬底的上表面垂直延伸。栅(54)在半导体衬底内所述的一对源/漏区(41, 59)之间形成并且可围绕沟道区(46)和/或源/漏区中的一个。



1. 一种晶体管器件, 包括:  
半导体衬底;  
在所述半导体衬底内延伸的栅, 在所述栅上方的栅介质, 在所述栅的相对侧上的一对源/漏区, 以及在所述半导体衬底内的沟道区, 所述沟道区的至少一部分限定所述晶体管器件的最下结构; 以及  
其中所述栅环绕所述半导体衬底的一部分。
2. 如权利要求 1 所述的器件, 其中所述栅介质、所述对源/漏区和所述沟道区在所述半导体衬底内。
3. 如权利要求 1 所述的器件, 其中所述栅介质整体、所述对源/漏区整体和所述沟道区整体在所述半导体衬底内。
4. 如权利要求 1 所述的器件, 其中所述栅围绕所述沟道区的一部分。
5. 如权利要求 1 所述的器件, 其中所述沟道区在所述半导体内并且在高度上低于所述对源/漏区。
6. 如权利要求 1 所述的器件, 其中所述栅围绕所述沟道区的一部分并且所述栅围绕所述对源/漏区中的一个。
7. 如权利要求 1 所述的器件, 其中所述半导体衬底包括单晶硅。
8. 如权利要求 1 所述的器件, 还包括结合进 DRAM 器件的所述晶体管。
9. 如权利要求 1 所述的器件, 还包括数据存储元件, 所述数据存储元件电耦合至所述晶体管器件从而形成存储单元, 所述存储单元在所述半导体衬底上方的面积大约为  $4F^2$ , 其中 F 表示光刻限定特征的最小特征尺寸。
10. 一种晶体管器件, 包括:  
含有上表面的半导体衬底;  
一对源/漏区, 其包括所述半导体衬底的部分;  
沟道区, 其包括在所述半导体衬底内的至少三个侧向间隔部分,

并且所述三个部分的每一者相对于所述半导体衬底的上表面垂直延伸；以及

栅部分，其置于所述对源/漏区之间，所述栅环绕所述半导体衬底的一部分，其中所述对源/漏区中的一个实质上垂直延伸且在高度上限定所述晶体管装置的最高结构。

11. 如权利要求 10 所述的器件，其中所述沟道区的所述三个部分中的一个直接在所述对源/漏区中的一个的下面延伸。

12. 如权利要求 10 所述的器件，其中所述沟道区的所述三个部分中的一个直接在所述对源/漏区中的一个的下面延伸，并且其中所述栅在所述半导体衬底内并围绕所述沟道区的所述三个部分的一个。

13. 如权利要求 10 所述的器件，其中所述半导体衬底包括单晶硅。

14. 如权利要求 10 所述的器件，还包括结合进 DRAM 器件的所述晶体管器件。

15. 如权利要求 10 所述的器件，还包括数据存储元件，所述数据存储元件电耦合至所述源/漏区对中的一个从而形成存储单元，所述存储单元包括所述半导体衬底上方大约  $4F^2$  的面积，其中 F 表示光刻限定特征的最小特征尺寸。

16. 一种半导体构造，包括：

从半导体衬底的上表面向上延伸的传导柱，所述传导柱包括圆形截面；

在所述半导体衬底内在所述传导柱下面并与所述传导柱电耦合的源/漏区；

晶体管沟道，其在所述源/漏区下面延伸且包括所述半导体衬底的至少一曲线部分；以及

在所述半导体衬底内并邻近所述晶体管沟道的栅，所述栅环绕所述半导体衬底的一部分，其中所述栅围绕所述源/漏区。

17. 如权利要求 16 所述的构造，其中所述传导柱包括外延硅柱。

18. 如权利要求 16 所述的构造，其中所述源/漏区包括漏区。

19. 如权利要求 16 所述的构造, 还包括与所述传导柱电耦合的电容器。

20. 如权利要求 16 所述的构造, 其中所述构造包括晶体管, 并且还包括将所述晶体管结合进存储单元结构, 其中所述传导柱将所述晶体管电耦合至电容器。

21. 如权利要求 16 所述的构造, 其中所述半导体衬底水平取向并且所述晶体管沟道垂直延伸。

22. 如权利要求 16 所述的构造, 其中所述半导体衬底包括单晶硅。

23. 如权利要求 16 所述的构造, 还包括:

另一个源/漏区, 邻近与所述晶体管沟道相对的所述栅; 以及

数据存储元件, 电耦合至所述传导柱从而形成存储单元, 所述存储单元在所述半导体衬底上方的面积为大约  $4F^2$ , 其中  $F$  表示光刻限定特征的最小特征尺寸。

24. 一种形成半导体构造的方法, 包括:

提供包含一最上表面的半导体衬底;

形成进入所述半导体衬底的开口;

在所述半导体衬底上方在所述开口内形成氧化膜;

在所述氧化膜上方提供传导栅材料并填充所述开口, 所述栅环绕所述半导体衬底的一部分;

在所述半导体衬底内形成一对扩散区, 其中所述对扩散区中的至少一个在所述开口的所述形成之前形成, 且所述对扩散区的所述至少一个从所述最上表面向外延伸; 以及

在所述半导体衬底内形成垂直延伸的沟道区。

25. 如权利要求 24 所述的方法, 还包括:

形成电容器; 以及

将所述电容器电耦合至所述对扩散区中的所述至少一个。

26. 如权利要求 24 所述的方法, 其中所述对扩散区的所述至少一个包括从所述半导体衬底的所述最上表面上延伸的外延柱且还

包括:

在所述半导体衬底上方形成电容器; 以及  
将所述电容器电耦合至所述外延柱。

27. 一种垂直晶体管结构, 包括:

硅衬底;

在所述硅衬底内限定并且相对于所述硅衬底垂直延伸的沟道区;

在高度上高于所述沟道区的第一源/漏区;

在所述硅衬底内邻近所述沟道区侧向的栅, 所述沟道区的至少一部分在高度上低于所述栅的整体, 所述栅环绕所述半导体衬底的一部分, ; 以及

第二源/漏区, 其与所述栅邻近;

第三源/漏区, 其与所述栅邻近; 以及

其中所述栅围绕所述沟道区的另一部分。

28. 如权利要求 27 所述的结构, 其中所述硅衬底包括单晶硅。

29. 如权利要求 27 所述的结构, 其中所述第一源/漏区包括漏区。

30. 如权利要求 27 所述的结构, 其中所述栅围绕所述第一源/漏区。

31. 如权利要求 27 所述的结构, 其中所述第一源/漏区在所述硅衬底上方。

32. 如权利要求 27 所述的结构, 其中所述第一源/漏区在所述硅衬底内。

33. 如权利要求 27 所述的结构, 其中所述硅衬底包括上表面, 并且其中所述第一源/漏区包括从所述上表面延伸并在高度上低于所述上表面的一部分, 以及包括从所述上表面延伸并在高度上高于所述上表面的另一部分。

34. 如权利要求 27 所述的结构, 其中所述第一源/漏区包括从所述硅衬底向上延伸的外延柱。

35. 如权利要求 27 所述的结构, 其中所述第一源/漏区包括在所

述硅衬底内的扩散区。

36. 如权利要求 27 所述的结构，其中所述第一源/漏区的一部分包括在所述硅衬底内的扩散区，并且所述第一源/漏区的另一部分包括从所述硅衬底向上延伸的外延柱。

37. 如权利要求 27 所述的结构，还包括从所述硅衬底向上延伸并电耦合至所述第一源/漏区的外延柱，以及其中所述外延柱包括用于垂直晶体管的电触点。

38. 如权利要求 27 所述的结构，还包括从所述硅衬底并且直接在所述第一源/漏区上方向上延伸的外延柱，以及所述外延柱包括用于垂直晶体管的电触点。

## 具有埋入衬底的栅的动态随机存取存储器晶体管及其形成方法

### 技术领域

本发明涉及形成半导体构造（如存储电路）的方法，具体涉及形成存储单元、DRAM 和晶体管的方法。

### 背景技术

由于集成电路的尺寸持续缩小，因此要继续努力寻找形成集成电路结构和有关集成电路的新颖方法，所述新颖方法对目前使用的这些方法以及因此形成得到的结构加以改进。一种类型的集成电路是存储电路和阵列。这种电路已经并将继续成为集中努力减小电路尺寸、提高这种电路得以操作的速度、以及维持或增强该电路实施其存储功能能力方面的焦点。行业设计者不断地探索在未牺牲阵列性能的情况下减小存储电路尺寸的方法。

一种这样的方法是改进与存储电路结合的晶体管结构的设计。晶体管结构或器件大量用于半导体电路。例如，晶体管结构可以结合进存储电路（例如动态随机存取存储器（DRAM））和逻辑电路。DRAM 电路通常包括通过分别被称为字线和数位线（位线）的若干行和列互连的存储单元的阵列。典型的 DRAM 存储单元包含与电荷存储器件或数据存储元件（如电容器件）相连的晶体管结构。

典型的晶体管结构包含一对源/漏区之间的沟道区和被配置成可通过沟道区使源/漏区彼此电连接的栅。在半导体构造中使用的晶体管构造将被半导体衬底所支持。半导体衬底将具有可以被认为是限定水平方向或水平表面的主要表面。基于沟道区相对于半导体衬底的主要表面的取向，可将晶体管器件分成两个大类。具体地说，具有主要平行于衬底的主要表面的沟道区的晶体管结构被称为平面晶

晶体管结构，并且具有通常垂直于衬底的主要表面的沟道区的晶体管结构被称为垂直晶体管结构。因为晶体管器件的源和漏区之间的电流发生通过沟道区，基于电流方向以及沟道区的通常取向可将平面晶体管器件和垂直晶体管器件区分开来。具体地说，垂直晶体管器件是其中器件的源和漏区之间的电流主要基本上垂直于半导体衬底的主要表面的器件，并且平面晶体管器件是其中源和漏区之间的电流主要平行于半导体衬底的主要表面的器件。

由于其中利用垂直晶体管器件可获得相对于平面晶体管器件的压缩密度方面的优势，在可以将垂直晶体管器件结合进集成电路应用的方法的开发方面存在有持续的兴趣。在试图生产半导体应用所希望的大量垂直晶体管器件阵列同时维持器件的适当性能特征时通常会遭遇到困难。例如，所提供的用于形成垂直晶体管器件的方法包括形成或生长自半导体衬底的主要或水平表面向上延伸的外延硅柱或支柱。在垂直晶体管器件的现有设计中，外延硅柱或支柱被用作晶体管沟道。然而，该设计产生若干问题。例如，伴随潜在的单元泄漏问题，高缺陷密度产生。另外，该设计促进了晶体管沟道中的浮体效应，其复杂化并增加了控制晶体管的栅阈值电压的难度。因此，期望开发用于改进和/或至少减少或减轻这些问题的、制造垂直晶体管器件的新方法。

## 发明内容

在一个方面，本发明包含包括有半导体衬底的晶体管器件。该器件还包括形成的在半导体衬底内延伸的栅、在栅上方形成的栅介质、在栅的相对侧形成的一对源/漏区、以及在半导体衬底内形成的沟道区。

在另一个方面，本发明包含包括有半导体衬底的晶体管器件，所述半导体衬底具有上表面。一对源/漏区在半导体衬底内形成。沟道区在半导体衬底内形成并且通常相对于半导体衬底的上表面垂直延



伸。栅在源/漏区对之间形成。

在又一个方面，本发明包含半导体构造，所述半导体构造包括自半导体衬底的上表面向上延伸的传导柱。源/漏区在半导体衬底内传导柱下面形成并且与传导柱电耦合。晶体管沟道在源/漏区的下面延伸并且栅在半导体衬底内邻近晶体管沟道形成。

在另一个方面，本发明包含形成半导体构造的方法，所述方法包括为半导体衬底提供开口。氧化膜在半导体衬底上方在开口内形成。传导栅材料在氧化膜上方提供并且填充开口。一对扩散区在半导体衬底内栅材料的相对侧上形成并且沟道区被限定为在半导体衬底内通常垂直延伸。

## 附图说明

下面参考附图对本发明的优选实施例进行描述。

图 1 是本发明示范方面的预备处理阶段时的半导体构造的顶部平面片断示意图。

图 2 是沿图 1 片断的线条 2-2 所作的横截面视图。

图 3 是图 1 的预备处理阶段之后的处理阶段时所示的图 1 片断的视图。

图 4 是沿图 3 片断的线条 4-4 所作的横截面视图。

图 5 是图 3 的处理阶段之后的处理阶段时所示的图 3 片断的视图。

图 6 是沿图 5 片断的线条 6-6 所作的横截面视图。

图 7 是旋转了 90 度的图 5 片断的视图。

图 8 是沿图 7 片断的线条 8-8 所作的横截面视图。

图 9 是图 5 的处理阶段之后的处理阶段时所示的图 5 片断的视图。

图 10 是沿图 9 片断的线条 10-10 所作的横截面视图。

图 11 是旋转了 90 度的图 9 片断的视图。

图 12 是沿图 11 片断的线条 12-12 所作的横截面视图。

图 13 是图 9 的处理阶段之后的处理阶段时所示的图 9 片断的视

图。

图 14 是沿图 13 片断的线条 14-14 所作的横截面视图。

图 15 是旋转了 90 度的图 13 片断的视图。

图 16 是沿图 15 片断的线条 16-16 所作的横截面视图。

图 17 是图 13 的处理阶段之后的处理阶段时所示的图 13 片断的视图。

图 18 是沿图 17 片断的线条 18-18 所作的横截面视图。

图 19 是旋转了 90 度的图 17 片断的视图。

图 20 是沿图 19 片断的线条 20-20 所作的横截面视图。

图 21 是图 17 的处理阶段之后的处理阶段时所示的图 17 片断的视图。

图 22 是沿图 21 片断的线条 22-22 所作的横截面视图。

图 23 是旋转了 90 度的图 21 片断的视图。

图 24 是沿图 23 片断的线条 24-24 所作的横截面视图。

图 25 是图 21 的处理阶段之后的处理阶段时所示的图 21 片断的视图。

图 26 是沿图 25 片断的线条 26-26 所作的横截面视图。

图 27 是旋转了 90 度的图 25 片断的视图。

图 28 是沿图 27 片断的线条 28-28 所作的横截面视图。

图 29 是图 25 的处理阶段之后的处理阶段时所示的图 25 片断的视图。

图 30 是沿图 29 片断的线条 30-30 所作的横截面视图。

图 31 是旋转了 90 度的图 29 片断的视图。

图 32 是沿图 31 片断的线条 32-32 所作的横截面视图。

图 33 是图 29 的处理阶段之后的处理阶段时所示的图 29 片断的视图。

图 34 是沿图 33 片断的线条 34-34 所作的横截面视图。

图 35 是旋转了 90 度的图 33 片断的视图。

图 36 是沿图 35 片断的线条 36-36 所作的横截面视图。

图 37 是图 33 的处理阶段之后的处理阶段时所示的图 33 片断的视图。

图 38 是沿图 37 片断的线条 38-38 所作的横截面视图。

图 39 是旋转了 90 度的图 37 片断的视图。

图 40 是沿图 39 片断的线条 40-40 所作的横截面视图。

图 41 是图 37 的处理阶段之后的处理阶段时所示的图 37 片断的视图。

图 42 是沿图 41 片断的线条 42-42 所作的横截面视图。

图 43 是旋转了 90 度的图 41 片断的视图。

图 44 是沿图 43 片断的线条 44-44 所作的横截面视图。

图 45 是图 41 的处理阶段之后的处理阶段时所示的图 41 片断的视图。

图 46 是沿图 45 片断的线条 46-46 所作的横截面视图。

图 47 是旋转了 90 度的图 45 片断的视图。

图 48 是沿图 47 片断的线条 48-48 所作的横截面视图。

图 49 是图 45-48 的处理阶段之后的处理阶段时的、本发明一个示范实施例的最后处理阶段时的半导体构造的横截面片断视图。

图 50 是旋转了 90 度的图 49 片断的视图。

## 具体实施方式

本发明公开内容的提出是为了推动美国专利法“促进科学和实用技术的进步”（第八部分，第一款）的立宪目的。

关于存储集成电路，存储阵列中的每个存储单元所要求的衬底上方的面积部分地确定了该器件的容量。这个面积是每个存储单元内元件数量和每个元件尺寸的函数。对于传统存储单元来说，该面积被表示为  $8F^2$ ，其中  $F$  代表用于光刻限定特征的最小特征尺寸并且传统单元面积的尺度为  $2F \times 4F$ 。这些存储单元的尺度和面积通过参考

2003年12月25日公布的美国专利申请公布 No. 2003/0234414 A1 是很容易理解的，该专利申请的公开内容通过引用而被结合于此。美国专利申请公布 No. 2003/0234414 A1 公开了现有技术的存储器，其中存储单元具有大约为  $4F^2$  的单元面积。通过回顾美国专利申请公布 No. 2003/0234414 A1 并且将这样的公开内容与本发明的公开内容进行比较，应当理解，本发明公开了包括为  $4F^2$  量级的存储单元面积的存储电路。

现在参见图 1 和 2（图 2 是图 1 的横截面视图），半导体构造 10 包含衬底 12，所述衬底 12 具有通常水平取向并被可选地描述为上表面的主要表面 13。衬底 12 可包含、基本上由、或者由单晶半导体材料构成，并且在特定方面将包含、基本上由、或者由轻微掺杂有适当的本底类型的掺杂剂的单晶硅构成。例如衬底 12 可以是单晶硅晶片的一部分。为了有助于解释下面的权利要求，术语“半导体衬底”和“半导体衬底”被限定为指包含半导体材料的任何构造，包括但不限于如半导体晶片这样的大块半导体材料（或单独或在其上包含有其他材料的组合中）以及半导体材料层（或单独或在包含有其他材料的组合中）。术语“衬底”指任何支持结构，包括但不限于上述的半导体衬底。在一个示范实施例中，衬底 12 包含大块半导体衬底或大块晶片，例如单晶硅衬底或晶片。

仍然参见图 1-2，隔离区 14 在衬底 12 上形成。在一个示范实施例中，隔离区 14 包含浅槽隔离（STI）区。隔离区 14 通常以平行且间隔行的方式延伸，使得衬底 12 的区域 16 位于隔离区 14 的各行之间。衬底 12 的区域 16 被隔离区 14 所限定并且被配置成平行且间隔行，其具有上表面 13。

参见图 3 和 4（图 4 是图 3 的横截面视图），氮化层 18 在衬底 12 的上表面 13 和隔离区 14 上方沉积。氮化层 18 的示范厚度，也就是其中氮化层 18 自上表面 13 向上延伸的高度，在大约 2000 埃至大约 3000 埃之间变化。

参见图 5-8，应当理解，所有四幅图代表相同的处理步骤。图 5-6 代表第一取向并且图 7-8 代表根据图 5-6 的取向被调整了 90 度的第二取向。氮化层 18 被形成图案并被蚀刻以形成向下延伸至衬底 12 的槽 20（图 8），从而使衬底 12 的上表面部分 22 曝光。槽 20 还使隔离区 14 的隔离区部分 24 曝光。使得氮化层 18 被形成图案，成为取向垂直于隔离区 14 的方向、通常以间隔并平行关系延伸的氮化物行或流道（runner）18。衬底 12 的上表面部分 22 通常被隔离区 14 的隔离区部分 24 和氮化物行 18 所限制，并且通常被成形为正方形。在一个示范实施例中，蚀刻步骤包括范围自 0 至大约 300 埃的衬底的过蚀刻。

参见图 9-12，隔离区部分 24 被蚀刻以使隔离区 14 凹进，在高度上低于衬底 12 的上表面部分 22，从而留下隔离区 14 的凹面 26（图 10）。在一个示范实施例中，蚀刻过程包含反应离子蚀刻（R.I.E.）并且将选择性地至氮化物流道 18 和衬底 12 的曝光硅，例如上表面部分 22。凹槽蚀刻使最初被隔离区 14 的绝缘材料覆盖的衬底 12 的侧壁 27 曝光。使隔离区 14 凹进上表面部分 22 下面大约 500 至大约 1500 埃的范围，其中另一个示范的凹进范围为大约 800 至大约 1500 埃。在一个示范的实施例中，凹面 26 和上表面部分 22 之间的凹进距离等于大约 1000 埃。利用被称为湿氢氟酸（HF）蚀刻的示范的清洁蚀刻，实施清洁蚀刻以从侧壁 27 和衬底 12 的上表面部分 22 上移去剩余的氧化物。

参见图 13-16，氮化物衬垫 28 被设于衬底 12 和在其上形成的结构上方，以保护隔离区 14 的曝光部分（如图 9-12 中说明的凹面 26）。在一个示范实施例中，氮化物衬垫 28 的厚度在大约 30 至大约 100 埃之间变化。设置牺牲层 30（比如，旋涂玻璃（SOG）层），以填充氮化物流道 18 之间的槽 20。牺牲层 30 的其他示范材料包括硼磷硅玻璃（BPSG）和/或 TEOS 层。实施平面蚀刻以使 SOG 层 30 平面化直至平面蚀刻在氮化物行 18 处停止，其中氮化物行 18 起到蚀刻

停止的作用。示范的平面蚀刻包含 CMP（化学机械抛光）处理。

参见图 17-20，SOG 层 30 被形成图案并且被选择性地蚀刻以移去 SOG 层 30 的若干部分从而形成穿过 SOG 层 30 的开口 31 以便使衬底 12 的上表面部分 22 上方的氮化物衬垫 28 曝光。氮化物衬垫 28 的曝光部分的示范配置是正方形。SOG 层 30 的若干部分在氮化物流道 18 之间保持为自衬底 12 向上延伸的塔柱，其中塔柱的示范配置为矩形。氮化物衬垫 28 的曝光部分被移去以使衬底 12 的上表面部分 22 曝光。用来从上表面部分 22 上方移去氮化物衬垫 28 的若干部分的示范蚀刻包括选择性氮化物蚀刻。在自上表面部分 22 上移去氮化物衬垫 28 的若干部分之后，开口 31 延伸到上表面部分 22 并且被 SOG 层 30 的塔柱和氮化物行 18 限定或邻接。示范的选择性氮化物蚀刻将过度蚀刻氮化物（例如氮化物行 18）达 0 至大约 300 埃并且优选地在硅衬底 12 处停止。在一个示范实施例中，衬底 12 的曝光的上表面部分 22 限定了衬底 12 的一般表面面积，其将用来或充当随后形成的器件和/或结构的有效面积。

参见图 21-24，薄层绝缘层（例如 TEOS 层）在硅衬底 12 上方形成并填充开口 31。示范的 TEOS 层被各向异性蚀刻以在氮化物行 18 和 SOG 层 30 上方形成牺牲 TEOS 隔片 34。示范的蚀刻包括反应离子蚀刻，留下牺牲 TEOS 隔片 34 从氮化物行 18 和 SOG 层 30 的侧面侧向延伸达大约 200 至大约 500 埃。牺牲 TEOS 隔片 34 使开口 31 变窄，留下通常为圆柱形的开口 32 使上表面部分 22 的较小表面面积曝光。在一个示范实施例中，TEOS 隔片 34 改进了可能用于设置在硅衬底 12 的上表面 22 上方或之上的随后形成的结构的临界尺寸。

参见 25-28，在某些但是并非所有的实施例中，氮化物材料被设置于硅衬底 12 上方以填充圆柱形开口 32 并且接着被各向异性蚀刻从而在牺牲 TEOS 隔片 34 上方形成另一个氮化物衬垫 36（第一氮化物衬垫是 28）。示范的各向异性蚀刻将提供具有从大约 50 至大约 200 埃变化的厚度的氮化物衬垫 36。在各向异性蚀刻以形成氮化物衬垫

36 之后，实施反应离子蚀刻以自硅衬底 12 的上表面部分 22 上移去氮化物衬垫 36，其中硅衬底 12 的上表面部分 22 再次被曝光。在一个示范实施例中，氮化物衬垫 36 将在随后的蚀刻处理期间和/或随后的硅化处理期间保护 TEOS 隔片 34。

参见图 29-32，在示范的实施例中，可以实施进一步的蚀刻和平面化处理以相对于硅衬底 12 在高度上使氮化物行 18 和 SOG 层 30 的上表面降低到上表面部分 22 上方的预选高程或高度。氮化物行 18 和 SOG 层 30 的这种预选高度便于随后形成的与衬底 12 有关的外延结构的预选高度的形成。所形成的柱或支柱 38 从硅衬底 12 的曝光的上表面部分 22 向上延伸穿过圆柱形开口 32。在一个示范实施例中，柱或支柱 38 包含自硅衬底 12 的曝光上表面部分 22 生长或形成的外延硅。柱 38 具有上表面 39 并且在一个示范实施例中，所形成的上表面 39 在高度上低于氮化物行 18 的上表面 47，其中示范的高程差大约是 1000 至大约 1500 埃。示范的柱 38 包含大约 1000 至大约 1500 埃的高度（从大约上表面部分 22 至上表面 39 测得的）。另一方面，还可以根据相对于自硅衬底 12 延伸的氮化物行 18 的高度的百分比高度关系来考虑外延硅柱 38 的示范高度。例如，所形成的外延硅 38 从上表面部分 22 延伸到氮化物行 18 的高度的大约 50%至大约 70% 以内，以及另一个示范范围为氮化物行 18 的高度的大约 60%至大约 65%。在某些实施例中，外延硅柱 38 将用作或充当电荷存储器件或数据存储元件（例如电容器件）和在随后的处理中形成的晶体管之间的电触点，这将在下面进行更全面地解释。从另一方面考虑，柱 38 将用来或充当结点区域，例如源/漏区，这一点在后面将进行更全面地解释。

形成外延硅柱 38 的示范备选过程是在衬底 12 上方沉积传导材料，其中圆柱形开口 32 被填充了传导材料。在这个备选过程中，自圆柱形开口 32 向外延伸的传导材料通过示范的平面或薄层蚀刻被移去，优选地向下到达氮化物行 18 的上表面 47。传导材料接着被凹进

成圆柱形开口 32，留下传导材料在高度上低于氮化物层 18 的上表面 47，其中示范的高程差是大约 1000 至大约 1500 埃。示范的传导材料包括未掺杂或掺杂的多晶硅，其中未掺杂的多晶硅在某个处理阶段将被掺杂。

仍然参见图 29-32，传导注入（图中未示出）被实施以将传导掺杂剂提供到衬底 12 的上表面部分 22 从而形成扩散区或结点 41。在注入方法的一个示范实施例中，传导掺杂剂基本上穿过柱 38 而被注入，基本上将传导掺杂剂的整体留在硅衬底 12 内。另一方面，传导掺杂剂的一部分保留在柱 38 中，从而留下柱 38 导电形成扩散区或结点 41 的一部分。示范的扩散区 41 包含源/漏区，比如漏区。在另一个示范实施例中，柱 38 被传导掺杂，但是未形成扩散区或结点 41 的一部分，并且因此形成随后形成的晶体管的扩散区或结点 41 和电容器之间的电触点。在又一个示范实施例中，柱 38 和扩散区 41 包含晶体管的一对源/漏区中的一个的整体，其中柱 38 电耦合至随后形成的电容器。在示范的处理方法中，传导注入（图中未示出）被实施以将传导掺杂剂基本上仅提供到柱 38 内并且接着柱 38 被退火以从柱 38 将传导掺杂剂向外扩散进入硅衬底 12 从而至少形成扩散区 41 的一部分。在备选的示范实施例中，未形成扩散区 41，其中传导注入（图中未示出）被实施以将传导掺杂剂基本上仅提供到柱 38 内，其中柱 38 包含一对源/漏区中的一个的整体。另一方面，扩散区 41 还包含一对源/漏区中的一个的一部分并且柱 38 包含该对源/漏区中的一个的另一部分。

应当理解，示范的柱 38 通常是环形的或圆柱形的，并且可能或不可能具有在可选地形成的氮化物衬垫 36 和/或 TEOS 隔片 34 之间的空的空间。氮化物材料 40 被设于衬底 12 上方以及圆柱形开口 32 中以填充柱 38、氮化物衬垫 36 和/或 TEOS 隔片 34 之间的任何空的空间并将氮化物材料 40 设于柱 38 和 SOG 层 30 的上方。氮化物材料 40 被深腐蚀以形成上表面 49，所述上表面 49 被凹进，其在高度



上低于 SOG 层 30 的上表面 37 并且低于氮化物流道 18 的上表面 47 (氮化物材料 40 被示出为具有结合的可选氮化物衬垫 36)。使氮化物材料 40 凹进的示范蚀刻包括平面或薄层反应离子蚀刻, 其使氮化物材料 40 凹进以使 SOG 层 30 和 TEOS 隔片 34 曝光。示范的氮化物材料 40 是充当阻挡或硬掩模 40 的牺牲层, 以在随后的处理 (比如移去 SOG 层 30 和 TEOS 隔片 34) 期间保护外延硅柱 38。

参见图 33-36, 湿法蚀刻或蒸汽蚀刻被实施以移去 SOG 层 30 和 TEOS 隔片 34, 并且优选地完全移去 SOG 层 30 和 TEOS 隔片 34。示范的蚀刻包括选择性蚀刻, 以在氮化物和硅材料如氮化物衬垫 28、硬掩模 40、氮化物流道 18 和硅衬底 12 的上表面部分 22 处停止蚀刻。选择性蚀刻形成被氮化物衬垫 28、柱 38 (包括硬掩模 40) 和氮化物流道 18 限定的开口 42。示范的选择性蚀刻包括稀释的氢氟酸蚀刻和/或缓冲氧化物蚀刻。

参见图 37-40, 干法/湿法氮化物穿孔蚀刻被实施以从隔离区 14、硅衬底 12、和上表面部分 22 的上方移去氮化物衬垫 28。穿孔蚀刻还从柱 38 移去硬掩模 40 的若干部分。在示范的实施例中, 直接在柱 38 上方的硬掩模 40 的厚度基本上大于柱 38 的侧面上方的硬掩模 40 的厚度, 以允许穿孔蚀刻能够从柱 38 移去硬掩模 40 的若干侧面部分同时将硬掩模 40 的基本部分直接留在柱 38 上。

仍然参见图 37-40, 选择性干法蚀刻被实施以移去邻近柱 38 的衬底 12 的上表面部分 22 并且向下到隔离区 14。选择性蚀刻还移去隔离区 14 的若干部分并且留下硅衬底 12 的若干部分直接保持在柱 38 的下面或之下并称为硅支持结构 46。示范的硅支持结构 46 通常是环形或圆柱形的, 类似于在高度上于硅支持衬底结构 46 上方延伸的柱 38。选择性蚀刻扩大了开口 42 以形成具有由硅支持结构 46、硅衬底 12 的上表面 48、和隔离区 14 的上表面 50 限定的底部外围的开口 44。在一个示范实施例中, 穿孔蚀刻将蚀刻或使硅衬底 12 凹进以稍微降低隔离区 14 的上表面 50, 留下上表面 48 在高度上低于上表面 50。

仍然参见图 37-40，绝缘薄膜 52（例如氧化物）在硅衬底 12 的曝光部分和柱 38 的曝光部分上方形成。硅衬底 12 的曝光部分包括由上表面 48 和硅支持结构 46 限定的开口 44 的底部外围。柱 38 的曝光部分包括柱 38 的侧壁。在一个示范实施例中，绝缘薄膜 52 将包含二氧化硅并用来或充当用于随后形成的晶体管的栅氧化层或栅介质。形成栅介质 52 的示范方法包括在上表面 48 的曝光硅表面、硅支持结构 46 和柱 38 的侧壁上生长氧化物。

在一个示范实施例中，硅支持结构 46 将用来或充当用于随后形成的晶体管的沟道的若干部分。因此，从柱 38 的底部部分至上表面 48 测得的硅支持结构 46 的长度将通常限定随后形成的晶体管沟道 46 的垂直长度。此外，因为晶体管沟道 46 相对于衬底 12 的取向在通常垂直或正交方向上延伸，并且从另一方面说来，因为晶体管沟道 46 垂直于衬底 12 的水平或主要上表面（上表面部分 22 未示出但是作为柱 38 和衬底 12 之间的接触面存在）延伸，晶体管沟道 46 将在示范实施例中限定示范的垂直晶体管设计。另外，示范的垂直晶体管设计将包括示范实施例中的垂直围绕晶体管或垂直围绕栅晶体管。应当理解，晶体管沟道 46（或者称为垂直沟道 46）的长度将取决于选择性蚀刻处理步骤，例如选择性蚀刻的时间长度被允许移去和向下蚀刻进硅衬底 12（即选择性蚀刻进入衬底 12 的深度）。

参见图 41-44，传导材料在栅介质 52 上方沉积并且将用来或充当晶体管栅或字线 54。形成用于晶体管栅 54 的传导材料的示范方法包括在开口 44 内沉积多晶硅材料，通过向下至氮化物流道 18 的 CMP 处理移去多晶硅材料的若干部分，并且接着使多晶硅材料凹进开口 44 内以降低外延硅柱 38。例如，所形成的晶体管栅 54 的上表面 55 在高度上低于外延硅柱 38 的上表面 39 大约 1000 埃。在一个示范实施例中，晶体管栅 54 的多晶硅材料被凹进以形成在高度上低于衬底 12 的上表面的上表面 55（例如，柱 38 和衬底 12 之间的接触面）。利用包含硅化钛和硅化钴的示范硅，可选的硅化层（图中未示出）在

晶体管栅 54 的上方形成。

参见图 45-48，绝缘材料或层 56 在硅衬底 12、栅结构 54、外延硅柱 38 和氮化物流道 18 上方形成。绝缘层 56 填充开口 44。示范的绝缘层 56 包括旋涂玻璃层和 TEOS 层。绝缘层 56 的最外面部分通过 CMP 或其他平面蚀刻方法被移去以使氮化物流道 18 曝光，留下绝缘层 56 在各自氮化物流道 18 之间以行配置延伸。接下来，氮化物流道被形成图案并且被选择性蚀刻以形成伸过氮化物流道 18 的开口 62 从而使衬底 12 的上表面部分 58 曝光。应当理解，氮化物流道 18 的若干部分保持从硅衬底 12 以及其上方向上延伸。示范的硅衬底 12 的上表面部分 58 被通常配置成正方形并且与绝缘层 56 和保留在硅衬底 12 上方的氮化物流道 18 的若干部分邻接或被其围绕。传导注入（图中未示出）被实施以将传导掺杂剂提供到衬底 12 的上表面部分 58 从而形成有效面积 59，例如扩散区或结点。在一个示范实施例中，扩散区 59 将包含用于随后形成的器件（例如晶体管）的源/漏区 59。在又一个示范实施例中，扩散区 59 将包含源/漏区，用来与扩散区或结点 41 补充和协同操作。示范的扩散区 59 包含一对源/漏区中的一个，例如源区。

参见图 49-50，这样的图形说明了按照某些示范实施例的、在图 1-48 的处理阶段之后（例如图 45-48 的处理阶段之后）的处理阶段的半导体构造 100。图 49 表示类似于图 46 的可视取向的、在随后处理阶段的半导体构造 100 的可视取向。图 50 表示类似于图 48 的可视取向的、在随后处理阶段的半导体构造 100 的可视取向。应当了解，图 50 是图 49 的半导体构造 100 根据图 49 视图的取向旋转了 90° 的视图。图 49-50 说明了与示范的电荷耦合器件或数据存储元件（如电容器件）电耦合的示范的晶体管器件。这样的晶体管和电容器的示范组合表示包含存储单元（如 DRAM）的存储器和/或逻辑电路。示范的晶体管器件通常被标以数字 69 并且示范的电荷存储器件或数据存储元件（如电容器件）通常被标以数字 80。

示范的晶体管 69 包含栅 54、栅介质 52 和源/漏区 41 和 59(图 50)。示范的晶体管 69 还包括通常表示为衬底 12 的区域的沟道,其中在图 50 中示出的电流 71 从源/漏区 59 至源/漏区 41 围绕栅 54 (和栅介质 52) 延伸。沟道的示范部分包含在高度上低于源/漏区 41 直接延伸的硅支持结构 46。由硅支持结构 46 限定的示范的沟道部分是硅衬底 12 的圆柱形或环形部分。栅 54 通常垂直向下延伸到衬底 12,通常垂直于硅衬底 12 的上表面(通常由源/漏区 41 和 59 的水平顶线表示的上表面,例如柱 38 和源/漏区 42 之间的接触面)。栅 54 被间隔并且通过栅介质 52 与硅衬底 12 绝缘。栅 54 相对于硅衬底 12 垂直延伸。然而,应当理解,栅 54 围绕或环绕由硅支持结构 46 限定的沟道部分。因此,示范的栅 54 将限定用于垂直晶体管的垂直围绕栅,例如垂直围绕栅晶体管。在示范的实施例中,如果柱 38 被限定为电触点并且不是限定为源/漏区,则晶体管 69 的整体在硅衬底或大块晶片 12 内形成。从另一方面来说,晶体管 69 在晶片 12 的最上面的表面处或之下形成。

示范的源/漏区 41 包含漏区。示范的源/漏区 59 包含源区。在一个示范实施例中,单个源/漏区 59 将包含用于晶体管 69 的整个源区。在另一个示范实施例中,在栅 54 的相对两侧上形成的一对源/漏区 59 将包含用于晶体管 69 的整个源区。在一个实施例中,晶体管 69 的激活建立从源区 59 向下通过下面的硅衬底 12 并围绕栅 54 底端而后返回向上通过沟道部分 46 并且到达漏区 41 的电流 71。在图 45-48 之后的处理期间,直接在柱 38 上方的硬掩模 40 被移去并且直接在硬掩模 40 上方的绝缘层 56 的若干部分被移去以使柱 38 的上表面曝光。传导材料 102 在柱 38 的上方形成并与之相接触从而形成电触点。示范的传导材料 102 是多晶硅以形成多晶硅插头或单元插头 102,用于经由柱 38 将晶体管 69 电耦合至随后形成的器件,如电容器 80。

示范的电容器 80 包含底部单元板或存储结点 72、存储结点 72 上方的电容器介质 73 和电容器介质 73 上方的顶部单元板 74。电容器

80 通过外延硅柱 38 和多晶硅插头 102 电耦合至晶体管 69，其中多晶硅插头 102 接触并电耦合至存储结点 72。所形成的传导插头 61(图 50) 从源/漏区 59 向上延伸并与之电耦合。传导插头 61 还接触数位线 104 的若干部分以经由源/漏区 59 电耦合数位线 104 至晶体管 69。示范的数位线 104 包含多晶硅和/或硅化物层。示范的传导插头 61 包含掺杂的多晶硅。绝缘隔片 70(图 50) 在传导插头 61 和绝缘层 56 之间形成。示范的绝缘隔片 70 包含氮化硅和/或氧化硅，如二氧化硅。

半导体构造 100 包含电容器 80 和晶体管 69 之间的中间结构。氮化物盖 106 在数位线部分 104 上方形成。绝缘隔片 110 在数位线 104 之间形成并且氮化物盖 106 位于其一侧以及多晶硅插头 102 位于其另外一侧。二氧化硅层 108 在氮化物盖 106 的上方形成。

遵照法规，本发明已经在语言上或多或少地具体就结构和方法特征进行了描述。然而，将会理解，本发明不限于所示出和描述的特征，因为在这里所公开的方法包含实施本发明的优选形式。因此，本发明要求属于依照等同物的原则适当解释的所附权利要求的适当范围的任何形式或修改的权利。

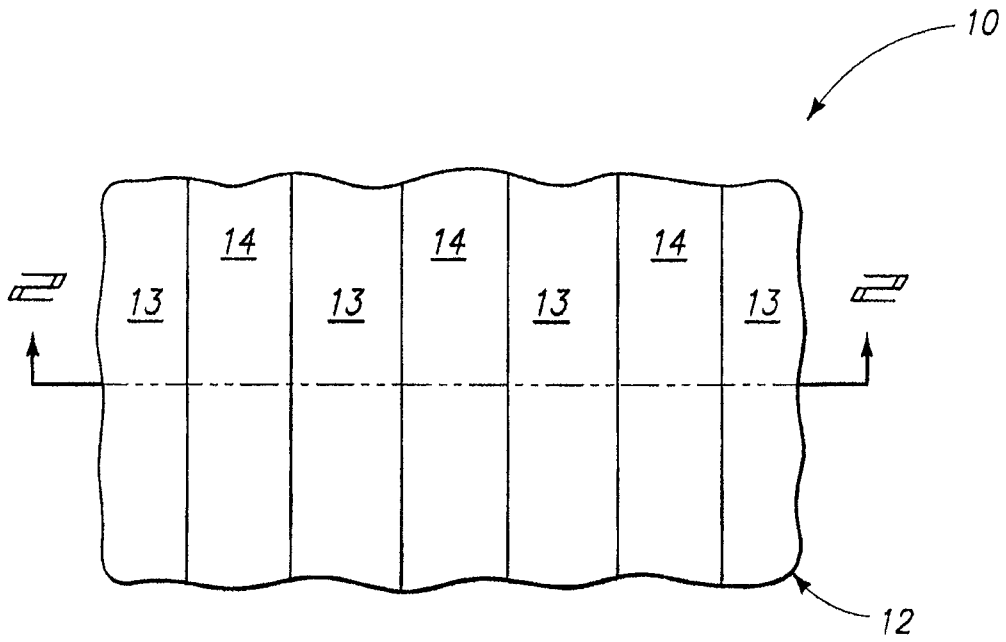


图 1

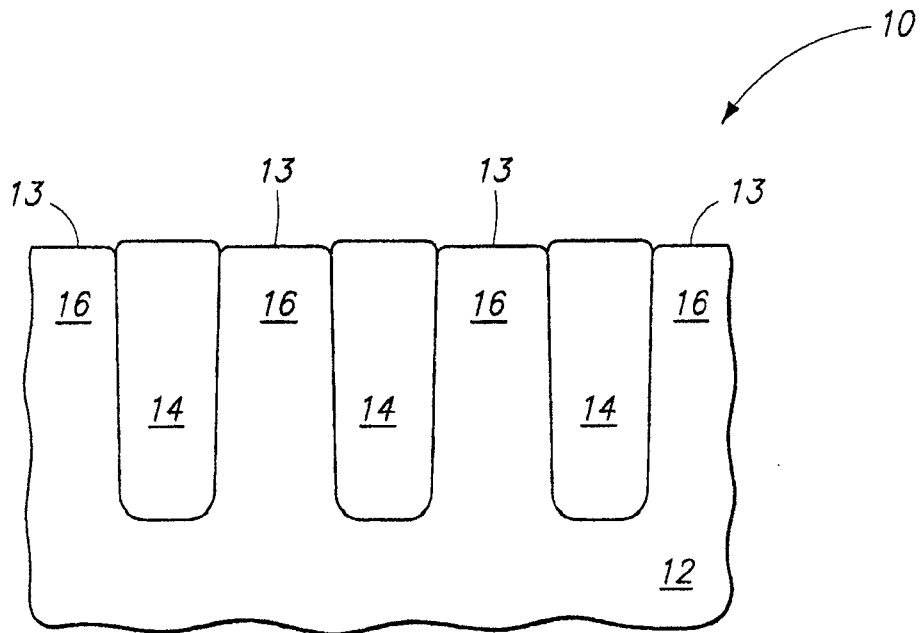


图 2

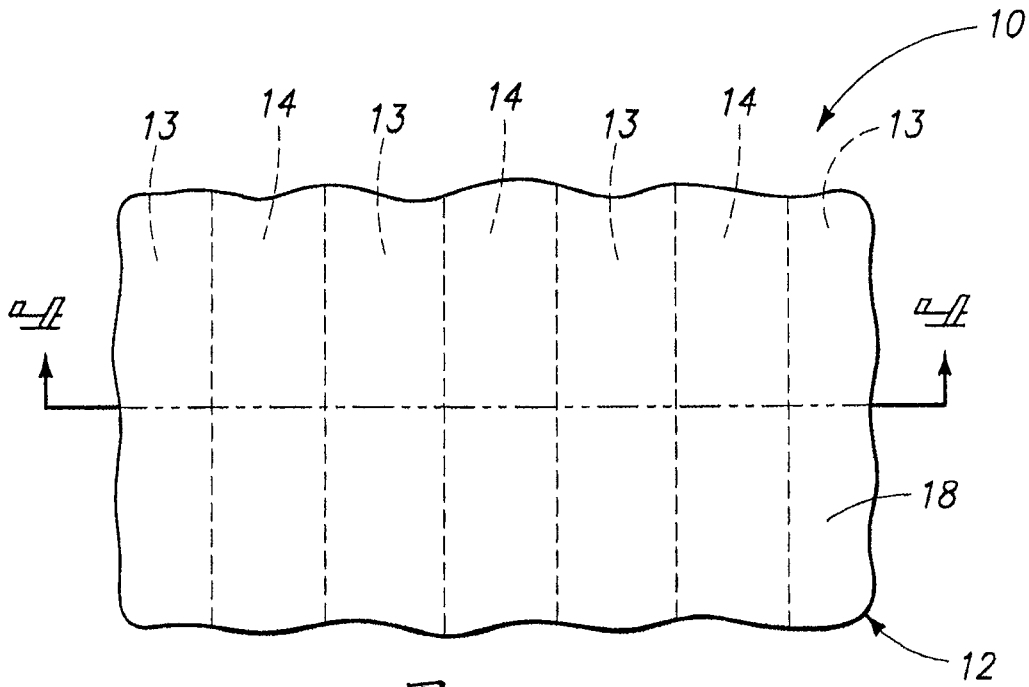


图 3

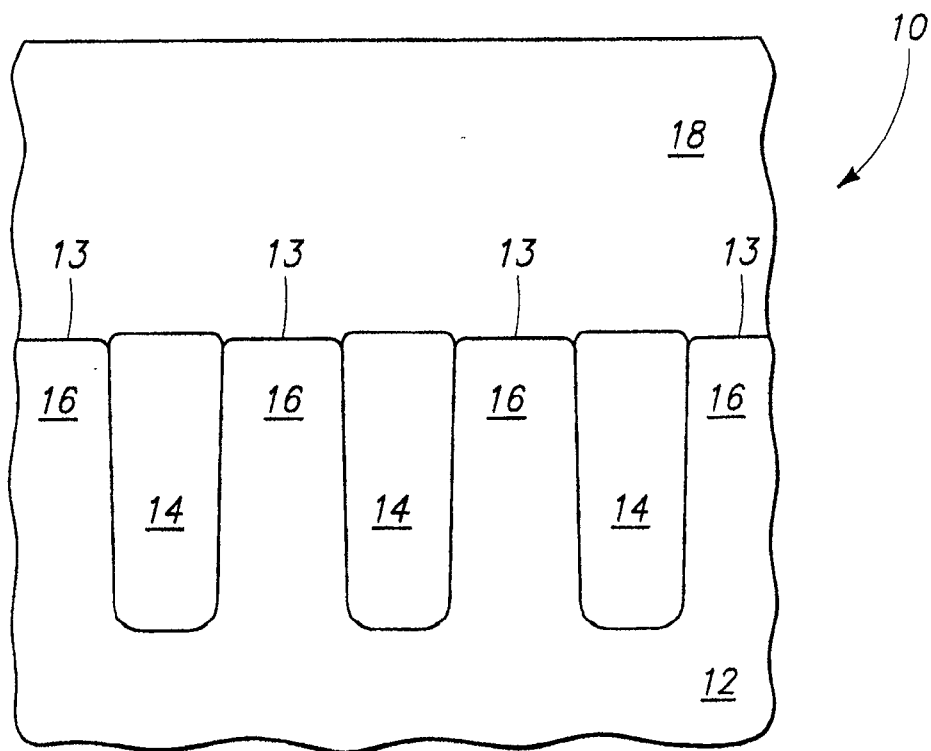


图 4

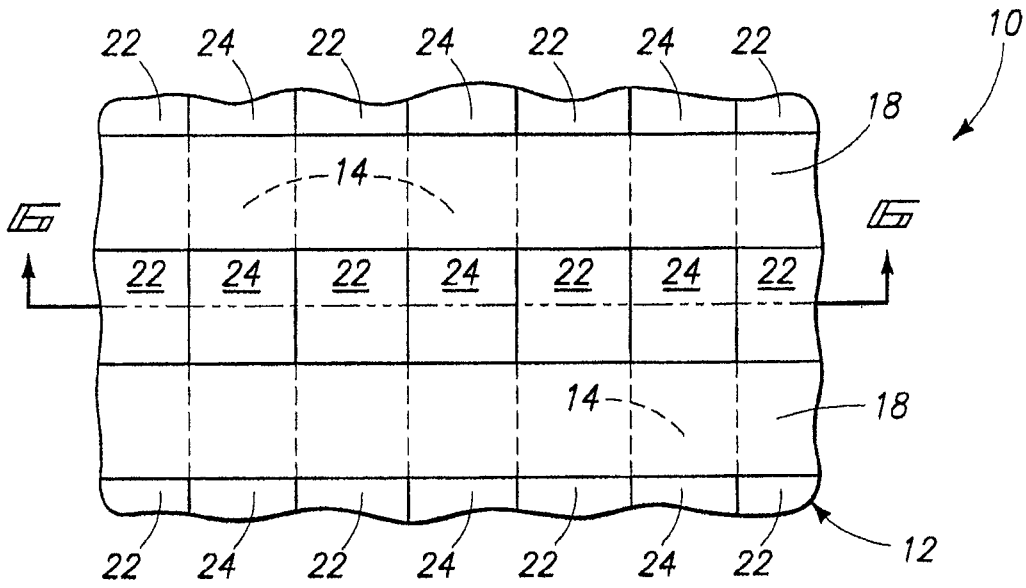


图 5

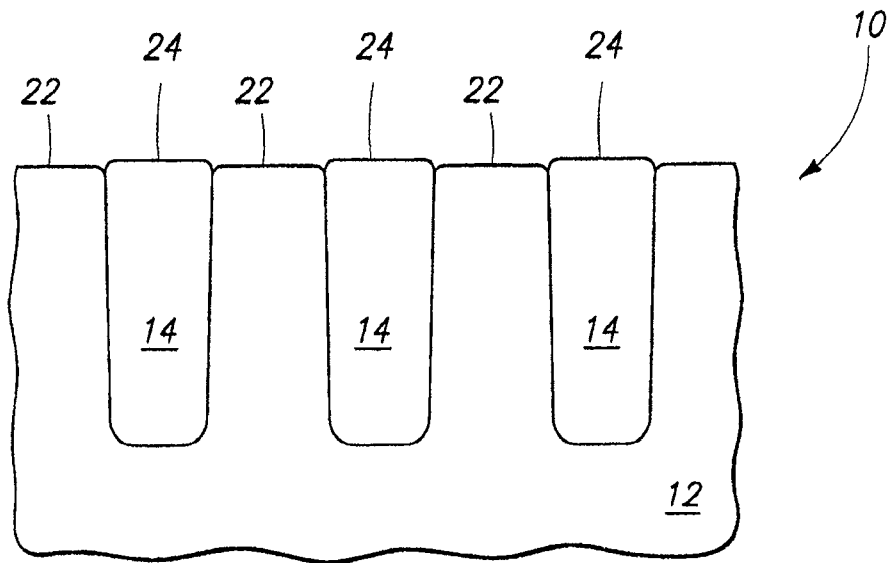


图 6



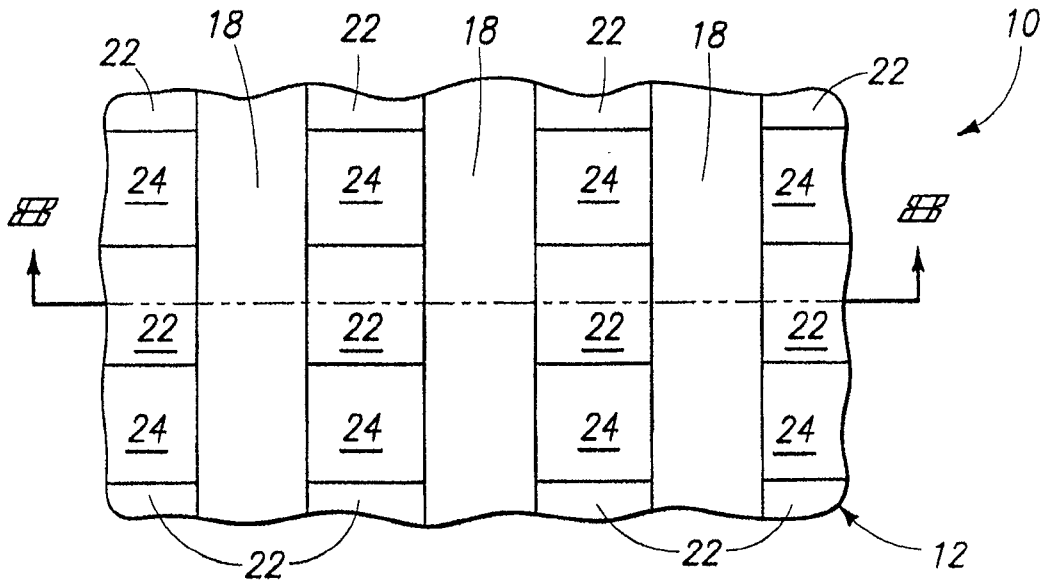


图 7

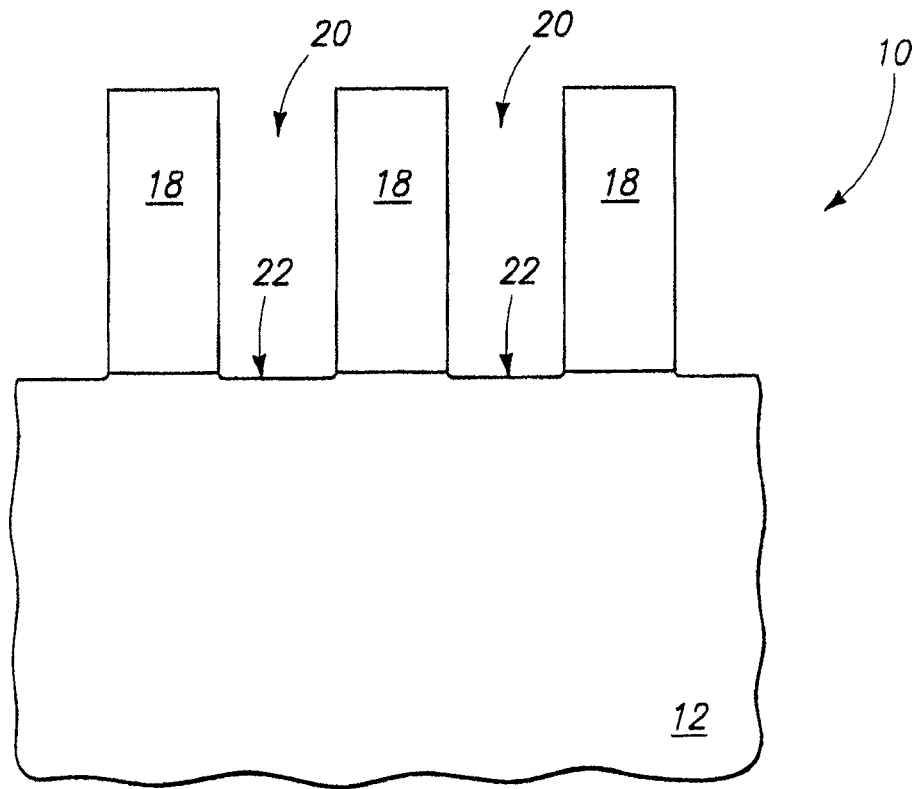


图 8

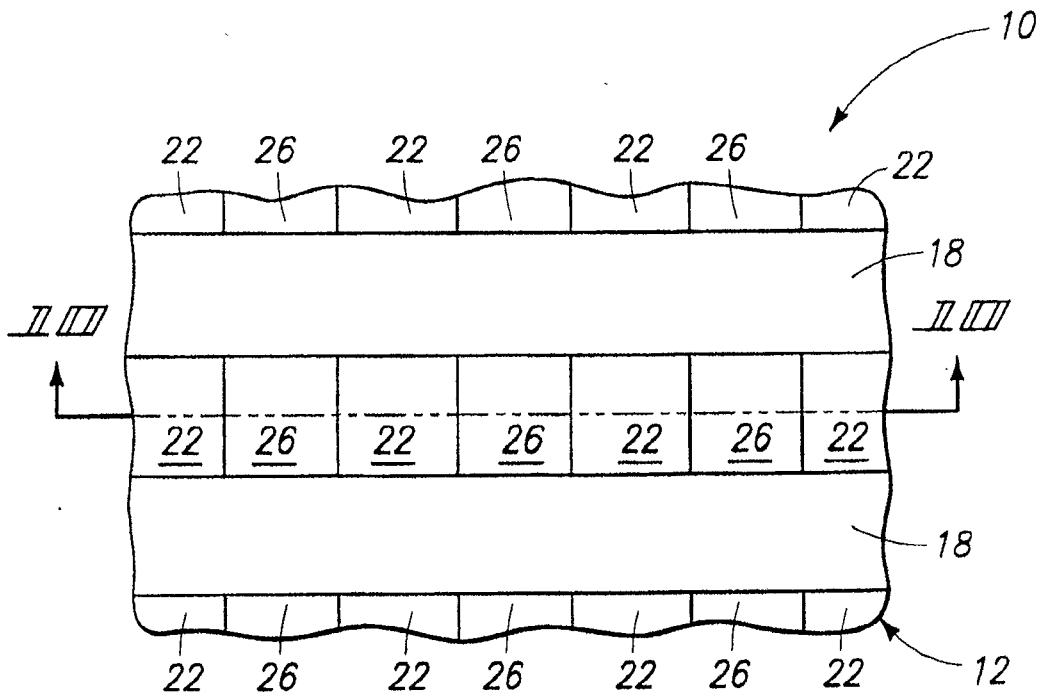


图 9

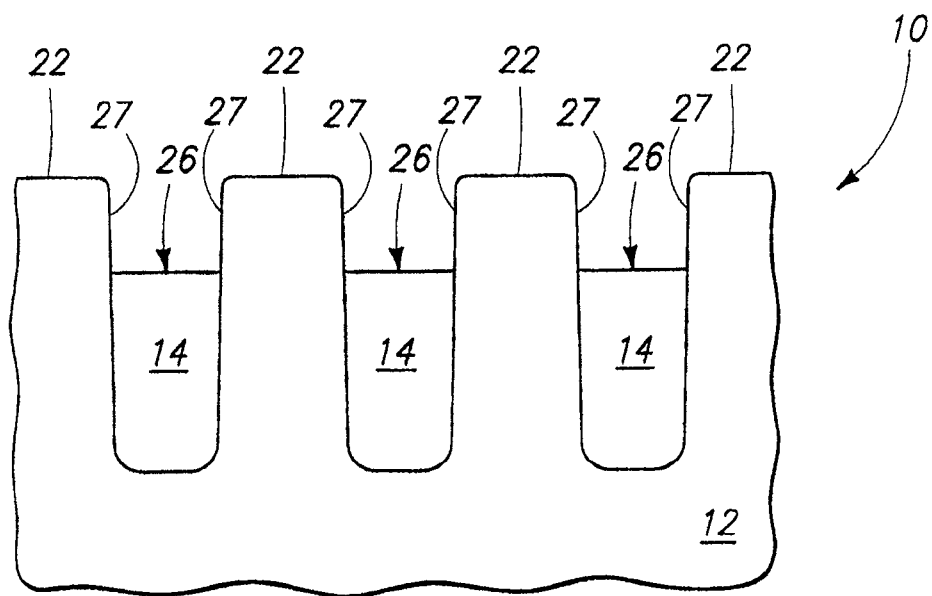


图 10

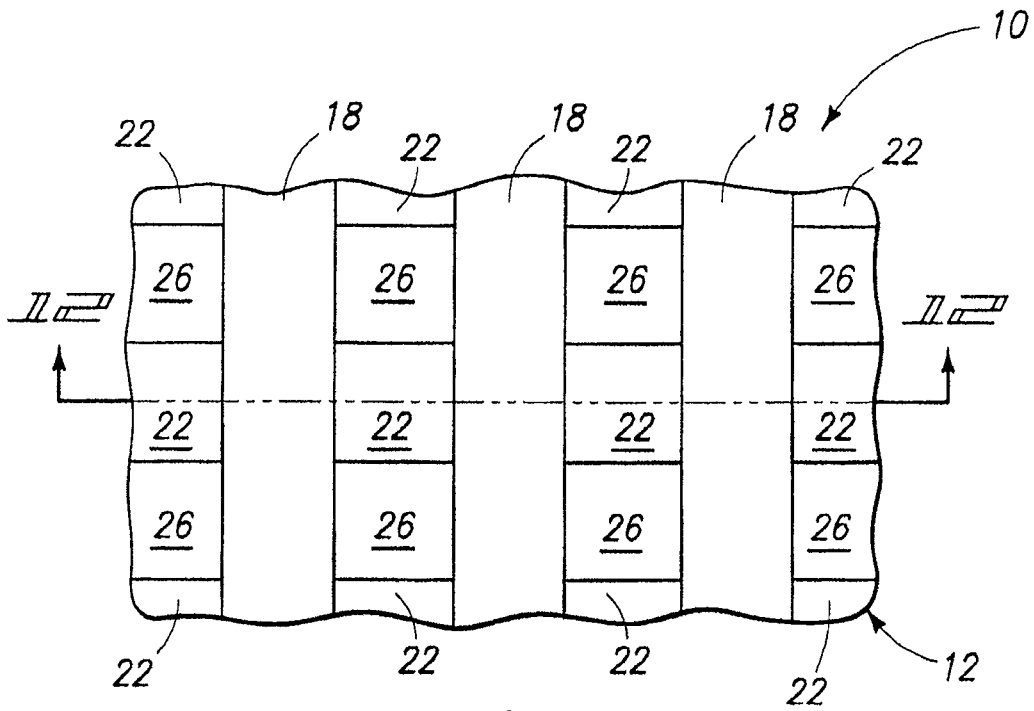


图 11

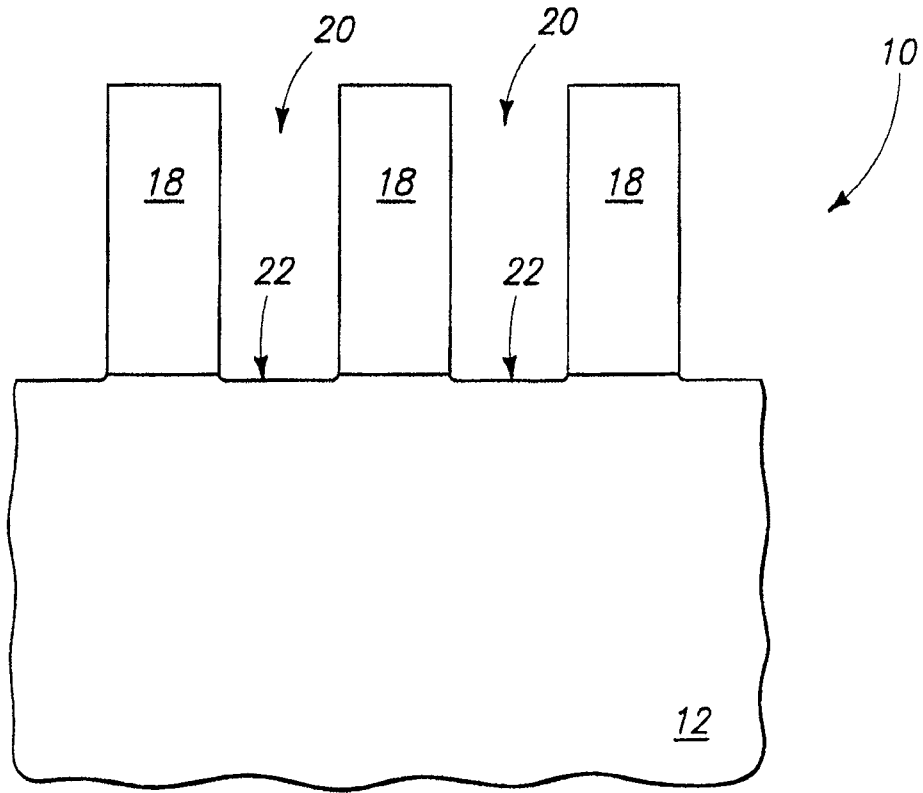


图 12

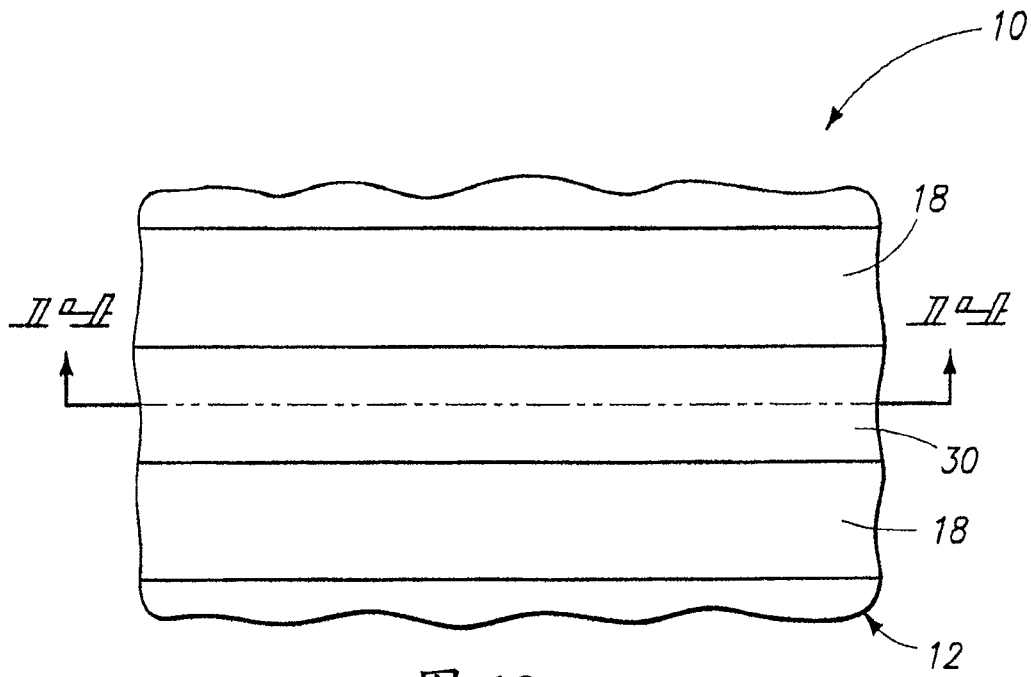


图 13

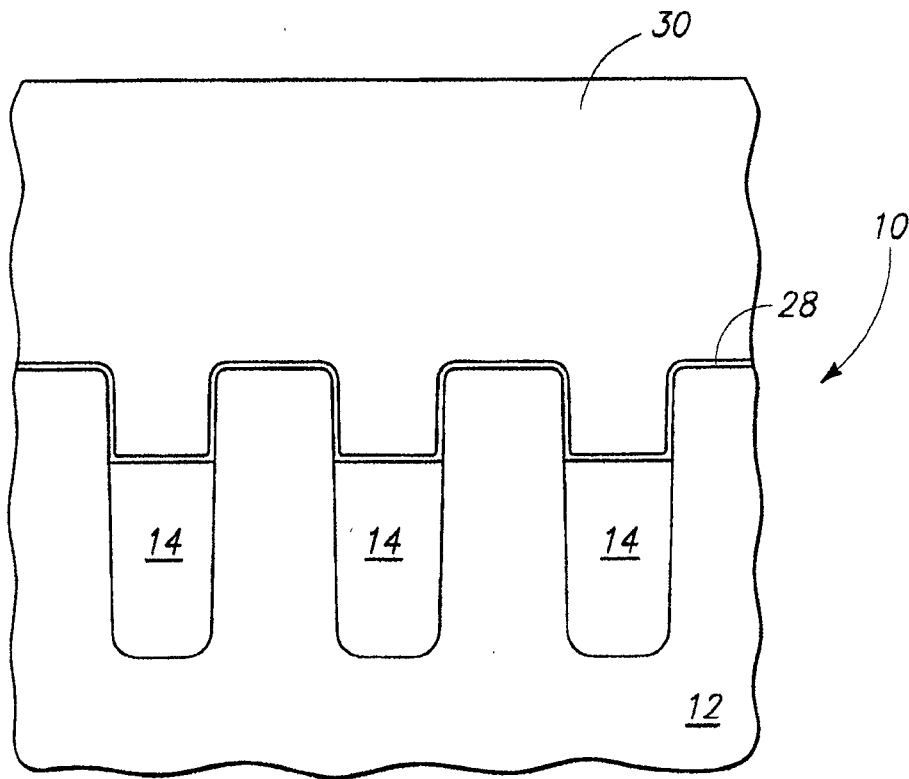


图 14

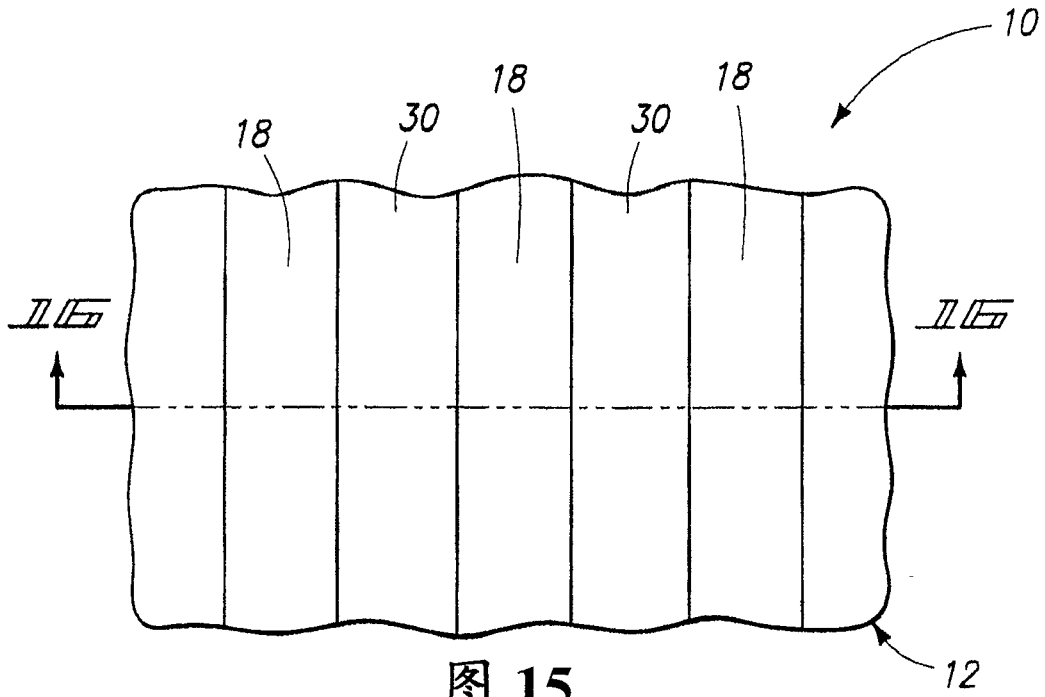


图 15

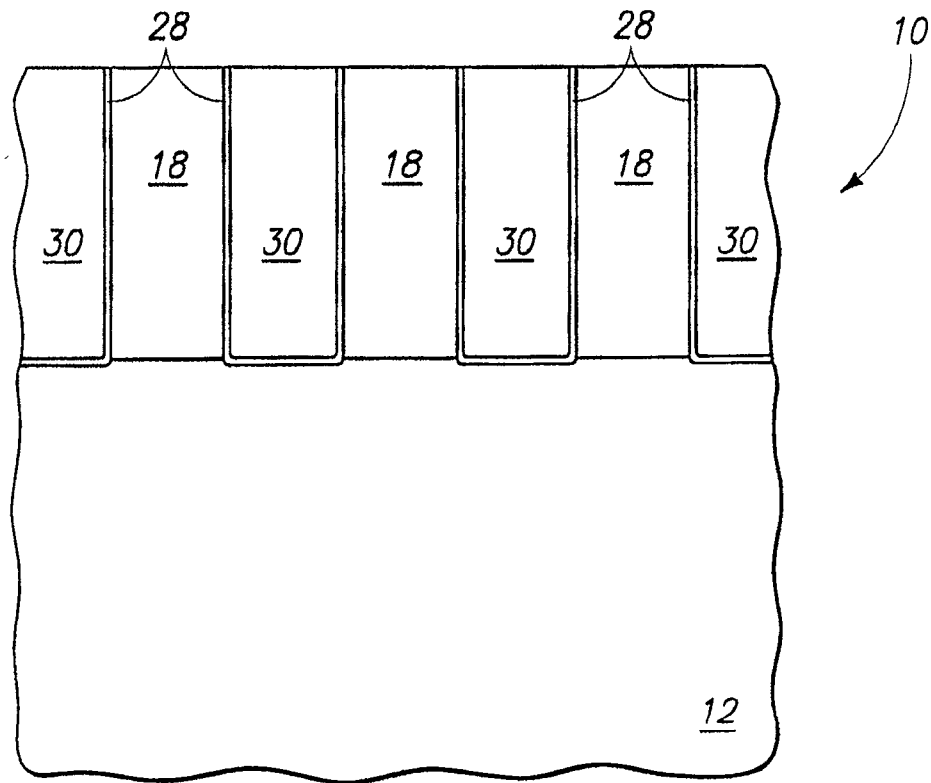


图 16

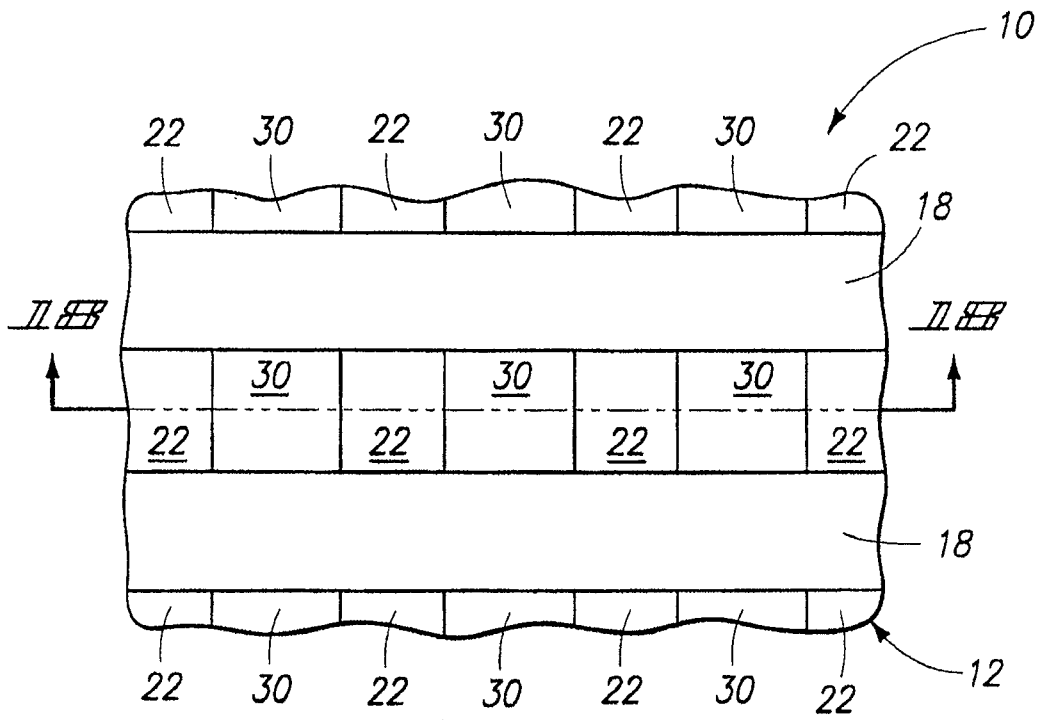


图 17

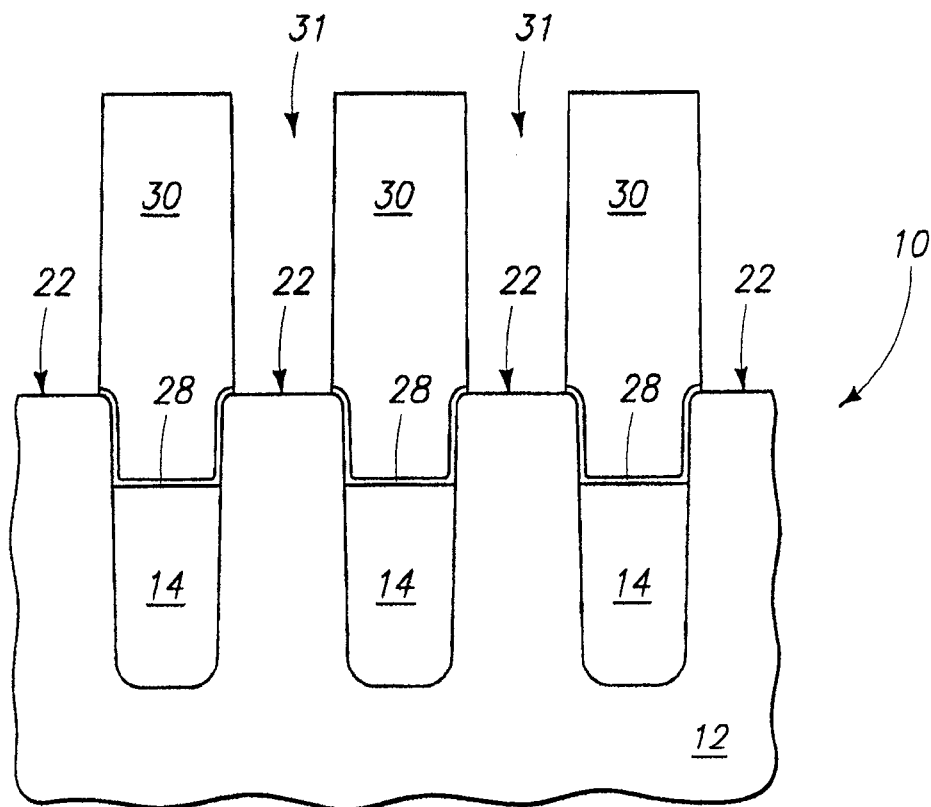


图 18

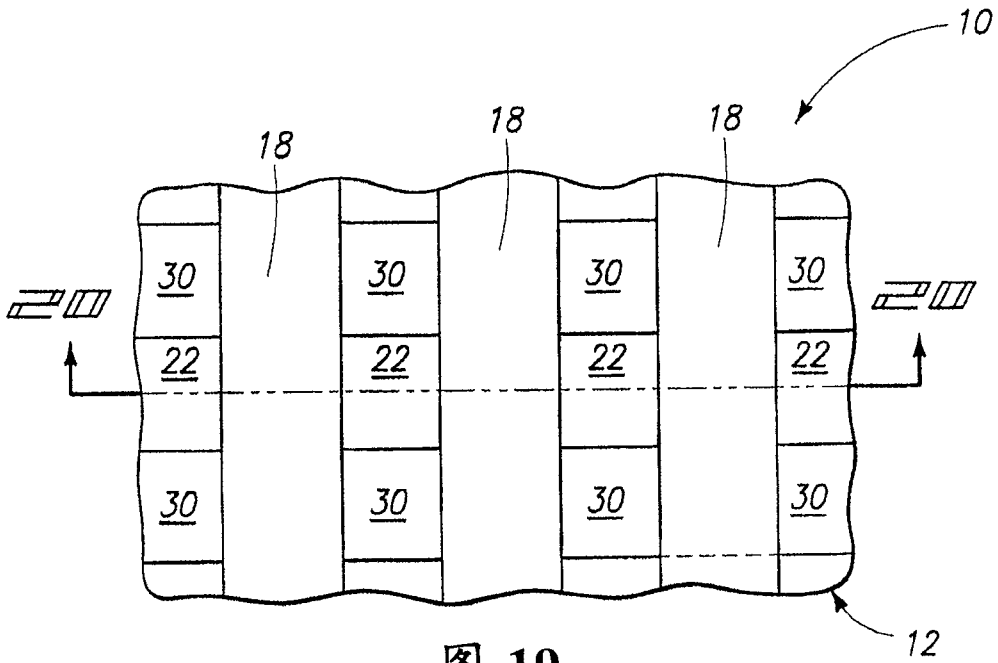


图 19

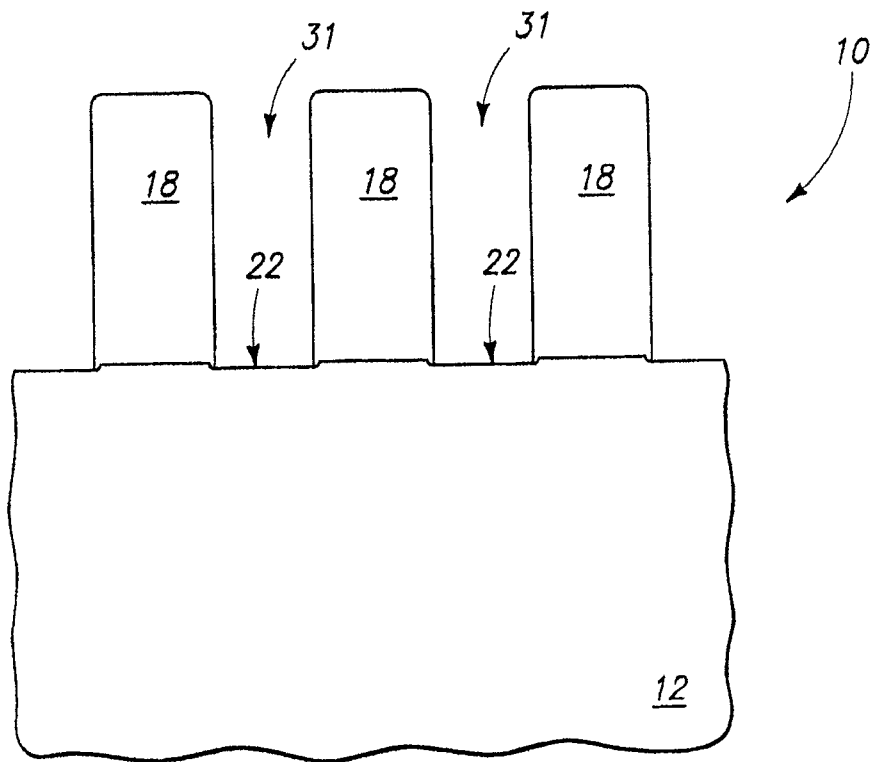


图 20

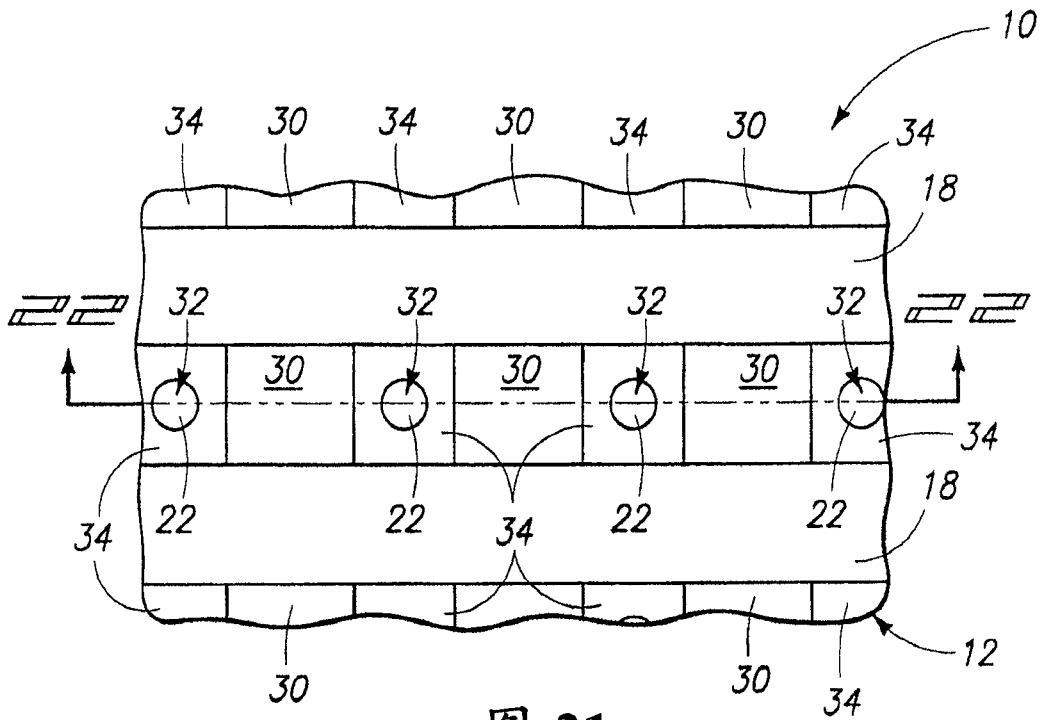


图 21

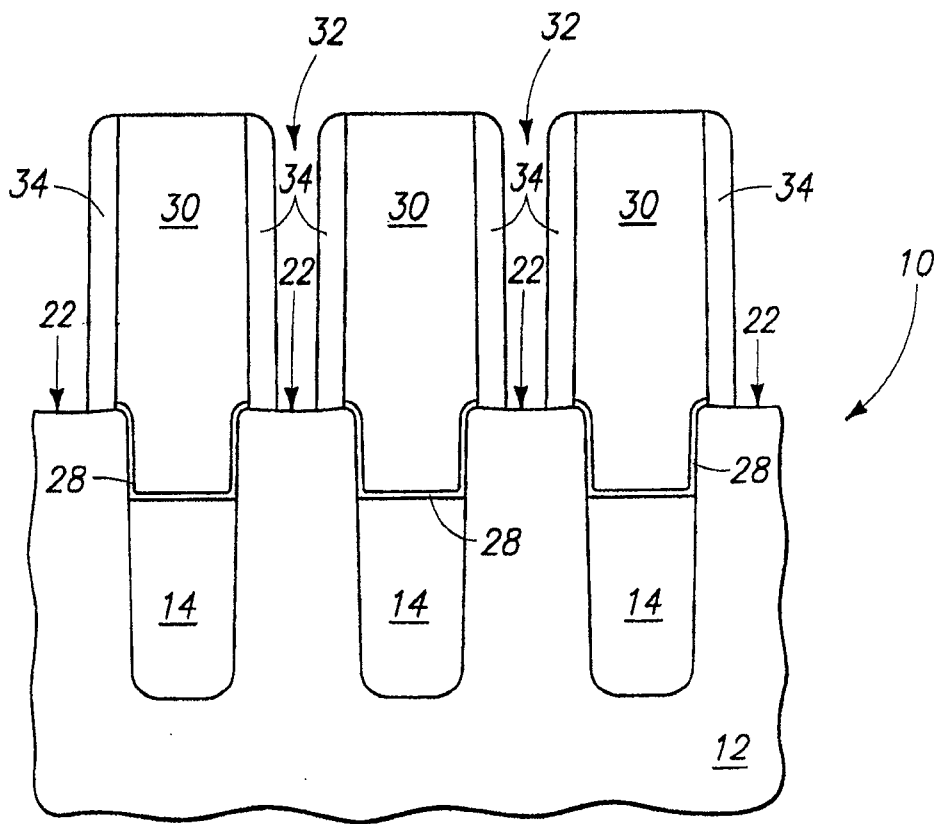


图 22



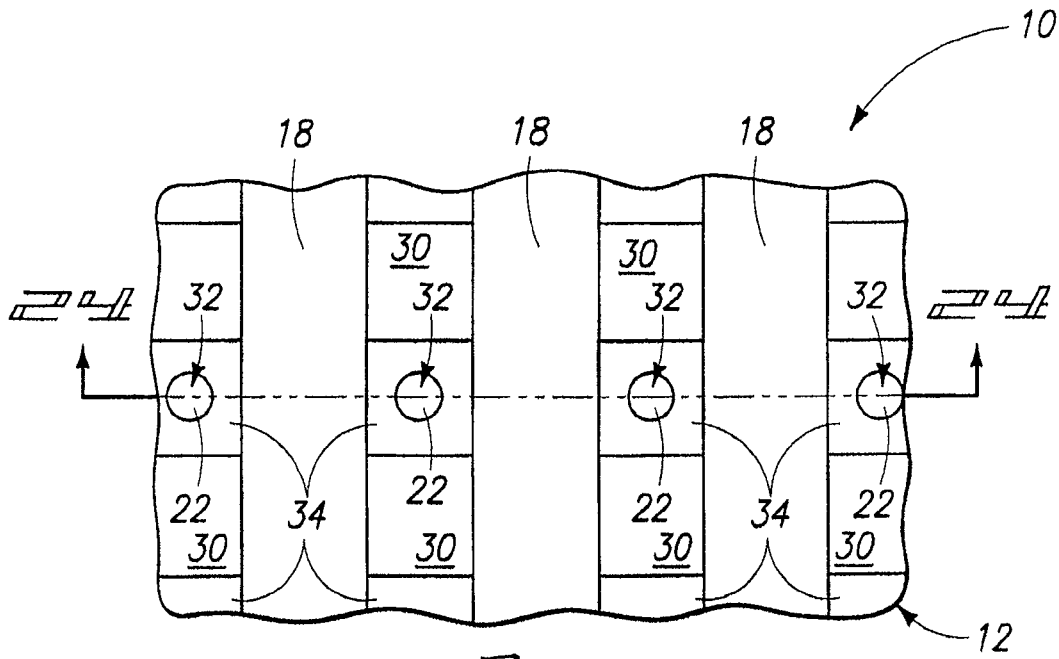


图 23

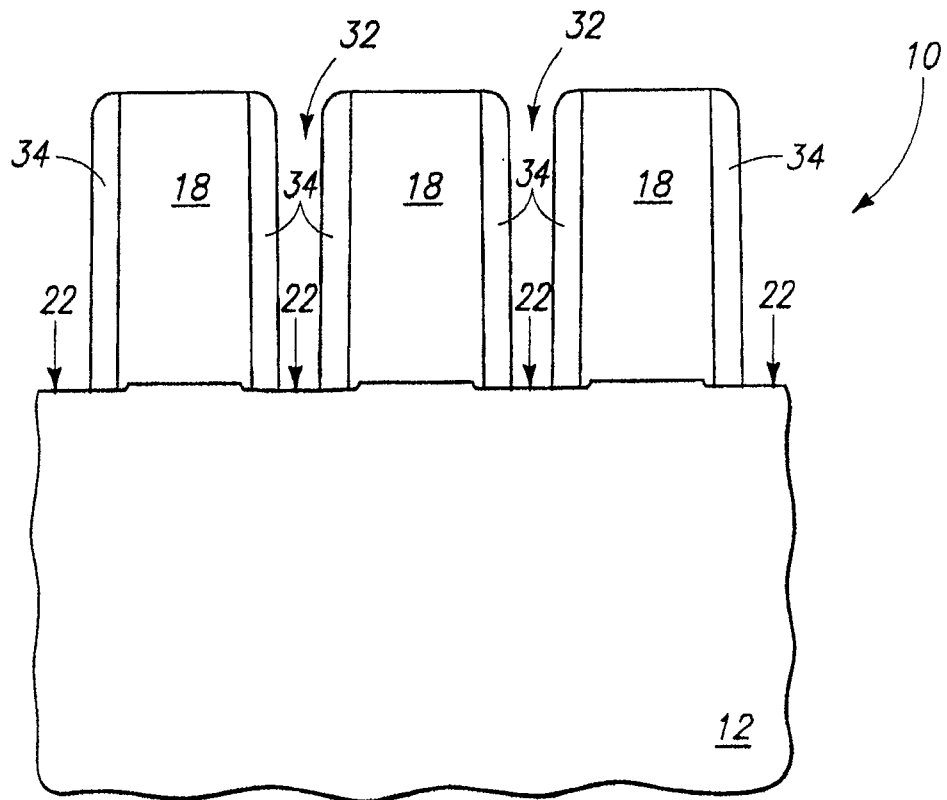


图 24

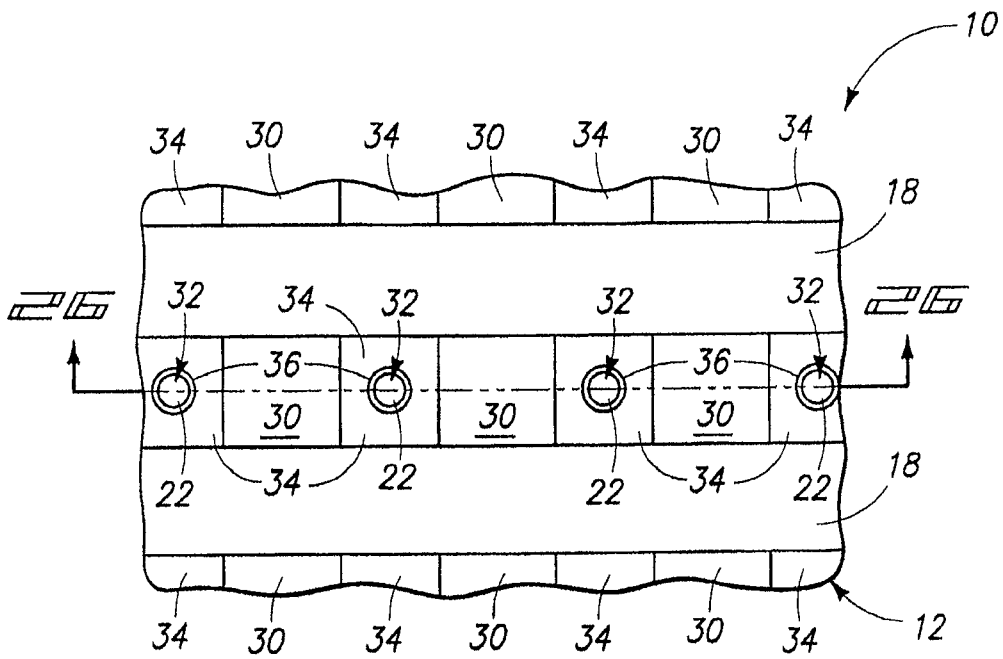


图 25

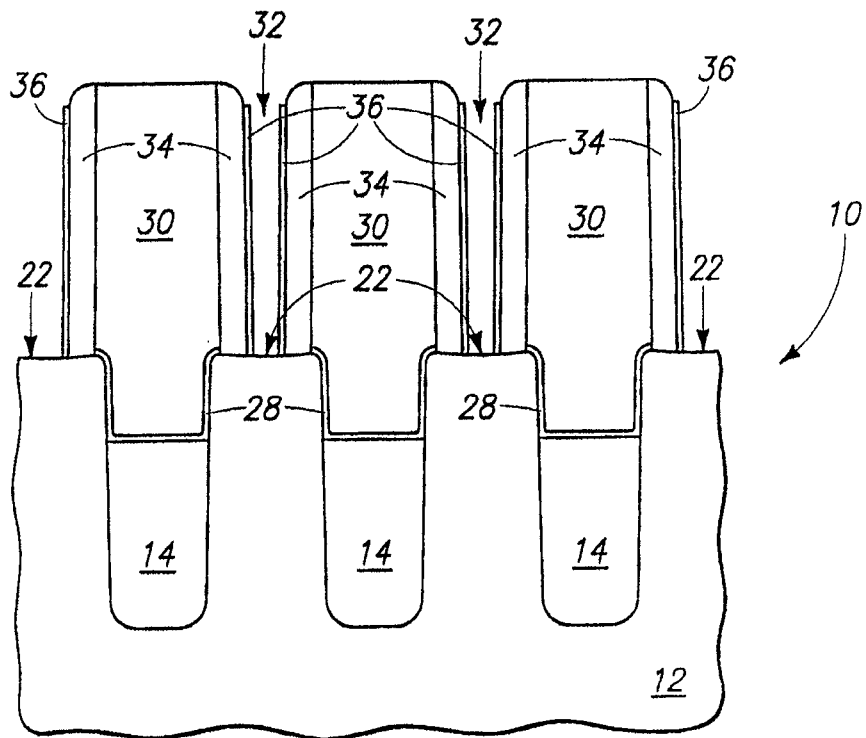


图 26

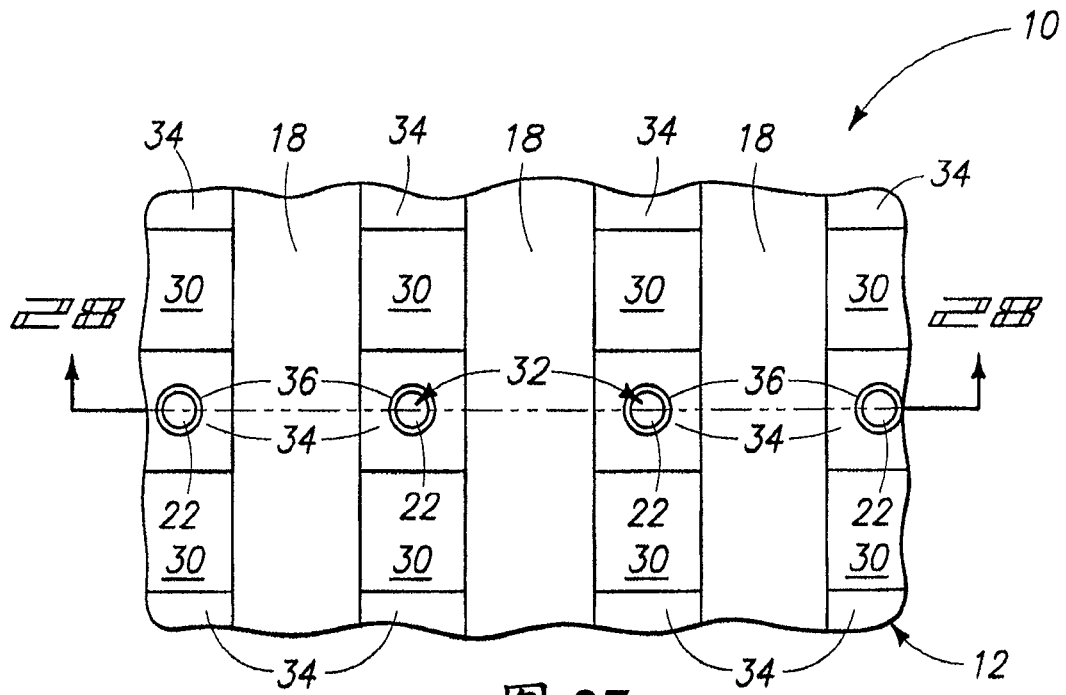


图 27

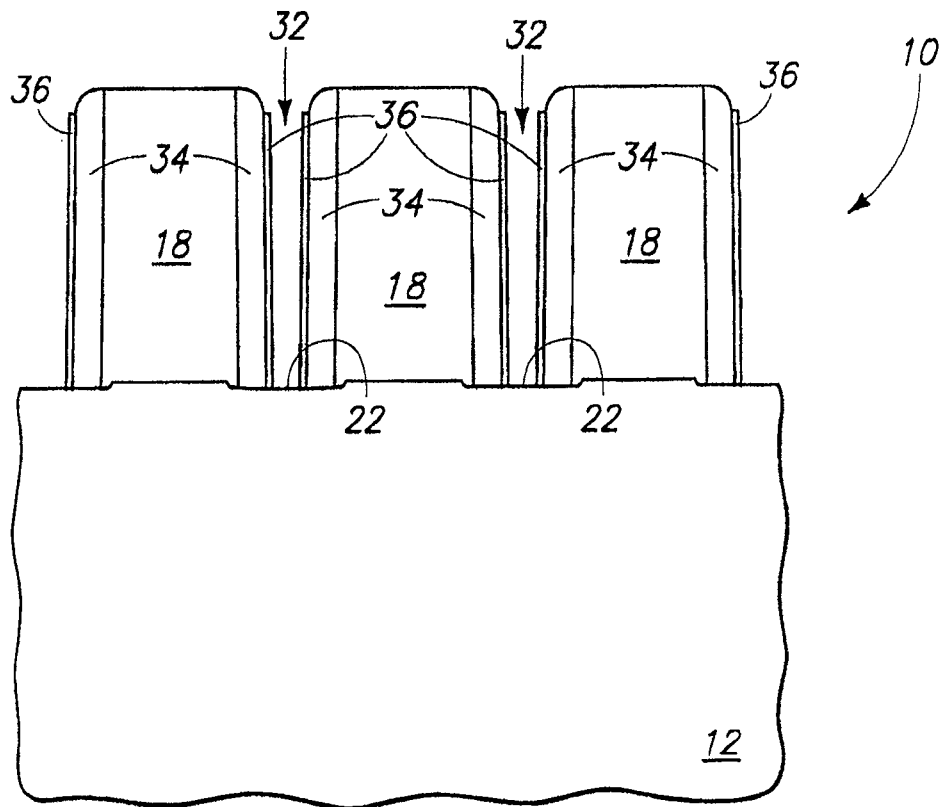


图 28

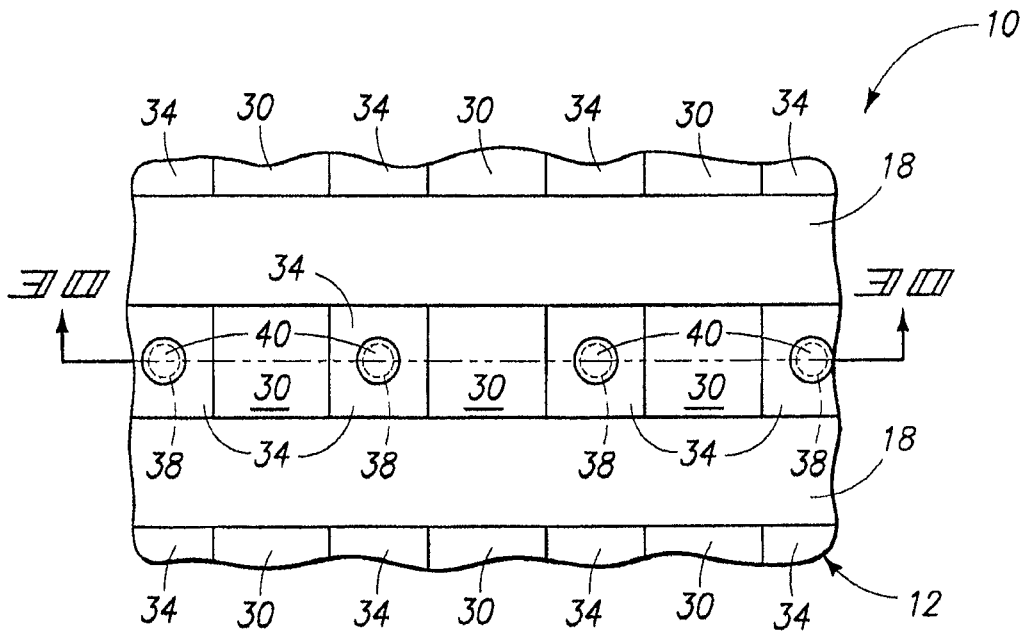


图 29

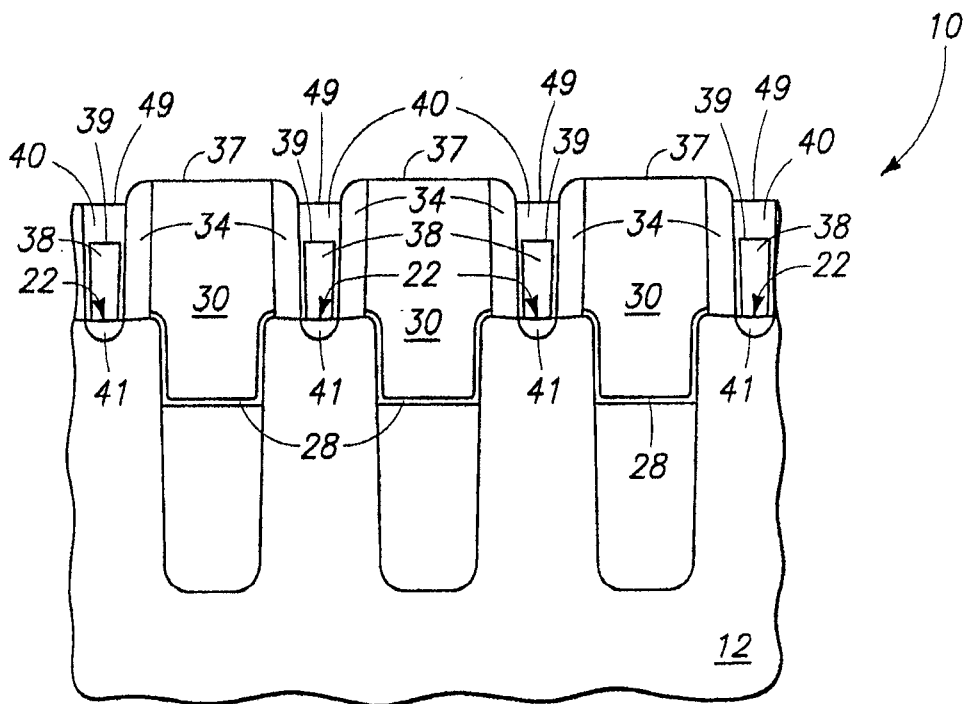


图 30

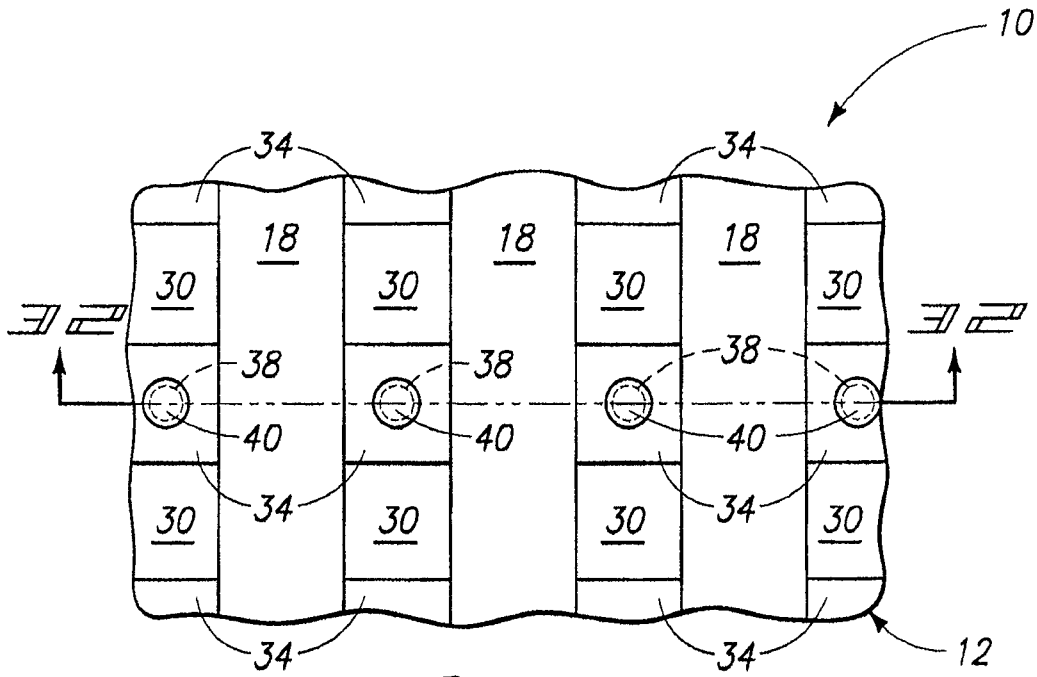


图 31

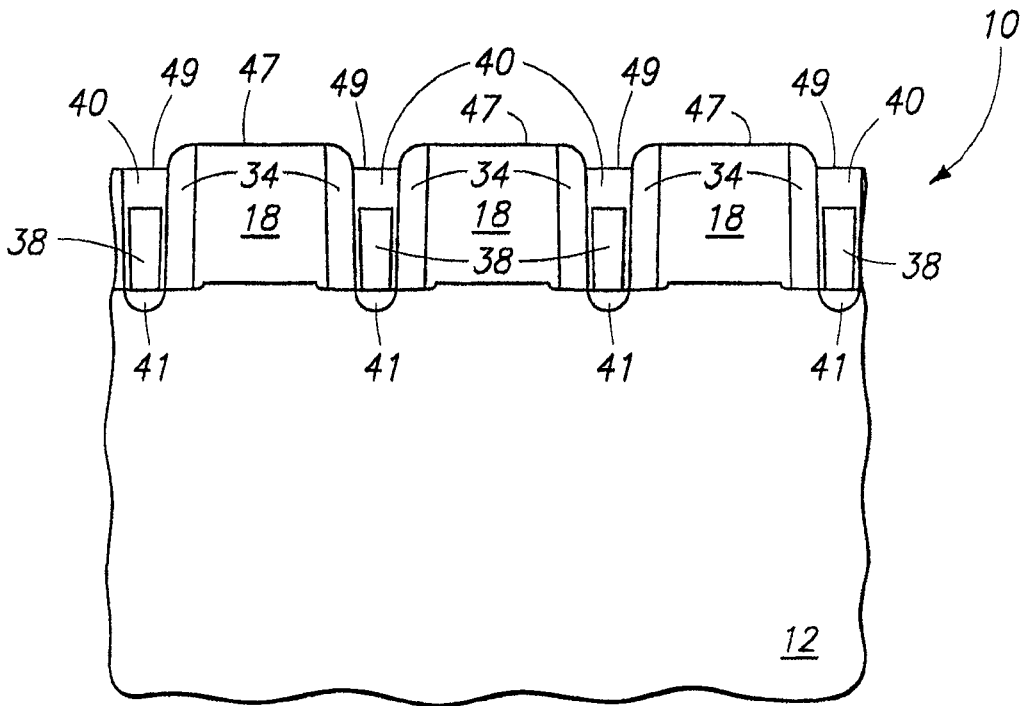


图 32

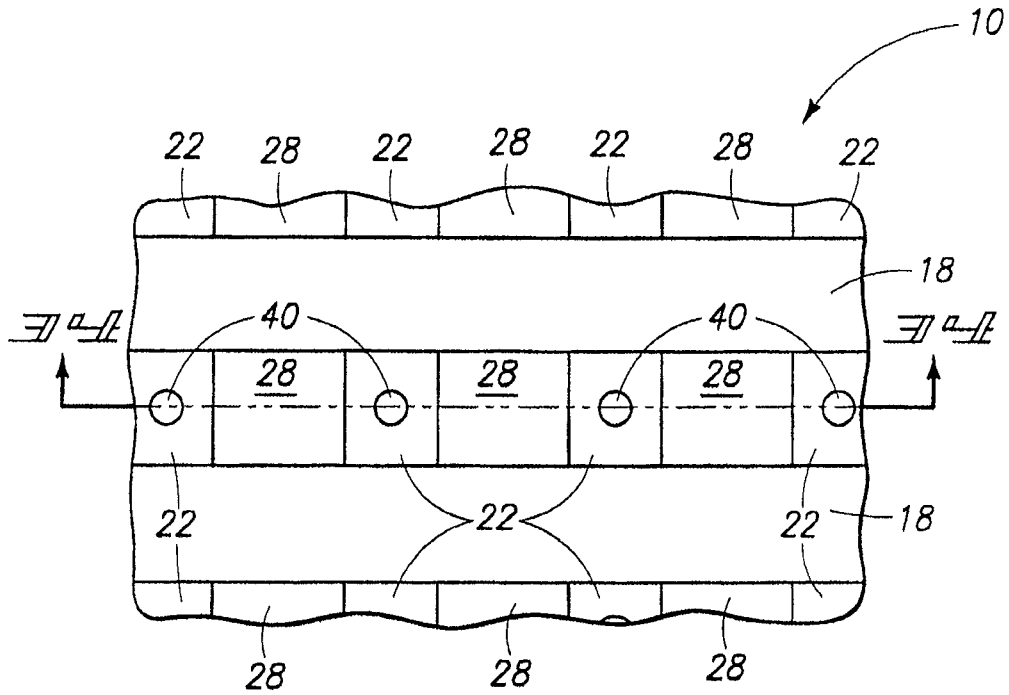


图 33

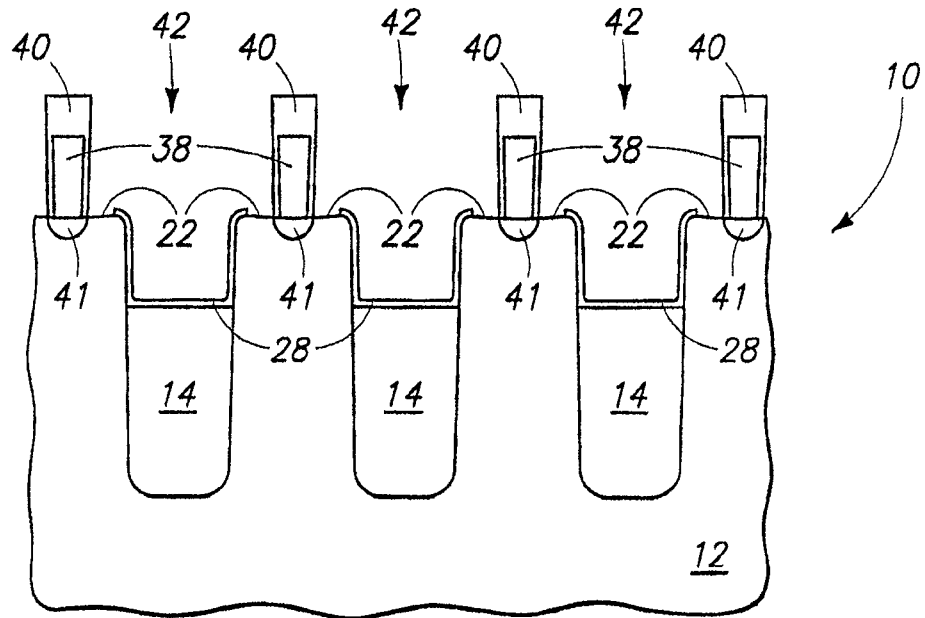


图 34

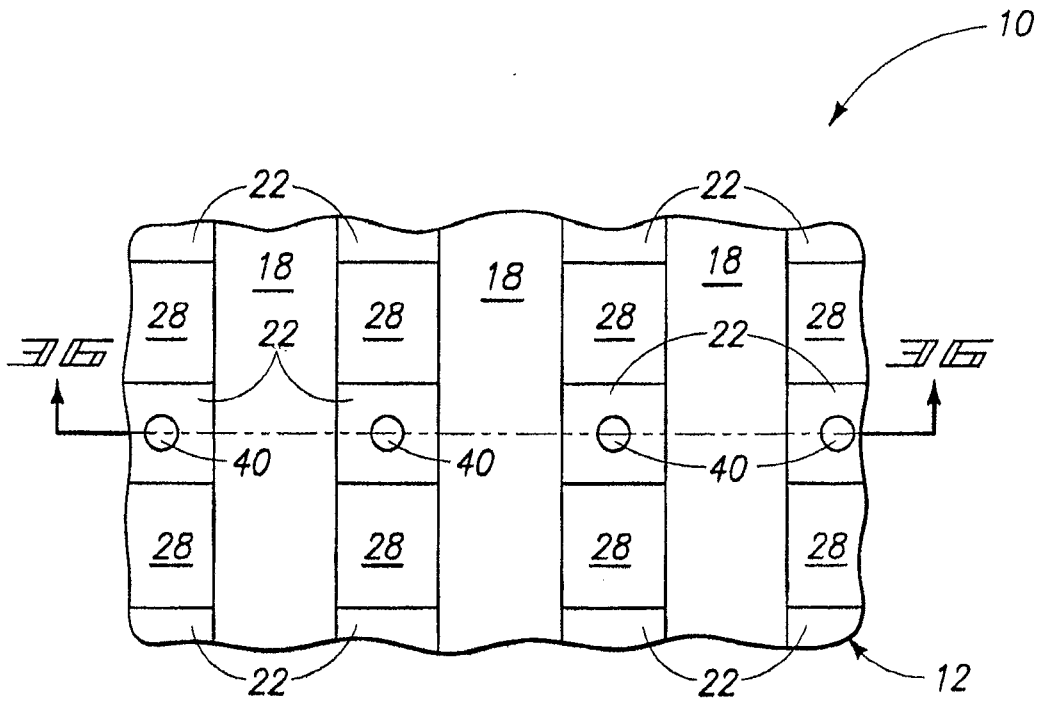


图 35

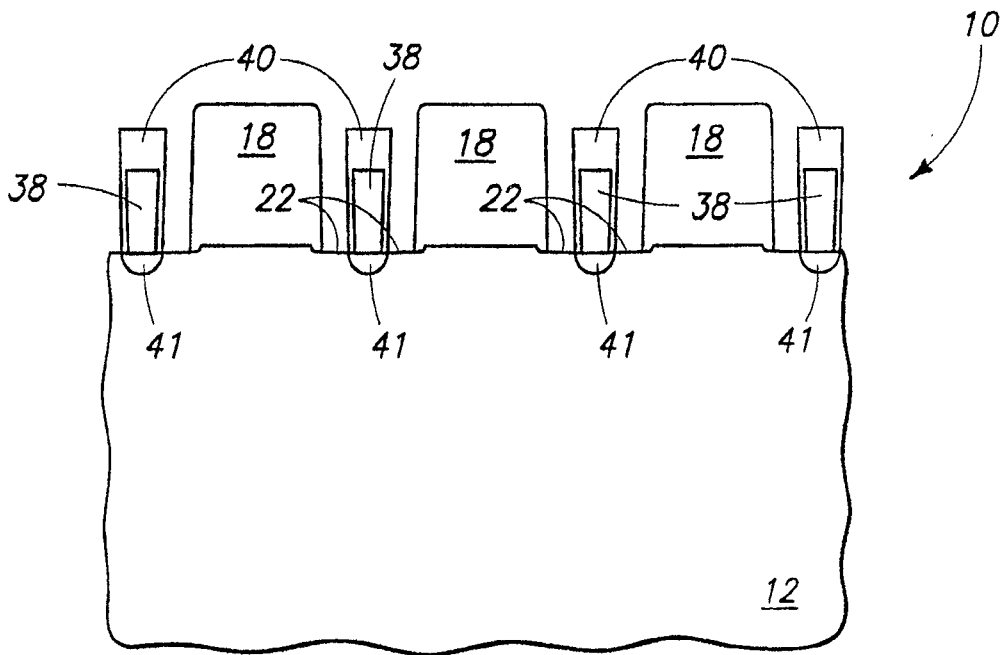


图 36

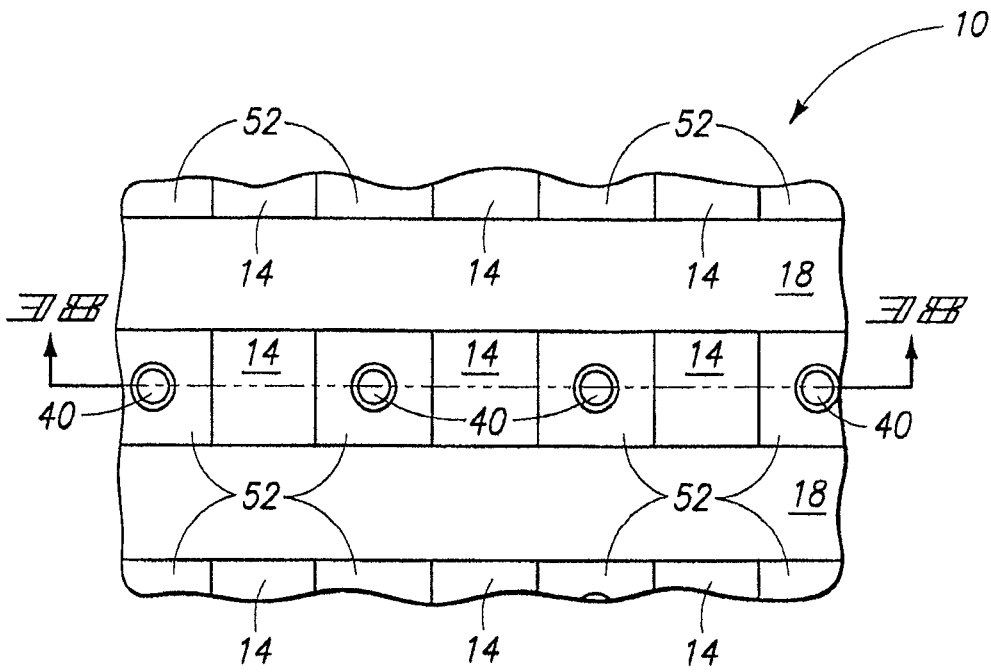


图 37

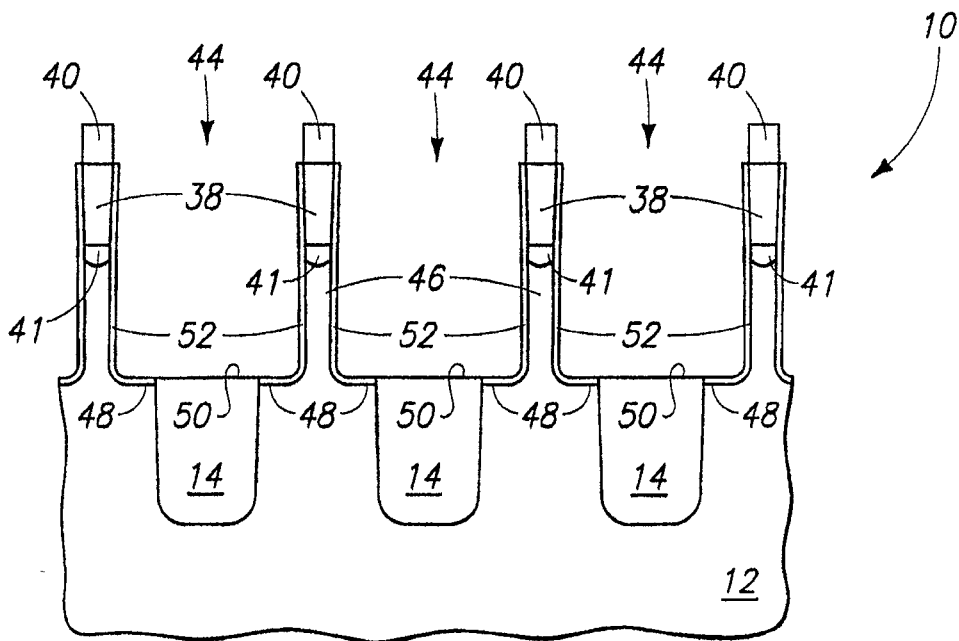


图 38



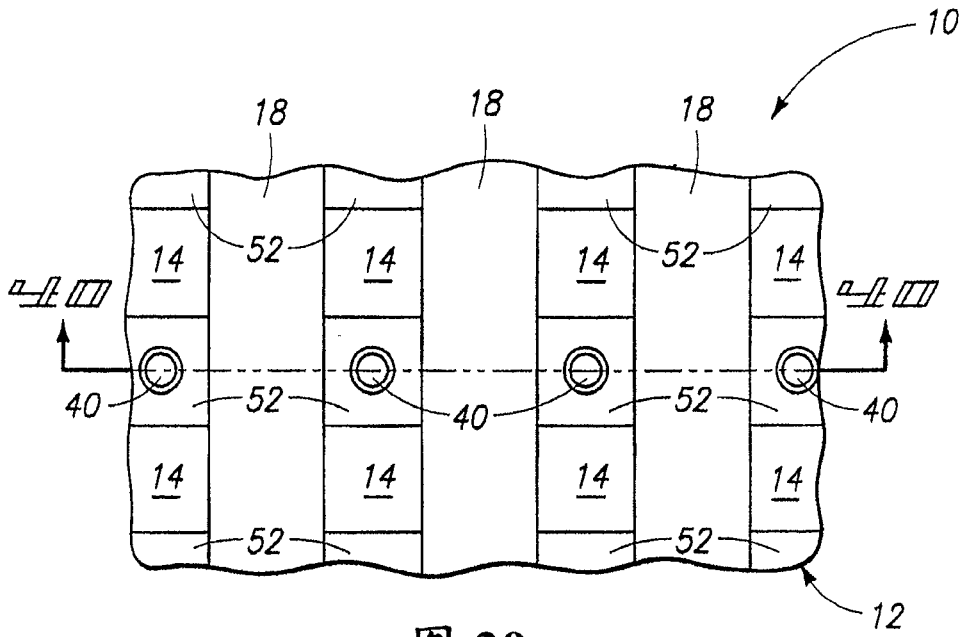


图 39

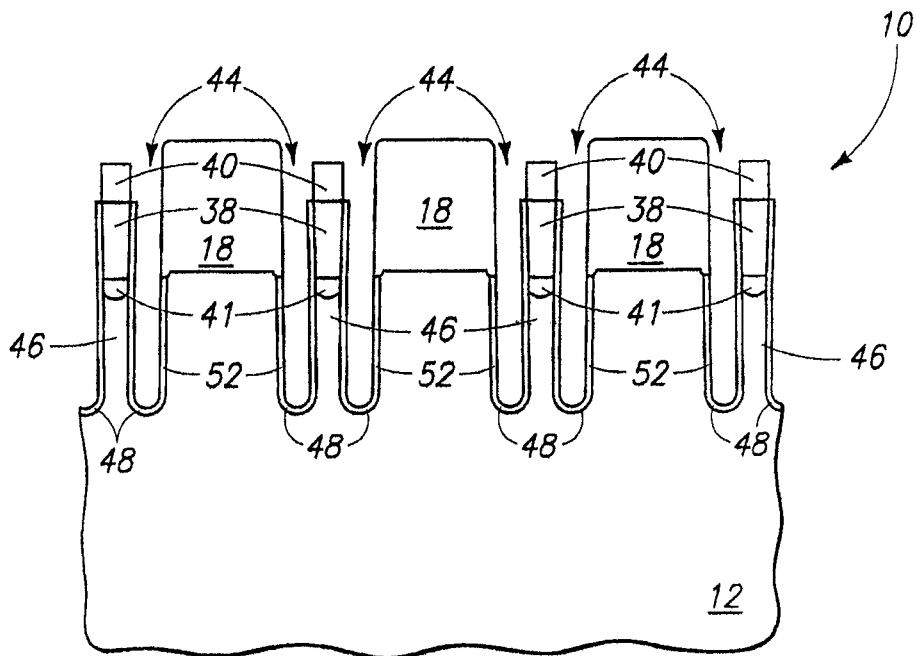


图 40

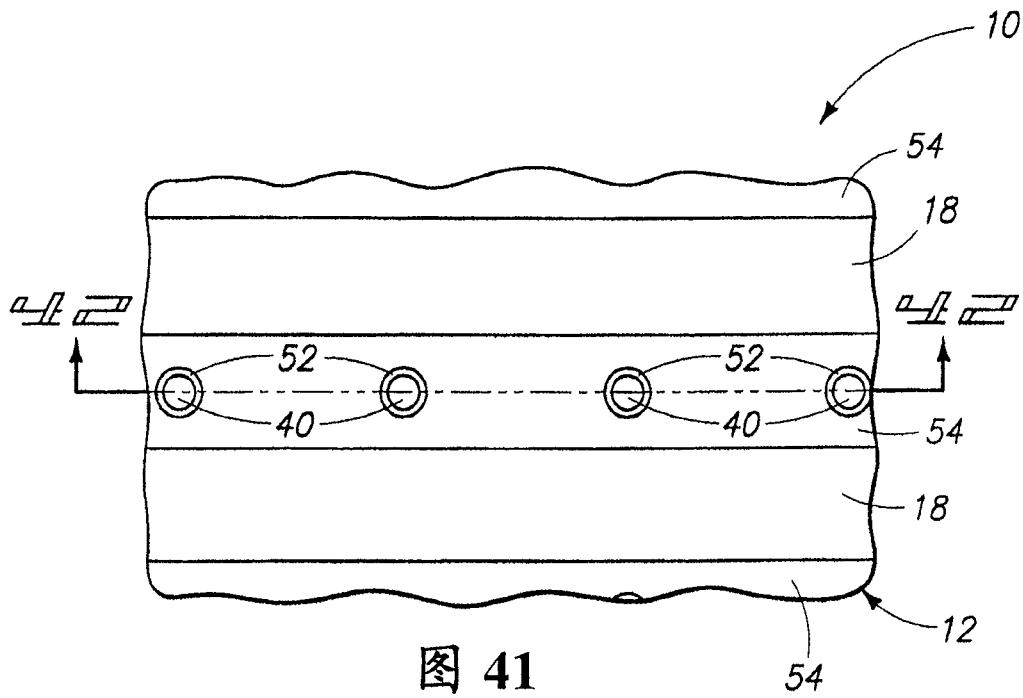


图 41

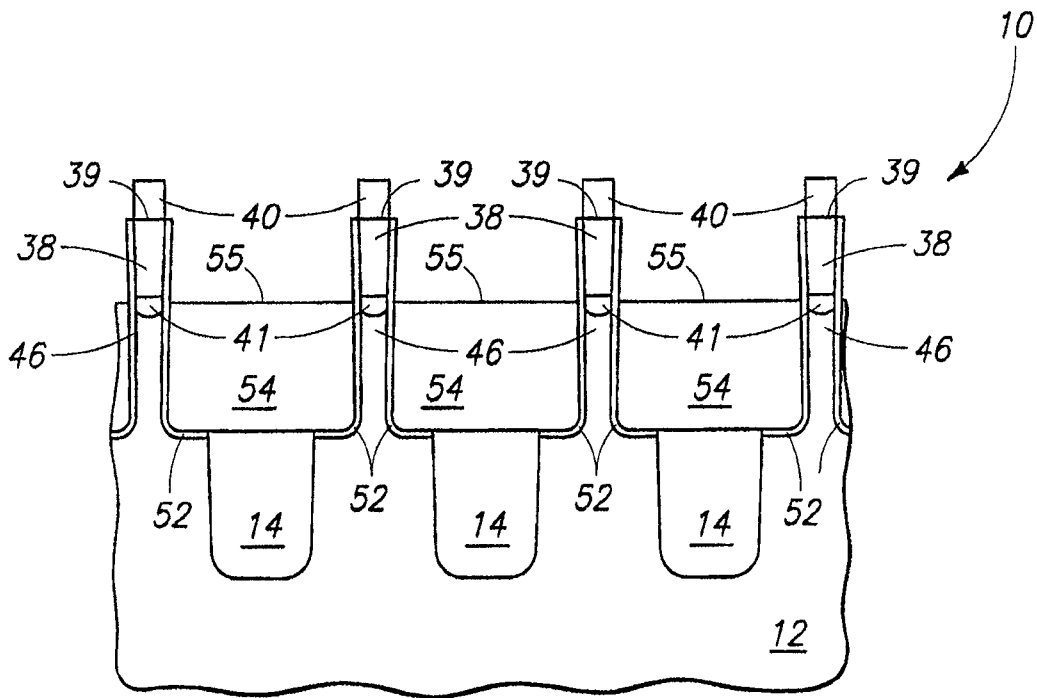


图 42

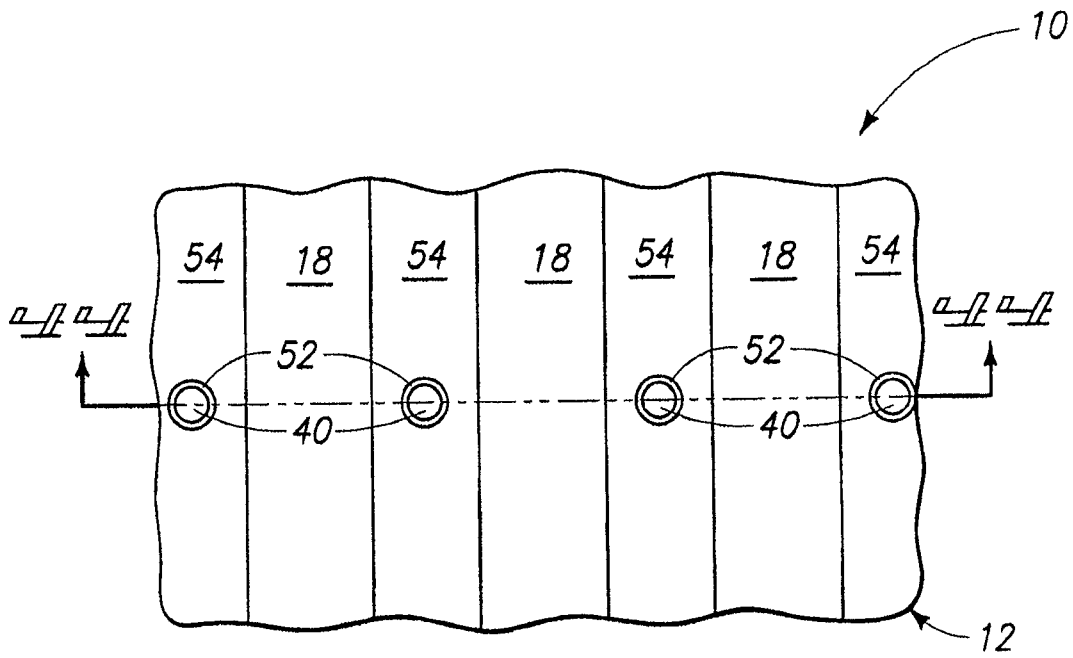


图 43

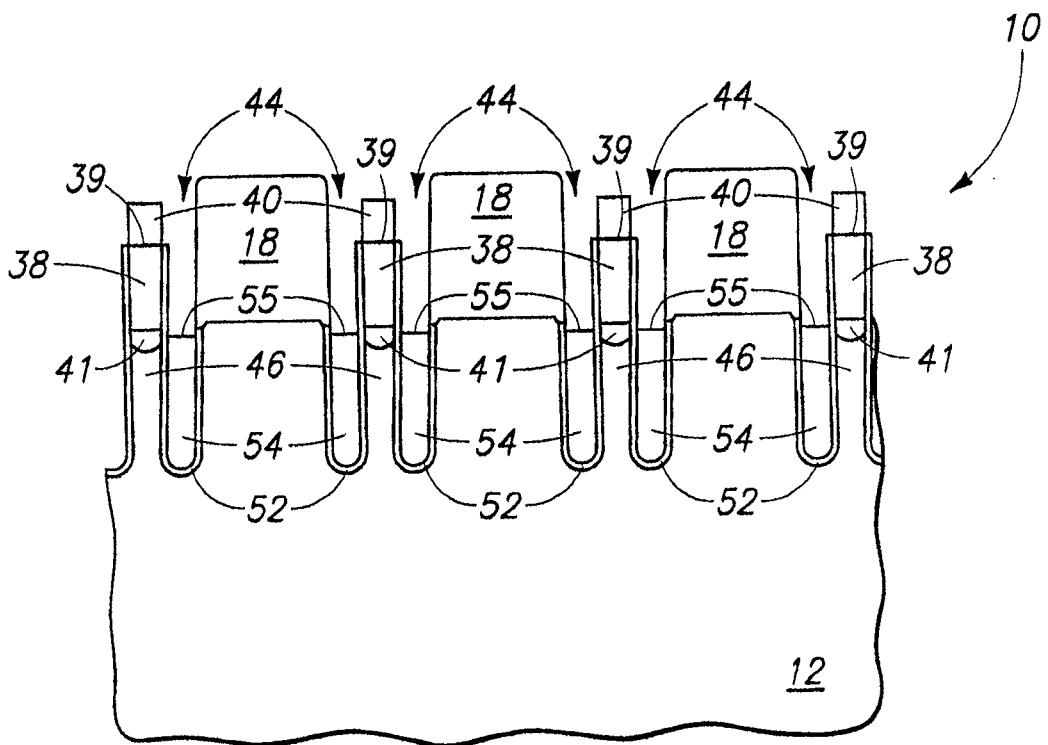


图 44

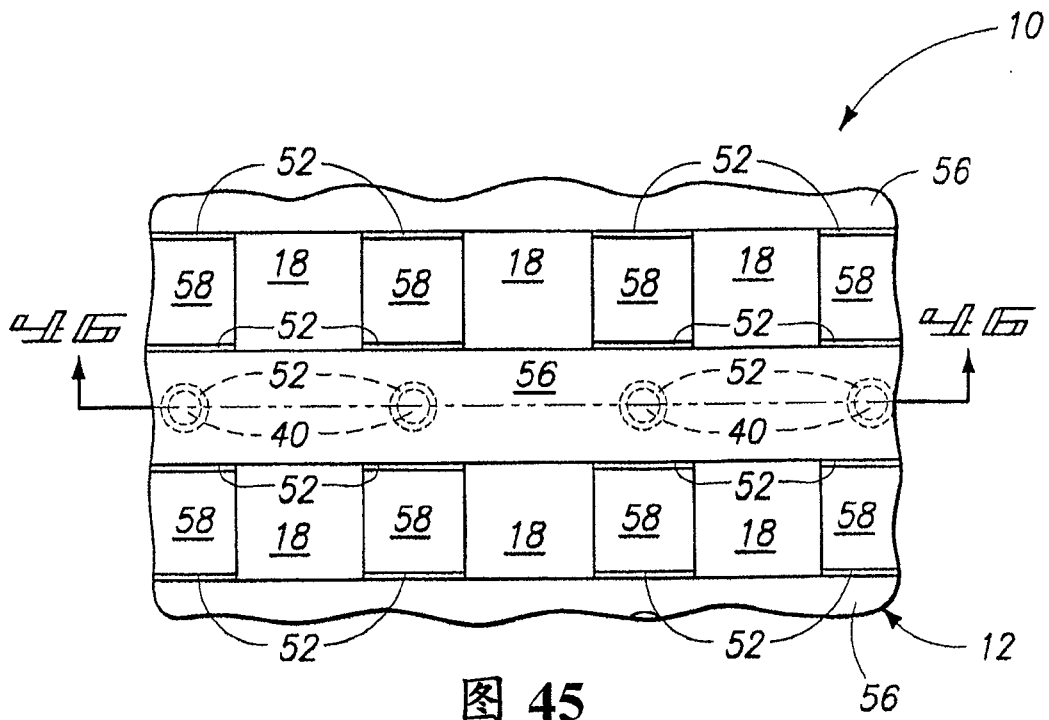


图 45

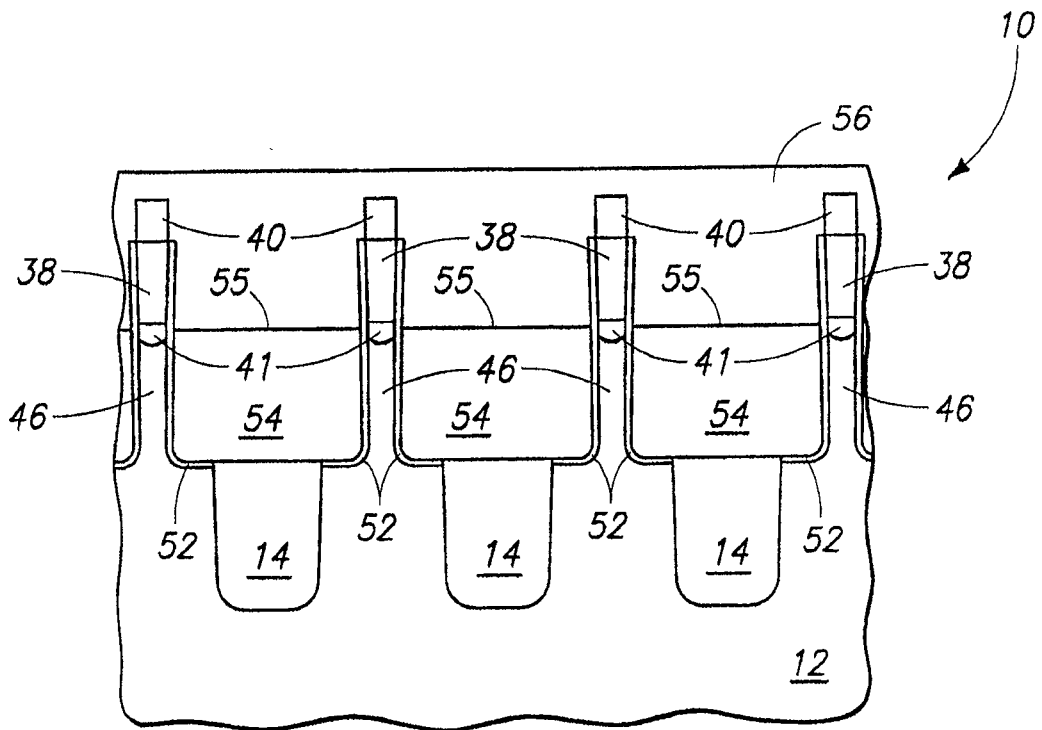


图 46

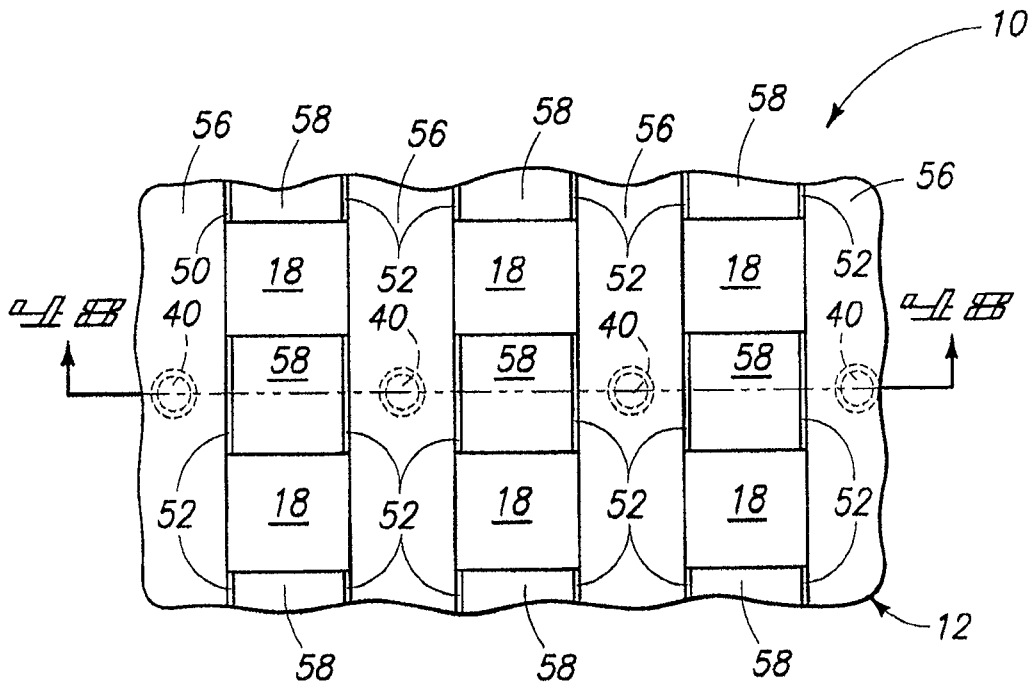


图 47

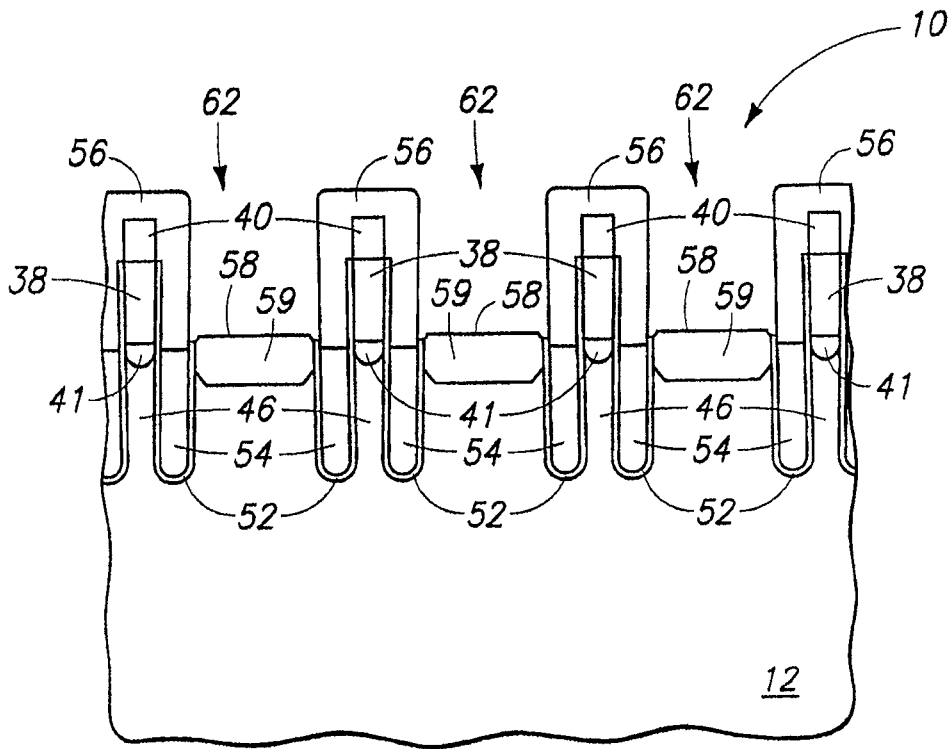


图 48

