I876498

(19)中華民國智慧財產局

(12)發明說明書公告本　**(11)證書號數：TW I876498 B**

(45)公告日： 中華民國 114 (2025) 年 03 月 11 日

(21)申請案號：112132747　(22)申請日： 中華民國 110 (2021) 年 08 月 17 日

(51)Int. Cl.：　***H01L23/538 (2006.01)***　***H01L21/60 (2006.01)***

H01L21/56 (2006.01)

(30)優先權：2020/09/25　美國　63/083,741

2021/05/14　美國　17/321,080

(71)申請人：美商蘋果公司 (美國) APPLE INC.　(US)

美國

(72)發明人：達布拉　山傑 DABRAL, SANJAY (IN)；曹志濤 CAO, ZHITAO (CN)；胡　坤忠 HU, KUNZHONG (US)

(74)代理人：陳長文；黃章典；金若芸

(56)參考文獻：

TW　202021015A　US　2018/0061767A1

US　2019/0304892A1　US　2020/0043853A1

審查人員：林永昌

申請專利範圍項數：7 項　圖式數：10　共 37 頁

(54)名稱

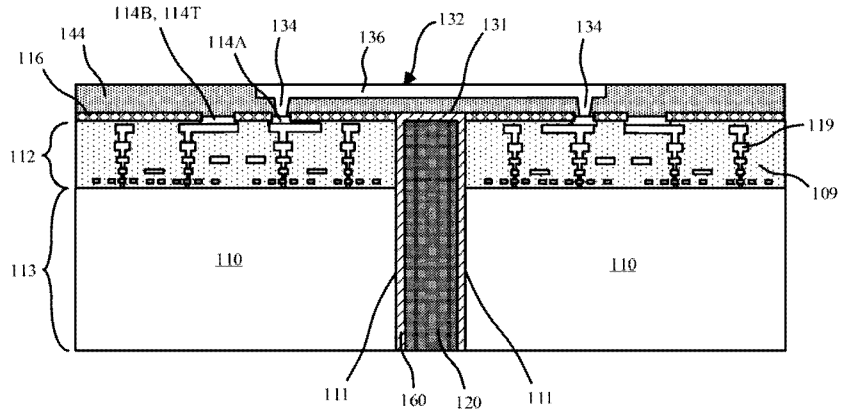
非常精細的節距及佈線密度之有機並排小晶片整合

(57)摘要

所描述者係形成精細晶粒對晶粒互連繞線之結構及方法。在一實施例中，一種封裝包括跨越一晶粒組的一封裝級 RDL，且包括連接各晶粒之間的接觸墊的複數個晶粒對晶粒互連件。在一實施例中，該複數個晶粒對晶粒互連件係埋置於一或多個光可成像有機介電層內。

Structures and methods of forming fine die-to-die interconnect routing are described. In an embodiment, a package includes a package-level RDL than spans across a die set and includes a plurality of die-to-die interconnects connecting contact pads between each die. In an embodiment, the plurality of die-to-die interconnects is embedded within one or more photoimageable organic dielectric layers.

指定代表圖：



【圖4】

符號簡單說明：

109:介電層

110:晶粒

111:邊緣/側壁

112:晶粒級後段製程(BEOL)增層結構

113:半導體基材層

114A,114B,114T:接觸墊

116:鈍化層

119:金屬佈線層

120:模製化合物層

131:頂部側

132:晶粒對晶粒互連件

134:通孔

136:互連線

144:有機介電層/介電層

160:無機障壁層

專利案號：112132747
原申請案號：110130198
公告本
I876498

【發明摘要】

【中文發明名稱】 非常精細的節距及佈線密度之有機並排小晶片整合

【英文發明名稱】 VERY FINE PITCH AND WIRING DENSITY ORGANIC SIDE BY SIDE CHIPLET INTEGRATION

【中文】

所描述者係形成精細晶粒對晶粒互連繞線之結構及方法。在一實施例中，一種封裝包括跨越一晶粒組的一封裝級RDL，且包括連接各晶粒之間的接觸墊的複數個晶粒對晶粒互連件。在一實施例中，該複數個晶粒對晶粒互連件係埋置於一或多個光可成像有機介電層內。

【英文】

Structures and methods of forming fine die-to-die interconnect routing are described. In an embodiment, a package includes a package-level RDL than spans across a die set and includes a plurality of die-to-die interconnects connecting contact pads between each die. In an embodiment, the plurality of die-to-die interconnects is embedded within one or more photoimageable organic dielectric layers.

【指定代表圖】圖4

【代表圖之符號簡單說明】

109:介電層

110:晶粒

111:邊緣/側壁

112:晶粒級後段製程(BEOL)增層結構

113:半導體基材層

114A,114B,114T:接觸墊

116:鈍化層

119:金屬佈線層

120:模製化合物層

131:頂部側

132:晶粒對晶粒互連件

134:通孔

136:互連線

144:有機介電層/介電層

160:無機障壁層

【特徵化學式】無

【發明說明書】

【中文發明名稱】　非常精細的節距及佈線密度之有機並排小晶片整合

【英文發明名稱】　VERY FINE PITCH AND WIRING DENSITY ORGANIC SIDE BY SIDE CHIPLET INTEGRATION

【技術領域】

【0001】本文描述之實施例係關於積體電路(integrated circuit, IC)製造及封裝，及多個晶粒之互連。

【先前技術】

【0002】目前，可攜式及行動電子裝置（諸如，行動電話、個人數位助理(personal digital assistant, PDA)、數位相機、可攜式播放器、遊戲、及其他行動裝置）的市場需求要求將更多效能及特徵整合至越來越小的空間中。結果，多晶粒封裝解決方案（諸如多晶片模組(multi-chip module, MCM)、多晶片整合式扇出、系統級封裝(system in package, SiP)、及疊層封裝(package-on-package, PoP)）趨向更複雜的配置，具有更精細的繞線要求，以有效地連接多個晶粒。

【發明內容】

【0003】所描述者係形成精細晶粒對晶粒互連件繞線之多晶粒封裝結構及方法。根據實施例之精細的晶粒對晶粒互連件可包括精細的墊節距及佈線

密度兩者。在一實施例中，一種封裝包括一晶粒組，其封裝在一模製化合物層中；一封裝級重分佈層(redistribution layer, RDL)，其跨越該晶粒組及該模製化合物層，且在該晶粒組上及電連接於該晶粒組。該晶粒組中之各晶粒可包括一晶粒級後段製程(back end of the line, BEOL)增層結構，其包括複數個接觸墊；且該封裝級RDL包括複數個晶粒對晶粒互連件，該複數個晶粒對晶粒互連件連接各晶粒之間的該複數個接觸墊。在一實施例中，該複數個晶粒對晶粒互連件係埋置於一或多個光可成像有機介電層內。例如，光可成像有機介電層可促進習知微影技術或適應性寫入及適應性圖案化，以促進較高之接觸墊密度，以及該等晶粒對晶粒互連件之佈線密度。此外，可在該封裝級RDL處包括鑲嵌處理，以增加佈線密度及佈線層之數目。在一實施例中，該封裝級RDL包括在光可成像聚合物介電層中形成的銅鑲嵌佈線及晶粒對晶粒互連件。因此，除了在晶粒級BEOL增層結構處使用鑲嵌處理之外，鑲嵌BEOL型處理亦可擴大至封裝級RDL。

【0004】在一實施例中，一封裝包括一晶粒組，其封裝在一模製化合物層中；及一無機障壁層，該無機障壁層在該晶粒組上方，且在該晶粒組與該模製化合物層之間。一封裝級重分佈層(RDL)跨越該模製化合物層，且在該晶粒組上及電連接於該晶粒組。該封裝級RDL可額外跨越側向於該晶粒組的晶粒之間的該無機障壁層。該無機障壁層可作用為從該模製化合物層至該封裝級RDL中之複數個晶粒對晶粒互連件的一應力障壁，該複數個晶粒對晶粒互連件連接各晶粒之間的接觸墊。該無機障壁層亦可屏蔽佈線與模製化合物層中之模坑（例如，空隙）。

【0005】該等晶粒對晶粒互連結構及處理序列可用以連接離散晶粒或小晶片、或具有相同矽層（亦即在相同晶圓上）之晶粒區域兩者。在一實施例中，一晶片包括一晶粒區域組，其形成在一相同半導體層中；及一BEOL增層結構，其形成在該晶粒區域組上方。該BEOL增層結構可包括複數個接觸墊，且一晶片級RDL可跨越該BEOL增層結構且在該下伏晶粒區域組上方；其中該晶片級RDL包括複數個晶粒區域對晶粒區域互連件，該複數個晶粒區域對晶粒區域互連件連接各晶粒區域之間的該複數個接觸墊。因此，除了使用在晶粒級BEOL增層結構處的鑲嵌處理之外，鑲嵌BEOL型處理亦可擴大至該晶片級RDL，以支援更精細的墊節距以及更高的佈線密度，以用於並排佈線密度及多層佈線密度兩者。

【圖式簡單說明】

【0006】

〔圖1〕係根據一實施例之一封裝之剖面側視圖圖示，該封裝包括具有複數個晶粒對晶粒互連件的封裝級重分佈層。

〔圖2〕係根據一實施例之複數個晶粒對晶粒互連件的俯視平面圖圖示。

〔圖3〕係根據一實施例之晶粒接觸墊大小、通孔接觸件大小、及鈍化層開口大小的俯視平面圖圖示。

〔圖4〕係根據一實施例之封裝級重分佈層之示意特寫剖面側視圖圖示，其包括形成於無機障壁層襯墊上方之雙鑲嵌晶粒對晶粒互連件。

〔圖5〕係根據一實施例之複數個晶粒對晶粒互連件的俯視平面圖圖示，顯示出通道寬度及通道深度。

〔圖6〕係根據一實施例之用於封裝的方法之流程圖。

〔圖7A〕至圖7H係根據一實施例之形成封裝的方法之示意剖面側視圖圖示。

〔圖8A〕係根據具有客製化的晶粒區域對晶粒區域互連件之一實施例之包括晶粒區域陣列的晶圓之示意俯視圖圖示。

〔圖8B〕係根據一實施例之包括晶粒區域組的晶片的示意剖面圖圖示，該晶粒區域組具有拼接之晶粒區域對晶粒區域互連件。

〔圖8C〕係根據一實施例之上金屬密封件的示意俯視圖圖示，其上覆於拼接之晶粒區域之下金屬密封件的外周緣。

〔圖9〕係根據一實施例之形成拼接晶粒區域結構之方法的流程圖，該拼接晶粒區域結構具有客製化的金屬密封件。

〔圖10〕係根據一實施例之包括晶粒區域組的晶片的示意剖面圖圖示，該晶粒區域組具有拼接之晶粒區域對晶粒區域互連件及劃線之晶粒區域對晶粒區域互連件。

【實施方式】

相關申請案

【0007】本申請案主張於2020年9月25日申請之美國臨時專利申請案第63/083,741號的優先權，該案以引用方式併入本文中。

【0008】實施例描述形成精細晶粒對晶粒互連件繞線之多晶粒封裝結構及方法。根據實施例，可將特定互補封裝技術整合在一起，以達成用於晶粒對晶粒互連件之更精細佈線密度及晶粒接觸墊密度，其比覆晶晶粒附接或傳統

重分佈層(RDL)型晶粒第一(die first)或晶粒最後(die last)互連件封裝技術通常可得者更精細。例如，使用精確的拾取及放置設備、面向下晶粒放置、在封裝級RDL中使用光可成像有機介電層以支援適應性寫入、及鑲嵌互連件之組合，可達成小於10 μm（或更具體而言小於5 μm）的晶粒接觸墊節距，及各小於1 μm之線寬及間隔。額外地，在模製之前，沉積無機障壁層襯墊於晶粒組之上可提供可幫助支撐精細佈線結構的一應力減輕結構。根據實施例，封裝序列可經縮放以支援具有極高輸入/輸出(IO)的高頻寬應用。

【0009】根據實施例之封裝序列可進一步減輕數個共用的障壁，以減少佈線線寬度/間隔及節距。為了緻密說明此類共用的障壁，參考一習知晶粒封裝序列，其中一晶粒組係先面向上放置至一載體基材上，其中各晶粒包括預先製造在該等晶粒接觸墊上之通孔0。例如，通孔0可係形成於該積體電路晶粒墊上之一銅微柱，該第一重分佈層(RDL)形成至其上。例如，晶粒面向上序列中的通孔0可補償晶粒厚度變化、或晶粒對晶粒厚度變化。接著模製該晶粒組，接著研磨該包覆模製層以暴露通孔0及重分佈層(RDL)形成。然而，已觀察到，此一製造序列可包括在減少晶粒接觸墊節距上的至少兩個明顯限制因子，其亦可影響整體佈線線寬度/間隔及節距。因此，接觸墊密度亦可影響連接至接觸墊的佈線密度。第一促成因子可係傳統的拾取及放置工具的晶粒放置準確度，其例如可具有+/-6 μm的晶粒放置準確度。第二促成因子可與通孔0直徑相關，該直徑可例如係8至12 μm。在此一傳統製造序列中，晶粒接觸墊節距可例如係低至19至25 μm。

【0010】根據實施例，一更準確的拾取及放置工具的選擇可係用於減少晶粒接觸墊節距以及增加接觸墊密度的第一基礎。例如，可達成不超過+/-2

μm之晶粒放置準確度，例如以更準確的拾取及放置工具來達成。較精細的拾取及放置準確度可允許墊節距要求的鬆綁，允許較窄的晶粒接觸墊節距低至12至16 μm，例如可能的代價係額外的拾取及放置時間。

【0011】根據實施例，用於減少晶粒接觸墊節距及增加接觸墊密度的另一基礎可係適應性寫入的實施。在此類序列中，在拾取及放置之後，測量晶粒放置。接者比較該晶粒組之該經測量位置與一基線位置，以及判定一經修改之佈線圖案。雖然某些資金成本及時間成本可與實施此類適應性寫入技術相關，但是此可藉由使用適應性微影來補償一些者，該適應性微影係適應性佈線之一次部分。在此一技術中，將一光可成像聚合物用作為（多個）RDL介電層。經曝光及顯影之光可成像聚合物位置變成永久介電層區域，並藉由溶解而移除未顯影的區域。接著可形成佈線層，諸如利用電鍍，可選地接著進行平坦化。此一技術可避免蝕刻操作及相關化學品。利用適應性微影之適應性寫入亦可幫助達成例如低至12至16 μm的一較窄晶粒接觸墊節距。此類適應性寫入可以其自身能力（其獨立於該拾取及放置工具）補償晶片放置準確度。

【0012】此外，鑲嵌處理條件可進一步促成佈線線寬/間隔及節距之緻密化。具體而言，在單與雙鑲嵌製造序列期間的平坦化操作可使用多個金屬層來促進導線緻密化，其中厚度與密度不受限於下伏薄膜之形貌。

【0013】根據實施例，用於減少晶粒接觸墊節距及增加墊密度的又另一基礎可係移除通孔0。此可藉由使用晶粒之面向下放置而非面向上來達成。已觀察到，通孔0直徑通常係大的，諸如例如8至12 μm。此大小可提供公差，以用於在RDL形成期間進行電接觸，以及選取及放置失準。此外，為了容納8至12 μm直徑的通孔0，下伏晶粒接觸墊因此必須較大，以適應用於定位通孔0

的公差。因此，與面向上拾取及放置技術相關的通孔0間接影響減少接觸墊大小及節距的能力。據此，符合上述實例，8至12 μm的習知通孔0直徑可使用面向下放置製造技術以2至3 μm之通孔接觸件來置換。當通孔0的移除係與更準確的拾取及放置工具結合時，例如可達成甚至較窄的晶粒接觸墊節距，低至8至10 μm。例如，低於5 μm（諸如，3至5 μm）之晶粒接觸墊節距的進一步緻密化可利用適應性寫入與適應性微影之進一步組合來達成。

【0014】應理解的是，針對晶粒接觸墊節距之上述大小及範圍以及線寬及間隔係提供用於說明的目的，且實施例未如此受限。因此，所提供之大小及範圍係被包括以說明處理技術的效果（特別是當組合時）。

【0015】如在以下描述中將變得顯而易見的，處理技術之組合可促進晶粒接觸墊尺寸及節距的減少以及佈線線寬度/間隔及節距之緻密化，以達成大於各處理技術分開施加之效果的總和之效果。例如，具有更高準確度之主動式拾取及放置技術可影響晶粒接觸墊x節距，其中鑲嵌處理影響並排及多層佈線密度。面向下的放置製造序列消除通孔0的需求，且因此可藉由移除額外通孔層而減小接觸墊尺寸及節距。此外，包括適應性微影之適應性寫入可降低墊大小與墊開口之比率，如將相關於圖3進一步詳細描述者。面向下放置技術亦附帶地允許在晶粒組上方形成一無機障壁層襯墊，其可減少應力從用以封裝晶粒組的模製化合物層轉移至上覆的晶粒對晶粒佈線。該無機障壁層亦可屏蔽佈線免於形成在由於模製化合物層中之模坑（例如，空隙）所導致之不均勻形貌上。因此，此間接促成進一步減小接觸墊尺寸及節距的能力，並且藉由提供機械支撐及強健性至封裝而減小佈線線寬/間隔及節距，藉此增加密度。

【0016】在各種實施例中，參照圖式進行說明。然而，某些實施例可在無這些特定細節之一或多者的情況下實行或可與其他已知的方法及構形結合實行。在下列敘述中，為了提供對實施例的全面瞭解而提出眾多特定細節（例如，特定構形、尺寸、及程序等）。在其他例子中，為了避免不必要地使本實施例失焦，所以並未特別詳細地敘述公知的半導體程序及製造技術。此專利說明書通篇指稱的「一實施例(one embodiment)」係指與該實施例一同描述之具體特徵、結構、構形、或特性係包括在至少一實施例中。因此，此專利說明書通篇於各處出現之詞組「在一實施例中(in one embodiment)」不必然指稱相同實施例。此外，在一或多個實施例中，可以任何合適的方式結合特定特徵、結構、構形、或特性。

【0017】如本文所用之「在…上方(over)」、「至(to)」、「介於…之間(between)」、「橫跨(spanning)」、及「在…上(on)」之用語可指稱一層相對於其他層之一相對位置。在另一層「上方」、「橫跨」另一層、或在另一層「上」或者接合「至」另一層或與另一層「接觸(contact)」的一層可直接與該另一層接觸或可具有一或多個中介層。一層介於（多個）層「之間」可直接與該等層接觸或可具有一或多個中介層。

【0018】現在參照圖1，根據一實施例提供一封裝100之剖面側視圖圖示，該封裝包括具有複數個晶粒對晶粒互連件132的封裝級RDL 130。如圖示，封裝100可包括一晶粒組，其封裝在一模製化合物層120中；及一封裝級RDL 130，其跨越該晶粒組及模製化合物層120，且在該晶粒組上及電連接於該晶粒組。該晶粒組中之各晶粒110包括一晶粒級後段製程(BEOL)增層結構112，其包括複數個接觸墊114A、114B、114T。如圖所示，該封裝級RDL包括複數個晶

粒對晶粒互連件132，該複數個晶粒對晶粒互連件連接各晶粒110之間的複數個接觸墊114A。在一實施例中，複數個晶粒對晶粒互連件132係埋置於一或多個光可成像有機介電層144內。可選地，晶粒對晶粒互連件132可使用鑲嵌處理（包括單鑲嵌及雙鑲嵌）形成，且包括直接形成在晶粒組中之各晶粒110的複數個接觸墊114A上的通孔134。應理解的是，為了說明特定佈線組態，圖1之封裝級RDL 130之尺寸無需相對於晶粒110按比例繪製。

【0019】如在圖1中所示，封裝級RDL 130亦可形成在未用於晶粒對晶粒連接之晶粒接觸墊114B、114T上。因此，封裝級RDL 130可包括在封裝100之底部側133上的晶粒內互連件140，例如用於繞線至著陸墊154，諸如凸塊下金屬化(underbump metallurgy, UBM)墊。晶粒內互連件140可例如包括通孔134及互連線136（用於扇入或扇出繞線）以及堆疊通孔134之組合。可將焊料凸塊170或其他電連接件置於用於電連接至另一組件（諸如一配線板、中介層、另一封裝等）的著陸墊154上。類似地，該等晶粒內互連件可使用包括單鑲嵌及雙鑲嵌之鑲嵌處理來形成。

【0020】亦如圖1所示，包括晶粒接觸墊114T（除了114B之外），其可例如用於測試。由於其等之目的可主要用於測試，接觸墊114T可選地在形成封裝級RDL 130時未連接，使得封裝級RDL 130未電連接至測試接觸墊114T。根據實施例，相較於用於晶粒內連接的接觸墊114B或用於測試墊的接觸墊114T，用於晶粒對晶粒互連件之接觸墊114A可較小且具有較精細的節距。如此，接觸墊114A可不被直接探測/測試。在一實施例中，用於晶粒對晶粒互連件132之接觸墊114A具有小於25 μm（或甚至更具體為小於5 μm）之節距，而用於測試的接觸墊114T可具有50至100 μm的最小墊節距，取決於情況而定。用

於晶粒內互連件140之接觸墊114B可具有接觸墊114A或接觸墊114T之密度、大小及節距。

【0021】根據實施例之晶粒組可包括二或更多個晶粒110，該二或更多個晶粒可係相似或相異晶粒。在一實施例中，晶粒110可包括分離邏輯。例如，一個IP邏輯區塊（例如，中央處理單元，CPU）可在一個晶粒中，而另一IP邏輯區塊（圖形處理單元，GPU）在另一晶粒中。在另一實例中，一個IP區塊（例如，具有可選的較小處理節點（諸如較小電晶體大小）的較高效能區塊）在一個晶粒中（例如，CPU、GPU），而另一IP區塊（例如，具有可選的較大處理節點（諸如較大電晶體大小）的較低效能區塊）在第二晶粒中（例如，RF、記憶體）。可成比例的其他合適IP區塊包括記憶體應用處理器(memory-application processor, MEM/AP)、電壓調節、被動整合等。晶粒分離（或分區）亦可導致較小的晶粒大小，並且稱為小晶片。

【0022】仍參照圖1，如所示，在RDL 130中的最低金屬層包括第一雙鑲嵌晶粒對晶粒互連件132，其包括在第一晶粒110之第一接觸墊114A正上方的第一鑲嵌通孔134、在第二晶粒110之第二接觸墊114A正上方的第二鑲嵌通孔134、及連接第一鑲嵌通孔134與第二鑲嵌通孔134之鑲嵌互連線136。在此一雙鑲嵌結構中，該第一鑲嵌通孔、第二鑲嵌通孔、及鑲嵌互連線係一連續金屬層。根據實施例之通孔134可係相同高度。具體而言，用以連接至相同鑲嵌互連線136的鑲嵌通孔134可係相同高度。在一些實施例中，雙鑲嵌通孔134及單鑲嵌通孔134兩者可在晶粒110之接觸墊114A正上方，例如，以容納多金屬層鑲嵌晶粒對晶粒互連線136。

【0023】晶粒對晶粒互連件132可形成於封裝級RDL 130內的多金屬層中，且可形成在下金屬層之通孔134或互連線136上。在一實施例中，一上金屬層雙鑲嵌晶粒對晶粒互連件包括在第一下金屬層通孔134正上方的第一上金屬層鑲嵌通孔134（或者互連線136未用於晶粒對晶粒連接）；在第二下金屬層通孔134正上方的第二上金屬層鑲嵌通孔134（或者互連線136未用於晶粒對晶粒連接）；及連接第一上金屬層鑲嵌通孔與第二上金屬層鑲嵌通孔之上金屬層鑲嵌互連線136。在此一雙鑲嵌結構中，該第一上金屬層鑲嵌通孔、該第二上金屬層鑲嵌通孔、及該上金屬層鑲嵌互連線係一連續金屬層。雖然僅顯示兩個金屬層，但可添加更多金屬層。

【0024】如先前所述，封裝100可如下述製造：使用面向下晶粒放置序列，接著用模製化合物層120封裝，且然後形成封裝級RDL 130，使得封裝級RDL 130之頂部側131直接形成在包括接觸墊114A、114B及鈍化層116之晶粒110的面上，該鈍化層包括開口117，該等開口暴露下伏接觸墊114A、114B（亦即，不需要通孔0）。接觸墊114A、114B、114T及鈍化層116可係晶粒級後段製程(BEOL)增層結構112的部分，其可使用傳統後段半導體處理技術形成，包括用於互連件之鑲嵌處理。在一實施例中，接觸墊114A、114B、114T係鋁墊，雖然可使用其他材料，例如銅等。亦可使用合適材料（諸如鋁及銅）形成封裝級RDL 130內之金屬層。

【0025】圖2係根據一實施例之複數個晶粒對晶粒互連件的俯視平面圖圖示。在所繪示之具體實施例中，晶粒對晶粒互連件繞線132及互連線136可具有連接牽引晶粒110之相鄰列之間的S形。以此方式，最靠近晶粒110邊緣111的接觸墊114A可連接至進一步遠離所連接晶粒100之晶粒100邊緣111的接觸墊

114A。類似地，遠離晶粒110邊緣111的接觸墊114A可連接至最靠近所連接晶粒100之晶粒邊緣111的接觸墊114A。此外，在連接晶粒110中，S形繞線可將接觸墊114A自第一列連接至第二列。因此，該等列可正交於晶粒110邊緣111。此一S形繞線可保持佈線長度大約相同。然而，此並非必要，且針對其中待包括短佈線的待連接之靠近接觸墊114A係可行的。根據實施例，所利用的特定處理技術可能夠達成晶粒對晶粒互連件132的佈線密度，其中互連線136之線寬具有小於1 mm之線寬(Lw)及小於1 mm的之間間隔(Ls)。線寬及間隔可部分歸因於鑲嵌製造序列，其可相似於較傳統的BEOL處理。線寬及間隔亦可歸因於晶粒接觸墊114A之增加密度，其可藉由利用適應性微影的適應性寫入來促進。在一實施例中，用於晶粒對晶粒互連之複數個接觸墊114A可藉由小於5 mm之墊節距來分開。用於晶粒內連接的接觸墊114B可類似地間隔開，或藉由較大的墊節距來分開。用於測試的接觸墊114T（及114B）可藉由較大的墊大小及/或節距分開，以適應探測。

【0026】圖3係根據一實施例之晶粒接觸墊114大小、通孔134接觸大小、及鈍化層116開口117大小的俯視平面圖圖示。具體而言，圖3繪示可使用利用適應性微影之適應性佈線來達成的關係。如先前所述，在基於晶粒面向上放置的傳統封裝結構中，且沒有利用適應性微影之適應性佈線，晶粒接觸墊114的相對大小適應相對大的通孔0以及與晶粒拾取及放置工具及RDL微影相關的額外對準公差，以接觸經鈍化通孔0。根據實施例，適應性微影促進一相對「無封閉」配置，其中通孔134接觸大小對鈍化層116開口117大小之比率可接近1:1。此外，此類相對無封閉配置可允許複數個通孔134之周緣(Pv)與複數個接觸墊114之周緣(Pp)的減小偏移距離(Doff)分隔。在一實施例中，用於封裝100

之晶粒對晶粒互連件132的接觸墊114A係藉由小於3微米之平均最小偏移距離(Doff)而分開。此一無封閉配置（及通孔0之移除）可進一步允許接觸墊114之減小大小，且因此允許更高的密度。在一實施例中，用於封裝100之晶粒對晶粒互連件132的接觸墊114A係藉由小於5 μm之墊節距(Pp)而分開。此可進一步對應於接觸墊之間小於1 μm之墊間隔(Ps)。假設2至3 μm寬的通孔134，相鄰通孔134之間的通孔134間隔(Vs)可小於2 μm。

【0027】現參照圖4，亦參照圖1，已觀察到，當形成此類精細的晶粒對晶粒互連件132時，從模製化合物層120引起應力的佈線可負面影響形成晶粒對晶粒互連件132的金屬層，特別是在下金屬層中，且係對佈線密度的限制因子。亦已經觀察到，模製化合物層中之模坑（例如，空隙）可產生可轉移至後續形成之晶粒對晶粒互連件的一形貌，亦可能限制佈線密度。圖4係封裝級重分佈層之示意特寫剖面側視圖圖示，其包括形成於無機障壁層160襯墊上方之雙鑲嵌晶粒對晶粒互連件132。圖4亦提供晶粒110之特寫視圖。如所示，各晶粒110可包括形成於半導體基材層113（諸如矽）中的主動裝置。接著，BEOL增層結構112至少部分地製造上至接觸墊114A、114B、114T。此類BEOL增層結構主要用於各晶粒110內的佈線。BEOL增層結構112可包括由各種適合的材料所形成之介電層109，該等材料常見於後段層間介電質(interlayer dielectric, ILD)，諸如二氧化矽、低k介電質之有機二氧化矽薄膜、聚合物等。在一實施例中，BEOL增層結構112包括無機介電層109。BEOL增層結構112可額外包括金屬佈線層119，其係使用常見於後段處理（諸如單鑲嵌及雙鑲嵌處理）來形成。例示性材料包括銅及鋁。其他材料層可存在作為常見實務，包括晶種層、障壁層、蝕刻停止層等。

【0028】根據實施例，在模製化合物層120之前，可在晶粒組上沉積適形之無機障壁層160襯墊。無機障壁層160可側向地延伸在晶粒110之側壁111之間。此外，封裝級RDL 130頂部側131可直接形成在無機障壁層160上並且直接跨越側向於晶粒組中之晶粒110之間的無機障壁層160上方。根據實施例，無機障壁層160可由適合的材料形成，諸如氮化矽、或其他氮化物、碳化物、氧化物、或甚至適當的金屬。額外地，無機障壁層160可作為障壁以釋氣形成模製化合物層120，並減少封裝級RDL 130之介電層144內的凹陷。例如，凹陷可歸因於模製化合物層120在固化後之不均勻表面，或歸因於沿模製化合物層120內之填料粒子之表面的模製化合物有機材料的表面張力之表面粗糙度。釋氣減少及平坦度亦實現較傳統的BEOL型晶粒對晶粒互連件形成。

【0029】現參照圖5，根據一實施例提供複數個晶粒對晶粒互連件132之俯視平面圖圖示，其顯示通道寬度(Wch)及通道深度(Dch)。具體而言，本文所述之實施例可支援增加的接觸墊114A密度及晶粒對晶粒互連件132密度。此類增加密度可降低通道深度(Dch)及通道寬度(Wch)，或增加通道深度(Dch)中的接觸墊114A密度以及通道寬度(Wch)中的接觸墊114A間隔及佈線密度。因此，根據實施例所描述的封裝序列可經縮放以支援具有極高輸入/輸出(IO)的高頻寬應用。

【0030】圖6係根據一實施例之用於封裝的方法之流程圖。圖7A至圖7H係根據一實施例之形成封裝的方法之示意剖面側視圖圖示。為了清楚及簡明起見，圖6及圖7A至圖7H的結構及程序流程在以下描述中一起描述。

【0031】如在圖7A中所示，在操作6010，將一晶粒組面向下放置於一載體基材101上。載體基材101可係任何合適的剛性載體，諸如矽晶圓、玻璃、

金屬等。具體而言，晶粒110可放置在載體基材101上的一暫時性黏著劑層上。雖然僅繪示包括兩晶粒110的一單一晶粒組，晶粒組可包括額外晶粒。此外，可將晶粒組之陣列放置於載體基材101上，以用於封裝陣列的大規模製造。如先前所述，各晶粒110可包括複數個接觸墊114A、114B、114T及鈍化層116，其中開口117暴露複數個接觸墊114A、114B、114T。

【0032】在操作6020，無機障壁層160可隨後可選地沉積在晶粒110之後側上方及在晶粒110之間的載體基材101上。如所示，無機障壁層160可係沿著包括晶粒110側壁111之經暴露表面的適形薄膜，由諸如氮化矽、或其他氮化物、碳化物、氧化物、或金屬之材料形成。接著可在操作6030封裝晶粒110，其中在晶粒110上方及該等晶粒之間形成模製化合物層120。此時，該等包覆模製晶粒組可經拋光/研磨以減小該模製結構之厚度。在一實施例中，此一研磨操作可自晶粒110之背側115移除模製化合物層120及無機障壁層160。此可促進總共z高度減少，利用較小的模製化合物體積減少模製引起的應力量，且可能改善在晶粒110之背側115處的熱交換的熱性質。接著可在操作6040處移除載體基材，如在圖7B中所示。此時，包括晶粒110之背側115之重組結構的背側可選地可附接至第二載體基材以用於額外處理。

【0033】接著，在操作6050，使用本文所述之各種技術之組合（諸如適應性微影及/或鑲嵌互連件），將包括晶粒對晶粒佈線的封裝級RDL 130直接形成在晶粒接觸墊114A、114B上。現參照圖7C中所繪示之實施例，一介電層144係沉積於該等晶粒組的前側上方且經圖案化。在所繪示之具體實施例中，介電層144經圖案化以形成一通孔開口234及鑲嵌結構，鑲嵌結構包括通孔開口234及溝開口236。介電層144可由各種適合的材料形成，該等材料常見於後段

層間介電質(ILD)，諸如二氧化矽、低k介電質之有機二氧化矽薄膜、聚合物等。在一些實施例中，可利用多個介電層144及中介蝕刻停止層以形成雙鑲嵌結構。在一具體實施例中，介電層144係由一光可成像聚合物（諸如光可成像聚醯亞胺(PI)）形成。在此一實施例中，鑲嵌通孔開口234及溝開口236可如此形成：藉由顯影該複數個光可成像聚合物層之永久區域，接著溶解該光可成像聚合物層之未顯影區域。更具體而言，該等永久區域係暴露於通過遮罩的光，然後顯影以進行交聯，變得比未曝露區域較不可溶於該溶劑。接著，可以一導電材料（諸如，銅）使用合適技術（諸如電鍍）來填充餘留的通孔開口234及溝開口236，導致如圖7D所繪示之結構，包括雙鑲嵌晶粒對晶粒互連件132及通孔134。如此，可使用單一電鍍步驟來形成鑲嵌通孔及溝，其中鑲嵌通孔134及鑲嵌互連線136（溝）作為連續金屬層。

【0034】在加入導電材料之後，生長表面可經平坦化（如圖7E中所示），以形成沿著橫越介電層144頂部表面145、及經暴露之通孔134頂部表面135及互連線136頂部表面137之平坦頂部表面。然後，可針對多個介電層144及金屬層重複圖7C至圖7E之序列（如圖7F至圖7H所示），直到形成封裝級RDL 130。此可接著焊料凸塊170落球(ball drop)及單切成多個封裝100。使用此類平坦化方法，可達成多級的鑲嵌封裝級RDL 130，而無需受限於下伏薄膜之形貌，如在較傳統的RDL技術中常見的。以此方式，可形成更多的佈線層，具有較高密度。此外，當與適應性佈線及適應性微影組合時，通孔節距密度主要由微影限制來判定，導致高產率、高密度的晶粒對晶粒互連件132。

【0035】到目前為止，已關於在放置於一載體基材上之後在離散晶粒110之間形成晶粒對晶粒互連件而描述各種製造序列。適應性寫入及適應性圖

案化技術亦可用於在單切之前的晶圓級晶粒區域之晶粒拼接以及BEOL晶粒級增層結構製造序列的最後階段期間。因此，此類技術可用於形成相同晶片或相同矽層內的晶粒區域組的晶粒區域對晶粒區域互連件。此外，此類技術亦可將用於晶粒區域組的客製化密封環結構整合。在此態樣中，不同晶粒區域組可在晶圓切割期間被切開。此外，此類晶粒拼接可用來在單一晶片內製造晶粒區域組，該等晶粒區域組大於單一標線(reticle)大小。

【0036】現參照圖8A，根據具有客製的晶粒區域對晶粒區域互連件232之一實施例提供包括晶粒區域210陣列的半導體基材202（例如，矽晶圓）之示意俯視圖圖示。圖8B係根據一實施例之包括晶粒區域組的晶片的示意剖面圖圖示，該晶粒區域組具有拼接之晶粒區域對晶粒區域互連件232。圖8C係根據一實施例之上金屬密封件的示意俯視圖圖示，其上覆於拼接之晶粒區域之下金屬密封件的外周緣。與關於圖1之晶粒對晶粒互連件132繞線的討論類似，晶粒區域對晶粒區域互連件232繞線實體及電氣連接相鄰晶粒區域210，其可形成於相同半導體基材202中。在此情況中，針對一或多個晶粒區域210之各晶粒組，上金屬密封件222亦可選擇性地圍繞晶粒區域210的周邊形成。因此，上金屬密封件222不與用於形成晶粒區域210之標線一起完成。而是，可在用以形成晶粒區域對晶粒區域互連件232繞線的製造序列期間形成上金屬密封件222。此處，接觸墊密度可係非常緊密的，因為該放置準確度係由於微影控制而受到良好控制，相對於拾取及放置限制。再者，平面的固體表面提供有助於精細佈線密度的環境。

【0037】如圖所示，具有拼接之晶粒區域對晶粒區域互連件232的晶片200可包括半導體基材202（例如矽晶圓），其包括一第一晶粒區域210A及與第

一晶粒區域210A分開的一第二晶粒區域210B。後段製程(BEOL)增層結構212跨越第一晶粒區域210A及第二晶粒區域210B。在一實施例中，BEOL增層結構212包括一第一下金屬密封件221，其在第一晶粒區域210A之一第一周邊區域上方（及外部）；一第二下金屬密封件221，其在第二晶粒區域210B之一第二周邊區域上方（及外部）。例如，第一下金屬密封件及第二下金屬密封件221可係密封環。BEOL增層結構212可額外包括類似於先前所述之接觸墊114A、114B、114T的複數個接觸墊214A、214B、214T，該等接觸墊可電連接至第一晶粒區域及第二晶粒區域210A、210B，及可選地，下金屬密封件221。BEOL增層結構212額外包括介電層209及佈線層219，其等類似於相關於BEOL增層結構112所述者。下金屬密封件221可由相同材料形成。

【0038】根據實施例之晶粒區域210A、210B可包括主動區域，其包括核心邏輯電路、晶粒對晶粒輸入/輸出電路等。晶粒繞線250可形成於BEOL增層結構212內且連接至該等晶粒對晶粒輸入/輸出電路。參考圖8A，具體地，晶粒繞線250係沿著晶粒區域210之一或多側預製。在所繪示的實施例中，晶粒繞線250係沿著兩相對側形成（雖然此係例示性），且晶粒繞線250可沿晶粒區域210之任何側及所有側形成，以用於與任何相鄰晶粒區域210的拼接。

【0039】根據實施例，晶粒區域210可在形成晶片級RDL 230之前進行測試，以判定哪些晶粒區域組待拼接在一起並劃線。因此，形成晶粒區域對晶粒區域互連件232繞線及選擇劃線/切割區域係在各晶粒區域210周圍客製化。可使用相似之製造技術，類似地形成晶片級RDL 230為先前所述之封裝級RDL 130。例如，介電層244可由光可成像聚合物、或其他常見的ILD材料所形成。同樣地，金屬層可由銅、鋁等形成，且可係或可不係鑲嵌的。在一實施例中，

上金屬密封件222係沿著晶粒組中之晶粒區域210內的下伏下金屬密封件221上方的晶粒組之周邊形成。因此，在晶片級RDL 230內的上金屬密封件222可上覆於下伏BEOL增層結構212之下伏下金屬密封件221的外周緣。因此，如在圖8C所繪示的實施例中所示，上金屬密封件222可不上覆於晶片200的相鄰晶粒區域210之間的下金屬密封件221的部分。

【0040】晶片級RDL 230可基於密度要求使用不同的製造技術。例如，常用於BEOL增層結構的銅鑲嵌及氧化物介電層（無機）序列可達成最高密度（連同較高的成本）。可能使用鋁鑲嵌及氧化物介電層序列，以用於稍微低的密度及較低成本。使用與光可成像聚合物介電層之銅鑲嵌可進一步減少成本，具有稍微較低的密度。

【0041】在一實施例中，晶片200包括使用銅鑲嵌互連件及氧化物（無機）介電層209形成的BEOL增層結構212。一上覆晶片級RDL 230係以與光可成像聚合物介電層244之銅鑲嵌形成。晶片級RDL 230包括晶粒區域對晶粒區域互連件232，其等包括通孔334及互連線336，類似於先前關於晶粒對晶粒互連件132所述者。

【0042】現參照圖9，根據實施例提供形成具有拼接晶粒區域結構之晶片200之方法的流程圖，該拼接晶粒區域結構具有客製化的金屬密封件。在操作9010，BEOL增層結構212係部分地形成上至接觸墊214。亦即，形成金屬繞線之一顯著部分，但處理尚未持續至製造著陸墊254的點，諸如凸塊下金屬化(UBM)墊。在此階段，金屬繞線的處理尚未達到習知晶圓測試方法的點。在操作9020，晶粒區域係藉由探測接觸墊214T來測試，並基於製程資料放入晶粒區域組中（例如，識別為良好或不良）。例如，該製程資料可基於來自前段製程

(front-end-of-the-line, FEOL)及/或早期的BEOL製造階段的早期電性測試資料、光學測試資料、以及晶圓晶粒位置的產率趨勢。資料可包括電性測試或光學檢測資料。例如，電性測試資料可包括探測（觸控）測試，以判定電晶體或互連件、簡單電路（例如，環形振盪器或類似者）的電性品質。探測的觸壓(touchdown)測試可伴隨後續的清潔/修復操作。亦可利用無接觸測試，以放入該等晶粒區域。例示性的無接觸測試方法包括光學檢測、及系統的（例如，晶圓圖）及歷史的趨勢、及計畫產率，以識別該等晶粒組。無接觸測試可包括射頻、或光學探針，或利用傳播至受測試之晶粒區域的測試信號探測一遠端區域。

【0043】基於此資訊，在操作9032與9034處針對單晶粒區域組及多晶粒區域組執行客製化曝光，且在操作9040處繼續處理，以處理晶片級RDL 230、晶粒區域對晶粒區域互連件232及上金屬密封件222。接著重複此序列，直到完成晶片級RDL 230。接著可在操作9050執行客製化劃線，以用特定晶粒區域組劃分晶片200。

【0044】在替代序列中，可在測試及判定晶粒區域組之前，處理晶片級RDL 230、晶粒對晶粒互連件232及密封環，接著晶粒區域組的劃線。在此一製造序列中，劃線可包括沿著一些晶片200之一或多側切割穿過晶粒對晶粒互連件232，如圖10所示。因此，晶片200之一或多個劃線邊緣（亦即，晶片級RDL的側表面）可包括經暴露的互連線336。在此一製造序列中，互連線232可形成通過上金屬密封件222，或上金屬密封件222可圍繞晶片200之邊緣部分形成，以容納互連線232。

【0045】在使用實施例的各種態樣的過程中，所屬技術領域中具有通常知識者將明白上述實施例的組合或變化對於形成具有精細晶粒對晶粒繞線的封裝而言係可行的。雖然已經以結構特徵及/或方法動作之特定語言敘述實施例，應了解附加的申請專利範圍不必受限於所述的特定特徵或行為。替代地，所揭示之特定的特徵及動作應理解為可用於說明之申請專利範圍的實施例。

【符號說明】

【0046】

100:封裝

101:載體基材

109:介電層

110:晶粒

111:邊緣/側壁

112:晶粒級後段製程(BEOL)增層結構

113:半導體基材層

114,114A,114B,114T:接觸墊

115:背側

116:鈍化層

117:開口

119:金屬佈線層

120:模製化合物層

130:封裝級RDL

131:頂部側

132:晶粒對晶粒互連件

133:底部側

134:通孔

135:頂部表面

136:互連線

137:頂部表面

140:晶粒內互連件

144:有機介電層/介電層

145:頂部表面

154:著陸墊

160:無機障壁層

170:焊料凸塊

200:晶片

202:半導體基材

209:介電層

210:晶粒區域

210A:第一晶粒區域

210B:第二晶粒區域

212:後段製程(BEOL)增層結構

214,214A,214B,214T:接觸墊

219:佈線層

221:下金屬密封件

222:上金屬密封件

230:晶片級RDL

232:晶粒區域對晶粒區域互連件

234:通孔開口

236:溝開口

244:介電層

250:晶粒繞線

254:著陸墊

334:通孔

336:互連線

6010,6020,6030,6040,6050:操作

9010,9020,9032,9034,9040,9050:操作

Dch:通道寬度

Doff:偏移距離

Ls:間隔

Lw:線寬

Pp:周緣/墊節距

Ps:墊間隔

Pv:周緣

Vs:間隔

Wch:通道寬度

【發明申請專利範圍】

【請求項1】 一種封裝，其包含：

一晶粒組，其封裝在一模製化合物層中；

一無機障壁層，該無機障壁層在該晶粒組上方，且在該晶粒組與該模製化合物層之間；

一封裝級重分佈層(RDL)，其跨越該模製化合物層，且該封裝級 RDL 在該晶粒組上及電連接於該晶粒組；

其中該封裝級 RDL 跨越側向於該晶粒組中的晶粒之間的該無機障壁層；

其中該晶粒組中之各晶粒包括一晶粒級後段製程(die-level back end of the line，BEOL)增層結構(build-up structure)，該 BEOL 增層結構包括複數個接觸墊；且

其中該封裝級 RDL 包括複數個晶粒對晶粒互連件，該複數個晶粒對晶粒互連件連接各晶粒之間的該複數個接觸墊。

【請求項2】 如請求項1之封裝，其中該封裝級RDL包括跨越該晶粒組的一有機介電層及複數個通孔，該複數個通孔延伸穿過該有機介電層且直接在該晶粒組中之各晶粒的複數個接觸墊上。

【請求項3】 如請求項2之封裝，其中該複數個通孔之周緣(perimeters)係與該複數個接觸墊之周緣分開達小於3微米之一平均最小偏移距離。

【請求項4】 如請求項2之封裝，其中該複數個通孔係鑲嵌互連件(damascene interconnects)之部分。

【請求項5】 如請求項4之封裝，其中該等鑲嵌互連件包括鑲嵌互連線，該等鑲嵌互連線連接該晶粒組中之各晶粒之複數個接觸墊之間的該複數個通孔，且該等鑲嵌互連線直接在側向於該晶粒組之間的該無機障壁層上方。

【請求項6】 一種形成一封裝之方法，其包含：

將一晶粒組面向下放置在一載體基材上；

沉積一無機障壁層襯墊於該晶粒組及該載體基材上方；

在沉積該無機障壁層襯墊之後，將該晶粒組封裝在一模製化合物中；

移除該載體基材；

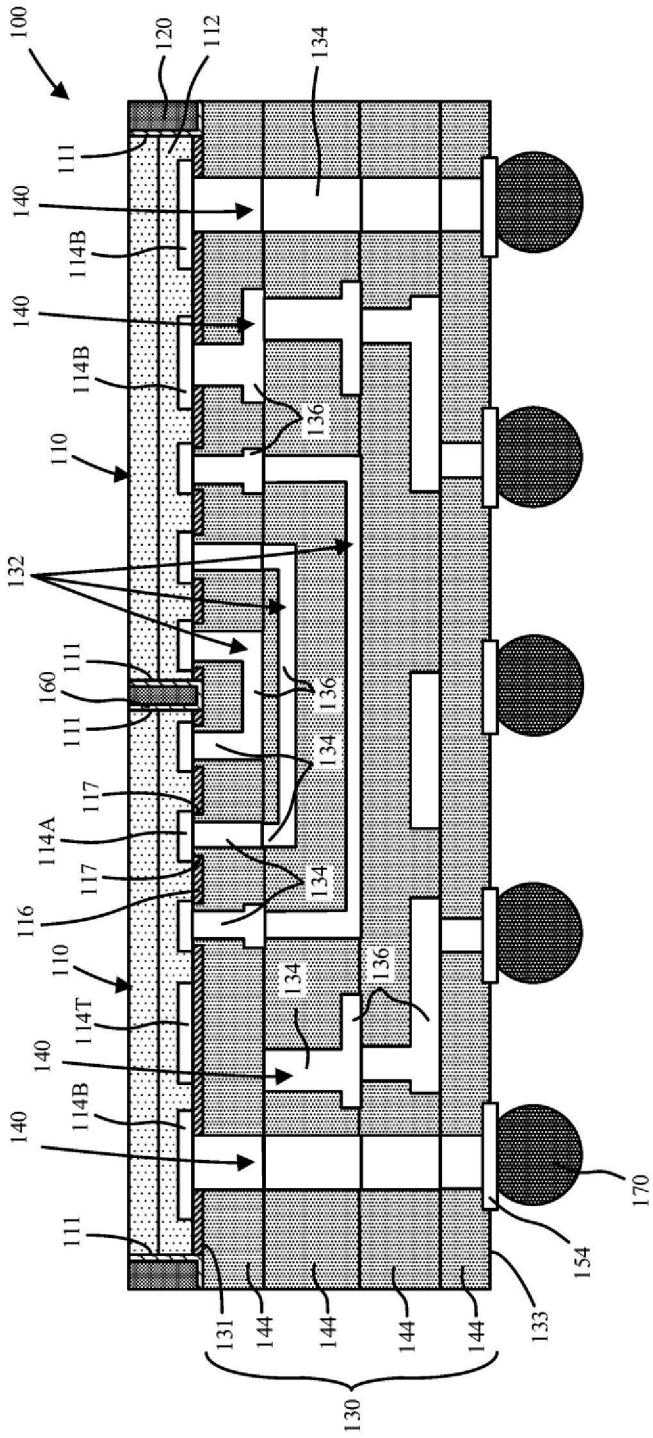
測量該晶粒組之一位置；

比較該晶粒組之該經測量位置與一基線位置，以及判定一經修改之佈線圖案；及

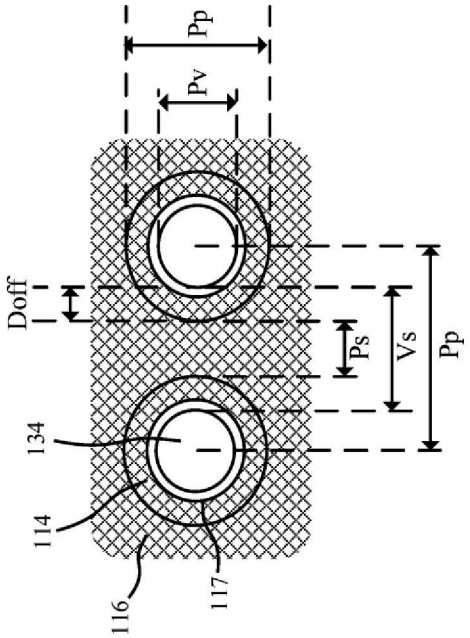
基於該經修改佈線圖案，形成一封裝級重分佈層(RDL)於該等晶粒組上方，以藉由顯影複數個光可成像聚合物層(photoimageable polymer layers)的永久區域且隨後藉由溶解該等光可成像聚合物層的未顯影區域而於該複數個光可成像聚合物層中形成複數個晶粒對晶粒互連件。

【請求項7】 如請求項6之方法，其中該封裝級RDL包含形成雙鑲嵌晶粒對晶粒互連件(dual damascene die-to-die interconnects)。

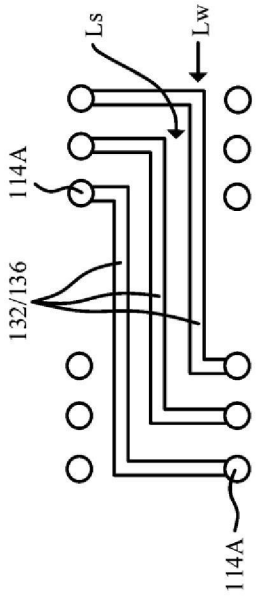
【發明圖式】


100
120
112
134
111
140
114B
140
114B
110
132
111
160
111
136
134
117
114A
117
116
110
114T
140
114B
140
111
131
144
144
144
144
130
133
154
170

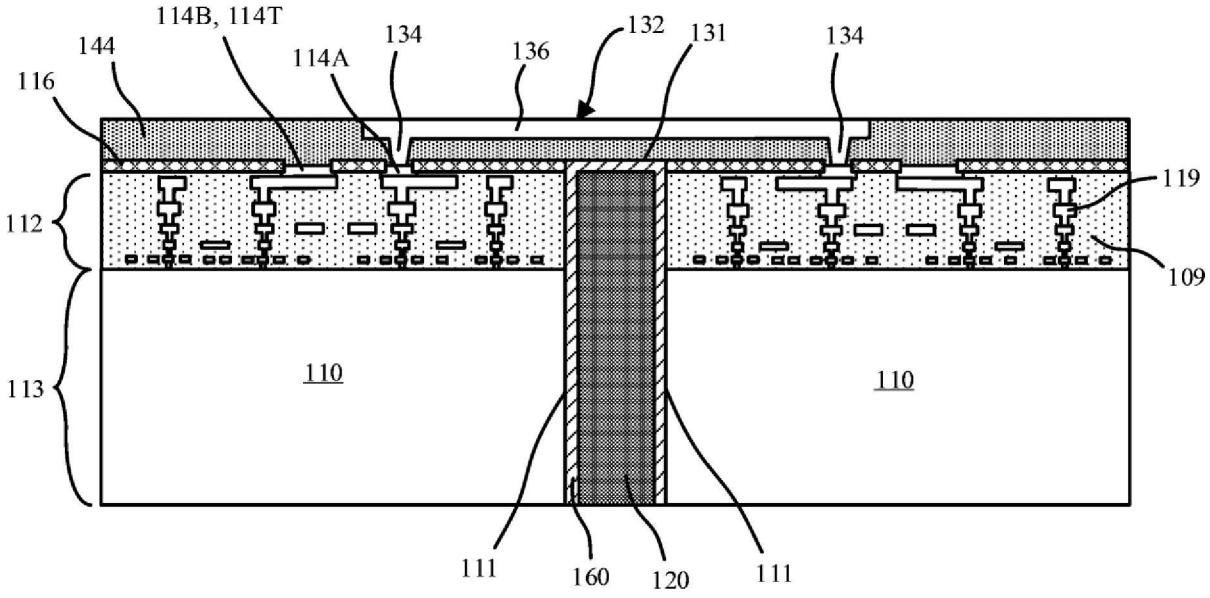
【圖1】


Pp
Pv
Doff
Ps
Vs
Pp
134
114
116
117

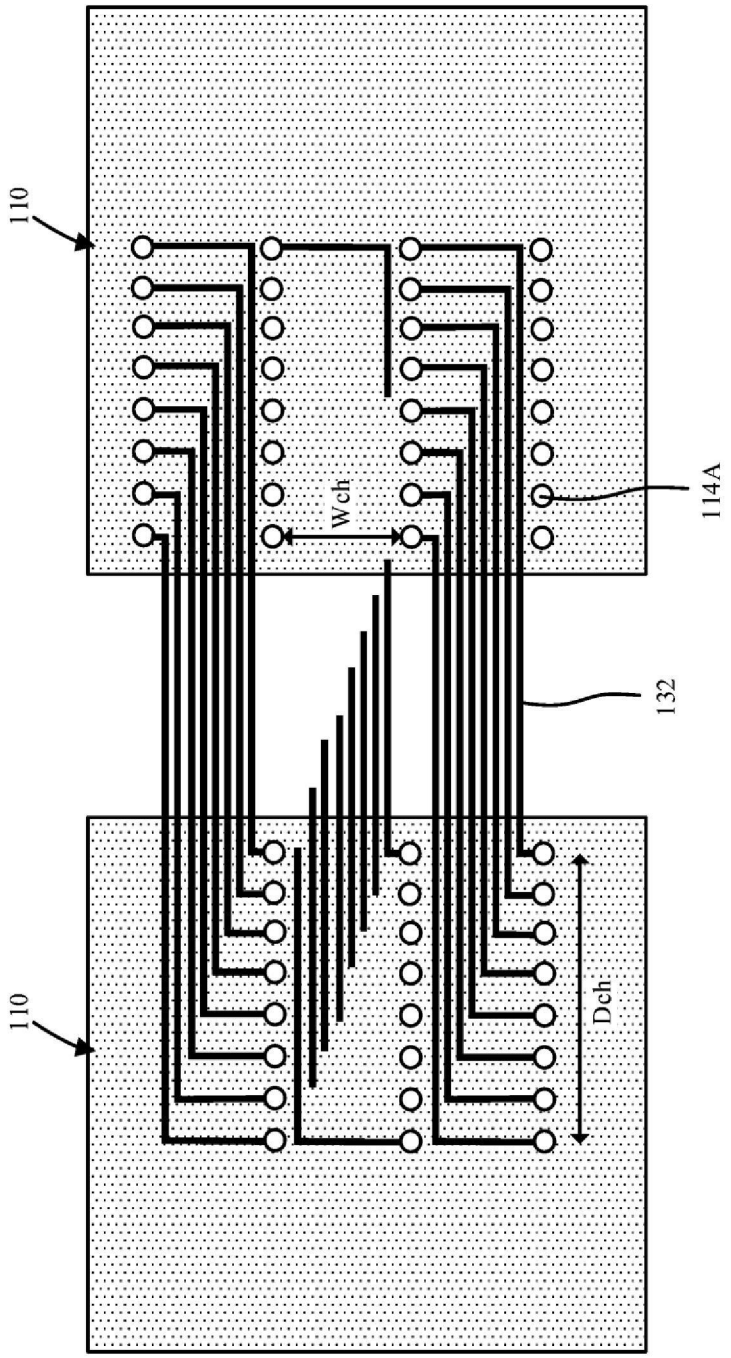
【圖3】


Ls
Lw
114A
132/136
114A

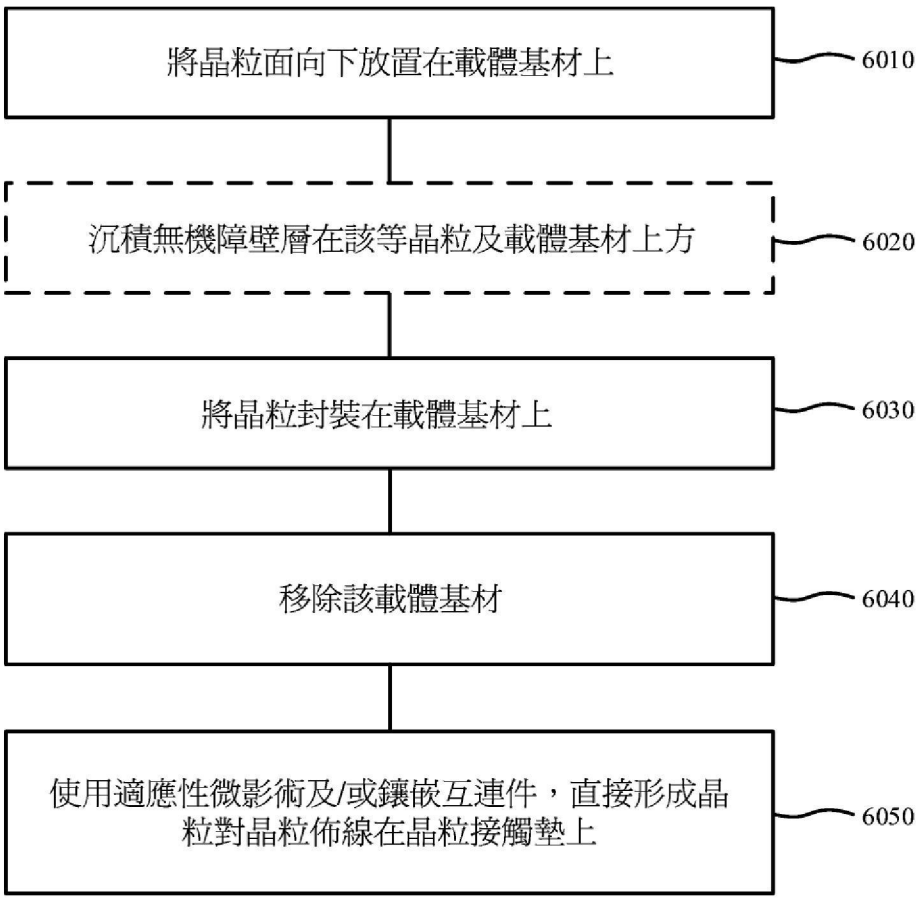
【圖2】


114B, 114T
144
134
132
131
134
116
114A
136
119
112
109
110
110
113
111
160
120
111

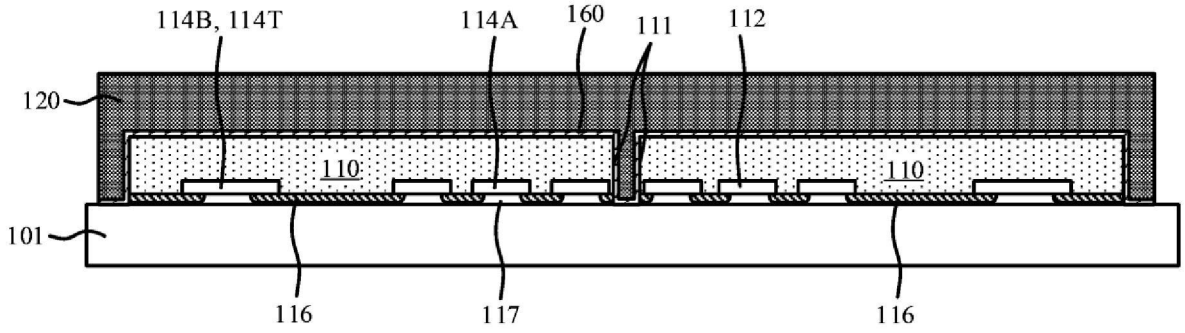
【圖4】



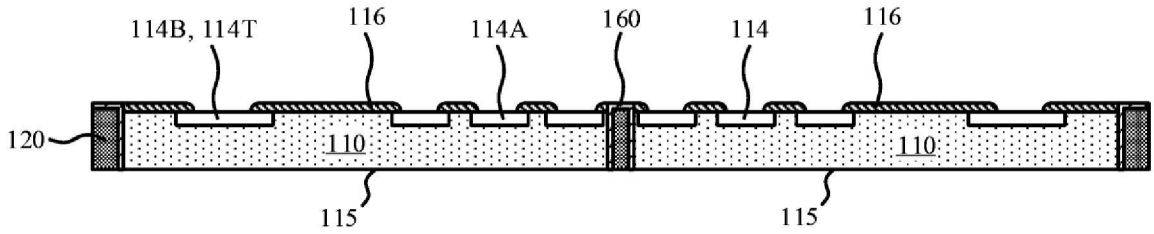
【圖5】


將晶粒面向下放置在載體基材上
6010
沉積無機障壁層在該等晶粒及載體基材上方
6020
將晶粒封裝在載體基材上
6030
移除該載體基材
6040
使用適應性微影術及/或鑲嵌互連件，直接形成晶粒對晶粒佈線在晶粒接觸墊上
6050

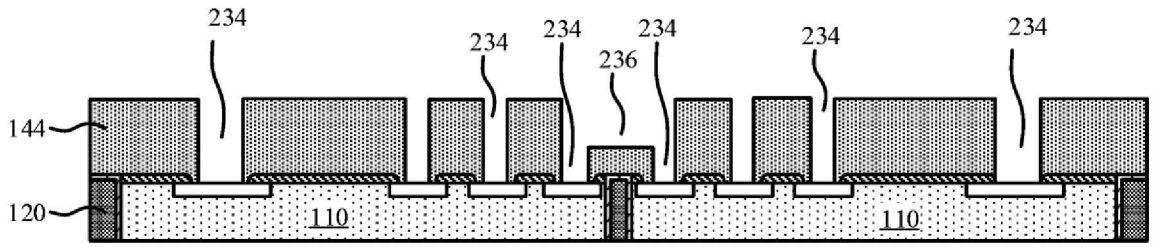
【圖6】



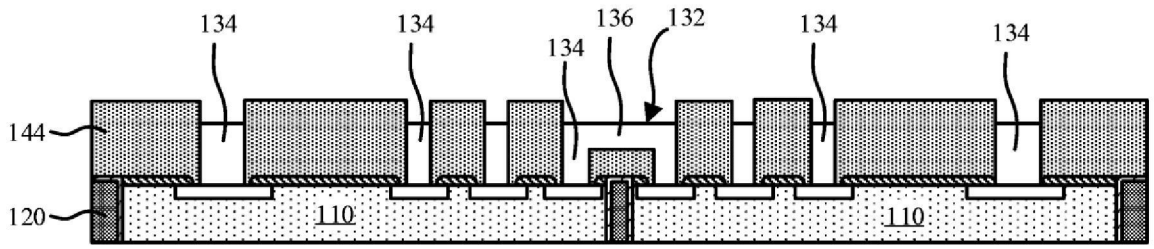
【圖7A】



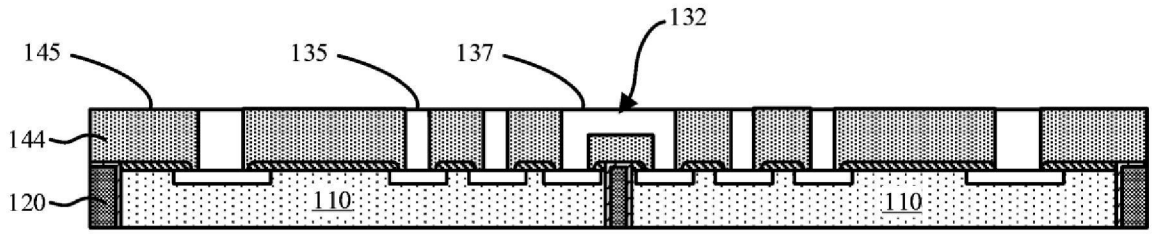
【圖7B】



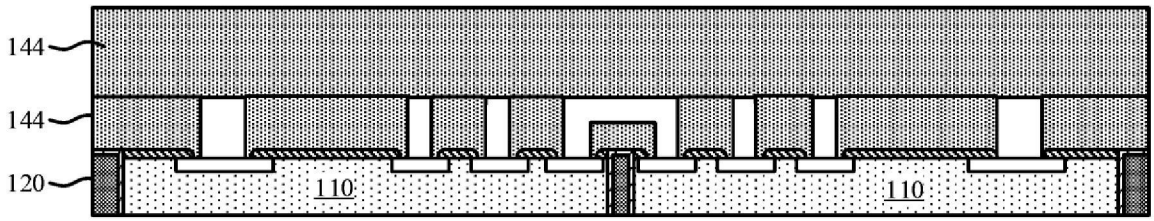
【圖7C】



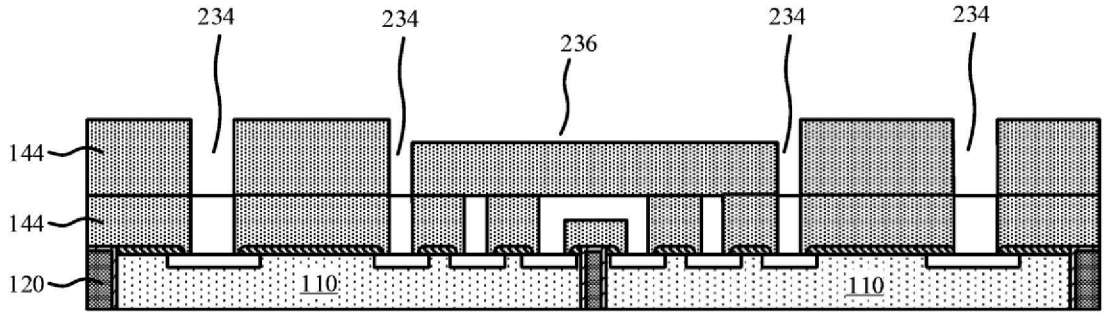
【圖7D】



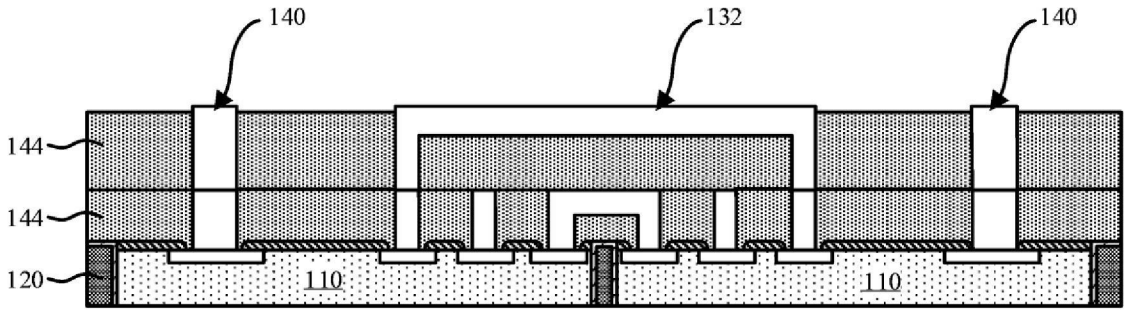
【圖7E】



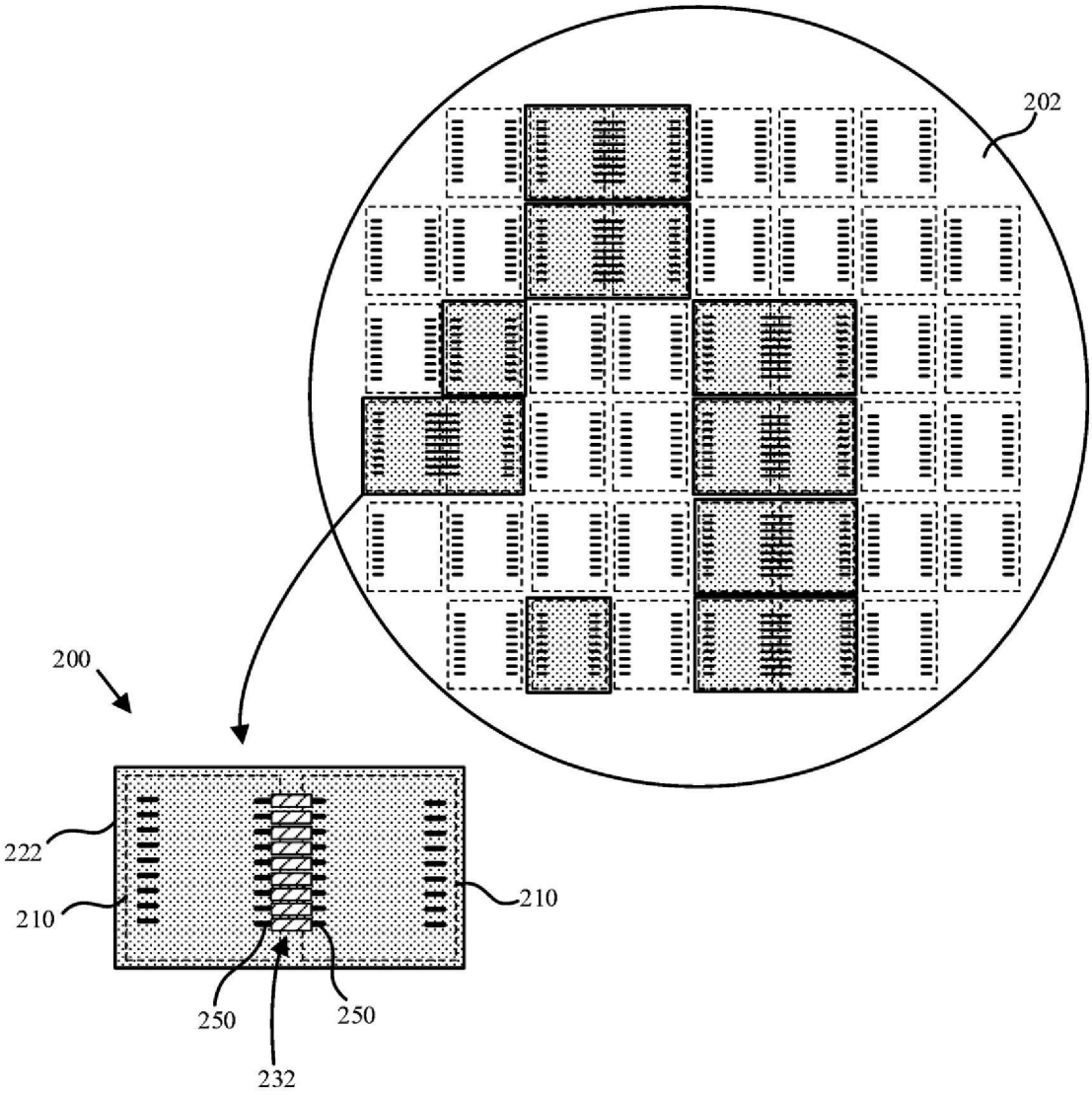
【圖7F】



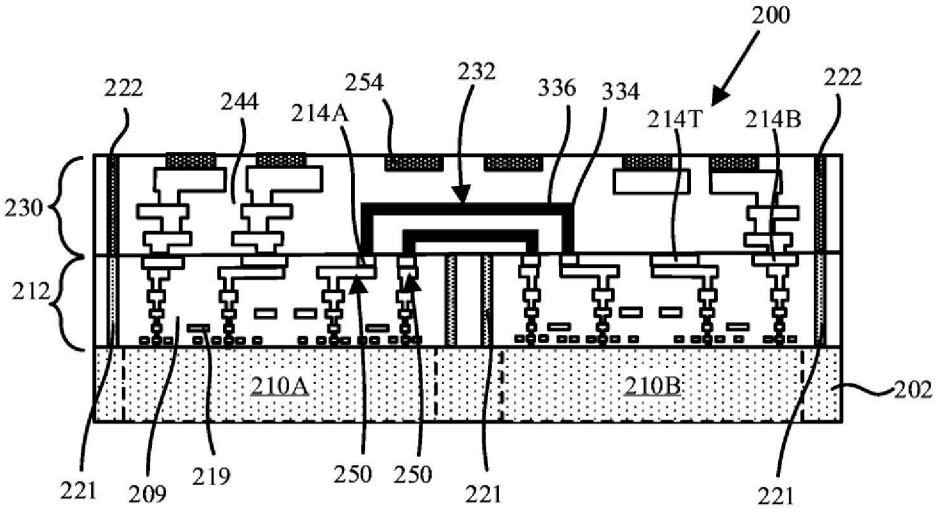
【圖7G】



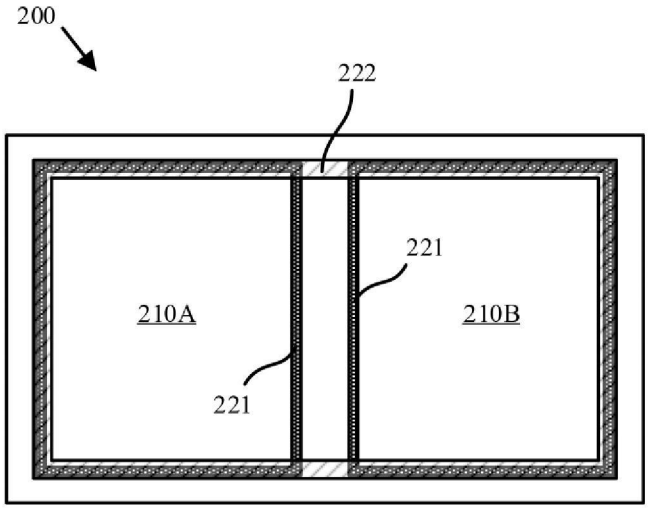
【圖7H】


202
200
222
210
210
250
250
232

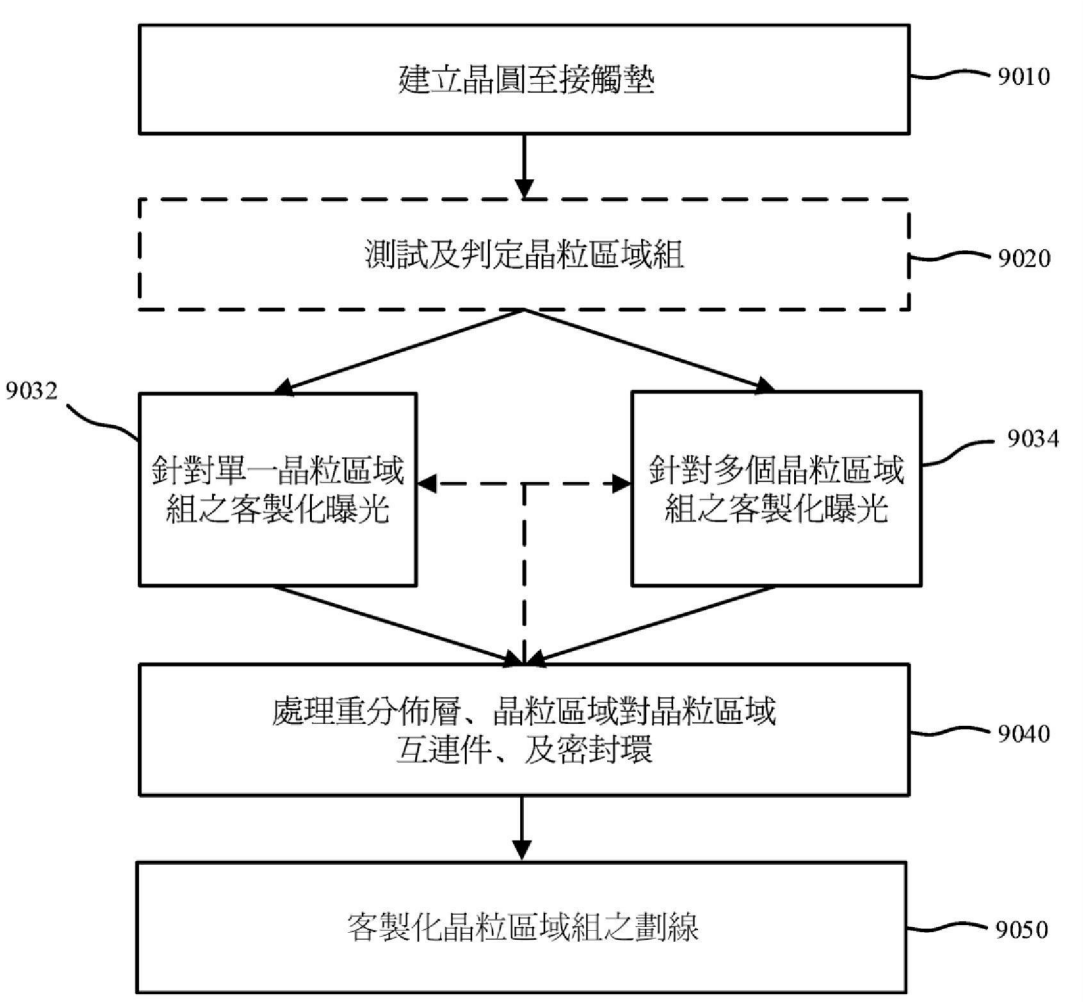
【圖8A】


200
222
244
254
232
336
334
214A
214T
214B
222
230
212
210A
210B
202
221
209
219
250
250
221
221

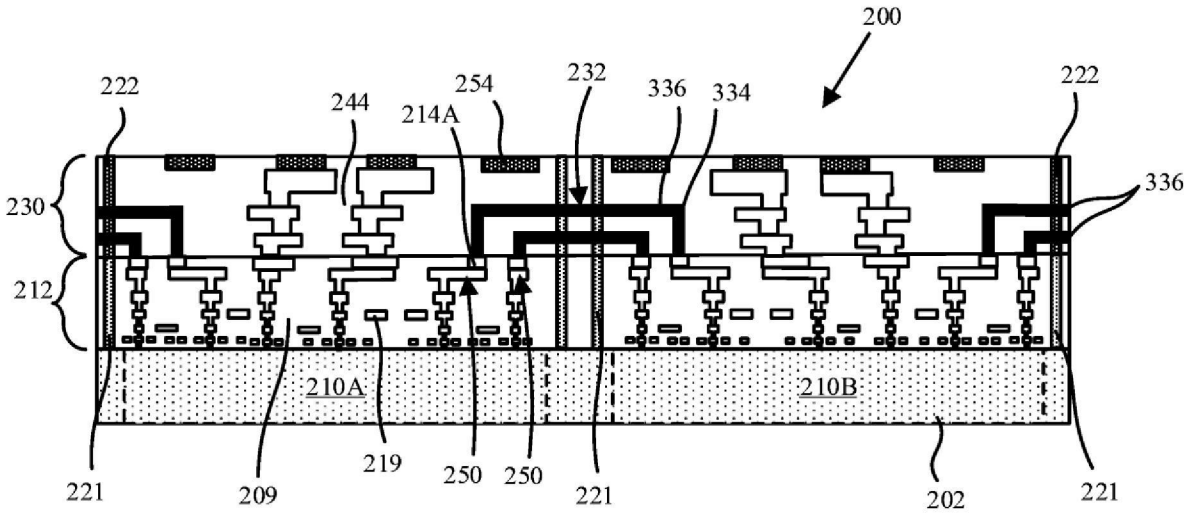
【圖8B】



【圖8C】


建立晶圓至接觸墊
9010
測試及判定晶粒區域組
9020
9032
針對單一晶粒區域組之客製化曝光
針對多個晶粒區域組之客製化曝光
9034
處理重分佈層、晶粒區域對晶粒區域互連件、及密封環
9040
客製化晶粒區域組之劃線
9050

【圖9】


200
222
244
254
214A
232
336
334
222
336
230
212
210A
210B
221
209
219
250
250
221
202
221

【圖10】