

(19) 대한민국특허청(KR)  
(12) 공개특허공보(A)

(51) Int. Cl. <sup>6</sup> G05F 1/08	(11) 공개번호 특2000-0011721	(43) 공개일자 2000년02월25일
(21) 출원번호	10-1999-0028595	
(22) 출원일자	1999년07월14일	
(30) 우선권주장	9/120,211 1998년07월21일 미국(US)	
(71) 출원인	9/159,861 1998년09월24일 미국(US) 인터내셔널 비지네스 머신즈 코포레이션 포만 제프리 엘 미국 10504 뉴욕주 아몬크	
(72) 발명자	버틴클라우드엘 미국05403버몬트주사우스버링톤페전트웨이33 톤티윌리엄로버트패트릭 미국05452버몬트주에섹스정선블루스텝로드4 딘알바르안토니오 미국05452버몬트주에섹스정선아스펜드라이브28 프라이서윌버데이비드 미국05445버몬트주살롯데스피어스트리트5524 페리파트릭에드워드 미국05482버몬트주셀버컨트리레인387 구드나우케니쓰제이 미국05452버몬트주에섹스정선루스틱드라이브8 벵트론세바스티앙티 미국05403버몬트주사우스버링톤버틀러드라이브38	
(74) 대리인	김창세, 김원준, 장성구	

심사청구 : 있음

(54) 회로에서의 전력 소비 절감 장치 및 방법

요약

본 발명의 바람직한 실시예에 따르면, 불필요한 로드 토글링을 줄임으로써 전력 소비를 저감시키는 소자 및 방법이 제공된다. 본 발명의 바람직한 실시예는 회로가 비활성인 주기 동안의 전력 소비를 최소화하는 상태로 회로의 입력을 끌기 위해 풀업(pull-up) 또는 풀다운(pull-down) 트랜지스터를 이용함으로써 회로에서의 불필요한 노드 토글링(node toggling)을 줄인다. 회로 입력을 비활성 중에 높게 또는 낮게 속박시킴으로써, 해당 회로에서 노드 토글링을 제거하거나 줄인다. 본 발명의 바람직한 실시예에서, 회로로의 입력은 모두 비활성 시간 이후에 끌어 당겨지는데, 입력은 회로 내의 최고의 누설 트랜지스터의 누설 전류에 비례한다. 누설 전류에 비례하는 입력 끌기의 타이밍을 맞춤으로써, 끌기 그 자체로 인한 잉여 전력 손실 없이 전력 소비가 최소화된다.

대표도

도1

명세서

도면의 간단한 설명

도 1은 본 발명의 바람직한 일 실시예에 따른 로직 회로를 초절전 모드(groggy mode)로 들어 보내거나 초절전 모드로부터 불러내기 위한 로직 회로 및 메커니즘의 개략도,

도 2는 도시된 소스-대-몸체 바이어스 조건에서의 예시적인 n 및 p 채널 트랜지스터의 개략도,

도 3은 소스-대-몸체 바이어스가 0 mV 및 300 mV일 경우의 게이트 전압에 대한 n 채널 트랜지스터 드레인 전류를 나타낸 그래프,

도 4는 본 발명의 바람직한 실시예에 따른 예시적인 n 및 예시적인 p 채널 트랜지스터의 단면도.

도면의 주요 부분에 대한 부호의 설명

- 102: 회로
- 104: 천이 감지기(104)
- 106: 활성화도 입력
- 108: OR 게이트
- 110: 펄스 신장기(110)
- 112, 126: 래치
- 114, 122: 반전기
- 116, 124: 단일 쇼트
- 118, 120: 지연기
- 128: 전압 조정기
- 130: 두 개의 속도 클럭

**발명의 상세한 설명**

**발명의 목적**

**발명이 속하는 기술 및 그 분야의 종래기술**

관련 출원

본 출원은 1998년 7월 21일에 출원된 딘(Dean)등에 의한 'LOW POWERING APPARATUS FOR AUTOMATIC REDUCTION OF POWER IN ACTIVE AND STANDBY MODES' 라는 명칭의 미국 특허 출원 제 09/120,211 호(출원인 참조 번호 BU 9-97-220)의 일부 계속 출원이며, 현재 출원되어 계류 중인 딘(Dean)등에 의한 'ASIC LOW POWER ACTIVITY DETECTOR TO CHANGE THRESHOLD VOLTAGE' 라는 명칭의 미국 특허 출원 제 \_\_\_\_ 호(출원인 참조 번호 BU 9-97-204)와 관련되어 있다. 이 두 관련 출원은 등록된 본 양수인에게 양도되어 있으며 본 명세서에 참조로서 인용된다.

본 발명은 반도체 소자에 관한 것으로, 보다 상세하게는 반도체 소자에서의 전력 보존에 관한 것이다.

집적 회로 반도체 소자는 현재 세계의 전자 공학의 중흥에 큰 기여를 하고 있다. 집적 반도체 소자는 오늘날 거의 모든 전자 소자 분야에서 설계되고 사용된다. 많은 응용예에서 전력 소모는 몇 가지 이유로 인해 매우 중대한 주제이다. 예를 들어, 무선 전화와 같은 휴대용 소자에 있어서, 배터리 수명 및 배터리 크기는 설계 상의 주 관심사이다. 소비자는 단 한 번의 배터리 충전으로 가능한 한 오랫동안 작동하는 휴대용 전자 소자를 원하며, 또한 가능한 한 작고 휴대 가능한 배터리를 내장한 소자를 원한다. 따라서, 배터리 수명이 연장되고/되거나 배터리의 크기를 줄일 수 있도록 소자의 전력 소비를 줄이는 것이 절실하게 요구된다.

다른 응용예에서는 전력 소비가 소자에 의해 생성된 열의 양에 직접 관련되기 때문에 극히 중요하다. 더 많은 전력을 소비하는 반도체 소자가 더 많은 열을 생성한다. 열 민감도가 극히 중요한 요소인 응용예에서, 전력 소비를 줄이면 소자에 의해 생성되는 열이 줄어든다.

저 전력 소비를 달성하기 위해, 많은 휴대용 시스템은 비활동 주기 동안 전력 소비를 줄이는 슬립 모드(sleep mode) 또는 대기 모드(standby mode)를 구비한다. 이 종래 기술에 의한 슬립 모드 동안에, 시스템의 일부는 전원 차단(shut down)되고 다른 부분은 감소된 클럭 주파수로 동작한다. 시스템의 비핵심적인 부분은 끄고 시스템의 나머지 부분은 감소된 클럭 주파수로 동작시킴으로써 비활동 중의 전력 소비를 줄이는 것이다. 그 다음, 입력 자극이 감지되면, 클럭 주파수가 다시 온전한 속도(full-speed)로 되돌려 놓고 이전에 꺼졌던 시스템의 부분이 다시 켜진다.

이와 같은 시스템이 비활동 중의 전력 소비를 줄이기는 하지만 또한 몇 가지 단점을 지닌다. 이 단점에는 시스템의 슬립 기능과 온전한 기능(full functionality) 사이의 지연 시간이 포함된다. 특히, 슬립 모드 중에는 시스템의 일부가 사실상 꺼져 있는 상태이기 때문에 시스템은 필요할 경우에 즉시 온전한 기능으로서 대응할 수 없다. 그 대신에, 시스템은 슬립 모드 동안에 꺼져 있었던 부분을 켜고 시스템의 온전한 기능이 다시 돌아오기 전에 이전에 꺼져 있었던 시스템의 일부로부터 또는 일부분에 필요한 데이터를 제공받거나 제공해야 한다. 슬립 모드에서 온전한 기능으로 되돌리는 데 필요한 이 지연 시간 때문에 입력 자극이 들어올 때 즉각적인 기능이 요구되는 시스템에는 슬립 모드를 수용할 수 없다.

따라서, 온전한 기능으로서 즉각적으로 활성화될 수 있는 능력을 유지하면서도 비 활동 중의 전력 소모를 줄여 전력 소비를 감소시킬 필요가 있다.

**발명이 이루고자하는 기술적 과제**

본 발명에 따르면, 온전한 기능을 유지하면서도 전력 소비를 줄이는 장치 및 방법이 제공된다. 본 발명의 바람직한 실시예는 비활성 주기 동안 소자 또는 소자의 일부를 초절전 모드(groggy mode)로 놓음으로써 전력 소비를 줄인다. 바람직한 초절전 모드는 동작 클럭 속도를 감소시킨 후에, 소스-대-도체 전압 바이어스를 증가시키는 것을 포함한다. 소스-대-도체 전압 바이어스를 증가시키면 집적 회로 소자 트랜지스터의 부 문턱(sub-threshold) 전류가 감소되어 감소된 동작 클럭 속도로 온전한 기능을 유지하면서도 비활성 주기 동안 전력 소비를 획기적으로 줄일 수 있다. 소자가 다시 초절전 모드로 동작할 필요가 있는 경우에, 그것은 감소된 동작 클럭 속도로 입력 자극에 즉각적으로 반응할 수 있다. 그 다음, 소스-대-도체 전압 바이어스가 감소되고 클럭 속도가 정상 동작 레벨로 증가된다. 따라서, 본 발명의 바람직한 실시예에서, 비활성 소자가 초절전 모드에 들어가서 감소된 속도로 온전한 기능을 유지하면서

도 전력을 덜 소모하게 된다. 따라서 이 소자는 필요할 경우 다시 즉각적으로 반응하는 능력을 보유하면서도 온전한 동작 속도로 신속히 되돌아 갈 수 있다.

본 발명의 기술한 장점 및 특징 또는 다른 장점 및 특징은 첨부하는 도면에 도시된 바와 같은 본 발명의 바람직한 실시예의 보다 구체적인 설명으로부터 명확해질 것이다.

**발명의 구성 및 작용**

본 발명의 바람직한 실시예를 동일한 참조 번호가 동일한 구성 요소를 나타내는 첨부한 도면을 참조하여 설명할 것이다.

본 발명에 따르면, 온전한 기능을 유지하면서도 전력 소비를 줄이는 장치 및 방법이 제공된다. 본 발명의 바람직한 실시예는 비활성 주기 동안 소자 또는 소자의 일부를 초절전 모드(groggy mode)로 놓음으로써 전력 소비를 줄인다. 바람직한 초절전 모드는 동작 클럭 속도를 감소시킨 후에, 소스-대-몸체 전압 바이어스를 증가시키는 것을 포함한다. 소스-대-몸체 전압 바이어스를 증가시키면 소자 트랜지스터의 부 문턱(sub-threshold) 전류가 감소되어 감소된 동작 클럭 속도로 온전한 기능을 유지하면서도 비활성 주기 동안의 전력 소비를 획기적으로 줄일 수 있다. 소자가 다시 초절전 모드로 동작할 필요가 있는 경우에, 그것은 감소된 동작 클럭 속도로 입력 자극에 즉각적으로 반응할 수 있다. 그 다음, 소스-대-몸체 전압 바이어스가 감소되고 클럭 속도가 정상 동작 레벨로 증가된다.

도 1을 참조하면, 본 발명의 바람직한 실시예에 따른 시스템(100)이 예시된다. 시스템(100)은 회로(102)와 회로(102)를 초절전 모드로 들어 보내거나 초절전 모드로부터 불러내기 위한 초절전 모드 메커니즘을 포함한다. 초절전 모드 메커니즘은 천이 감지기(104), 활성화도 입력(106), OR 게이트(108), 펄스 신장기(110), 반전기(114, 122), 단일 쇼트(116, 124), 지연기(118, 120), 래치(112, 126), 전압 조정기(128), 두 개의 속도 클럭(130)을 포함한다.

시스템(100)의 전반적인 동작은 다음과 같다. 천이 감지기(104), 활성화도 입력(106), OR 게이트(108), 펄스 신장기(110)는 회로(102)가 초절전 모드로부터 벗어날 때 활성도를 표시하는 신호 천이를 감지하고 미리 결정된 비활성 주기 이후에 초절전 모드로 회로(102)를 되돌리는 신호를 제공함에 의해 제어에 이용된다. 전압 조정기(128)는 회로(102) 내에서의 트랜지스터의 소스-대-몸체 바이어스를 변화시켜 비활성 중에 바이어스를 증가시켜 부-문턱 전류 드레인을 줄인다. 두 개의 속도 클럭(130)은 회로(102)의 클럭 속도를 조절하여 회로(102)가 초절전 모드로 들어갈 때 클럭 속도를 감소시키고 고 활성성 주기 동안 정상 속도로 증가시킨다. 반전기(114, 122), 단일 쇼트(116, 124), 지연기(118, 120), 래치(112, 126)는 동작의 순서를 제어한다. 특히, 회로(102)가 초절전 모드로 들어갈 때, 이들은 소스-대-몸체 바이어스가 증가되기 전에 클럭 속도가 저하되도록 보장한다. 이와 유사하게, 회로가 초절전 모드로부터 빠져 나올 때, 이들은 클럭 속도가 정상 속도로 증가되기 전에 소스-대-몸체 바이어스가 감소되도록 보장한다.

회로(102)는 비활성 주기 동안 바람직한 전력 소비를 하면서도 온전한 기능을 즉각적으로 이용할 수 있는 임의의 유형의 소자를 포함할 수 있다. 이와 같이 회로(102)는 시스템 칩, 마이크로프로세서, 마이크로컨트롤러, 응용에 지정 집적 회로(ASICs), 디지털 신호 처리기(Digital Signal Processor: DSP), 또는 전력 소비 및 즉각적인 기능이 중요한 요소인 소자에 사용되는 다른 회로를 포함한다. 따라서 본 발명의 바람직한 실시예는 휴대 폰, 개인용 디지털 지원기(Personal Digital Assistant: PDA) 및 다른 소자와 같은 배터리 전원 장비에 적용 가능한데, 이 다른 소자는 오퍼레이터가 즉각적인 온전한 기능을 필요로 하거나 강렬한 활성도의 순간에 의해 중단된 긴 비활성 주기에 의해 보통 그 상호 작용이 특징지워진다.

본 발명의 바람직한 실시예에 있어서, 회로(102)는 회로(102) 내의 트랜지스터의 소스-대-몸체 전압을 조절하고, 회로(102)의 클럭 속도를 조절함으로써 초절전 모드로 들어가거나 초절전 모드로부터 빠져 나오게 된다. 도 2를 참조하면, 두 개의 예시적인 p 채널 트랜지스터(202, 204) 및 두 개의 예시적인 n 채널 트랜지스터(206, 208)가 개략적으로 도시된다. 대부분의 정상적인 CMOS 회로에서, n 채널 및 p 채널 소자의 소스-대-몸체 전압 바이어스는 0이다. 전형적으로, 모든 n 채널 트랜지스터의 몸체가 그 소스 및 V<sub>ss</sub>에 직접 속박되는 반면, 모든 p 채널 트랜지스터의 몸체는 그 소스 및 V<sub>dd</sub>에 직접 속박된다. 이것은 p 채널 트랜지스터(202) 및 n 채널 트랜지스터(206)로서 예시된다.

본 발명의 바람직한 실시예에서, 회로(102)의 트랜지스터는 그것이 정상 모드(즉, 0의 소스-대-몸체 바이어스(V<sub>SB</sub>)로)에서 그리고 초절전 모드(즉, 증가된 소스-대-몸체 바이어스(V<sub>SB</sub>)로)에서 동작할 수 있게끔 접속된다. 초절전 모드에서, 소스-대-몸체 전압(V<sub>SB</sub>)이 증가되어 비활성 주기 동안 전력 소비를 적게 한다. 이것은 p 채널 트랜지스터(204) 및 n 채널 트랜지스터(208)로 예시된다. 몸체 및 소스를 함께 p 채널 트랜지스터 내에서 V<sub>dd</sub>에 속박시키는 대신에, 몸체를 V<sub>t\_p</sub>에 접속시켜 그것이 비활성 주기 동안 V<sub>dd</sub>보다 높은 전압에서 구동될 수 있도록 하는데, V<sub>dd</sub>는 미리 결정된 양이다. 도 2에 도시한 예에서, p 채널 트랜지스터(204)의 몸체는 V<sub>dd</sub>이상인 300 mV로 구동되며, 따라서 V<sub>SB</sub>는 -300 mV가 된다. 이와 유사하게, 몸체 및 소스를 함께 n 채널 트랜지스터 내에서 V<sub>ss</sub>에 속박시키는 대신에, 몸체를 V<sub>t\_n</sub>에 접속시켜 그것이 비활성 주기 동안 V<sub>ss</sub>보다 낮은 전압에서 구동될 수 있도록 하는데, V<sub>ss</sub>는 미리 결정된 양이다. 도 2에 도시한 예에서, 몸체는 V<sub>ss</sub>이하인 300 mV로 구동되며 따라서 V<sub>SB</sub>는 300 mV가 된다. 몸체와 소스 사이의 바이어스를 증가시킴으로써, 트랜지스터의 부-문턱 전류는 비활성 주기 동안 크게 줄어든다.

비활성 주기 동안, V<sub>t\_p</sub>는 V<sub>dd</sub>로 설정될 수 있어서 p 채널 트랜지스터가 온전한 속도로 동작할 수 있도록 V<sub>SB</sub>는 0이 된다. 이와 유사하게, V<sub>t\_n</sub>는 V<sub>ss</sub>로 설정될 수 있어서 n 채널 트랜지스터가 충분한 속도로 동작할 수 있도록 V<sub>SB</sub>는 0이 된다.

비활성 주기 동안 몸체와 소스 사이에 가해진 바이어스 의 양( $V_{SB}$ )은 여러 인자에 기초하여 바람직하게 선택된다. 전형적으로, 초절전 모드로부터 빠져나오는 데 지나친 시간이 걸릴 만큼  $V_{SB}$ 를 증가시키지 않고도 부-문턱 전류를 크게 감소시킬 수 있도록  $V_{SB}$ 를 증가시키는 것이 바람직하다. 일례로, 300 mV의 바람직한  $V_{SB}$ 는 전형적으로 초절전 모드로부터 빠져나오는 데 지나친 시간 증가 없이도 부-문턱 전류를 약 100 배나 감소시킬 수 있을 것이다.

도 3을 참조하면, 그래프는 소스-대-몸체 바이어스가 0 mV와 300 mV인 예시적 트랜지스터에 대해 게이트 전압( $V_G$ )에 대한 n 채널 드레인 전류( $I_D$ )를 나타낸다. 이 그래프는 소스-대-몸체 바이어스가 증가함에 따라 어떻게 드레인 전류가 동작의 전 범위에 걸쳐 감소하는지를 예시한다. 곡선의 위쪽 부분( $I_D$ 가  $10^{-6}$ 보다 큰 부분)은 트랜지스터가 활성 또는 온일 때의 드레인 전류를 도시한다. 곡선의 아래쪽 부분( $I_D$ 가  $10^{-6}$ 보다 작은 부분)은 트랜지스터가 비활성 또는 오프일 때의 드레인 전류를 도시한다. 그 오프 상태에서 트랜지스터를 통해 흐르는 전류가 일반적으로 부-문턱 전류로 지칭된다. 집적 회로 소자 내의 모든 트랜지스터는 비활성 주기 동안 몇 개의 부-문턱 전류를 드레인 한다. 부-문턱 전류는 전형적으로 트랜지스터가 온일 때 드레인된 전류 보다 몇 백배 작다. 부-문턱 전류는 그것이 그다지 중요하지 않은 많은 응용예에서 충분히 작다. 그러나, 작은 배터리 전원 소자와 같은 몇몇 응용예에서, 각 트랜지스터에 의해 드레인된 부-문턱 전류는 비활성 주기 동안의 심각한 전력 소비에 더해진다.

도 3에 도시한 바와 같이,  $V_{SB}$ 를 증가시킴으로써 트랜지스터는 초절전 모드로 들어가고 부-문턱 전류는 비활성 주기 동안 크게 줄어든다. 도 3에서 n 채널 드레인 전류는  $V_{SB}=0$  mV 및  $V_{SB}=300$  mV인 경우에 대해 도시된다. 이 예에서,  $V_{SB}=300$  mV인 트랜지스터 대한 드레인 전류, 특히 부-문턱 전류는 약 100 배 정도로 감소한다. 이것은 비활성 주기 동안 큰 전력 소비 감소를 가져온다.

다시 도 1을 참조하면, 바람직한 초절전 모드 메커니즘은 회로(102) 내의 트랜지스터의 소스-대-몸체 전압을 조절하고 회로(102)의 클럭 속도를 조절함으로써 회로(102)를 초절전 모드로 들어가게 하기도 하고 초절전 모드로부터 빠져 나오게 하기도 한다. 정상 모드에서  $V_{SB}=0$  mV이며 두 개의 속도 클럭(130)이 설정되어 트랜지스터가 온전한 속도(full-speed)로 동작하도록 한다. 초절전 모드에서, n 및 p 소자 내의  $V_{SB}$ 가 증가하여 극히 낮은 부-문턱 전류를 소비하고 두 개의 속도 클럭(130)이 더 낮은 속도에서 동작하도록 설정된다.

천이 감지기(104)는 회로(102)의 소정 출력을 감시하도록 접속된다. 바람직하게는, 천이 감지기(104)는 신호 천이가 초절전 모드로부터 빠져나오는 게 바람직한 회로(102) 상의 활성도를 나타내는 출력에 접속된다. 천이 감지기(104)의 출력은 OR 게이트(108)를 경유하여 펄스 신장기(110)로 접속된다. 따라서, 신호 감지가 임의의 천이 감지기(104)에 의해 감지될 때 펄스 신장기(110)는 OR 게이트(108)를 통한 입력 세트를 수신한다.

또한, 천이 감지기(104)로 회로(102)의 출력을 감시하는 것뿐만 아니라, 하나 이상의 활성도 입력(106)은 또한 OR 게이트(108)를 통해 펄스 신장기(110)에 또한 접속될 수 있다. 활성도 입력(106)은 회로(102)를 초절전 모드로부터 빠져 나오게 하는 것이 바람직한 활성도를 나타내는 임의의 신호 유형을 포함한다. 이와 같이, 활성도 입력(106)은 메모리 액세스 신호, 제어 신호, 데이터 타당 신호, 또는 특정 응용예에서의 장래의 활성도를 나타내는 임의의 다른 신호를 포함할 수 있다.

따라서, 회로(102) 내의 활성도를 나타내는 천이가 (천이 감지기(104)의 출력으로부터 또는 활성도 입력(106)으로부터) 발생할 때, 펄스 신장기(110)는 OR 게이트(108)를 통해 입력 세트를 수신한다. 본 발명의 바람직한 실시예에서, 펄스 신장기(110)는 OR 게이트(108)의 출력 펄스의 리드 에지를 따르며 미리 결정된 시간 주기 동안 그 출력 펄스의 폭을 확장한다. 따라서 펄스 신장기(110)의 출력은 활성도를 나타내는 신호 천이가 존재할 때마다 그 후 미리 결정된 시간 주기 동안 활성일 것이다. 펄스 신장기(110)가 활성도 시간을 확장하는 시간의 양은 특정 응용예에 의존한다. 특히, 회로(102)가 매우 짧은 활성도 주기(예들 들어 1 비활성 클럭 사이클)가 빈번히 발생하는 동안 초절전 모드로 들어가지 않을 만큼 신호를 충분히 길게 확장하도록 선택될 수 있다. 역으로, 정상 모드에서 회로(102)를 매우 길게 동작시킴으로써 전력을 소모할 만큼 길게 선택되지 않게 할 수도 있다. 예를 들면, 펄스 신장기(110)는 약 10 내지 100 클럭 사이클 사이의 신호 확장을 하는 것이 일반적으로 바람직하다.

펄스 신장기(110)의 출력은 회로(102)가 초절전 모드에 있는지 또는 정상 모드에 있는지를 제어한다. 펄스 신장기(110)가 하이(high)를 출력할 때 회로(102)의 클럭 속도는 두 개의 클럭(130)에 의해 더 낮은 속도로 감소되고, 전압 조정기(128)에 의해 회로(102) 내의 소스-대-몸체 바이어스가 증가됨으로써 회로(102)를 초절전 모드로 들어가게 한다. 펄스 신장기(110) 출력이 로우(low)를 출력하면, 전압 조정기(128)에 의해 회로(102) 내의 트랜지스터의 소스-대-몸체 바이어스가 감소되고 이어서 회로(102)의 클럭 속도가 두 개의 속도 클럭(130)에 의해 정상 동작 속도로 변경된다.

특히, 펄스 신장기(110)의 출력이 하이(high)일 때 래치(112)가 설정(setting)되어 전압 조정기(128)가 회로(102) 내의 n 채널 및 p 채널 트랜지스터 모두에 대한 소스-대-몸체 바이어스를 0으로 감소시키도록 한다. 이것은 바람직하게는  $V_{DD}$ 와 같은 전압  $V_{t,p}$ 를 p 채널 소자 몸체에 제공하고  $V_{SS}$ 와 같은 전압  $V_{t,n}$ 을 n 채널 소자 몸체에 제공함으로써 수행된다. 펄스 신장기(110) 출력은, 단일 쇼트(124) 및 지연기(120)를 통과한 후에, 래치(126)를 설정하여 두 개의 속도 클럭이 정상적인 높은 속도의 동작으로 변하게 한다. 바람직하게는 이 지연기(120)가 제공됨으로써 소스-대-몸체 바이어스가 0으로 안정화된 후에 두 개의 속도 클럭(130)이 고속으로만 스위칭되도록 보장한다. 이것은 회로(102) 내의 트랜지스터가 고속 클럭이 활성화되기 전에 고속에서 동작할 수 있게 보장한다. 단일 쇼트(116)는 바람직하게는 지연 경로에 포함되어 펄스 신장기(110)로부터의 후속 펄스와 간섭하지 않게 래치(112)에 대해 잘 정의된 짧은 재설정(reset) 펄스를 제공하도록 한다. 바람직하게는 회로(102) 동작의 처음의 소수 사이클에서

느린 속도로 발생한다. 이것은 전형적으로 사용자에게 통지할 수 없다는 점에 주목할 필요가 있다.

회로(102)가 시간 주기 동안 비활성이었을 때, 펄스 신장기(110) 출력은 로우가 된다. 반전기(122)는 이 전이를 반전시키고 래치(126)를 재설정한다. 이것은 두 개의 속도 클럭이 낮은 초절전 모드 속도로 변경하도록 한다. 펄스 신장기(110) 출력은 또한 반전기(114)에 의해 반전되고 단일 쇼트(116)를 통과하는데, 그것은 짧은 펄스가 생성되도록 한다. 지연기(118)를 통과한 후, 단일 쇼트(116) 펄스는 래치(112)를 재설정 하여 전압 조정기(128)가 소스-대-몸체 바이어스 전압을 증가시키게 한다. 이것은 바람직하게는 미리 결정된 양인  $V_{dd}$  보다 큰 전압  $V_{t_p}$ 를 p 채널 소자의 몸체에 제공하고 미리 결정된 양인  $V_{ss}$  보다 작은 전압  $V_{t_n}$ 을 n 채널 소자의 몸체에 제공함으로써 수행된다. 예를 들어,  $V_{dd}$  보다 큰 300 mV인  $V_{t_p}$ 를 p 채널 소자에 인가하면 -300 mV와 동일한  $V_{sb}$ 가 생성된다.  $V_{ss}$  이하인 작은 300 mV인  $V_{t_n}$ 을 n 채널 소자에 인가하면 300 mV와 동일한  $V_{sb}$ 가 생성된다.

지연기(118)는 바람직하게는 두 개의 속도 클럭(130)이 낮은 속도에서 안정화된 후에만 소스-대-몸체 바이어스가 증가되도록 보장하기 위해 제공된다. 이것은 소스-대-몸체 바이어스를 증가시키면 문턱 전압을 증가시켜 소자를 슬로우 다운(slow down)시키기 때문에 수행되는 것이다. 두 개의 속도 클럭(130)이 낮은 속도에서 안정화된 후에만 소스-대-몸체 바이어스가 증가되도록 함으로써 성능이 저하된 트랜지스터가 높은 속도의 클럭으로 동작하는데 필요 없도록 한다. 단일 쇼트(124)는 바람직하게는 지연 경로에 포함되어 펄스 신장기(110)로부터의 후속 펄스와 간섭하지 않을 잘 정의된 짧은 펄스 세트를 래치(126)에 제공한다.

따라서, 활성도가 회로(102) 내에서 감지될 때 소스-대-몸체 바이어스를 0으로 변경하고 동작 클럭 속도를 정상적인 온전한 속도로 변경함으로써 초절전 모드로부터 빠져나온다. 회로(102)가 시간 주기 동안 비활성이 될 때, 동작 클럭 속도는 저하되고 소스-대-몸체 바이어스는 증가되어 부-문턱 전류를 감소시킨다.

도 4를 참조하면, 반도체 기판(402) 내에 형성된 n 채널 트랜지스터(404) 및 p 채널 트랜지스터(406)의 단면도가 도시된다. 본 발명의 바람직한 실시예에서, 트랜지스터의 소스-대-몸체 바이어스는 몸체 접촉부를 이용하여 증가된다. 특히, n 채널 트랜지스터의 소스-대-몸체 바이어스는 접촉부(410)와 같은 몸체 접촉부를 이용하여 n 채널 소자의 몸체에 전압  $V_{t_n}$ 을 인가함으로써 증가된다. 다시, 이것은 접촉부(412)와 같은 n 채널 소스 접촉부에 인가된  $V_{ss}$ 보다 작은 전압  $V_{t_n}$ 을 몸체 접촉부에 인가함으로써 바람직하게 수행된다. 이와 유사하게, p 채널 트랜지스터의 소스-대-몸체 바이어스는 접촉부(420)와 같은 몸체 접촉부를 이용하여 p 채널 소자의 몸체에 전압  $V_{t_p}$ 을 인가함으로써 증가된다. 다시, 이것은 접촉부(422)와 같은 p 채널 소스 접촉부에 인가된  $V_{dd}$ 보다 작은 전압  $V_{t_p}$ 을 몸체 접촉부에 인가함으로써 바람직하게 수행된다.

트랜지스터가 정상 모드에서 동작할 때, 접촉부(410)에 인가된  $V_{t_n}$ 은  $V_{ss}$ 로 설정되고 접촉부(420)에 인가된  $V_{t_p}$ 은  $V_{dd}$ 로 설정되어 결과적으로 소스-대-몸체 바이어스를 0이 되게 한다.

본 발명의 바람직한 실시예는 표준 CMOS 기술을 이용하여 쉽게 구현될 수 있는 장점을 지님을 이해해야 할 것이다. 특히, 대부분의 종래 CMOS 기술에 있어서, 모든 n 채널 트랜지스터 소스 및 몸체는  $V_{ss}$ 에 함께 속박된다. 이와 유사하게 모든 p 채널 트랜지스터 소스 및 몸체는  $V_{dd}$ 에 함께 속박된다. 본 발명의 바람직한 실시예를 구현하기 위해 모든 n 채널 소스가 함께  $V_{ss}$ 에 속박된 채 남아 있는 동안에, 모든 n 채널 몸체는 함께  $V_{t_n}$ 에 속박될 수 있다. 이와 유사하게, 모든 p 채널 소스가 함께  $V_{dd}$ 에 속박된 채 남아 있는 동안에, 모든 p 채널 몸체는 함께  $V_{t_p}$ 에 속박될 수 있다. 따라서, 모든 n 채널 트랜지스터 몸체의 바이어스는 함께 조정되고 모든 p 채널 트랜지스터 몸체의 바이어스도 함께 조정된다. 이것은 개별적인 트랜지스터 문턱 조정이 요구되는 실리콘-온-절연 기법에서 발견될 수 있는 것과 같은 격리된 몸체 구조를 필요로 하는 다른 기법과는 대조적으로 본 발명의 바람직한 실시예가 표준 CMOS 기법을 이용하여 구현될 수 있도록 한다.

물론 다른 실시예에 있어서는, 칩 상의 소자의 일부분만의 소스-대-몸체 바이어스를 조정하는 게 바람직할 수도 있다. 이 경우에, 칩의 나머지 부분으로부터 초절전 모드로 들어갈 수 있는 부분을 격리시키기 위한 메커니즘이 필요할 것이다. 이것은 실리콘-온-절연 기법 중 임의의 유형의 것을 이용하여 구현할 수 있다. 이와 달리, 이것은 다중 웰 내에 형성된 벌크 CMOS를 이용하여 달성될 수 있다. 이와 같은 구현의 예는 1997년 5월 30일에 출원되어 계류 중인 IBM(International Business Machines) 사에 양도된 'Method of Forming Self-Aligned Halo-Isolated Wells'라는 명칭의 미국 특허 출원 제 08/866,674호에 개시되어 있으며, 이것은 본 명세서에 참조로서 인용된다. 이 개시 내용은 자기 정렬 이중 웰 구조를 형성하기 위한 방법을 개시하는데, 이것은 소자의 일부분만이 초절전 모드로 들어갈 필요가 있는 본 발명을 구현하는데 이용될 수 있다. 전통적으로, CMOS 기법은 공통 기판 전압을 공유하는 것을 방지하기 위해 트랜지스터를 격리하는 것에 포함된 어려움 때문에 구분 용도로 이용될 수 없었다. 그러나, 상기 개시 내용에서 제공된 해법을 이용하여 독자적인 구현이 제공된다.

이상에서 특정한 실시예를 참조하여 본 발명을 기술하였지만, 당업자라면 본 발명의 사상과 범주 내에서 형태 및 세부 사항에 다양한 변형을 가할 수 있음을 이해해야 할 것이다. 또한 도면에서 전도체를 단일 라인으로서 도시하였지만 이 전도체는 단일 라인으로서 제한되는 것으로서 도시된 것이 아니며, 당업자라면 쉽게 인식할 수 있듯이 다수의 전도체를 포함할 수 있다. 또한 당업자는 본 발명이 상이한 격리 기법(예를 들어 LOCOS, 리세스된 산화물(Recessed Oxide: ROX) 등), 웰 및 기판 기법, 도펀트 유형, 에너지 및 종에 대해서도 적용될 수 있음을 이해할 것이다. 본 발명의 정신은 다른 반도체 기술(예를 들면 BiCMOS, 바이폴라, 실리콘 온 절연(SOI), 실리콘 게르마늄(SiGe))에도 적용 가능함을 이해해야 할 것이다.

## 발명의 효과

본 발명에 따르면, 반도체 소자에 있어서, 비활성 주기 동안 소자 또는 소자의 일부를 초절전 모드(groggy mode)에 들어가게 함으로써 온전한 기능을 유지하면서도 전력 소비를 줄이되, 필요할 경우 즉각적으로 반응하는 능력을 보유하여 온전한 동작 속도로 신속히 되돌아 갈 수 있는 전력 소비 저감 장치 및 방법이 제공된다.

### (57) 청구의 범위

#### 청구항 1

동작 클럭 속도 및 다수의 트랜지스터를 구비하는 회로에서의 전력 소비 저감 장치에 있어서,  
 상기 회로가 미리 결정된 시간 주기 동안 비활성이었을 때 상기 회로의 동작 클럭 속도를 감소시키는 클럭 속도 조절 메커니즘과,  
 상기 동작 클럭 속도가 감소된 다음에 상기 다수의 트랜지스터의 소스-대-몸체 전압을 증가시키는 소스-대-몸체 전압 조절 메커니즘  
 을 포함하는 전력 소비 저감 장치.

#### 청구항 2

제 1 항에 있어서,  
 상기 소스-대-몸체 전압 조절 메커니즘이 상기 회로가 활성이 될 때 상기 다수의 트랜지스터의 상기 소스-대-몸체 전압을 감소시키는 전력 소비 저감 장치.

#### 청구항 3

제 2 항에 있어서,  
 상기 클럭 속도 조절 메커니즘이, 상기 회로가 활성이 될 때 상기 소스-대-몸체 전압 조절 메커니즘이 상기 소스-대-몸체 전압을 감소시킨 다음에 상기 회로가 활성이 될 때, 상기 동작 클럭 속도를 증가시키는 전력 소비 저감 장치.

#### 청구항 4

제 1 항에 있어서,  
 상기 소스-대-몸체 전압 조절 메커니즘이 n 채널 트랜지스터 몸체에 제 1 전압을 제공하고 p 채널 트랜지스터 몸체에 제 2 전압을 제공하는 전압 조정기를 더 포함하는 전력 소비 저감 장치.

#### 청구항 5

제 3 항에 있어서,  
 상기 소스-대-몸체 전압 조절 메커니즘이 n 채널 트랜지스터 몸체의 소스 전압과 동일한 전압을 상기 n 채널 트랜지스터 몸체에 공급하고 p 채널 트랜지스터 몸체의 소스 전압과 동일한 전압을 상기 p 채널 트랜지스터 몸체에 공급함으로써 상기 소스-대-몸체 전압을 감소시키는 전력 소비 저감 장치.

#### 청구항 6

제 1 항에 있어서,  
 상기 클럭 속도 조절 메커니즘이 제 1 클럭 속도 및 제 2 클럭 속도에서 클럭 신호를 제공할 수 있는 클럭을 포함하되, 상기 제 1 클럭 속도는 상기 트랜지스터의 상기 소스-대-몸체 전압이 0일 때 상기 회로를 동작시키기 위한 더 빠른 클럭 속도를 포함하고, 상기 제 2 클럭 속도는 상기 트랜지스터의 상기 소스-대-몸체 전압이 증가될 때 상기 회로를 동작시키기 위한 더 느린 클럭 속도를 포함하는 전력 소비 저감 장치.

#### 청구항 7

제 1 항에 있어서,  
 상기 회로가 활성일 때를 감지하기 위한 활성도 감지 메커니즘을 더 포함하는 전력 소비 저감 장치.

#### 청구항 8

제 7 항에 있어서,  
 상기 활성도 감지 메커니즘이 상기 회로가 활성일 때 그리고 상기 회로가 더 이상 활성이 아니게 된 이후 미리 결정된 시간 주기 동안 활성 신호를 제공하는 전력 소비 저감 장치.

#### 청구항 9

제 7 항에 있어서,  
 상기 활성도 감지 메커니즘이 다수의 천이 감지기와 펄스 신장기를 포함하되, 상기 다수의 천이 감지기는 상기 회로가 활성인 때를 감지하는 상기 회로의 다수의 출력에 접속되며, 상기 다수의 천이 감지기는 상기 펄스 신장기에 접속되며, 상기 펄스 신장기는 상기 천이 감지기에 의해 활성도가 감지된 때 그리고 그로부터 미리 결정된 시간 주기 동안 신호를 제공하는 전력 소비 저감 장치.

**청구항 10**

제 9 항에 있어서,

입력 세트와 리셋 입력을 구비하는 제 1 래치를 더 포함하되, 상기 제 1 래치는 상기 입력 세트에 대한 펄스 신장기 출력을 수신하고 상기 리셋 입력에 대한 지연된 펄스 신장기 출력 보상값을 수신하며, 상기 제 1 래치는 상기 소스-대-몸체 전압 조절 메커니즘에 대한 신호를 출력하는 전력 소비 저감 장치.

**청구항 11**

제 10 항에 있어서,

입력 세트와 리셋 입력을 구비하는 제 2 래치를 더 포함하되, 상기 제 2 래치는 상기 리셋 입력에 대한 지연된 펄스 신장기 출력 보상값을 수신하고 상기 입력 세트에 대한 지연된 펄스 신장기 출력을 수신하고, 상기 제 2 래치는 상기 클럭 속도 조절 메커니즘에 대한 신호를 출력하는 전력 소비 저감 장치.

**청구항 12**

제 1 항에 있어서,

상기 다수의 트랜지스터가 실리콘 온 절연체(SOI) 소자 상의 고유의 영역 내에 형성되는 전력 소비 저감 장치.

**청구항 13**

제 1 항에 있어서,

상기 다수의 트랜지스터가 상보형 금속 산화물 실리콘(CMOS) 소자 내에 형성되는 전력 소비 저감 장치.

**청구항 14**

동작 클럭 속도 및 다수의 트랜지스터를 구비하는 회로에서의 전력 소비 저감 장치에 있어서,

상기 회로가 미리 결정된 시간 주기 동안 비활성이었을 때 상기 회로의 동작 클럭 속도를 감소시키고 상기 회로가 활성이 될 때 상기 동작 클럭 속도를 증가시키는 클럭 속도 조절 메커니즘과,

상기 회로가 상기 미리 결정된 시간 주기 동안 비활성이었을 때 상기 동작 클럭 속도가 감소된 다음에 상기 다수의 트랜지스터의 소스-대-몸체 전압을 증가시키고, 상기 회로가 활성이 될 때 상기 동작 클럭 속도가 증가되기 전에 상기 다수의 트랜지스터의 상기 소스-대-몸체 전압을 감소시키는 소스-대-몸체 전압 조절 메커니즘

을 포함하는 전력 소비 저감 장치.

**청구항 15**

제 14 항에 있어서,

상기 소스-대-몸체 전압 조절 메커니즘이 전압 조정기를 더 포함하는데, 상기 전압 조정기는 n 채널 트랜지스터 몸체에 제 1 전압을 제공하고 p 채널 트랜지스터 몸체에 제 2 전압을 제공하되, 상기 제 1 전압이 상기 n 채널 트랜지스터의 소스 전압과 실질적으로 동일하고 상기 제 2 전압은 상기 소스-대-몸체 전압이 감소될 때 상기 p 채널 트랜지스터의 소스 전압과 실질적으로 동일하며, 상기 제 1 전압이 상기 n 채널 트랜지스터의 상기 소스 전압 보다 높고 상기 제 2 전압은 상기 소스-대-몸체 전압이 증가될 때 상기 p 채널 트랜지스터의 상기 소스 전압 보다 낮은 전력 소비 저감 장치.

**청구항 16**

제 15 항에 있어서,

상기 제 1 전압이 상기 n 채널 트랜지스터의 상기 소스 전압 보다 약 200 내지 500 mV 정도 높고, 상기 제 2 전압은 상기 소스-대-몸체 전압이 증가될 때 상기 p 채널 트랜지스터의 상기 소스 전압 보다 약 200 내지 500 mV 정도 낮은 전력 소비 저감 장치.

**청구항 17**

제 15 항에 있어서,

상기 제 1 전압이 상기 n 채널 트랜지스터의 상기 소스 전압 보다 높는데, 그 양은 상기 소스-대-몸체 전압이 증가될 때 약 100 보다 큰 인자에 의해 부-문턱 전류를 감소시키도록 선택되며, 상기 제 2 전압은 상기 소스-대-몸체 전압이 증가될 때 상기 p 채널 트랜지스터의 상기 소스 전압 보다 낮는데, 그 양은 상기 소스-대-몸체 전압이 증가될 때 약 100 보다 큰 인자에 의해 부-문턱 전류를 감소시키도록 선택되는 전력 소비 저감 장치.

**청구항 18**

제 14 항에 있어서,

상기 회로가 활성일 때 그리고 상기 회로가 더 이상 활성이 아니게 된 이후 미리 결정된 시간 주기 동안 활성 신호를 제공하는 상기 회로가 활성일 때를 감지하기 위한 활성도 감지 메커니즘을 더 포함하는 전력 소비 저감 장치.

**청구항 19**

제 18 항에 있어서,

상기 활성화 감지 메커니즘이 다수의 천이 감지기와 펄스 신장기를 포함하되, 상기 다수의 천이 감지기는 상기 회로가 활성화인 때를 감지하는 상기 회로의 다수의 출력에 접속되며, 상기 다수의 천이 감지기는 상기 펄스 신장기에 접속되며, 상기 펄스 신장기는 상기 천이 감지기에 의해 활성화가 감지된 때 그리고 그로부터 미리 결정된 시간 주기 동안 신호를 제공하는 전력 소비 저감 장치.

**청구항 20**

제 19 항에 있어서,

입력 세트와 리셋 입력을 구비하는 제 1 래치와 입력 세트와 리셋 입력을 구비하는 제 2 래치를 더 포함하되, 상기 제 1 래치는 상기 입력 세트에 대한 펄스 신장기 출력을 수신하고 상기 리셋 입력에 대한 지연된 펄스 신장기 출력 보상값을 수신하며 상기 제 1 래치는 상기 소스-대-몸체 전압 조절 메커니즘을 제어하기 위한 신호를 출력하고, 상기 제 2 래치는 상기 리셋 입력에 대한 펄스 신장기 출력 보상값을 수신하고 상기 입력 세트에 대한 지연된 펄스 신장기 출력을 수신하고 상기 제 2 래치는 상기 클럭 속도 조절 메커니즘에 대한 신호를 출력하는 전력 소비 저감 장치.

**청구항 21**

제 14 항에 있어서,

상기 다수의 트랜지스터가 실리콘 온 절연체(SOI) 소자 상의 고유의 영역 내에 형성되는 전력 소비 저감 장치.

**청구항 22**

제 14 항에 있어서,

상기 다수의 트랜지스터가 상보형 금속 산화물 실리콘(CMOS) 소자 내에 형성되는 전력 소비 저감 장치.

**청구항 23**

동작 클럭 속도 및 다수의 트랜지스터를 구비하는 회로에서 비활성 동안의 전력 소비 저감 방법에 있어서,

상기 회로가 미리 결정된 시간 주기 동안 비활성이었을 때 상기 회로의 동작 클럭 속도를 감소시키는 단계와,

상기 동작 클럭 속도가 감소된 다음에 상기 다수의 트랜지스터의 소스-대-몸체 전압을 증가시키는 단계를 포함하는 전력 소비 저감 방법.

**청구항 24**

제 23 항에 있어서,

상기 회로가 다시 활성화 될 때 상기 다수의 트랜지스터의 상기 소스-대-몸체 전압을 감소시키는 단계를 더 포함하는 전력 소비 저감 방법.

**청구항 25**

제 24 항에 있어서,

상기 회로가 다시 활성화 될 때 상기 다수의 트랜지스터의 상기 소스-대-몸체 전압을 감소시키는 단계 이후에, 상기 동작 클럭 속도를 증가시키는 단계를 더 포함하는 전력 소비 저감 방법.

**청구항 26**

제 23 항에 있어서,

상기 다수의 트랜지스터의 상기 소스-대-몸체 전압을 증가시키는 상기 단계가 n 채널 트랜지스터 몸체에 제 1 전압을 제공하고 p 채널 트랜지스터 몸체에 제 2 전압을 제공하는 단계를 포함하는 전력 소비 저감 방법.

**청구항 27**

제 26 항에 있어서,

상기 제 1 전압은 n 채널 트랜지스터의 상기 소스 전압보다 큰 전압을 포함하고 상기 제 2 전압은 p 채널 트랜지스터 몸체의 상기 소스 전압보다 작은 전압을 포함하는 전력 소비 저감 방법.

**청구항 28**

제 24 항에 있어서,

상기 다수의 트랜지스터의 상기 소스-대-몸체 전압을 감소시키는 상기 단계가 n 채널 트랜지스터의 소스 전압과 실질적으로 동일한 전압을 n 채널 트랜지스터 몸체에 제공하고 p 채널 트랜지스터의 소스 전압과 실질적으로 동일한 전압을 p 채널 트랜지스터 몸체에 제공하는 단계를 포함하는 전력 소비 저감 방법.



**청구항 29**

제 23 항에 있어서,

상기 회로가 미리 결정된 시간 주기 동안 비활성이었을 때 상기 회로의 동작 클럭 속도를 감소시키는 상기 단계가 천이에 대한 상기 회로의 출력을 감시하여 상기 회로가 미리 결정된 시간 주기 동안 비활성이었을 때 비활성 신호를 제공하는 단계를 포함하는 전력 소비 저감 방법.

**청구항 30**

제 29 항에 있어서,

비활성 신호를 제공하는 상기 단계가 상기 회로의 출력 상에서 천이가 감지될 때 신호를 펄스 신장기에 입력하는 단계를 포함하는 전력 소비 저감 방법.

**청구항 31**

제 30 항에 있어서,

제 1 래치를 상기 펄스 신장기의 출력에 의해 설정하고 상기 제 1 래치를 지연된 펄스 신장기 출력 보상값에 의해 재 설정하는 단계와,

제 2 래치를 상기 펄스 신장기의 지연된 출력에 의해 설정하고 상기 제 2 래치를 펄스 신장기 출력 보상값에 의해 재 설정하는 단계

를 더 포함하는 전력 소비 저감 방법.

**청구항 32**

제 23 항에 있어서,

상기 클럭 속도를 감소시키는 상기 단계가 제 1 클럭 속도 및 제 2 클럭 속도에서 클럭 신호를 제공할 수 있는 클럭을 제공하는 단계를 포함하되, 상기 제 1 클럭 속도는 상기 트랜지스터의 상기 소스-대-몸체 전압이 0일 때 상기 회로를 동작시키기 위한 더 빠른 클럭 속도를 포함하고, 상기 제 2 클럭 속도는 상기 트랜지스터의 상기 소스-대-몸체 전압이 증가될 때 상기 회로를 동작시키기 위한 더 느린 클럭 속도를 포함하는 전력 소비 저감 방법.

**청구항 33**

온전한 기능을 유지하면서도 비활성 동안에 동작 클럭 속도, 다수의 n 채널 트랜지스터, 다수의 p 채널 트랜지스터를 구비하는 회로에서의 전력 소비를 줄이기 위한 전력 소비 저감 방법에 있어서,

상기 회로가 미리 결정된 시간 주기 동안 비활성이었을 때 상기 회로의 상기 동작 클럭 속도를 감소시키는 단계와,

상기 n 채널 트랜지스터의 상기 몸체 전압을 증가시키고 상기 동작 클럭 속도가 감소된 다음 상기 p 채널 트랜지스터의 상기 몸체 전압을 감소시키는 단계와,

상기 n 채널 트랜지스터의 상기 몸체 전압을 상기 n 채널 트랜지스터의 상기 소스 전압과 실질적으로 동일하도록 감소시키고 상기 회로가 다시 활성이 될 때 상기 p 채널 트랜지스터의 상기 몸체 전압을 상기 p 채널 트랜지스터의 상기 소스 전압과 실질적으로 동일하도록 증가시키는 단계와,

상기 n 채널 트랜지스터의 상기 몸체 전압이 감소되고 상기 회로가 다시 활성이 될 때 상기 p 채널 트랜지스터의 상기 몸체 전압이 증가된 후에 상기 동작 클럭 속도를 증가시키는 단계

를 포함하는 전력 소비 저감 방법.

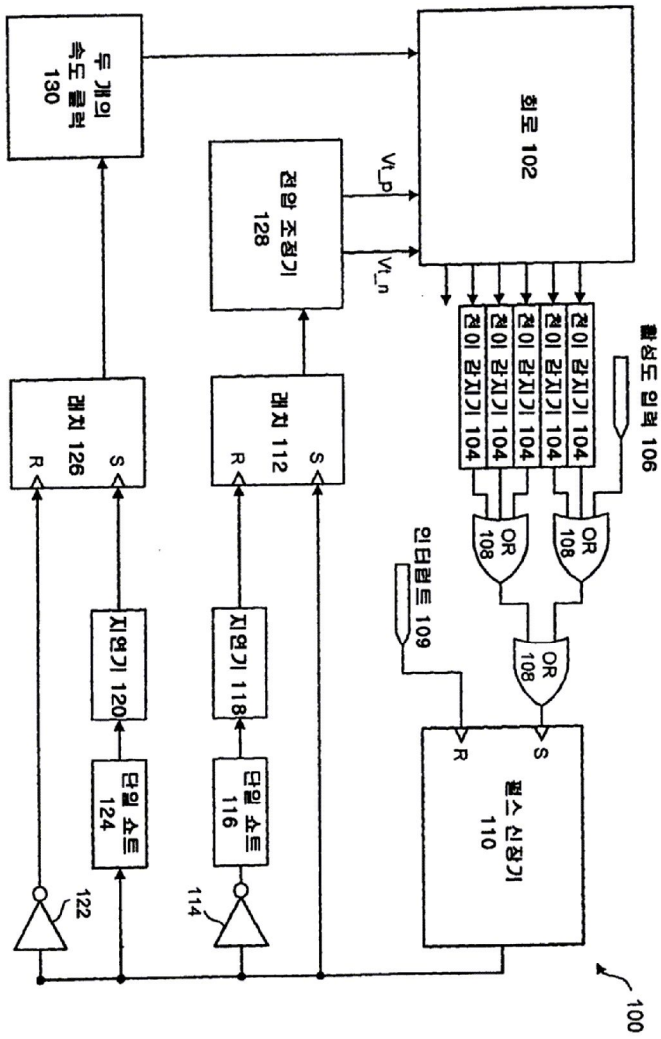
**청구항 34**

제 33 항에 있어서,

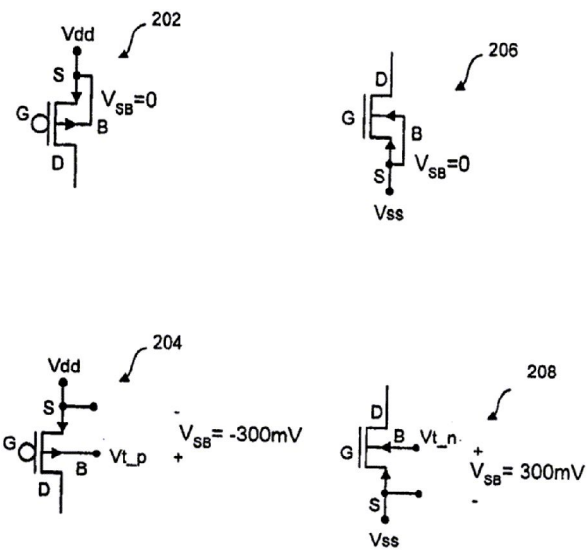
상기 회로가 미리 결정된 시간 주기 동안 비활성이었을 때 상기 회로의 동작 클럭 속도를 감소시키는 상기 단계가 천이에 대한 상기 회로의 출력을 감시하여 상기 회로가 미리 결정된 시간 주기 동안 비활성이었을 때 비활성 신호를 제공하는 단계를 포함하는 전력 소비 저감 방법.

**도면**

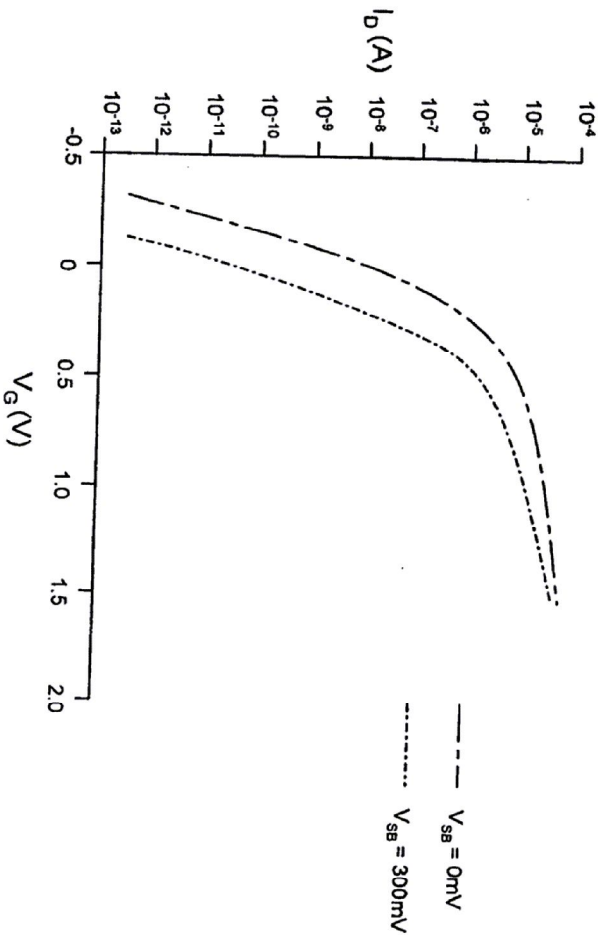
도면1



도면2



도면3



도면4

