



Государственный комитет
СССР
по делам изобретений
и открытий

О П И С А Н И Е ИЗОБРЕТЕНИЯ

К АВТОРСКОМУ СВИДЕТЕЛЬСТВУ

(61) Дополнительное к авт. свид-ву -

(22) Заявлено 19.12.77 (21) 2556384/18-24

с присоединением заявки № -

(23) Приоритет -

Опубликовано 07.07.80. Бюллетень № 25

Дата опубликования описания 07.07.80

(11) 746437



(51) М. Кл.²

G 05 B 23/02

G 06 F 15/46

(53) УДК 621.396
(088.8)

(72) Авторы
изобретения

Ю.Н. Самарцев, Е.Т. Володарский, Ю.М. Туз
и Ю. П. Белянин

(71) Заявитель

Киевский ордена Ленина политехнический институт
им. 50-летия Великой Октябрьской социалистической революции

(54) СИСТЕМА КОНТРОЛЯ ПАРАМЕТРОВ ИНТЕГРАЛЬНЫХ СХЕМ

1

Изобретение относится к области автоматизированных систем для контроля и может быть использовано при контроле больших интегральных схем (БИС) и сверхбольших интегральных схем (СБИС).

Известны устройства для контроля электрических параметров электронных схем [1] и [2], содержащие коммутационную матрицу, источник тока и напряжения, измерительный блок, блок управления и индикации, блок согласования, в которых в соответствии с программой контроля, поступающей из управляющей вычислительной машины УВМ, при помощи коммутационной матрицы к соответствующим выводам контролируемой электронной схемы подключаются программные источники напряжения, тока и измерительный блок. В результате контроля формируются команды "Годеи", "Не годеи" в зависимости от того, находится параметр в требуемых пределах или выходит из них.

Недостатками таких устройств является жесткость программ контроля, большое число управляющих команд и

2

низкая оперативность контроля интегральных схем.

Наиболее близким техническим решением к изобретению является система контроля параметров интегральных схем, содержащая УВМ, первый выход которой соединен с первым входом блока памяти, второй выход - с первым входом счетчика адреса памяти, третий выход - с первым входом первого блока совпадения, четвертый выход через регистр выходных тестовых комбинаций - с первым входом многоканального амплитудного дискриминатора и пятый выход через регистр адреса тестовых комбинаций - с первым входом блока сравнения, второй вход которого соединен с первым выходом счетчика адреса памяти, а выход - с первым входом УВМ, одним входом второго блока совпадений и вторым входом многоканального амплитудного дискриминатора, выход которого подключен ко второму входу УВМ, и генератор тактовых импульсов, соединенный через последовательно включенные второй блок совпадения и счетчик числа повторений тестовых комбинаций с третьим входом УВМ, вторым

30

входом счетчика адреса памяти, вторым входом блока памяти и вторым входом первого блока совпадения, третий вход которого соединен с выходом блока памяти, а выход - с другим входом счетчика числа повторений тестовых комбинаций [3].

В процессе производства схем бывает необходимо изменение очередности контроля параметров схем из-за изменения соотношений между удельными весами параметров, по которым схемы оказываются негодными (в результате возможных изменений условий технологического цикла при производстве очередной партии и внутри этого цикла).

Чтобы уменьшить потери времени при контроле негодных схем очередность контроля параметров схем должна быть такой, что в первую очередь должны контролироваться те параметры, по которым схемы чаще всего оказываются негодными. Применение известной системы автоматического контроля больших интегральных схем при крупносерийном производстве их оказывается малоэффективным из-за того, что данная система производит контроль параметров интегральных схем и в очередности, которая соответствует очередности опроса счетчиком адреса памяти ячеек ЗУ и не может изменяться в процессе контроля.

Целью изобретения является повышение быстродействия системы.

Эта цель достигается тем, что в предложенную систему введены дешифратор кода очередности, блок счетчиков тестовых комбинаций и коммутатор тестовых комбинаций, первый вход которого соединен с выходом многоканального амплитудного дискриминатора, выход через блок счетчиков тестовых комбинаций - с четвертым входом и шестым выходом УВМ, а второй вход - со вторым выходом УВМ и первым входом дешифратора кода очередности, второй вход которого подключен ко второму выходу счетчика адреса памяти, а выход - к третьему входу блока памяти.

На чертеже показана структурная схема системы.

Выходы УВМ 1 соединены со входами счетчика адреса памяти 2, дешифратора кода очередности 3, коммутатора тестовых комбинаций 4, регистра адреса тестовых комбинаций 5, блока памяти 6 и регистра выходных тестовых комбинаций 7. Входы блока сравнения 8 соединены с выходами регистра 5 и счетчика 2, а выход - с входами второго блока совпадения 9, многоканального амплитудного дискриминатора 10 и УВМ 1. Другой вход блока 9 соединен с выходом генератора тактовых импульсов 11, а выходы - с контролируемой большой ин-

тегральной схемой 12 и счетным входом счетчика числа повторений тестовых комбинаций 13. Входы первого блока совпадений 14 соединены с выходами блока 6, УВМ 1, счетчика 13 и входами счетчика 2, УВМ 1 и блока 6. Выход блока 6 соединен со схемой 12. Входы дискриминатора 10 соединены с выходами схемы 12 и регистра 7, а выход - с входами УВМ 1 и коммутатора 4. Счетный вход блока 15 счетчиков тестовых комбинаций соединен с выходом коммутатора 4, вход опроса и выход - с УВМ 1. Выход счетчика 2 соединен с дешифратором 3, а выход последнего - со входом блока 6.

Работа системы начинается с того, что по команде с УВМ 1 опрашиваются счетчики в блоке 15 и значения кодов, записанных в них, переписываются в УВМ 1, которая по программе, заложенной в ней, по результатам опроса формирует команды очередности, поступающие на дешифратор 3 таким образом, что первой поступает команда, соответствующая наибольшему коду, поступавшему из определенного счетчика блока 15, затем - команда, соответствующая меньшему по величине коду и так в порядке убывания величины кодов до наименьшего (иначе УВМ 1 формирует команды очередности в соответствии с величиной кодов счетчиков в блоке 15 в порядке их убывания). Если коды ряда счетчиков или всех равны, то команды очередности формируются в определенной последовательности, определяемой программой, заложенной в УВМ 1.

УВМ 1 передает в счетчик 2 начальный адрес номера последовательности тестовых комбинаций. В то же время на вход дешифратора 3 и коммутатора 4 из УВМ 1 поступает код очередности, соответствующей той тестовой комбинации, которая должна контролировать схему первой. На выходе дешифратора 3 появится разрешение на считывание той ячейки блока 6, в которой хранится тестовая комбинация входных воздействий, соответствующая коду очередности, поступившему из УВМ 1 на дешифратор 3. Коммутатор 4 подключает выход дискриминатора 10 к счетному входу того счетчика из блока 15, который соответствует проверяемой тестовой комбинации. В регистр 5 записывается адрес номера тестовой комбинации, на которой требуется зафиксировать выходные сигналы контролируемой схемы. В регистр 7 из блока памяти выходных тестовых комбинаций, входящего в состав УВМ 1, поступает выходная тестовая комбинация, соответствующая выходным сигналам схемы 12 на указанном в регистре 5 номере тестовой комбинации.

На блок 6 из УВМ 1 поступает импульс запроса. В каждой ячейке блока 6 выделен ряд разрядов, и в последних записывается число циклов генератора 11, в течение которых на проверяемую схему должна подаваться данная тестовая комбинация входных воздействий. При считывании ячейки блока 6 на входы схемы 12 подаются входные воздействия, а число циклов, в течение которых данные воздействия должны подаваться на схему 12, переписывается в обратном коде в счетчик 13 через блок 14. На счетный вход счетчика 13 подаются импульсы с генератора 11 через блок 9.

При заполнении счетчика 13 наращивается на "1" содержимое счетчика 2, и подается на УВМ 1 команда на смену кода очередности, поступающего на дешифратор 3. Запрашивается блок 6 по следующему адресу, соответствующему коду очередности, формируемому УВМ 1, и открывается блок 14 для записи в счетчик 13 следующей тестовой комбинации. На требуемом номере цикла (при равенстве адресов в счетчике 2 и регистре 5) блок 8 запрещает прохождение тактовых импульсов на счетчик 13, закрывая блок 9, и подает стробирующий импульс на дискриминатор 10.

Если в ходе контроля интегральной схемы по какой-нибудь тестовой комбинации дискриминатор 10 определит несоответствие выходных сигналов схемы 12 и выходных тестовых комбинаций регистра 7, он формирует импульс, который через коммутатор 4 поступит на счетный вход того счетчика из блока 15, который соответствует данной контролируемой комбинации, и в нем код увеличится на "1".

Затем система переходит к контролю следующей интегральной схемы. Если импульс из дискриминатора 10 не поступает, контролируется следующий параметр схемы. Если все параметры схемы проходят контроль успешно, система переходит к контролю следующей схемы.

Таким образом, в процессе контроля интегральных схем в счетчиках блока 15 накапливается информация в виде кодов, записанных в них, о том, по каким параметрам схемы чаще всего оказываются негодными и УВМ 1, обрабатывая эту информацию, формирует код очередности контроля параметров интегральных схем. Если хотя бы один из счетчиков блока 15 полностью заполнится, все счетчики сбрасываются в нулевое состояние.

Использование данной системы для автоматического контроля больших интегральных схем позволит в 2-3 раза увеличить производительность операций контроля при крупносерийном

производстве интегральных схем и получить на заводах отрасли экономический эффект не менее 300 тыс.руб. в год.

Формула изобретения

Система контроля параметров интегральных схем, содержащая управляющую вычислительную машину, (УВМ), первый выход которой соединен с первым входом блока памяти, второй выход - с первым входом счетчика адреса памяти, третий выход - с первым входом первого блока совпадения, четвертый выход через регистр выходных тестовых комбинаций - с первым входом многоканального амплитудного дискриминатора и пятый выход через регистр адреса тестовых комбинаций - с первым входом блока сравнения, второй вход которого соединен с первым выходом счетчика адреса памяти, а выход - с первым входом УВМ, одним входом второго блока совпадений и вторым входом многоканального амплитудного дискриминатора, выход которого подключен ко второму входу УВМ и генератор тактовых импульсов, соединенный через последовательно включенные второй блок совпадений и счетчик числа повторений тестовых комбинаций с третьим входом УВМ, вторым входом счетчика адреса памяти, вторым входом блока памяти и вторым входом первого блока совпадения, третий вход которого соединен с выходом блока памяти, а выход - с другим входом счетчика числа повторений тестовых комбинаций, отличающаяся тем, что, с целью повышения быстродействия системы, в нее введены дешифратор кода очередности, блок счетчиков тестовых комбинаций и коммутатор тестовых комбинаций, первый вход которого соединен с выходом многоканального амплитудного дискриминатора, выход через блок счетчиков тестовых комбинаций - с четвертым входом и шестым выходом УВМ, а второй вход - со вторым выходом УВМ и первым входом дешифлятора кода очередности, второй вход которого подключен ко второму выходу счетчика адреса памяти, а выход - к третьему входу блока памяти.

Источники информации,

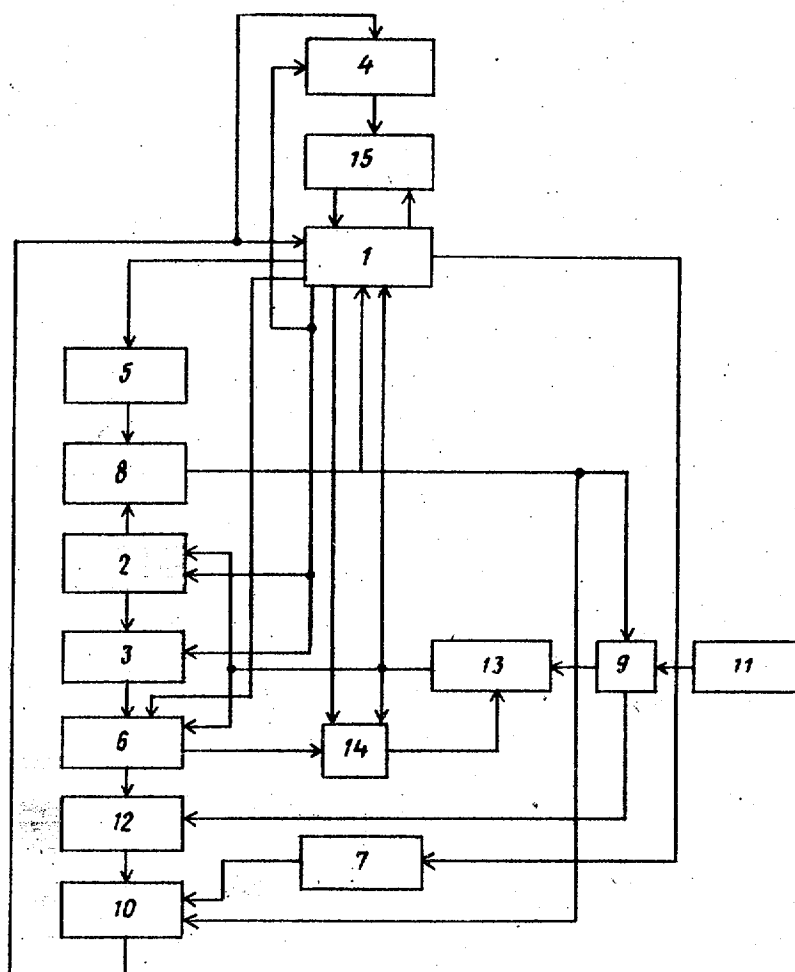
принятые во внимание при экспертизе

1. Авторское свидетельство СССР № 399802, кл. G 01 R 31/28, 1970.

2. Авторское свидетельство СССР № 416700, кл. G 06 F 15/46, 1972.

3. Авторское свидетельство СССР № 377738, кл. G 05 B 23/02, 1971

(прототип).



Составитель В. Дианов
 Редактор Л. Утехина Техред Н. Бабушка, Корректор Е. Папп

Заказ 3941/36 Тираж 956 Подписное
 ЦНИИПИ Государственного комитета СССР
 по делам изобретений и открытий
 113035, Москва, Ж-35, Раушская наб., д. 4/5

Филиал ППП "Патент", г. Ужгород, ул. Проектная, 4