



(12) 发明专利申请

(10) 申请公布号 CN 117941077 A

(43) 申请公布日 2024. 04. 26

(21) 申请号 202280062340.X

(22) 申请日 2022.09.20

(30) 优先权数据

2021-154055 2021.09.22 JP

(85) PCT国际申请进入国家阶段日

2024.03.14

(86) PCT国际申请的申请数据

PCT/JP2022/034929 2022.09.20

(87) PCT国际申请的公布数据

W02023/048122 JA 2023.03.30

(71) 申请人 三菱电机株式会社

地址 日本东京都

(72) 发明人 中田和成

(74) 专利代理机构 北京三友知识产权代理有限公司 11127

专利代理师 欧阳柳青

(51) Int. Cl.

H01L 29/78 (2006.01)

H01L 21/329 (2006.01)

H01L 29/06 (2006.01)

H01L 29/12 (2006.01)

H01L 29/739 (2006.01)

H01L 29/872 (2006.01)

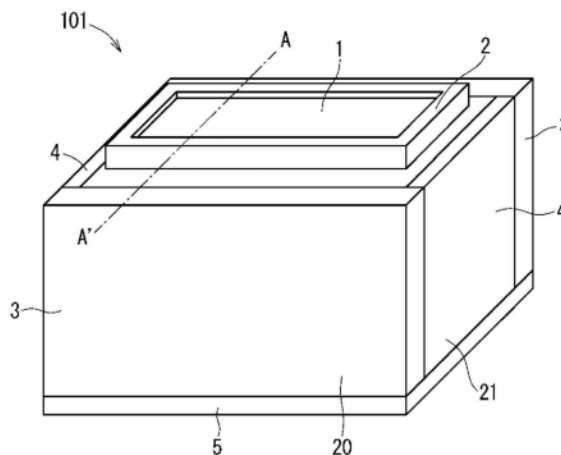
权利要求书2页 说明书12页 附图33页

(54) 发明名称

半导体装置以及电力转换装置

(57) 摘要

本公开的目的在于提供外周部的可靠性提高的半导体装置。半导体基板包含晶体管和二极管中的至少一方的半导体元件。沟槽栅包含控制半导体元件的状态的电极。沟槽栅设置于半导体基板的上表面。第1非晶质层形成于半导体基板的第1侧面。第2非晶质层形成于半导体基板的第2侧面。在俯视观察时,第1侧面与沟槽栅的延伸方向所成的第1角度比第2侧面与沟槽栅的延伸方向所成的第2角度小,或者,第1侧面与沟槽栅的延伸方向平行。第1非晶质层在从第1侧面朝向半导体基板的内侧的方向上的厚度与第2非晶质层在从第2侧面朝向半导体基板的内侧的方向上的厚度不同。



1. 一种半导体装置,其中,所述半导体装置具备:  
半导体基板,其包含晶体管 and 二极管中的至少一方的半导体元件;  
沟槽栅,其包含电极,所述电极对所述半导体元件的状态进行控制,所述沟槽栅设置于所述半导体基板的上表面;  
第1非晶质层,其形成于所述半导体基板的第1侧面;以及  
第2非晶质层,其形成于所述半导体基板的第2侧面,  
在俯视观察时,所述第1侧面与所述沟槽栅的延伸方向所成的第1角度比所述第2侧面与所述沟槽栅的所述延伸方向所成的第2角度小,或者,所述第1侧面与所述沟槽栅的延伸方向平行,  
所述第1非晶质层在从所述第1侧面朝向所述半导体基板的内侧的方向上的厚度与所述第2非晶质层在从所述第2侧面朝向所述半导体基板的内侧的方向上的厚度不同。
2. 根据权利要求1所述的半导体装置,其中,  
所述半导体装置还具备:  
耐压保持结构,其以包围形成有所述半导体元件的区域的方式设置,并保持所述半导体元件的耐压;  
表面电极,其设置于所述半导体基板的所述上表面,并与所述半导体元件电连接;以及  
层间绝缘膜,其设置于所述表面电极的下表面与所述半导体基板的所述上表面之间,并且覆盖所述耐压保持结构,  
在俯视观察时,所述第1非晶质层和所述第2非晶质层形成于所述层间绝缘膜的外侧,距所述层间绝缘膜的外缘 $3\mu\text{m}$ 以上。
3. 根据权利要求1或2所述的半导体装置,其中,  
所述第2非晶质层的所述厚度相对于所述第1非晶质层的厚度为1.1倍以下。
4. 根据权利要求1至3中的任一项所述的半导体装置,其中,  
所述第1非晶质层的所述厚度为 $0.05\mu\text{m}$ 以上。
5. 根据权利要求1至4中的任一项所述的半导体装置,其中,  
在所述第2侧面还具备单晶层,该单晶层设置于比所述第2非晶质层靠上方的位置。
6. 根据权利要求1至5中的任一项所述的半导体装置,其中,  
所述第1非晶质层和所述第2非晶质层由非晶质形成,所述非晶质由与构成所述半导体基板的晶体的元素相同的元素构成。
7. 根据权利要求1所述的半导体装置,其中,  
所述半导体基板包含漂移层,  
所述第1非晶质层包含:上部第1非晶质层,其形成于所述漂移层的侧面;以及下部第1非晶质层,其形成于比所述上部第1非晶质层靠所述半导体基板的下表面侧的位置,  
所述第2非晶质层包含:上部第2非晶质层,其形成于所述漂移层的侧面;以及下部第2非晶质层,其形成于比所述上部第2非晶质层靠所述半导体基板的下表面侧的位置,  
所述上部第1非晶质层在从所述第1侧面朝向所述半导体基板的内侧的方向上的厚度比所述下部第1非晶质层在从所述第1侧面朝向所述半导体基板的内侧的方向上的厚度小。
8. 根据权利要求1或7所述的半导体装置,其中,  
所述半导体基板包含漂移层,

所述第1非晶质层包含:上部第1非晶质层,其形成于所述漂移层的侧面;以及下部第1非晶质层,其形成于比所述上部第1非晶质层靠所述半导体基板的下表面侧的位置,

所述第2非晶质层包含:上部第2非晶质层,其形成于所述漂移层的侧面;以及下部第2非晶质层,其形成于比所述上部第2非晶质层靠所述半导体基板的下表面侧的位置,

所述上部第2非晶质层在从所述第2侧面朝向所述半导体基板的内侧的方向上的厚度比所述下部第2非晶质层在从所述第2侧面朝向所述半导体基板的内侧的方向上的厚度小。

9. 一种电力转换装置,其中,所述电力转换装置具备:

主转换电路,其包含权利要求1至8中的任一项所述的半导体装置,对所输入的电力进行转换并输出;

驱动电路,其将用于驱动所述半导体装置的驱动信号输出至所述半导体装置的所述半导体元件的所述电极;以及

控制电路,其将用于控制所述驱动电路的控制信号输出至所述驱动电路。

## 半导体装置以及电力转换装置

### 技术领域

[0001] 本公开涉及半导体装置以及电力转换装置。

### 背景技术

[0002] 随着半导体装置在电力控制技术中的应用,正在推进更小型且高效的半导体装置的开发。在半导体装置的制造工序中,通常,在一个半导体晶片上形成多个半导体装置之后,从该晶片切出各个半导体装置(例如,参照专利文献1和专利文献2)。

[0003] 现有技术文献

[0004] 专利文献

[0005] 专利文献1:国际公开第2020/255944号

[0006] 专利文献2:日本特开2020-36048号公报

### 发明内容

[0007] 发明要解决的课题

[0008] 在从半导体晶片切出半导体装置时,例如,由于通过解理施加于半导体晶片的外力而在半导体装置的外周部产生裂纹、崩边等。在半导体装置的温度因开关动作等而变动的情况下,会以该外周部的裂纹或崩边为起点产生物理性的破坏、或者半导体装置的特性劣化。进而,半导体装置的可靠性降低。

[0009] 本公开为了解决上述课题,提供一种外周部的可靠性提高的半导体装置。

[0010] 用于解决课题的手段

[0011] 本公开的半导体装置具备半导体基板、沟槽栅、第1非晶质层以及第2非晶质层。半导体基板包含晶体管 and 二极管中的至少一方的半导体元件。沟槽栅包含控制半导体元件的状态的电极。沟槽栅设置于半导体基板的上表面。第1非晶质层形成于半导体基板的第1侧面。第2非晶质层形成于半导体基板的第2侧面。在俯视观察时,第1侧面与沟槽栅的延伸方向所成的第1角度比第2侧面与沟槽栅的延伸方向所成的第2角度小,或者,第1侧面与沟槽栅的延伸方向平行。第1非晶质层在从第1侧面朝向半导体基板的内侧的方向上的厚度与第2非晶质层在从第2侧面朝向半导体基板的内侧的方向上的厚度不同。

[0012] 发明效果

[0013] 根据本公开,半导体装置的外周部的可靠性提高。

[0014] 通过以下的详细说明和附图,本公开的目的、特征、方面以及优点将会变得更加清楚。

### 附图说明

[0015] 图1是示出实施方式1的半导体装置的结构体的立体图。

[0016] 图2是图1所示的A-A'处的剖视图。

[0017] 图3是示出半导体装置的上表面的详细结构的图。

- [0018] 图4是示出实施方式1的晶体管区域的结构剖视图。
- [0019] 图5是示出半导体装置的端部的结构的剖视图。
- [0020] 图6是将半导体装置的端部的结构放大后的剖视图。
- [0021] 图7是示出实施方式1的第1非晶质层的透射型电子显微镜像的一例的图。
- [0022] 图8是示出实施方式1的半导体装置的制造工序的流程图。
- [0023] 图9是示出n型SiC晶片的结构的俯视图。
- [0024] 图10是示出在n型SiC晶片形成有半导体装置的状态的俯视图。
- [0025] 图11是示出形成n型漂移层的工序的图。
- [0026] 图12是示出形成p型基极层的工序的图。
- [0027] 图13是示出形成n型源极层的工序的图。
- [0028] 图14是示出形成沟槽的工序的图。
- [0029] 图15是示出形成p型底部基极层的工序的图。
- [0030] 图16是示出形成栅绝缘膜的工序的图。
- [0031] 图17是示出形成栅极的工序的图。
- [0032] 图18是示出去除栅极的剩余部分的工序的图。
- [0033] 图19是示出形成氧化层的工序的图。
- [0034] 图20是示出形成层间绝缘膜的工序的图。
- [0035] 图21是示出形成源极的工序的图。
- [0036] 图22是示出使n型SiC层变薄的工序的图。
- [0037] 图23是示出形成漏极的工序的图。
- [0038] 图24是示出形成第1非晶质层的工序的图。
- [0039] 图25是示出非晶质层与层间绝缘膜的距离和源极-漏极间的漏电流之间的关系图。
- [0040] 图26是示出半导体装置被安装于引线的状态的图。
- [0041] 图27是示出第1非晶质层的厚度与芯片故障概率之间的关系图。
- [0042] 图28是示意性地示出实施方式1的半导体装置的内部结构的鸟瞰图。
- [0043] 图29是示出半导体装置在与沟槽栅的延伸方向垂直的面中的结构的图。
- [0044] 图30是示出半导体装置在与沟槽栅的延伸方向平行的面中的结构的图。
- [0045] 图31是示出实施方式2的半导体装置的结构立体图。
- [0046] 图32是图31所示的B-B'处的剖视图。
- [0047] 图33是示出示意性地示出的半导体装置的第2侧面与该第2侧面的光学显微镜像的对应关系的图。
- [0048] 图34是示出实施方式2的半导体装置的3点弯曲试验的状态示意图。
- [0049] 图35是示出第2侧面中的单晶层的宽度与半导体装置的抗弯强度之间的关系图。
- [0050] 图36是示出实施方式3的半导体装置的结构立体图。
- [0051] 图37是图36所示的C-C'处的剖视图。
- [0052] 图38是示出形成上表面侧第1非晶质层的工序的图。
- [0053] 图39是示出半导体装置在与沟槽栅的延伸方向垂直的面中的结构的图。

[0054] 图40是示出上部第1非晶质层与下部第1非晶质层的厚度差和半导体装置的抗弯强度之间的关系图。

[0055] 图41是示出半导体装置在与沟槽栅的延伸方向平行的面中的结构的图。

[0056] 图42是示出实施方式4的电力转换装置和电力转换系统的结构的框图。

### 具体实施方式

[0057] <实施方式1>

[0058] 在以下的说明中,n型和p型表示半导体的导电型。p型和n型也可以相互替换。

[0059] 图1是示出实施方式1的半导体装置101的结构的立体图。图2是图1所示的A-A'处的剖视图。

[0060] 半导体装置101包含半导体基板31、晶体管区域6、沟槽栅15、终端区域7、表面电极1、外周绝缘层2、背面电极5、第1非晶质层3以及第2非晶质层4。

[0061] 半导体基板31例如由Si等半导体形成,或者由SiC、GaN、氧化镓等所谓的宽带隙半导体形成。此外,在俯视观察时,半导体基板31具有矩形。半导体基板31具有相互对置的两个第1侧面20以及相互对置的两个第2侧面21。该第1侧面20与第2侧面21不平行。

[0062] 晶体管区域6在半导体基板31中与形成有晶体管的区域对应。换言之,半导体基板31包含晶体管。

[0063] 沟槽栅15设置于半导体基板31的上表面。沟槽栅15构成晶体管的一部分。例如,一个晶体管单元与按每个沟槽栅划分得到的区域对应。沟槽栅15在半导体基板31的上表面中沿一个方向延伸。在此,沟槽栅15沿图2的进深方向延伸,换言之,沿图1的左右方向延伸。在实施方式1中,半导体基板31的第1侧面20与沟槽栅15的延伸方向平行。半导体基板31的第2侧面21与沟槽栅15的延伸方向垂直。

[0064] 终端区域7以包围晶体管区域6的方式设置。在终端区域7中设有耐压保持结构7A。耐压保持结构7A保持晶体管的耐压。对于耐压保持结构7A,可以适当选择各种结构。耐压保持结构7A例如是形成于半导体基板31的上表面侧的表层的FLR(Field Limiting Ring:场限环)、VLD(Variation of Lateral Doping:横向变掺杂)等。

[0065] 第1非晶质层3形成于半导体基板31的第1侧面20。第2非晶质层4形成于半导体基板31的第2侧面21。第1非晶质层3的厚度与第2非晶质层4的厚度不同。第1非晶质层3的厚度与从第1侧面20朝向半导体基板31的内侧的方向上的尺寸对应。同样地,第2非晶质层4的厚度与从第2侧面21朝向半导体基板31的内侧的方向上的尺寸对应。第1非晶质层3可以形成于第1侧面20的一部分,也可以形成于第1侧面20的整个面。同样地,第2非晶质层4可以形成于第2侧面21的一部分,也可以形成于第2侧面21的整个面。

[0066] 第1非晶质层3和第2非晶质层4包含与构成半导体基板31的晶体的元素相同的元素。在实施方式1中,半导体基板31除第1非晶质层3和第2非晶质层4的部分外,由单晶SiC形成。第1非晶质层3和第2非晶质层4由非晶SiC形成。

[0067] 表面电极1设置于半导体基板31的上表面。表面电极1与晶体管电连接。在此,表面电极1与晶体管的源极17对应。

[0068] 外周绝缘层2覆盖表面电极1的外周。外周绝缘层2使表面电极1与半导体基板31的外周部绝缘。

[0069] 背面电极5设置于半导体基板31的下表面。背面电极5与晶体管电连接。在此,背面电极5与晶体管的漏极18对应。

[0070] 图3是示出半导体装置101的上表面的详细结构的图。在半导体装置101的上表面设有表面电极1、层间绝缘膜16、栅连接部19以及外周绝缘层2。栅连接部19与晶体管的栅极(未图示)电连接。外周绝缘层2覆盖表面电极1、栅连接部19以及层间绝缘膜16的一部分。外周绝缘层2具有开口,表面电极1以及栅连接部19的一部分从该开口露出。

[0071] 图4是示出实施方式1的晶体管区域6的结构剖视图。

[0072] 半导体装置101在晶体管区域6中包含n型源极层11、p型基极层10、p型底部基极层12、n型漂移层9、n型SiC层8、沟槽栅15、层间绝缘膜16、源极17和漏极18。半导体基板31与从n型源极层11或p型基极层10的上表面到n型SiC层8的下表面为止的范围对应。n型源极层11、p型基极层10、p型底部基极层12以及n型漂移层9由单晶SiC形成。n型SiC层8例如来自形成各结构之前的n型SiC晶片的结构。源极17与图1至图3中的表面电极1对应。漏极18与图1和图2中的背面电极5对应。

[0073] 沟槽栅15包含栅绝缘膜13和栅极14。栅绝缘膜13沿着从半导体基板31的上表面沿深度方向形成的沟槽的内壁形成。栅极14隔着该栅绝缘膜13形成于沟槽内部。

[0074] 层间绝缘膜16设置于栅极14上。源极17覆盖该层间绝缘膜16,因此也可以说层间绝缘膜16设置于源极17的下表面与半导体基板31的上表面之间。如图2所示,层间绝缘膜16在半导体基板31的外周部处覆盖终端区域7的耐压保持结构7A。

[0075] 图5是示出半导体装置101的端部的结构的剖视图。图6是将该半导体装置101的端部的结构放大后的剖视图。第1非晶质层3的厚度 $t_y$ 与从第1侧面20朝向半导体基板31的内侧的方向上的尺寸对应。虽然省略图示,但同样地,第2非晶质层4的厚度与从第2侧面21朝向半导体基板31的内侧的方向上的尺寸对应。

[0076] 图7是示出实施方式1的第1非晶质层3的透射型电子显微镜(Transmission Electron microscopy, TEM)像的一例的图。图中,右侧区域的对比度比左侧区域的对比度均匀。左侧区域与第1非晶质层3对应,右侧区域与单晶层对应。将该左侧区域的厚度(图中,横向的尺寸)作为第1非晶质层3的厚度来进行测定。虽然省略图示,但第2非晶质层4的TEM像与图7所示的TEM像是相同的。因此,对于第2非晶质层4的厚度也与第1非晶质层3的厚度同样地进行测定。

[0077] 在俯视观察时,第1非晶质层3和第2非晶质层4形成于覆盖终端区域7的层间绝缘膜16的外侧。此外,优选第1非晶质层3和第2非晶质层4距层间绝缘膜16的外缘 $3\mu\text{m}$ 以上。第1非晶质层3与层间绝缘膜16的外缘的距离 $d_y$ 是如图5和图6所示那样来定义的。例如,该距离 $d_y$ 对应于从第1非晶质层3与单晶层的界面到从层间绝缘膜16的外缘向下方延伸的垂线的距离。虽然省略图示,但第2非晶质层4与层间绝缘膜16的外缘的距离也被同样地定义。

[0078] 图8是示出实施方式1的半导体装置101的制造工序的流程图。图9是示出n型SiC晶片30的结构俯视图。图10是示出在n型SiC晶片30形成有半导体装置101的状态的俯视图。在实施方式1的制造工序中,在一个n型SiC晶片30形成多个半导体装置。通过切割等将该多个半导体装置分割为一个个半导体装置,由此得到图1和图2所示的半导体装置101。

[0079] 在步骤S1中,准备n型SiC晶片30,形成n型漂移层9。图11是示出在n型SiC层8的上表面形成n型漂移层9的工序的图。在此,n型SiC层8是n型SiC晶片30本身。n型漂移层9是通

过外延生长而形成的。

[0080] 在步骤S2中,形成p型基极层10。图12是示出形成p型基极层10的工序的图。在n型漂移层9的上表面的规定区域隔着具有开口的掩模而离子注入p型杂质。该掩模是由抗蚀剂等形成的。p型杂质例如是硼(B)或铝(Al)。另外,在图12中,在n型漂移层9的整个面形成有p型基极层10。

[0081] 在步骤S3中,形成n型源极层11。图13是示出形成n型源极层11的工序的图。在p型基极层10的上表面的规定区域隔着具有开口的掩模而离子注入n型杂质。该掩模是由抗蚀剂等形成的。n型杂质例如是磷(P)或氮(N)。离子注入后,以高温对SiC晶片30进行热处理。通过该热处理,注入到p型基极层10的p型杂质以及注入到n型源极层11的n型杂质被电激活。

[0082] 在步骤S4中,形成沟槽。图14是示出形成沟槽的工序的图。在p型基极层10和n型源极层11的上表面的规定区域形成具有开口的掩模。掩模例如由抗蚀剂等形成。然后,通过使用等离子体的干法蚀刻等形成沟槽。掩模也可以是以TEOS为原料的氧化膜,在该情况下,形成更深的沟槽。在形成沟槽后,在沟槽的底部形成p型底部基极层12。图15是示出形成p型底部基极层12的工序的图。p型底部基极层12是通过离子注入p型杂质而形成的。p型杂质例如是硼(B)或铝(Al)。p型底部基极层12缓和了沟槽的底部的电场集中。

[0083] 在步骤S5中,形成栅绝缘膜13。图16是示出形成栅绝缘膜13的工序的图。栅绝缘膜13是为了去除形成沟槽栅15时的等离子体损伤而通过热氧化法形成的。换言之,栅绝缘膜13是通过沟槽内壁的n型漂移层9的氧化而形成的。栅氧化膜的厚度为20nm以上80nm以下,更优选为30nm以上70nm以下。栅绝缘膜13在沟槽的侧面处的厚度与栅绝缘膜13在沟槽的底部处的厚度相等或为该厚度以上。优选的是,栅绝缘膜13在沟槽的侧面处的厚度比栅绝缘膜13在沟槽的底部处的厚度厚10%以上。栅绝缘膜13也可以通过CVD(化学气相沉积)法形成。

[0084] 在步骤S6中,形成栅极14。图17是示出形成栅极14的工序的图。图18是示出去除栅极14的剩余部分的工序的图。栅极14例如由多晶硅形成。在栅绝缘膜13上形成栅极14之后,通过蚀刻去除该栅极14的剩余部分。该蚀刻优选为各向同性蚀刻。该蚀刻例如是使用包含 $\text{SF}_6$ 的等离子体的干法蚀刻、使用含有氢氟酸和硝酸的混合酸的湿法蚀刻。然后,通过热氧化法在栅极14的表面形成氧化层14A。图19是示出形成氧化层14A的工序的图。氧化温度为 $850^\circ\text{C}$ 以上 $1050^\circ\text{C}$ 以下,更优选为 $900^\circ\text{C}$ 以上 $1000^\circ\text{C}$ 以下。氧化层14A的厚度为10nm以上40nm以下,更优选为20nm以上35nm以下。

[0085] 在步骤S7中,形成层间绝缘膜16。图20是示出形成层间绝缘膜16的工序的图。层间绝缘膜16使用CVD法形成,在其成膜后通过光刻和蚀刻进行构图。也可以在层间绝缘膜16中导入B(硼)、P(磷)等杂质。通过导入杂质,层间绝缘膜16的角部变圆。层间绝缘膜16由例如氮化硅( $\text{Si}_x\text{N}_y$ )或氧化硅( $\text{SiO}_2$ )形成。层间绝缘膜16的厚度优选为 $0.5\mu\text{m}$ 以上 $2.0\mu\text{m}$ 以下。

[0086] 在步骤S8中,形成源极17。图21是示出形成源极17的工序的图。源极17由铝、镍、铝合金等形成。铝合金含有铝和硅。也可以是,在源极17与p型基极层10之间、以及源极17与n型源极层11之间插入有阻挡金属。阻挡金属由钛或氮化钛(TiN)等钛化合物形成。在形成源极17后,形成如图2所示的外周绝缘层2。外周绝缘层2由例如聚酰亚胺树脂或硅树脂形成。为了高精度地形成期望的形状,优选使用光刻技术来形成外周绝缘层2。进而,也可以并用蚀刻技术。外周绝缘层2的形成方法不限于此,也可以使用丝网印刷技术或描绘涂布技术。

[0087] 在步骤S9中,进行SiC晶片30的薄板化,即,使n型SiC层8变薄。图22是示出使n型SiC层8变薄的工序的图。通过使用砂轮的机械加工对SiC晶片30的下表面、即n型SiC层8的下表面进行磨削。

[0088] 在步骤S10中,形成漏极18。图23是示出形成漏极18的工序的图。漏极18通过例如溅射法而形成。漏极18例如是镍膜。漏极18的厚度例如为600nm左右。漏极18也可以是镍膜和缺乏与外部的反应性的金属膜这两者的层叠膜。层叠膜防止镍的表面氧化。缺乏与外部的反应性的金属是金或银等。镍膜与焊料合金的润湿性得到改善,能够得到良好的接合状态。

[0089] 通过以上的步骤S1至S10,在一个SiC晶片30形成多个半导体装置。通过以下的步骤S11和S12,将该多个半导体装置分割为一个个半导体装置101。此时,形成第1非晶质层3和第2非晶质层4。

[0090] 在步骤S11中,形成第1非晶质层3。图24是示出形成第1非晶质层3的工序的图。通过切割将形成于SiC晶片30的多个半导体装置分割为一个个半导体装置101。第1非晶质层3是在沿着沟槽栅15的长边方向切割SiC晶片30时形成的。更具体来说,用于切割的刀片32将漏极18、n型SiC层8以及n型漂移层9切断。此时,利用刀片32与各半导体层的摩擦而形成第1非晶质层3。换言之,刀片32摩擦各半导体层,由此,构成各半导体层的单晶变质。例如,在切割时,在单晶与刀片32所包含的磨粒之间产生压缩应力或拉伸应力。通过由该应力产生的热,单晶变质为非晶质。特别是,刀片32与各半导体层的接触部分发热,因此,在半导体基板31的第1侧面20形成第1非晶质层3。

[0091] 刀片32例如是电铸刀片,但不限于此。能够适当选择包含所期望的磨粒直径的刀片。刀片旋转速度为10000rpm以上30000rpm以下。刀片进给速度为5mm/sec以上100mm/sec以下。这些刀片旋转速度和进给速度可以根据刀片材料以及切割装置来适当调整。在实施方式1中,刀片旋转速度为20000rpm,刀片进给速度为20mm/sec。

[0092] 在步骤S12中,形成第2非晶质层4。第2非晶质层4是在沿着沟槽栅15的短边方向切割SiC晶片30时形成的。在实施方式1中,步骤S12的切割条件与步骤S11的切割条件不同。因此,第2非晶质层4的厚度与第1非晶质层3的厚度不同。例如,刀片32所包含的磨粒的尺寸越大,则非晶质层越厚。刀片32所包含的磨粒的尺寸越小,则非晶质层越薄。

[0093] 通过以上的步骤S11和S12,在半导体基板31的四个侧面形成非晶质层。

[0094] 图25是示出非晶质层与层间绝缘膜16的距离和源极-漏极间的漏电流之间的关系的关系的图。栅极电压为-15V。在源极-漏极间施加有1200V的电压作为额定电压。在图25的横轴上,距离 $d_x$ 表示第2非晶质层4与层间绝缘膜16的距离,距离 $d_y$ 表示第1非晶质层3与层间绝缘膜16的距离。在非晶质层与层间绝缘膜16的距离均为3 $\mu\text{m}$ 以上的情况下,源极-漏极间的漏电流降低。晶体管成为截止状态的栅极电压不限于-15V。栅极电压可以任意设定为-5V或0V等。此外,施加于源极-漏极间的电压不限于1200V。只要适当地设计n型漂移层9的杂质浓度,即使在源极-漏极间施加600V至6500V的范围的电压,也能够得到相同的结果。即,在非晶质层与层间绝缘膜16的距离为3 $\mu\text{m}$ 以上的情况下,源极-漏极间的漏电流降低。

[0095] 图26是示出半导体装置101被安装于引线的状态的图。半导体装置101的背面电极5(在图26中未图示)通过焊料23与第1引线22连接。半导体装置101的表面电极1(在图26中未图示)通过线25与第2引线24连接。第1引线22和第2引线24具有板形状,并由金属形成。虽

然省略图示,但栅连接部19也同样地通过线与适当的引线连接。针对这样安装的半导体装置101,在150℃的环境下进行一万次循环的开关试验。

[0096] 图27是示出第1非晶质层3的厚度 $t_y$ 与芯片故障概率之间的关系的图。图27是针对第1非晶质层3的厚度 $t_y$ 与第2非晶质层4的厚度 $t_x$ 之比为0.9-1.3的五种半导体装置101进行的开关试验的结果。芯片故障概率以第1非晶质层3的厚度 $t_y$ 为 $0.02\mu\text{m}$ 且两个非晶质层的厚度之比 $t_x/t_y$ 为1.0的情况下的值进行了标准化。在第1非晶质层3的厚度 $t_y$ 为 $0.05\mu\text{m}$ 以上且两个非晶质层的厚度之比 $t_x/t_y$ 为1.1以下的情况下,开关后的芯片故障概率大幅度地降低。

[0097] 图28是示意性地示出实施方式1的半导体装置101的内部结构的鸟瞰图。图29是示出半导体装置101在与沟槽栅15的延伸方向垂直的面中的结构的图。图29与从正面观察图28的情况下的半导体装置101的端部的截面对应。在图29中示出了第1非晶质层3的厚度 $t_y$ 以及第1非晶质层3与层间绝缘膜16的距离 $d_y$ 。此外,在图29中,通过箭头示意性地示出了半导体装置101为导通状态的情况下的电流的流动。在沟槽栅15附近形成有沟道,因此,电流路径不会扩展。

[0098] 图30是示出半导体装置101在与沟槽栅15的延伸方向平行的截面中的结构的图。图30与从右侧面观察图28的情况下的半导体装置101的端部的截面对应。在图30中示出了第2非晶质层4的厚度 $t_x$ 以及第2非晶质层4与层间绝缘膜16的距离 $d_x$ 。此外,在图30中,通过箭头示意性地示出了半导体装置101为导通状态的情况下的电流的流动。虽然在沟槽栅15附近形成有沟道,但在沟槽栅15的端部处电流扩展而流动。即,该沟槽栅15的周边部分也成为电流路径的一部分。在第2非晶质层4的厚度 $t_x$ 相对于第1非晶质层3的厚度 $t_y$ 为1.1以下的情况下,在电阻比单晶的电阻高的非晶质层中流动的电流减少,防止了芯片故障。

[0099] 综上所述,实施方式1的半导体装置101具备半导体基板31、沟槽栅15、第1非晶质层3以及第2非晶质层4。半导体基板31包含晶体管和二极管中的至少一方的半导体元件。沟槽栅15包含控制半导体元件的状态的电极。沟槽栅15设置于半导体基板31的上表面。第1非晶质层3形成于半导体基板31的第1侧面20。第2非晶质层4形成于半导体基板31的第2侧面21。在俯视观察时,第1侧面20与沟槽栅15的延伸方向所成的第1角度比第2侧面21与沟槽栅15的延伸方向所成的第2角度小,或者,第1侧面20与沟槽栅15的延伸方向平行。第1非晶质层3在从第1侧面20朝向半导体基板31的内侧的方向上的厚度与第2非晶质层4在从第2侧面21朝向半导体基板31的内侧的方向上的厚度不同。

[0100] 这样的半导体装置101减少了开关动作时电流向半导体装置101的外周部的集中。因此,半导体装置101的可靠性提高。

[0101] 半导体装置101例如是电力控制用半导体装置(所谓的功率半导体装置)。半导体装置101对在表面电极1与背面电极5之间流动的电流进行控制。半导体装置101所包含的半导体元件不限于MOSFET(Metal Oxide Semiconductor Field Effect Transistor:金属氧化物半导体场效应晶体管)。半导体元件只要是包含沟槽栅15的半导体元件即可,例如也可以是IGBT(Insulated Gate Bipolar Transistor:绝缘栅双极型晶体管)、肖特基势垒二极管等。半导体装置101也可以是IGBT和续流二极管形成在一个半导体基板31内的RC-IGBT(Reverse-Conducting IGBT:逆导绝缘栅双极型晶体管)。

[0102] 在实施方式1中,第1侧面20和第2侧面21是由沟槽栅15的延伸方向规定的。该沟槽栅15不限于构成MOSFET的沟槽栅15。即,规定第1侧面20和第2侧面21的沟槽栅15也可以是

构成IGBT、续流二极管等半导体元件的沟槽栅。

[0103] 半导体基板31优选由宽带隙半导体形成。例如,SiC的耐电压和耐热性比Si优异,因此能够实现半导体装置101的高耐压化、低损耗化、高温环境下的使用等。以SiC为材料的半导体装置101适合于构成逆变器的部件。

[0104] 半导体基板31的第1侧面20不需要与沟槽栅15的延伸方向平行。同样地,半导体基板31的第2侧面21不需要与沟槽栅15的延伸方向垂直。只要在俯视观察时,第1侧面20与沟槽栅15的延伸方向所成的第1角度比第2侧面21与沟槽栅15的延伸方向所成的第2角度小即可。

[0105] 在半导体基板31由SiC等六方晶系的材料形成的情况下,半导体装置101的第1侧面20的结晶面与第2侧面21的结晶面不等价。在该情况下,即使第2侧面21以与第1侧面20的切割条件相同的条件被切割的情况下,也自发地形成各自具有互不相同的厚度的第1非晶质层3和第2非晶质层4。即,在半导体基板31由SiC等六方晶系的材料形成的情况下,步骤S12的切割条件并不一定需要与步骤S11的切割条件不同。

[0106] 在图2和图4中示出了五个沟槽栅15,但沟槽栅15的数量不限于此。也可以是,任意数量的沟槽栅15在图4的左右方向上离散地配置。

[0107] <实施方式2>

[0108] 在实施方式2中,对与实施方式1相同的结构要素标注相同的参照标号,并省略它们的详细说明。

[0109] 图31是示出实施方式2的半导体装置102的结构的立体图。图32是图31所示的B-B'处的剖视图。

[0110] 半导体装置102包含半导体基板31、晶体管区域6、沟槽栅15、终端区域7、表面电极1、外周绝缘层2、背面电极5、第1非晶质层3、第2非晶质层4以及单晶层4A。实施方式2的半导体装置102与实施方式1的半导体装置101的不同点在于包含单晶层4A。

[0111] 第2非晶质层4形成于第2侧面21的下部。具体而言,第2非晶质层4形成于n型漂移层9的侧面的下部和n型SiC层8的侧面。换言之,第2非晶质层4在第2侧面21中未到达半导体基板31的上表面。

[0112] 单晶层4A形成于第2侧面21的上部。具体而言,单晶层4A形成于n型漂移层9的侧面的上部。换言之,单晶层4A设置于比第2非晶质层4靠上方的位置。这里,单晶层4A由构成n型漂移层9的SiC形成。

[0113] 在第2侧面21中,在比第2非晶质层4与单晶层4A的界面靠下方的位置未设置单晶层4A。在比第2非晶质层4与单晶层4A的界面靠下方的位置仅设有第2非晶质层4。在第2侧面21中,在比第2非晶质层4与单晶层4A的界面靠上方的位置未设置第2非晶质层4。在比第2非晶质层4与单晶层4A的界面靠上方的位置仅设有单晶层4A。

[0114] 对实施方式2的半导体装置102的制造方法进行说明。步骤S1至S11与实施方式1的各个步骤相同。

[0115] 在步骤S12中,沿着在沟槽栅15的短边方向上延伸的切割线照射激光。激光具有近紫外区域~可见光区域的波长。例如,其波长为380nm。此时,激光会聚于n型漂移层9的下部以及n型SiC层8。通过该激光,单晶变质为非晶质,形成第2非晶质层4。在实施方式2中,照射三次激光,加工速度为500mm/sec。此外,作为加工对象的半导体基板31的厚度约为100 $\mu$ m。

在照射激光后,对SiC晶片30施加应力,由此以该第2非晶质层4为起点来分割SiC晶片30。其结果是,形成于一个SiC晶片30的多个半导体装置被分割为一个个半导体装置102。

[0116] 图33是示出示意性地示出的半导体装置102的第2侧面21与该第2侧面21的光学显微镜像的对应关系的图。在该光学显微镜像中,第2非晶质层4形成于第2侧面21的下部,单晶层4A形成于第2侧面21的上部。此外,图33中示出了单晶层4A的宽度 $w$ 。

[0117] 图34是示出实施方式2的半导体装置102的3点弯曲试验的状态的示意图。沟槽栅15的长边方向与图34的左右方向对应。支点间的距离为8mm。上部的压头以0.5mm/min的速度朝向半导体装置102下降。根据此时的挠曲量和破坏载荷计算出了抗弯强度。

[0118] 图35是示出第2侧面21的单晶层4A的宽度 $w$ 与半导体装置102的抗弯强度之间的关系图。抗弯强度以单晶层4A的宽度 $w$ 为 $0\mu\text{m}$ 的情况下的值进行了标准化。在单晶层4A的宽度 $w$ 为 $2\mu\text{m}$ 以上的情况下,半导体装置102的机械强度提高。

[0119] 实施方式2的芯片故障概率与图27所示的结果相同。与图29和图30同样,从半导体装置102的背面朝向正面流动的电流的路径不会向半导体装置102的外周部扩展。因此,形成于第2侧面21的单晶层4A不会诱发芯片故障。如上所述,实施方式2的半导体装置102防止由开关动作引起的破坏,并且提高芯片强度。即,不仅可靠性提高,而且半导体装置102的机械强度也提高。

[0120] 在实施方式2中,在利用刀片32形成第1非晶质层3之后,利用激光形成第2非晶质层4。在先利用激光形成第2非晶质层4,然后利用刀片32形成第1非晶质层3的情况下,由于从刀片32受到的应力,多个半导体装置会以第2非晶质层4为起点产生崩边。因此,优选的是,在利用刀片32形成第1非晶质层3后,利用激光形成第2非晶质层4。

[0121] 在图32中示出了一条连续的沟槽栅15,但沟槽栅15的结构不限于此。也可以配置在晶体管区域6的中央处断开的两条沟槽栅。也可以是,被分割为任意数量的多条沟槽栅在图32的左右方向上离散地配置。

[0122] <实施方式3>

[0123] 在实施方式3中,对与实施方式1和实施方式2相同的结构要素标注相同的参照标号,并省略它们的详细说明。

[0124] 图36是示出实施方式3的半导体装置103的结构的立体图。图37是图36所示的C-C'处的剖视图。

[0125] 半导体装置103包含半导体基板31、晶体管区域6、沟槽栅15、终端区域7、表面电极1、外周绝缘层2、背面电极5、下部第1非晶质层3L、上部第1非晶质层3U、下部第2非晶质层4L和上部第2非晶质层4U。实施方式3的半导体装置103与实施方式1的半导体装置101的不同点在于,第1非晶质层3由下部第1非晶质层3L和上部第1非晶质层3U构成,第2非晶质层4由下部第2非晶质层4L和上部第2非晶质层4U构成。换言之,在半导体装置103的上部与下部,半导体装置103的侧面中的第1非晶质层3和第2非晶质层4的厚度是不同的。

[0126] 上部第1非晶质层3U形成于第1侧面20中的第1非晶质层3的上部。具体而言,上部第1非晶质层3U形成于n型漂移层9的侧面。下部第1非晶质层3L以与上部第1非晶质层3U连接的形式形成于n型漂移层9和n型SiC层8的侧面、即向半导体装置103的下表面侧形成。

[0127] 上部第2非晶质层4U形成于第2侧面21中的第2非晶质层4的上部。具体而言,上部第2非晶质层4U形成于n型漂移层9的侧面。第2非晶质层4以与上部第2非晶质层4U连接的形

式形成于n型漂移层9和n型SiC层8的侧面、即向半导体装置103的下表面侧形成。

[0128] 如图36所示,上部第1非晶质层3U与下部第1非晶质层3L的边界部和上部第2非晶质层4U与下部第2非晶质层4L的边界部不一定需要为相同的高度。

[0129] 对实施方式3的半导体装置103的制造方法进行说明。步骤S1至S10与实施方式1的各个步骤相同,但步骤S11和步骤S12与实施方式1不同。

[0130] 在步骤S11中,形成上部第1非晶质层3U和下部第1非晶质层3L。图38是示出形成上部第1非晶质层3U的工序的图。通过切割将形成于SiC晶片30的多个半导体装置分割为一个一个半导体装置103。上部第1非晶质层3U是在沿着沟槽栅15的长边方向切割SiC晶片30时形成的。更具体来说,用于切割的刀片32将n型漂移层9的至少一部分切断。此时,利用刀片32与n型漂移层9的摩擦而形成上部第1非晶质层3U。然后,针对n型漂移层9的剩余部分和n型SiC层8形成下部第1非晶质层3L,并且切断漏极18。

[0131] 例如,刀片32所包含的磨粒的尺寸越大,则非晶质层越厚。因此,通过使形成上部第1非晶质层3U时的刀片32所包含的磨粒的尺寸比形成下部第1非晶质层3L时的刀片32所包含的磨粒的尺寸小,能够使上部第1非晶质层3U比下部第1非晶质层3L薄。

[0132] 刀片32例如是电铸刀片,但不限于此。能够适当选择包含所期望的磨粒直径的刀片。刀片旋转速度为10000rpm以上30000rpm以下。刀片进给速度为5mm/sec以上100mm/sec以下。这些刀片旋转速度和进给速度可以根据刀片材料以及切割装置来适当调整。在实施方式3中,刀片旋转速度为20000rpm,刀片进给速度为20mm/sec。

[0133] 在步骤S12中,形成上部第2非晶质层4U和下部第2非晶质层4L。上部第2非晶质层4U和下部第2非晶质层4L是在沿着沟槽栅15的短边方向切割SiC晶片30时形成的。在实施方式3中,也与实施方式1相同地,步骤S12的切割条件与步骤S11的切割条件不同。因此,第2非晶质层4的厚度与第1非晶质层3的厚度不同。上部第2非晶质层4U和下部第2非晶质层4L的形成方法与上述的上部第1非晶质层3U和第1非晶质层3的形成方法相同。

[0134] 在实施方式3中,也与实施方式2同样,进行了如图34的示意图所示的半导体装置103的3点弯曲试验。在对半导体装置103的第1侧面20进行3点弯曲试验的情况下,沟槽栅15的延伸方向与图34的左右方向对应。支点间的距离为8mm。上部的压头以0.5mm/min的速度朝向半导体装置103下降。根据此时的挠曲量和破坏载荷计算出了抗弯强度。

[0135] 图39是示出半导体装置103的端部在与沟槽栅15的延伸方向垂直的截面中的结构的图。在图39中,除了示出了下部第1非晶质层3L的厚度 $t_y$ 以及下部第1非晶质层3L与层间绝缘膜16的距离 $d_y$ 之外,还示出了第1侧面20中的上部第1非晶质层3U与下部第1非晶质层3L的厚度差 $d$ 。此外,在图39中,通过箭头示意性地示出了半导体装置103为导通状态的情况下的电流的流动。在沟槽栅15附近形成有沟道,因此,电流路径不会扩展。

[0136] 图40是示出第1侧面20中的上部第1非晶质层3U与下部第1非晶质层3L的厚度差 $d$ 和半导体装置103的抗弯强度之间的关系的图。抗弯强度以厚度差 $d$ 为 $0\mu\text{m}$ 的情况下的值进行了标准化。在厚度差 $d$ 为 $0.5\mu\text{m}$ 以上的情况下,半导体装置103的机械强度提高。图40是调查第1侧面20中的上部第1非晶质层3U与下部第1非晶质层3L的厚度差 $d$ 和半导体装置103的抗弯强度而得到的图,但关于第2侧面21中的上部第2非晶质层4U与下部第2非晶质层4L的厚度差 $d$ 和半导体装置103的抗弯强度之间的关系,也得到了相同的结果。

[0137] 在实施方式2中,如图35所示,在单晶层4A的宽度 $w$ 为 $2\mu\text{m}$ 以上的情况下,半导体装

置102的机械强度提高。在实施方式3中,也确认到在上部第1非晶质层3U的宽度为 $2\mu\text{m}$ 以上的情况下,半导体装置103的机械强度提高。

[0138] 图41是示出半导体装置103在与沟槽栅15的延伸方向平行的截面中的结构的图。在图41中,示出了下部第2非晶质层4L的厚度 $t_x$ 以及下部第2非晶质层4L与层间绝缘膜16的距离 $d_x$ 。此外,在图41中,通过箭头示意性地示出了半导体装置103为导通状态的情况下的电流的流动。虽然在沟槽栅15附近形成有沟道,但在沟槽栅15的端部处电流扩展而流动。即,该沟槽栅15的周边部分也成为电流路径的一部分。

[0139] 实施方式3的芯片故障概率与图27所示的结果相同。如图39和图41所示,从半导体装置103的背面朝向正面流动的电流的路径不会向半导体装置103的外周部扩展。因此,上部第1非晶质层3U和上部第2非晶质层4U不会诱发芯片故障。如上所述,实施方式3的半导体装置103防止由开关动作引起的破坏,并且提高芯片强度。即,不仅可靠性提高,而且也提高半导体装置103的机械强度。

[0140] 在本公开中,针对半导体装置103的第1侧面20和第2侧面21分别设有上表面侧非晶质层。但是,上表面侧非晶质层不一定需要设置于半导体装置103的所有侧面,也可以仅设置于一个侧面。

[0141] <实施方式4>

[0142] 在实施方式4中,对与实施方式1至实施方式3相同的结构要素标注相同的参照标号,并省略它们的详细说明。

[0143] 图42是示出实施方式4的电力转换装置200和电力转换系统的结构的框图。

[0144] 电力转换系统具备电源100、电力转换装置200以及负载300。

[0145] 电源100是直流电源。电源100向电力转换装置200供给直流电。电源100例如由直流系统、太阳能电池、蓄电池等构成。电源100也可以包含将从直流系统输出的直流电转换为规定的电力的DC/DC转换器。或者,例如也可以是,电源100由与交流系统连接的整流电路、AC/DC转换器等构成。

[0146] 电力转换装置200是连接在电源100与负载300之间的三相逆变器。电力转换装置200将从电源100供给的直流电转换为交流电,并向负载300供给交流电。电力转换装置200的详细结构如后所述。

[0147] 负载300由从电力转换装置200供给的交流电驱动。实施方式4的负载300是三相电动机。但是,负载300并不限于特定用途的电动机。负载300也可以是搭载于各种电气设备的电动机。该电动机例如用于混合动力汽车、电动汽车、铁路车辆、电梯、空调设备等。

[0148] 以下,对电力转换装置200的详细情况进行说明。电力转换装置200包含主转换电路201、驱动电路202以及控制电路203。

[0149] 主转换电路201将直流电转换为交流电并输出。主转换电路201包含开关元件和续流二极管(均未图示)。通过切换开关元件的接通状态和断开状态,从电源100供给的直流电被转换为交流电,该交流电被供给至负载300。主转换电路201的开关元件和续流二极管中的至少一方形成于实施方式1或实施方式2所示的半导体装置101、102内。换言之,上述的半导体装置101、102所包含的半导体元件与主转换电路201的开关元件或续流二极管对应。

[0150] 实施方式4的主转换电路201是2电平的三相全桥电路。主转换电路201包含六个开关元件、以及与这六个开关元件分别反向并联连接的六个续流二极管。主转换电路201包含

上臂和下臂。属于上臂的一个开关元件与属于下臂的一个开关元件串联连接。换言之,六个开关元件中,每相互串联连接的两个开关元件构成上下臂。各上下臂构成全桥电路的各相(U相、V相、W相)。三相的输出端子、即主转换电路201的三个输出端子与负载300连接。主转换电路201的电路结构是一例,并不限于上述结构。

[0151] 驱动电路202生成用于控制主转换电路201的开关元件的状态的驱动信号。驱动电路202将该驱动信号输出至主转换电路201的开关元件的控制电极。具体而言,根据从控制电路203输出的控制信号,将使开关元件成为接通状态的驱动信号或使开关元件成为断开状态的驱动信号输出至各开关元件的控制电极。在将开关元件维持在接通状态的情况下,驱动信号是开关元件的阈值电压以上的电压信号(接通信号)。在将开关元件维持在断开状态的情况下,驱动信号是开关元件的阈值电压以下的电压信号(断开信号)。在开关元件是MOSFET或IGBT的情况下,控制电极是栅极14。

[0152] 控制电路203输出用于控制驱动电路202的控制信号。该控制信号被控制为向负载300供给规定的电力。具体而言,控制电路203根据应向负载300供给的电力,计算主转换电路201的开关元件应成为接通状态的时间、即接通时间。控制电路203生成控制信号并输出,使得在开关元件应成为接通状态的时机从驱动电路202向开关元件输出接通信号、且在开关元件应成为断开状态的时机从驱动电路202向开关元件输出断开信号。换言之,控制电路203进行根据应输出的电压来调制该接通时间的PWM控制。

[0153] 在这样的电力转换装置200中,作为主转换电路201的开关元件,应用了实施方式1或实施方式2所示的半导体装置101、102,因此,可靠性提高。

[0154] 在实施方式4中,示出了上述的半导体装置101、102应用于2电平的三相逆变器的例子,但半导体装置101、102的应用对象不限于此,可以应用于各种电力转换装置。半导体装置101、102能够应用于3电平或多电平的电力转换装置。也可以是,在电力转换装置200向单相负载供给电力的情况下,将半导体装置101、102应用于单相逆变器。也可以是,在电力转换装置200向直流负载等供给电力的情况下,将半导体装置101、102应用于DC/DC转换器或AC/DC转换器。

[0155] 此外,电力转换装置200的控制对象并不限于电动机。电力转换装置200例如也可以对放电加工机、激光加工机、感应加热烹调器、非接触供电系统等中的电力转换进行控制。或者,例如也可以是,将电力转换装置200应用于太阳能发电系统、蓄电系统等功率调节器。

[0156] 本公开能够对各实施方式自由地进行组合、或者对各实施方式适当进行变形或省略。

[0157] 标号说明

[0158] 1:表面电极;2:外周绝缘层;3:第1非晶质层;4:第2非晶质层;4A:单晶层;5:背面电极;6:晶体管区域;7:终端区域;7A:耐压保持结构;8:n型SiC层;9:n型漂移层;10:p型基极层;11:n型源极层;12:p型底部基极层;13:栅绝缘膜;14:栅极;14A:氧化层;15:沟槽栅;16:层间绝缘膜;17:源极;18:漏极;19:栅连接部;20:第1侧面;21:第2侧面;22:第1引线;23:焊料;24:第2引线;25:线;30:n型SiC晶片;31:半导体基板;32:刀片;100:电源;101:半导体装置;102:半导体装置;200:电力转换装置;201:主转换电路;202:驱动电路;203:控制电路;300:负载。

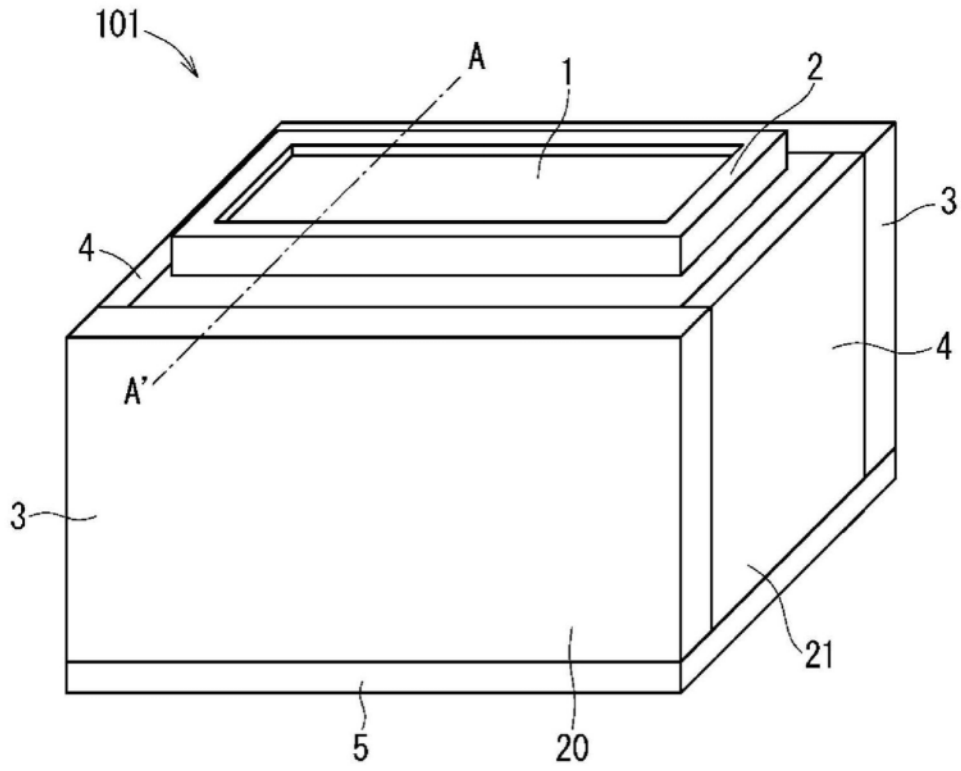


图1

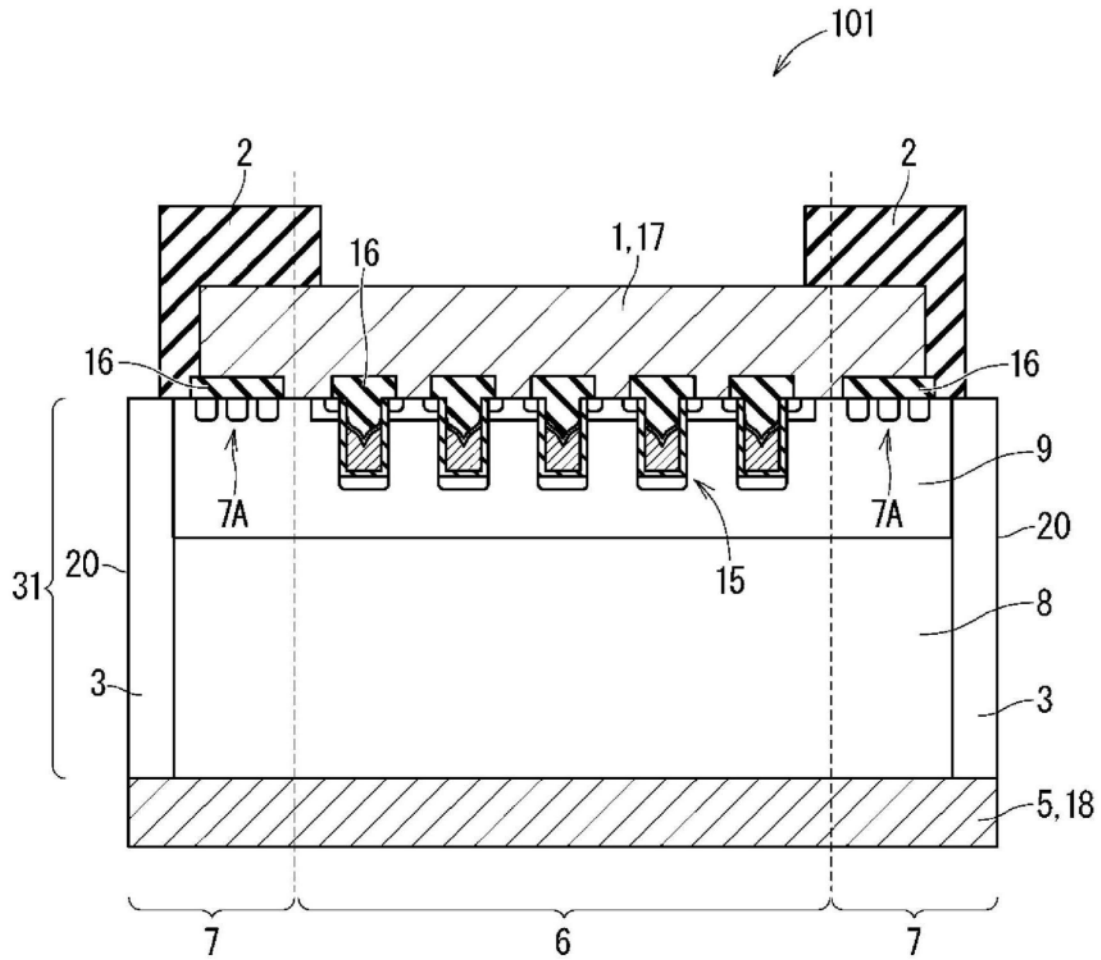


图2

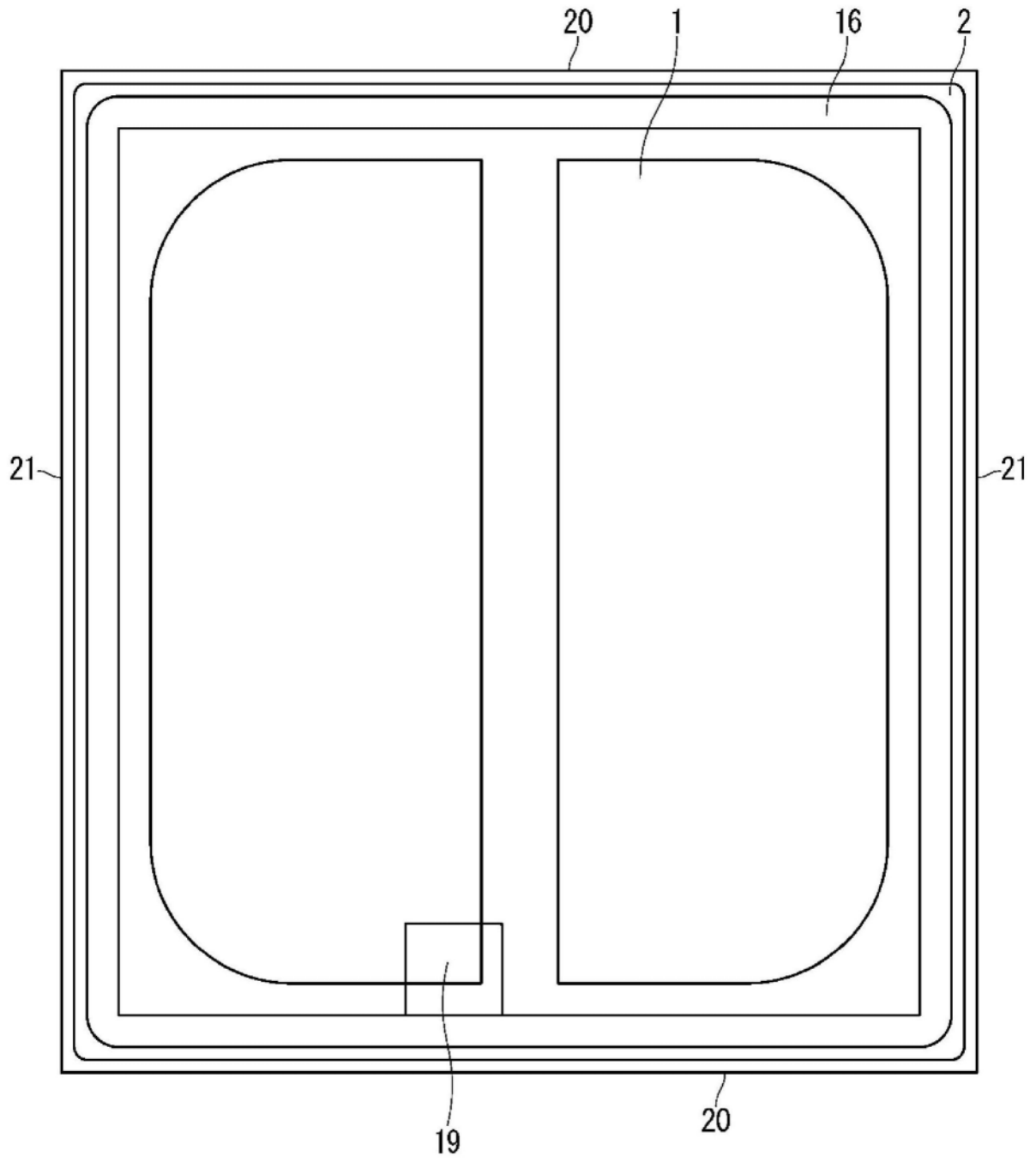


图3

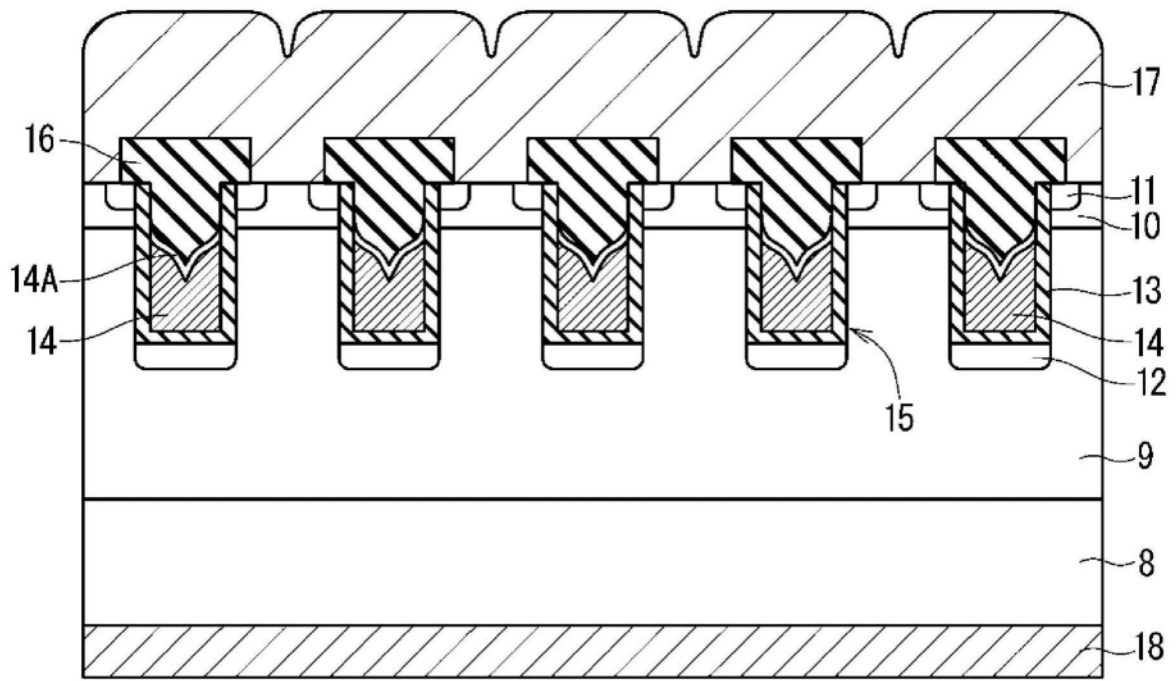


图4

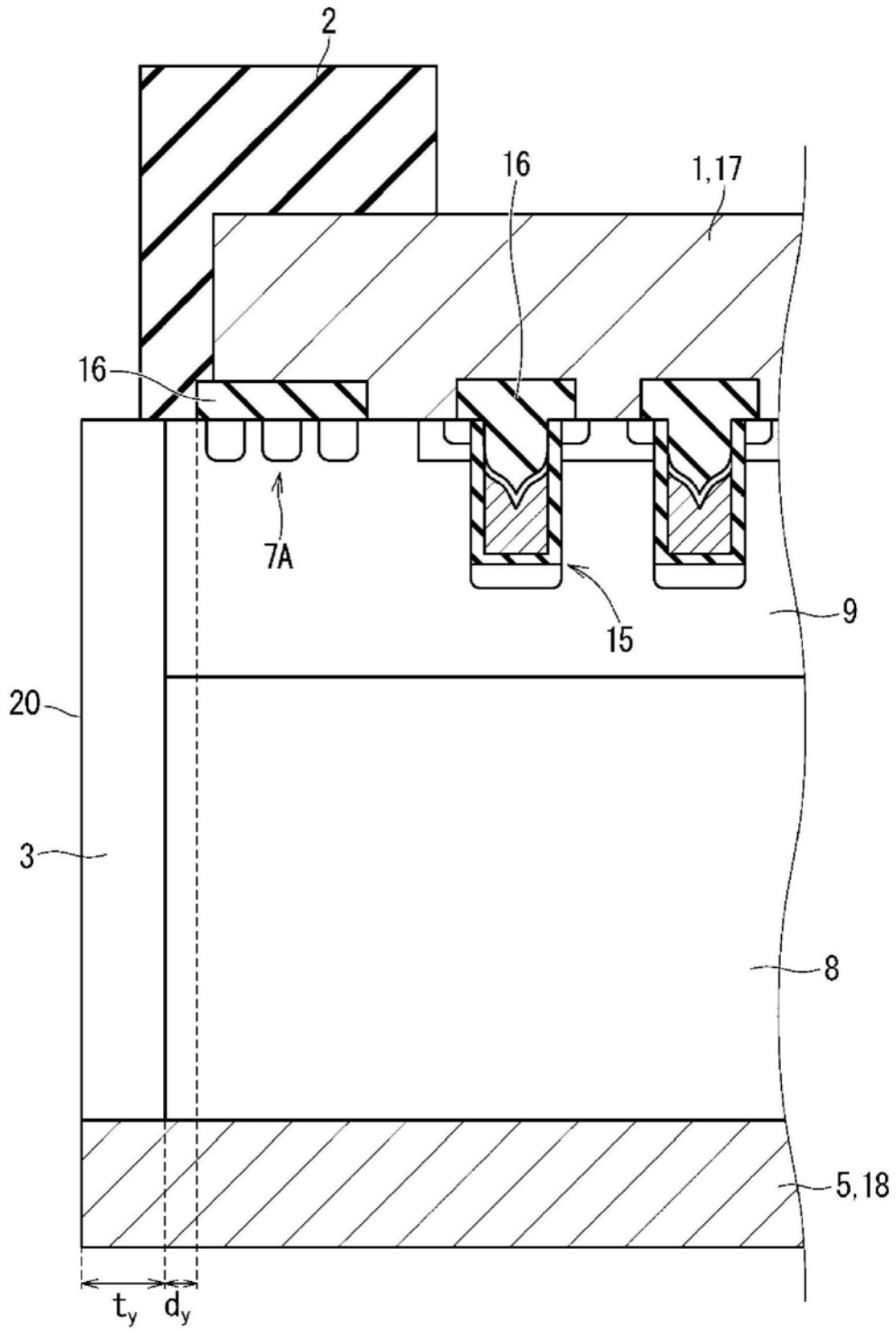


图5

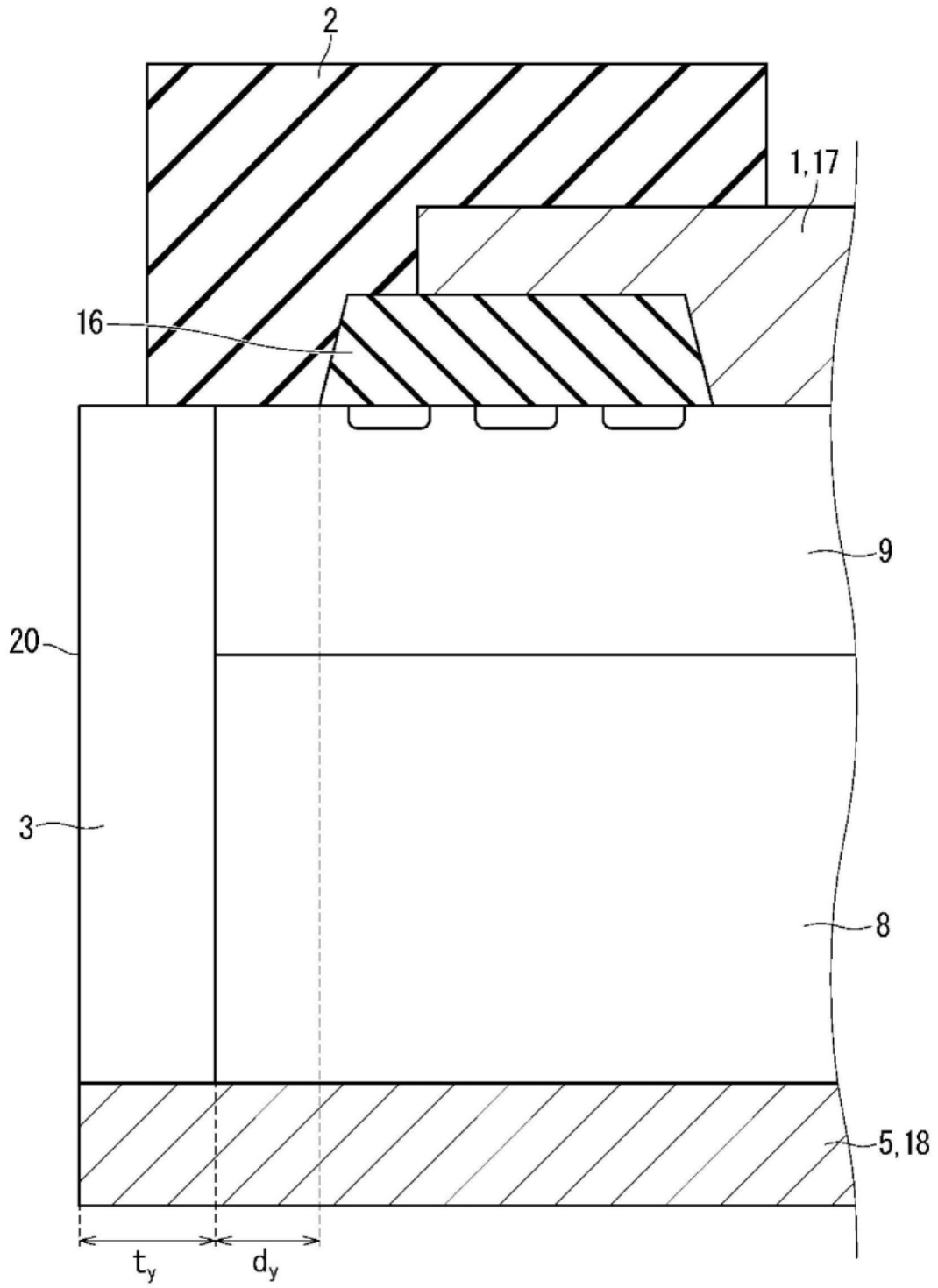


图6

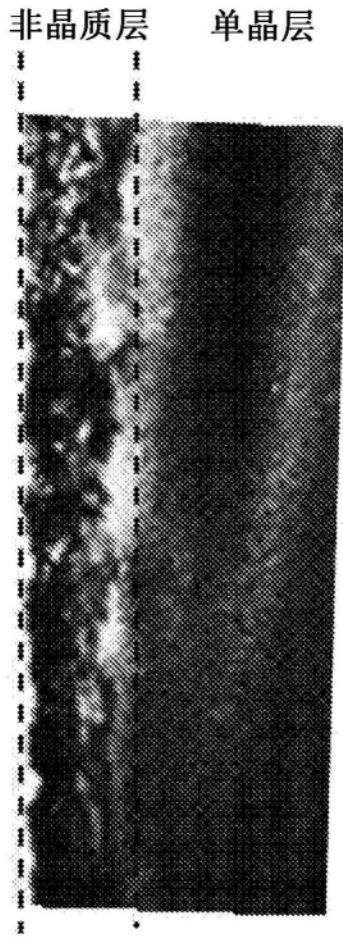


图7

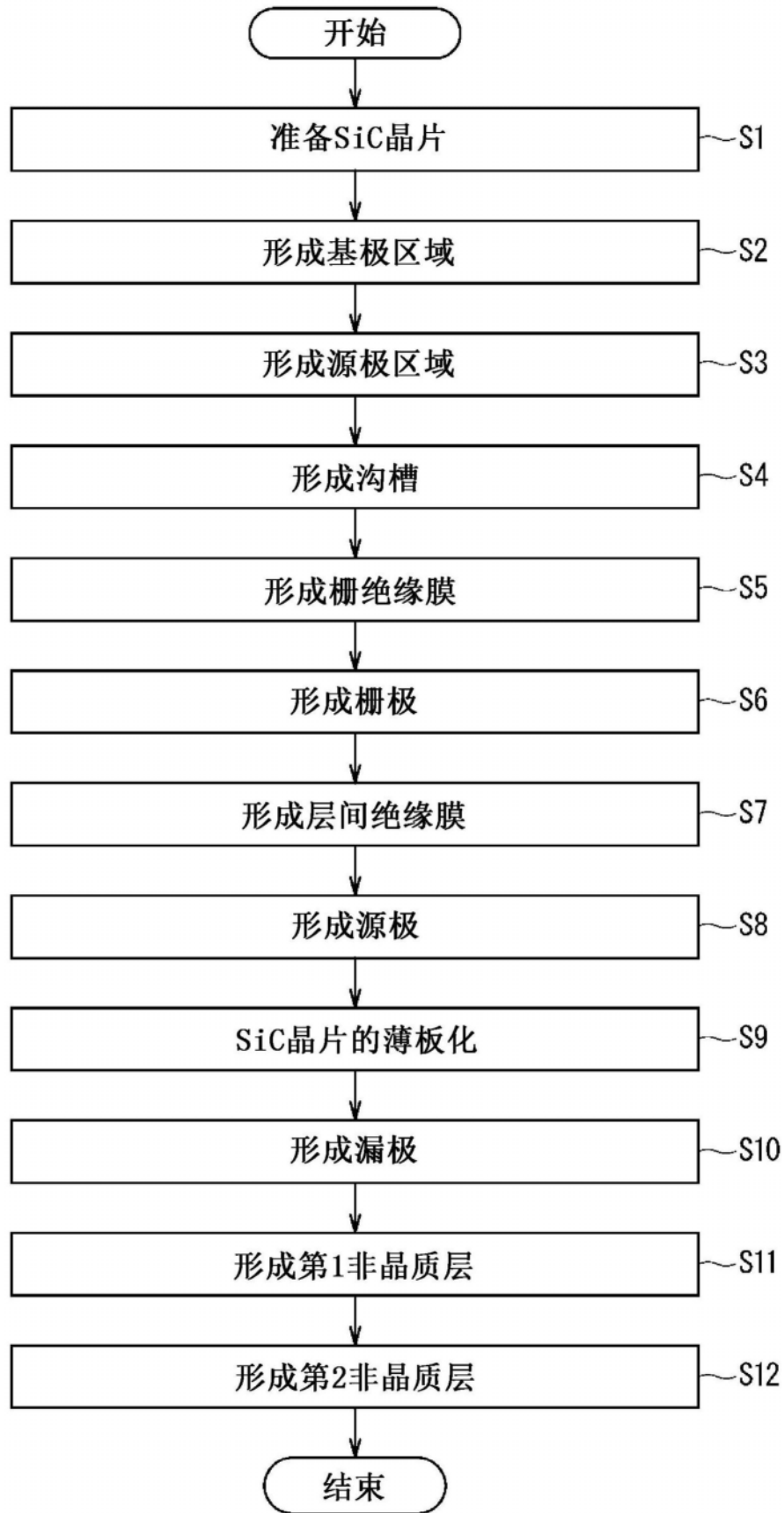


图8

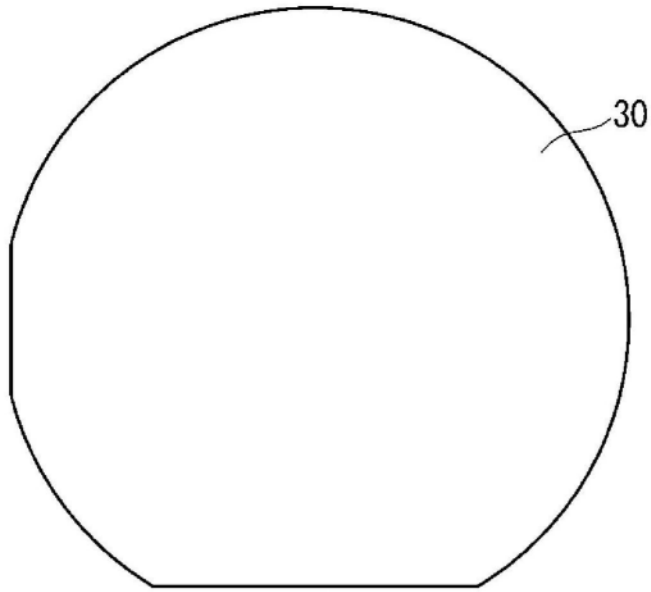


图9

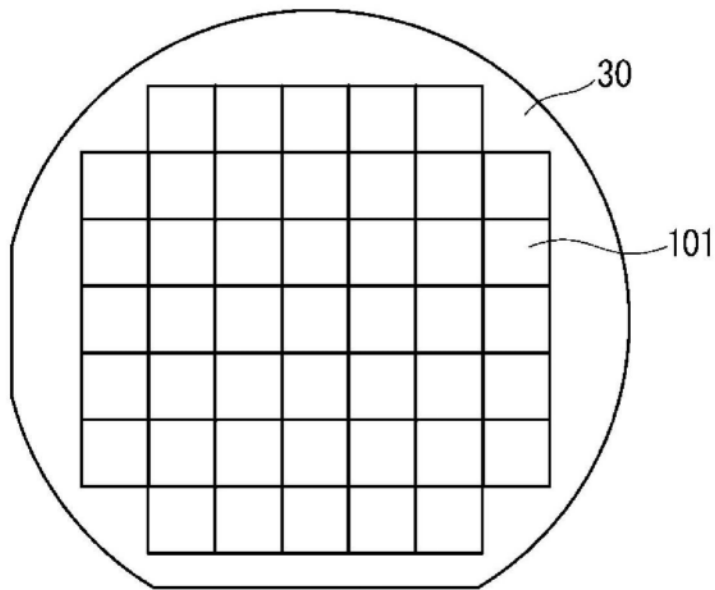


图10



图11

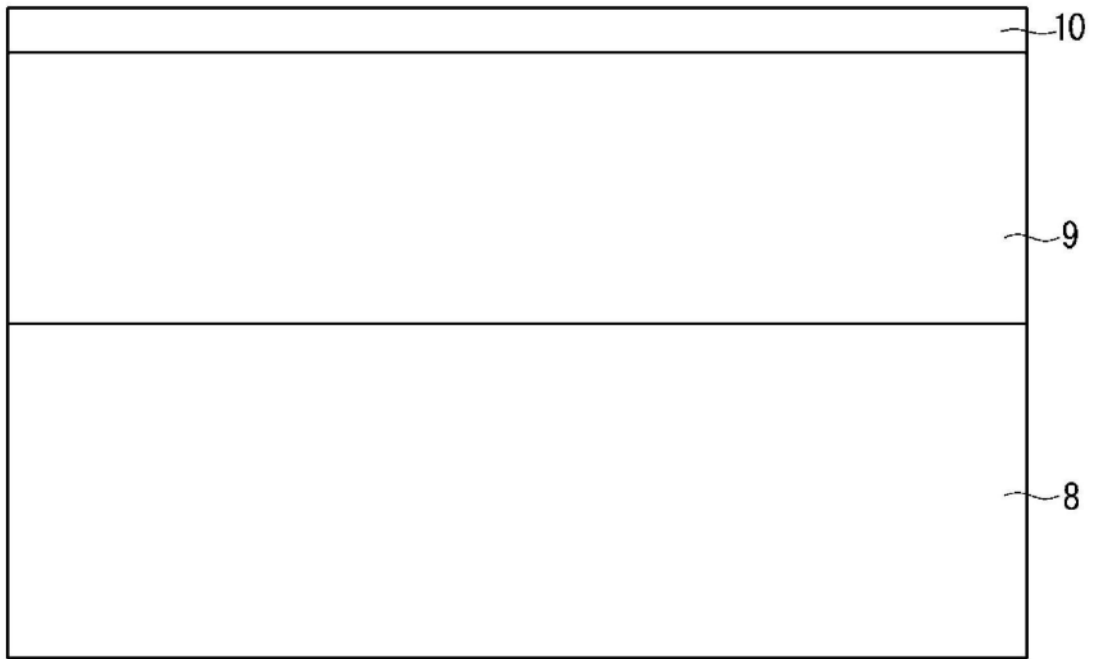


图12

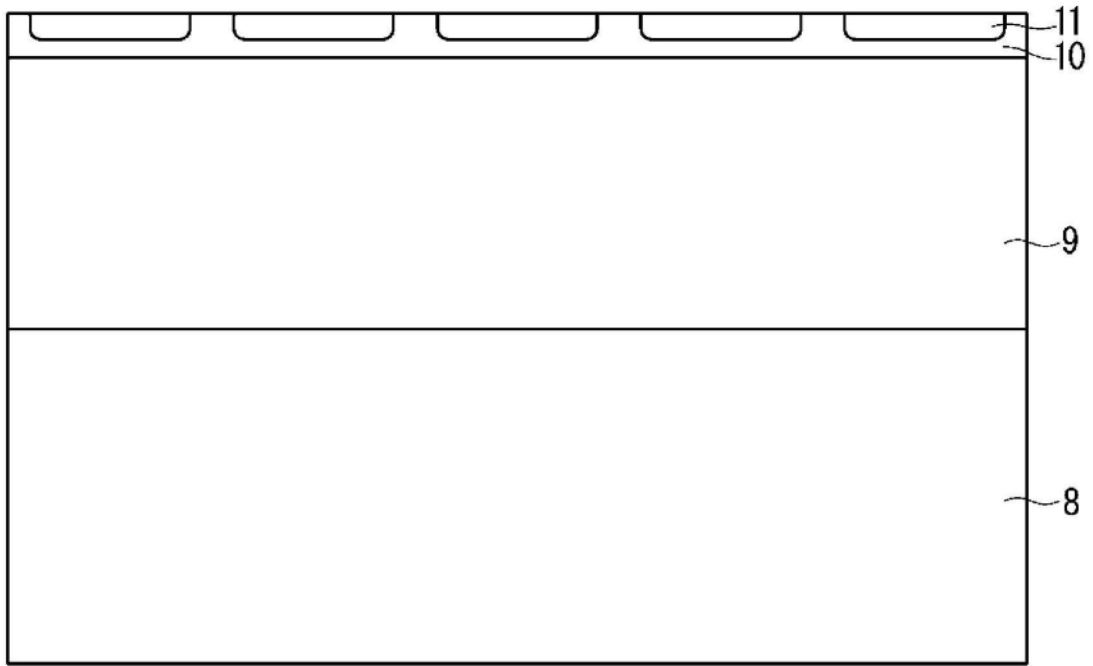


图13

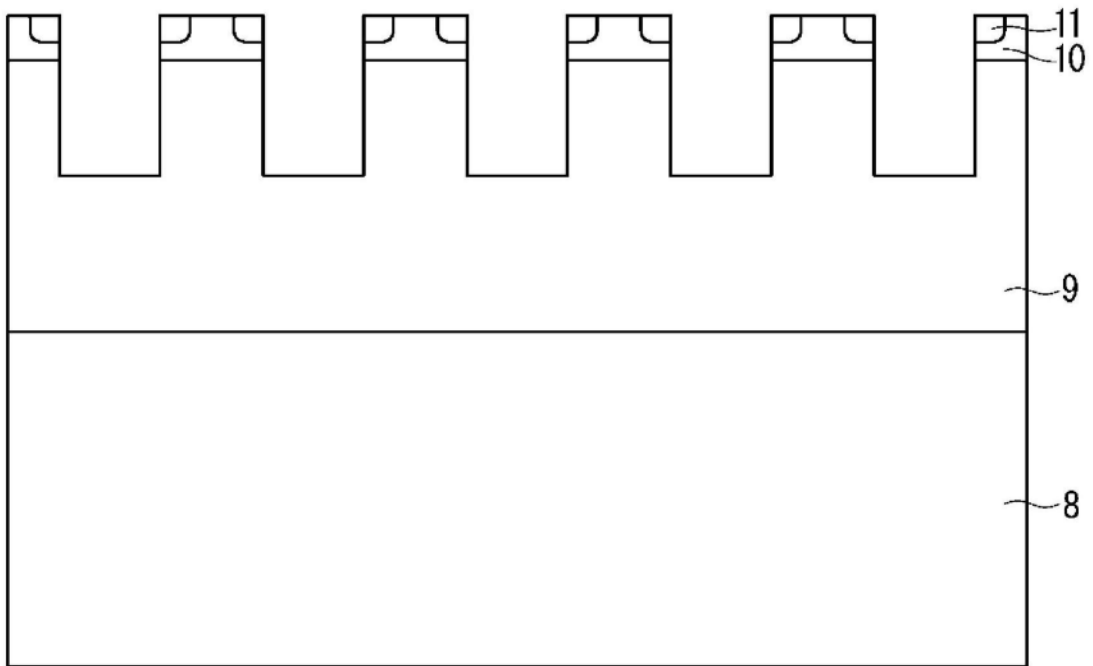


图14

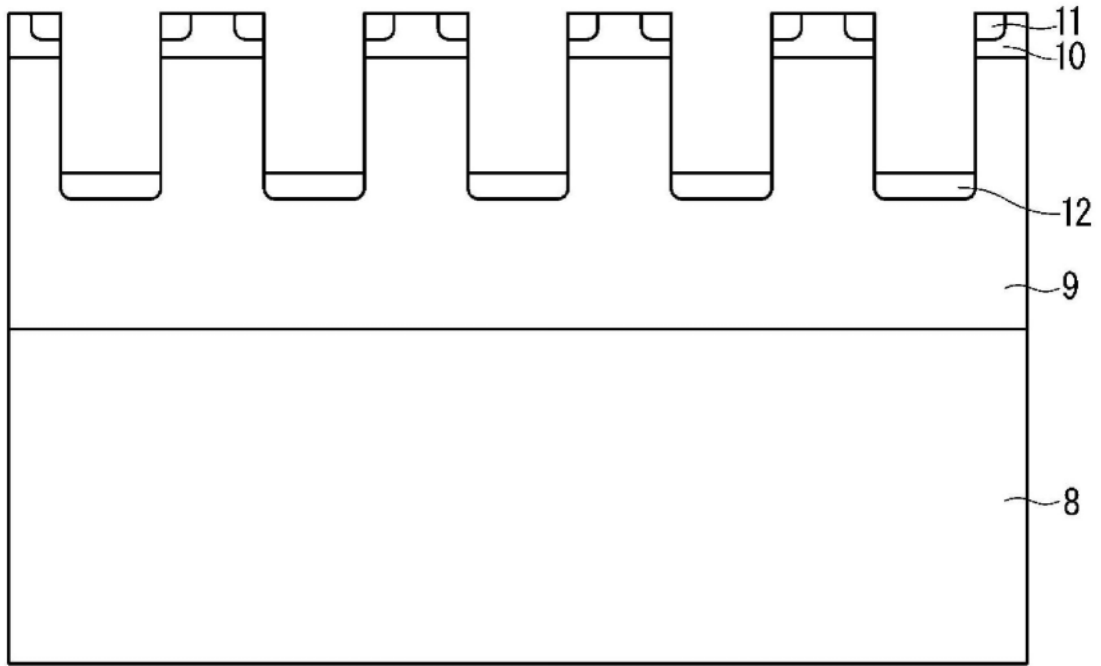


图15

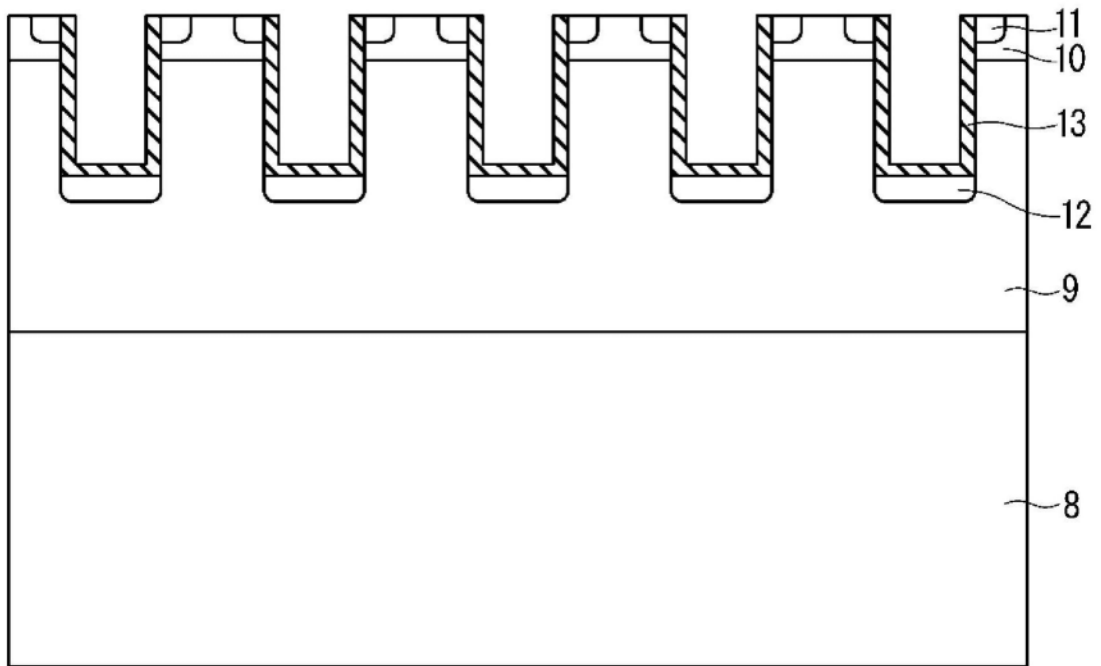


图16

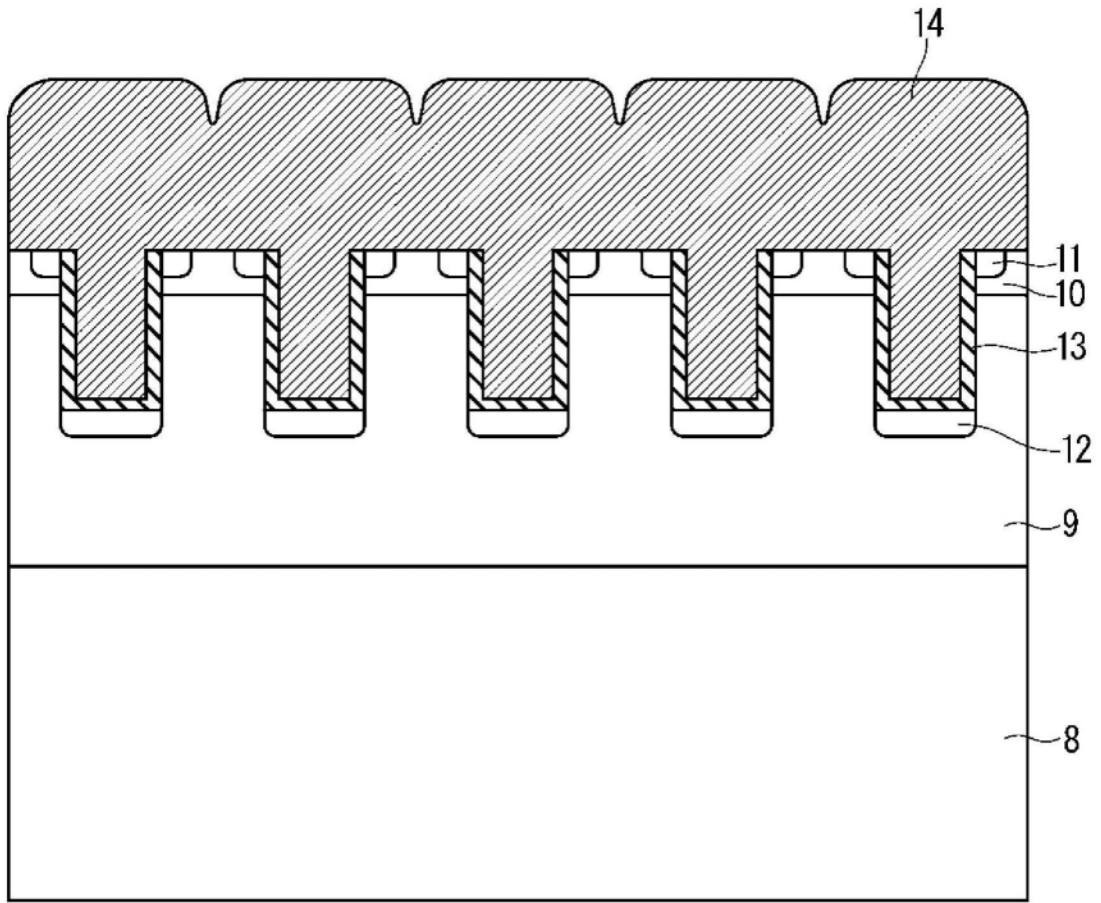


图17

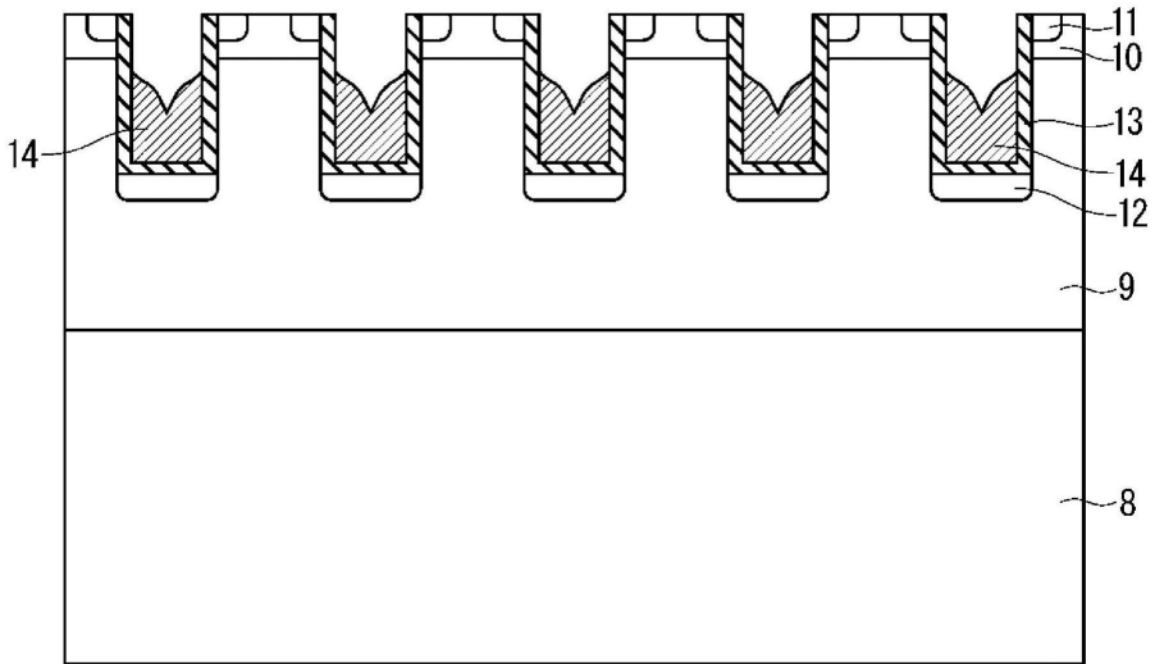


图18

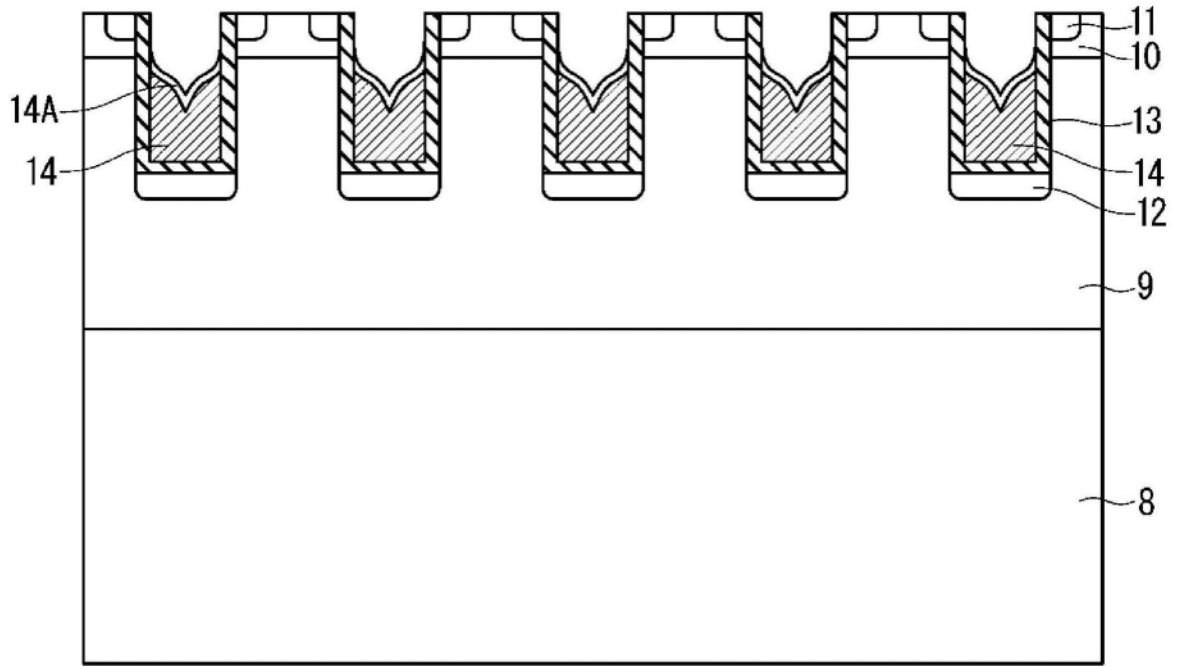


图19

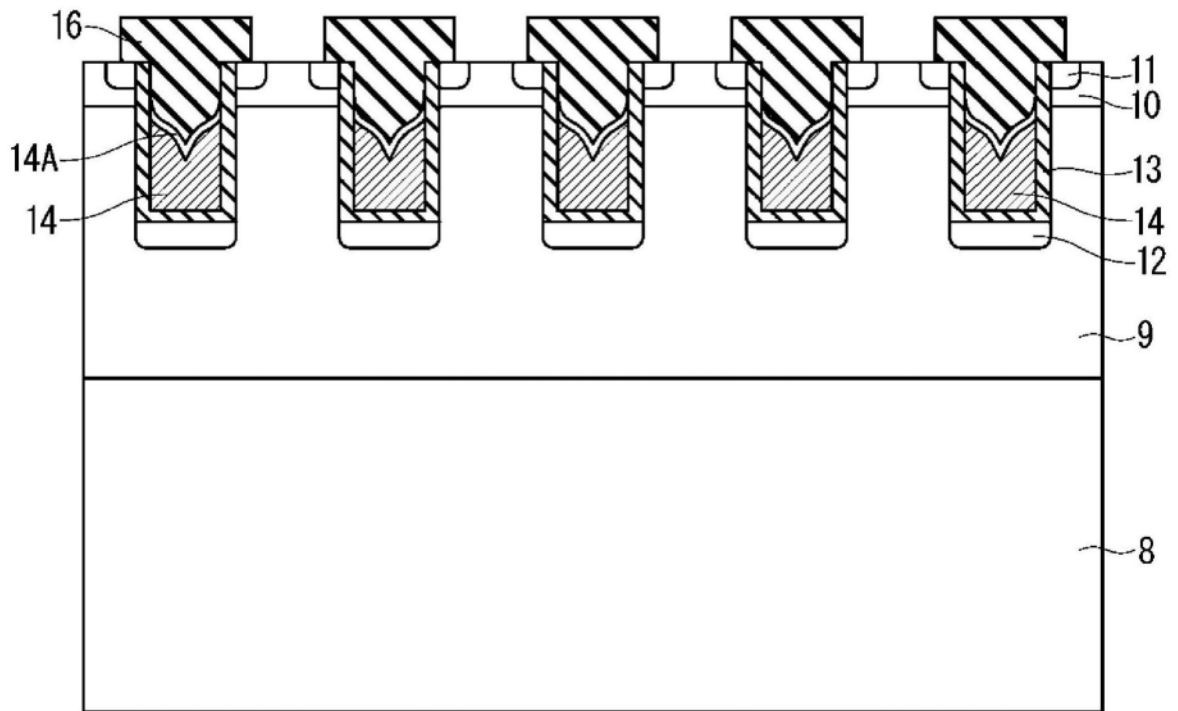


图20

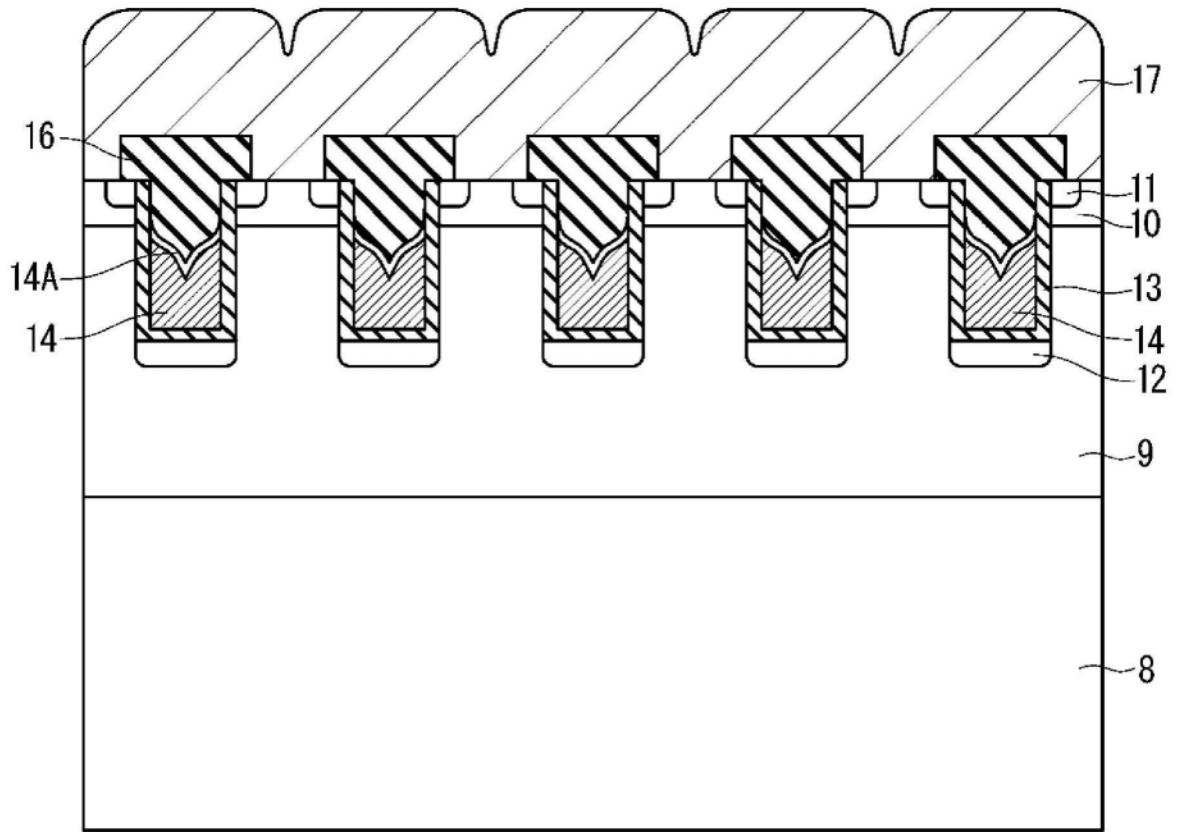


图21

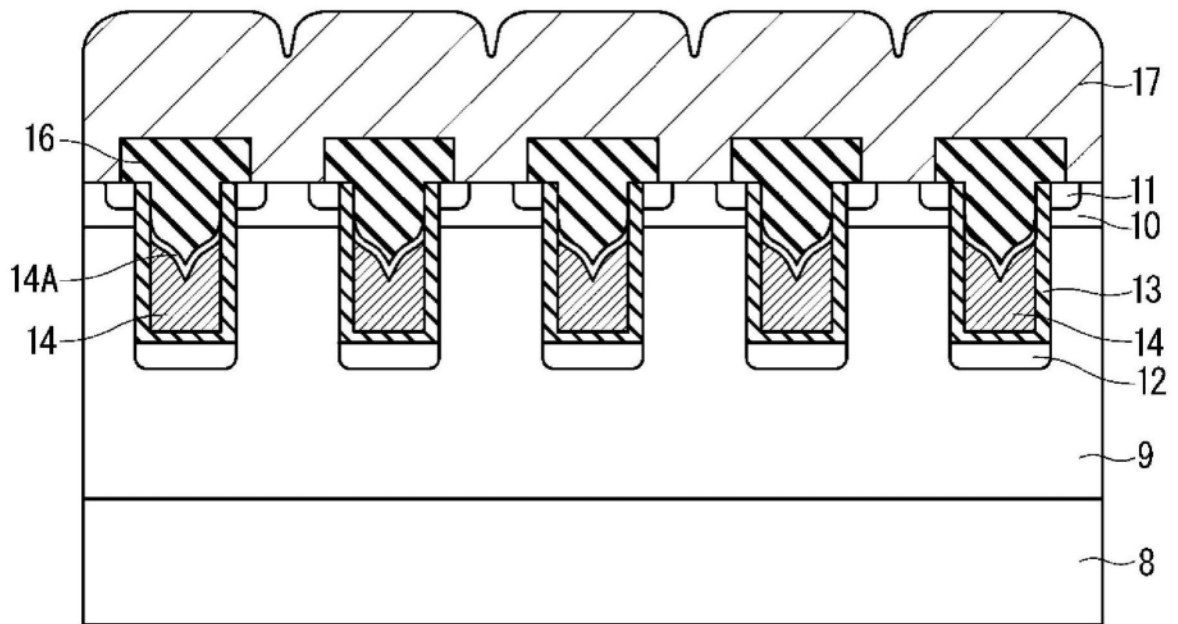


图22

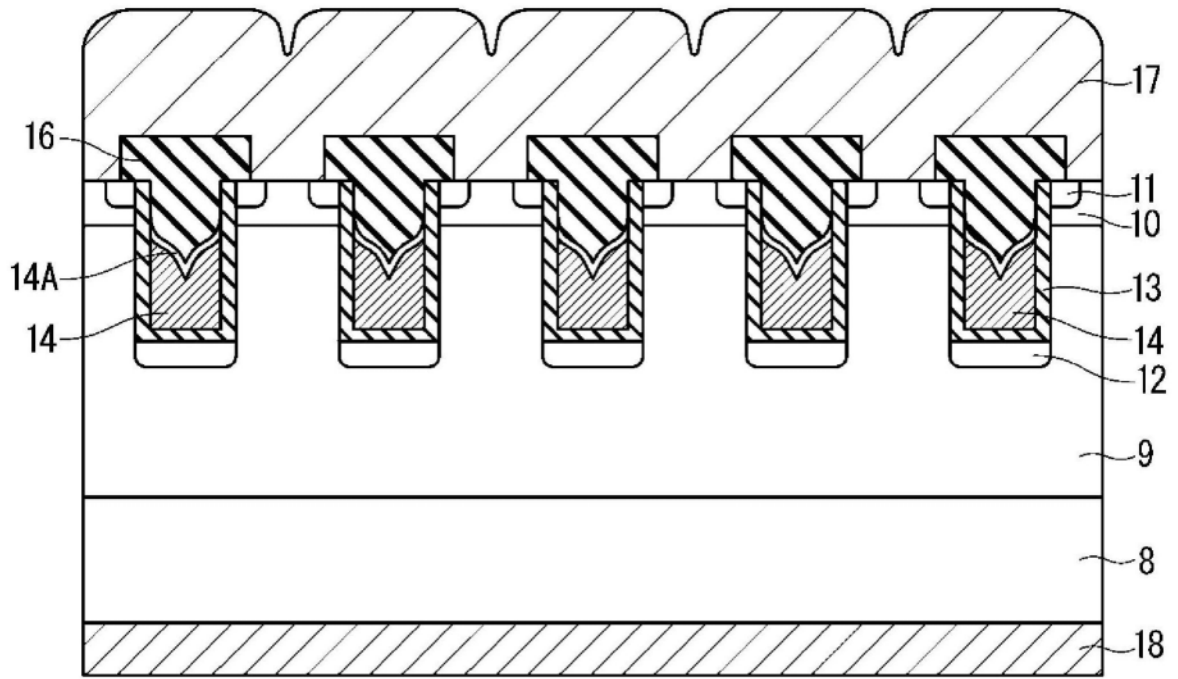


图23

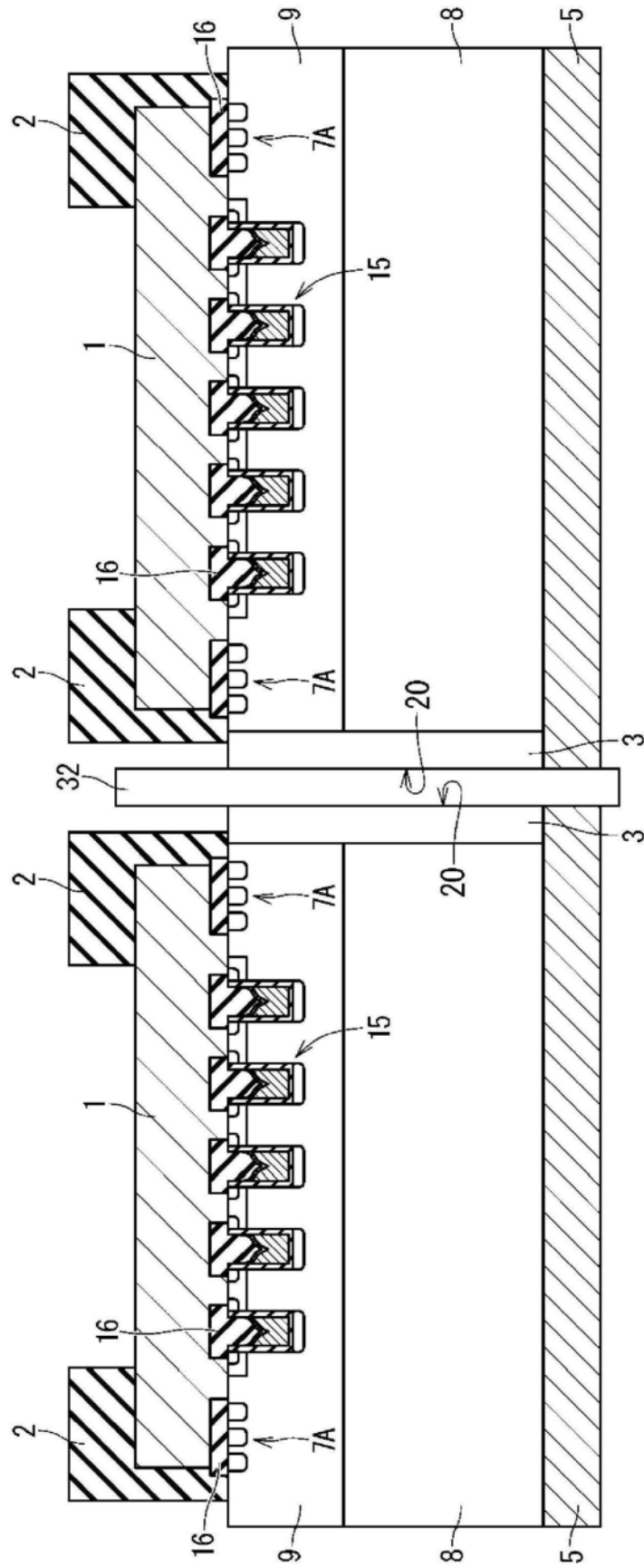


图24

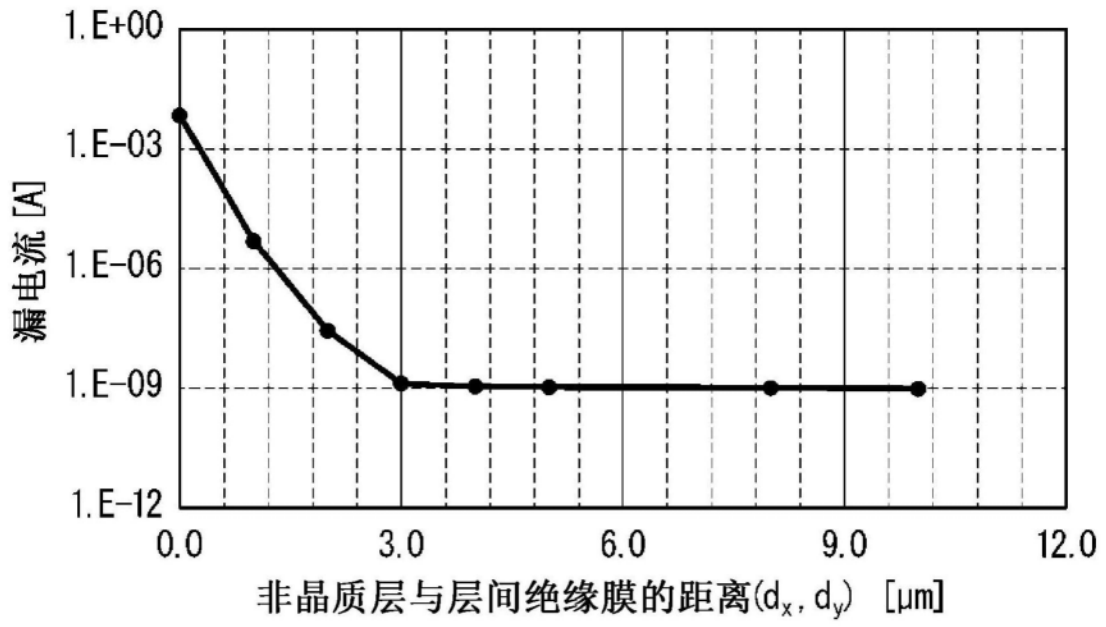


图25

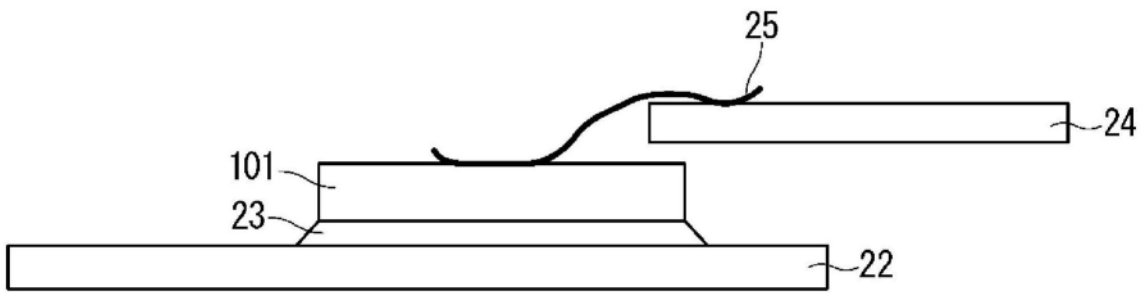


图26

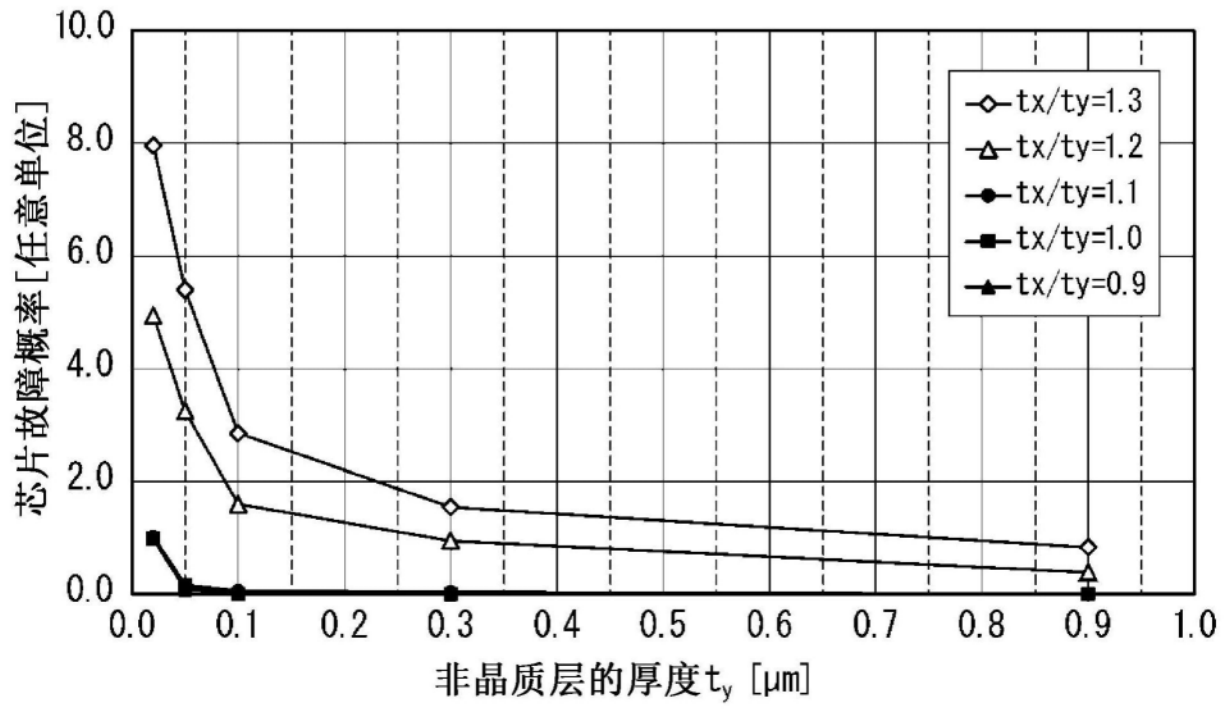


图27

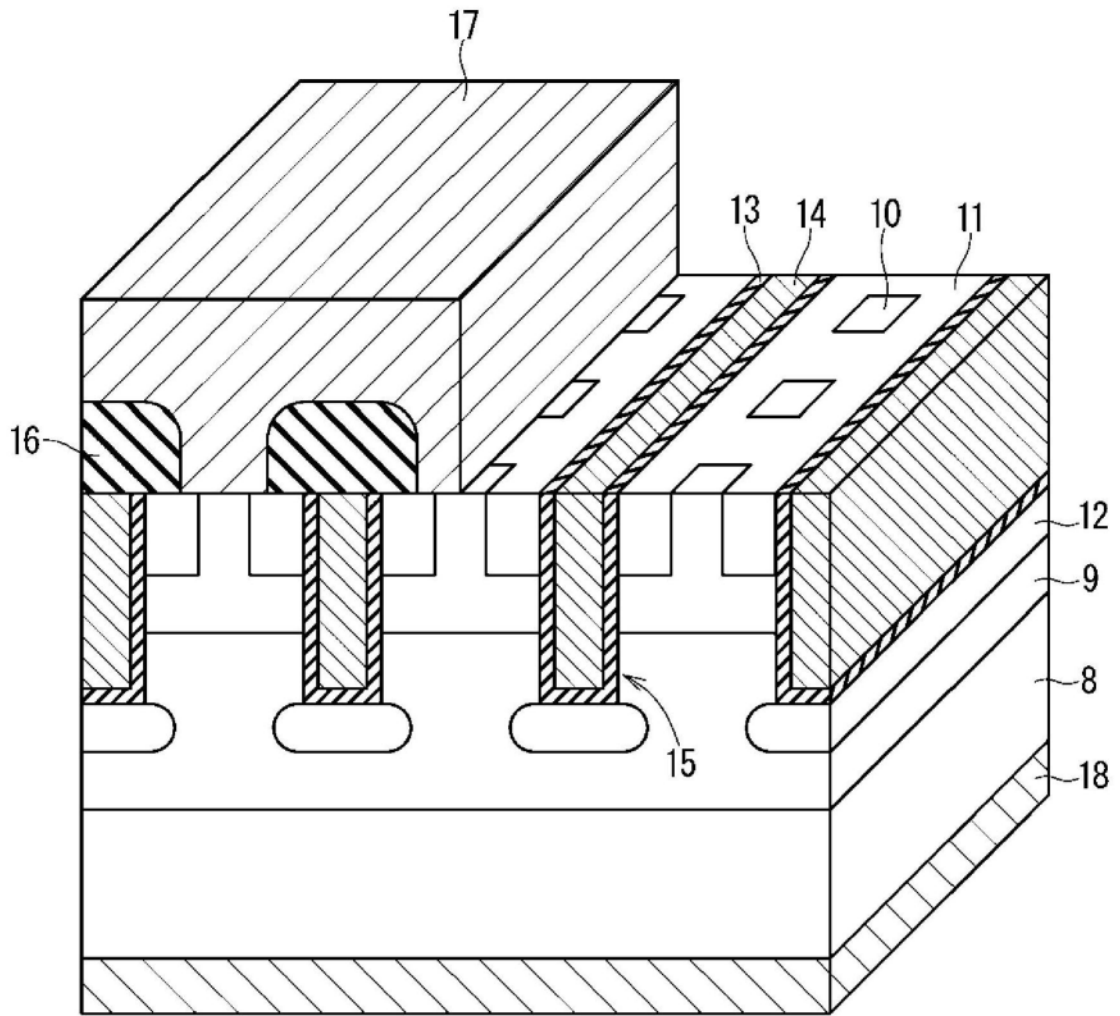


图28

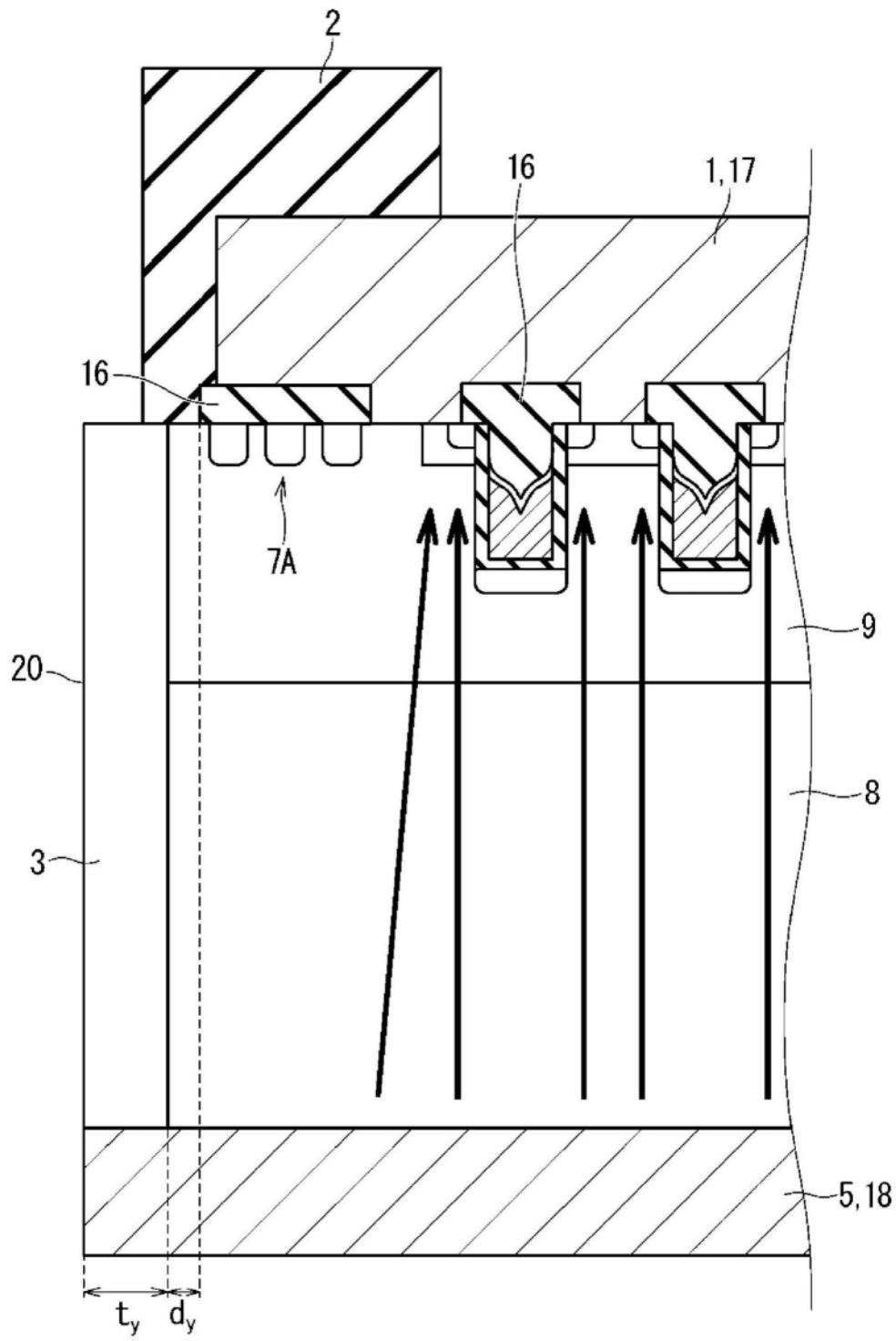


图29

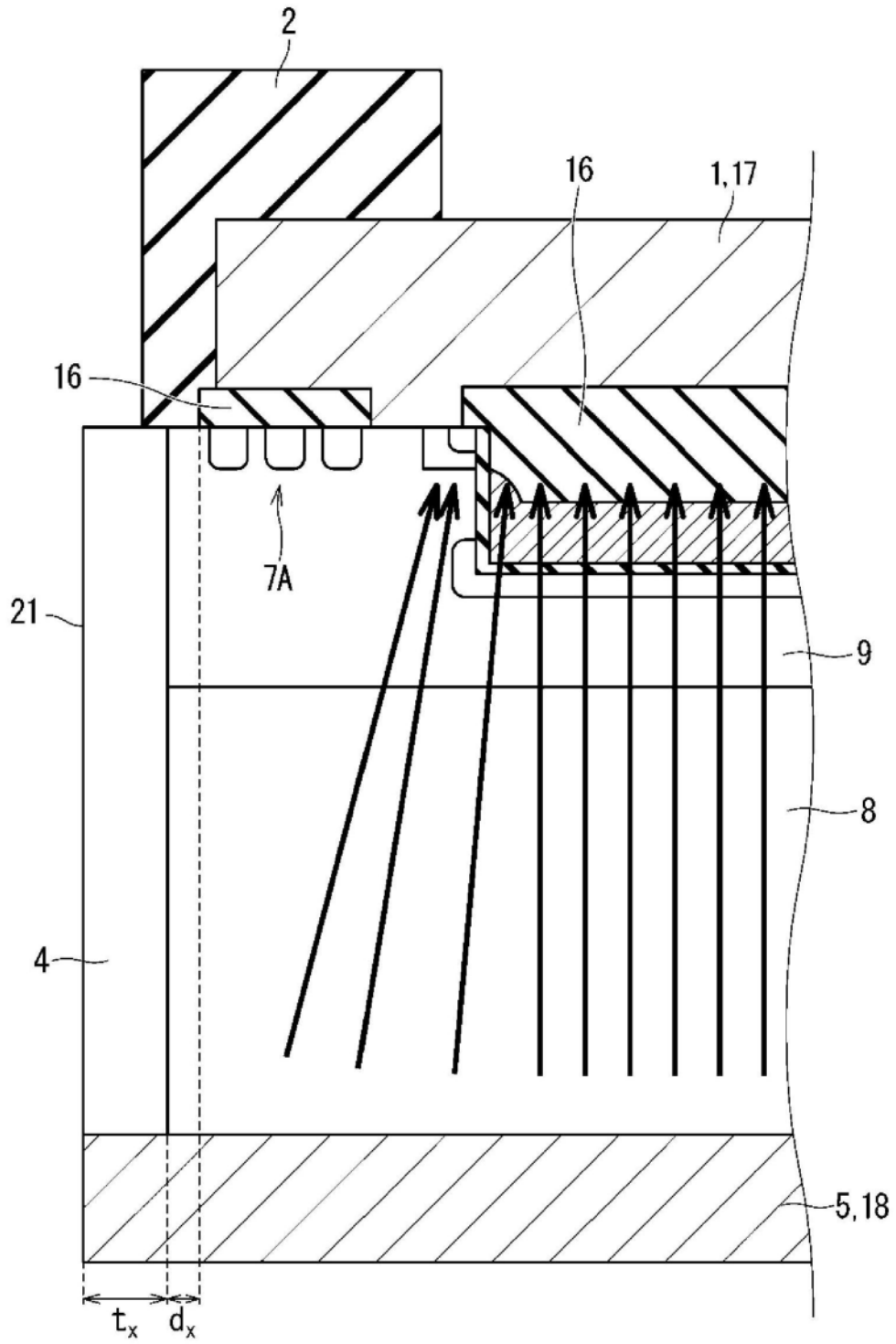


图30

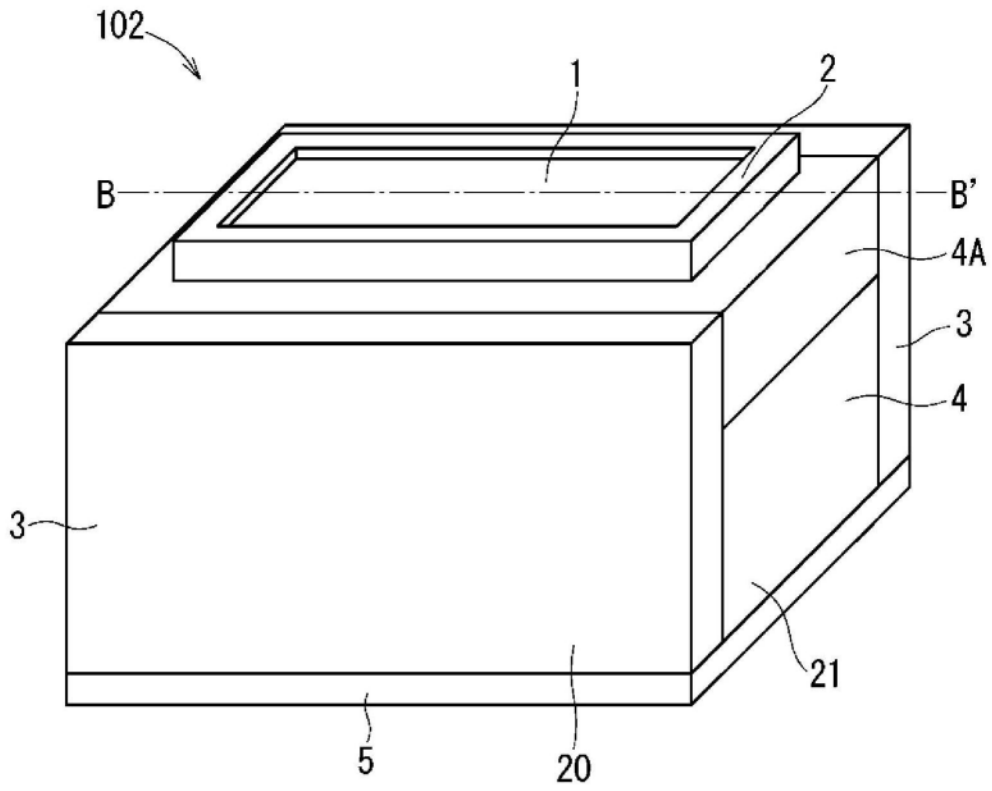


图31

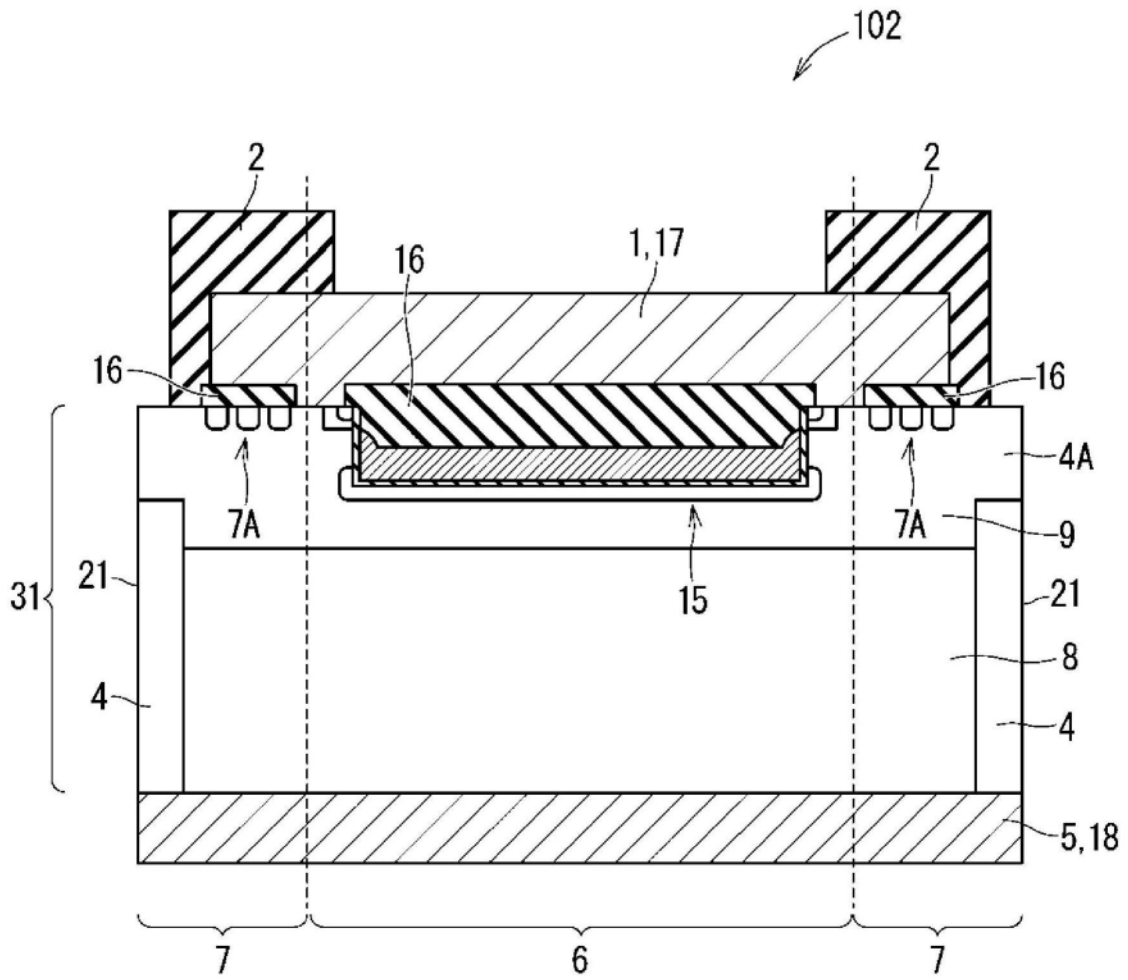


图32

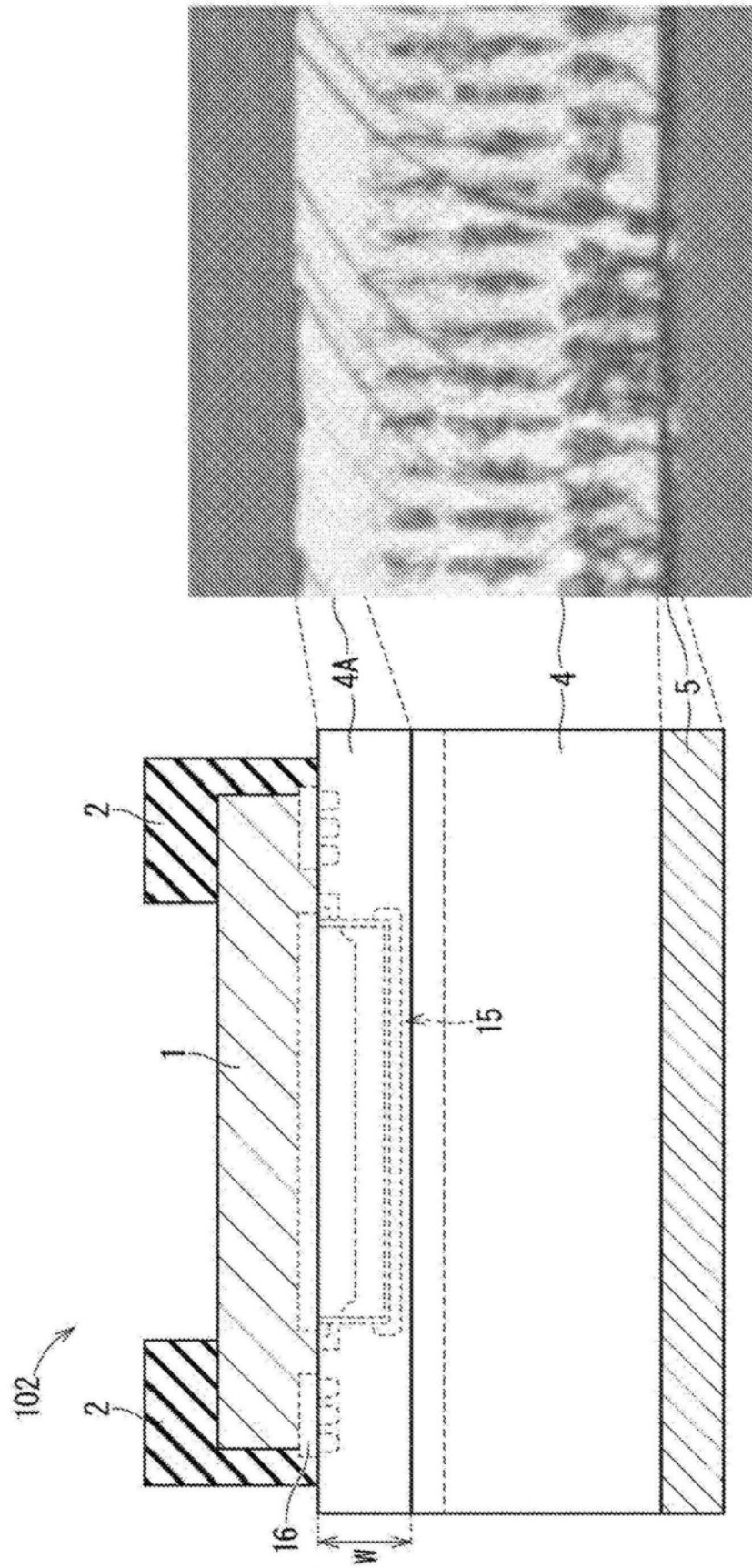


图33

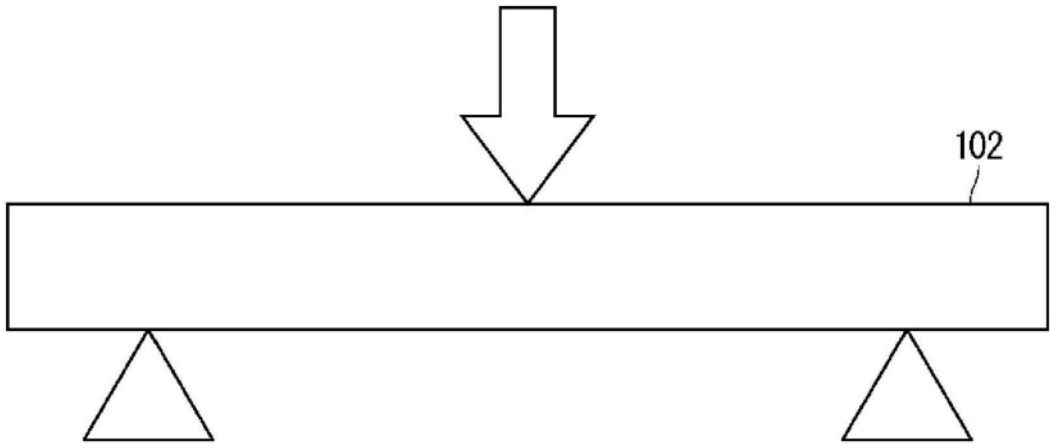


图34

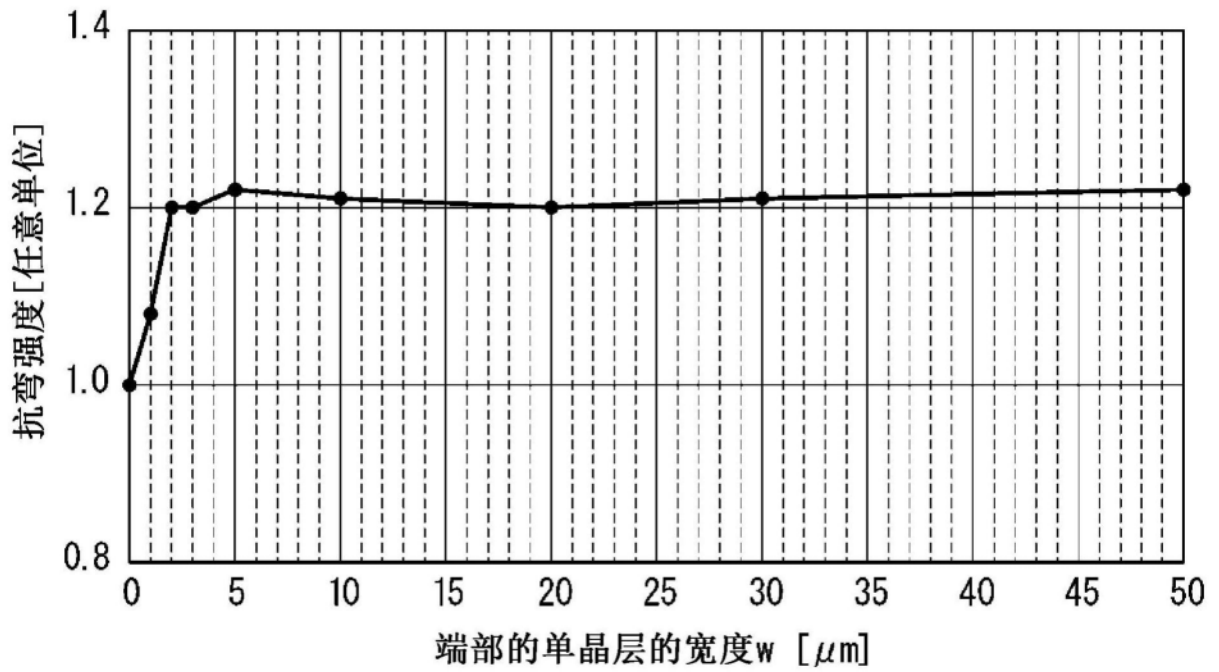


图35

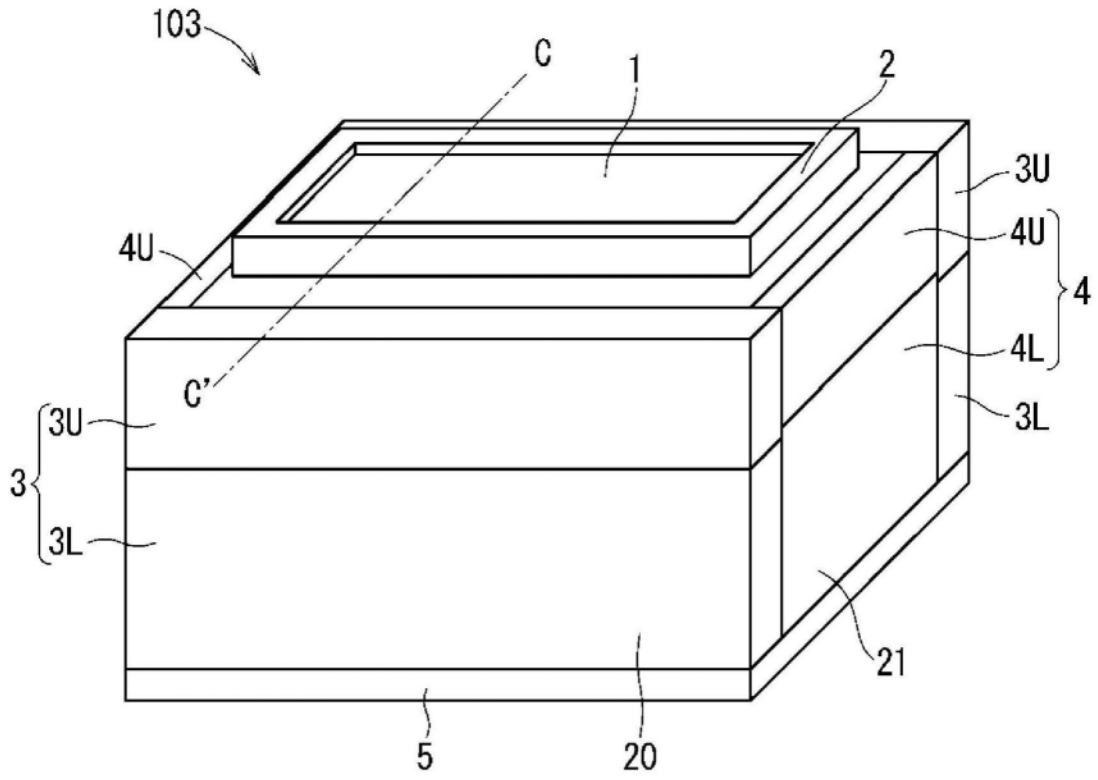


图36

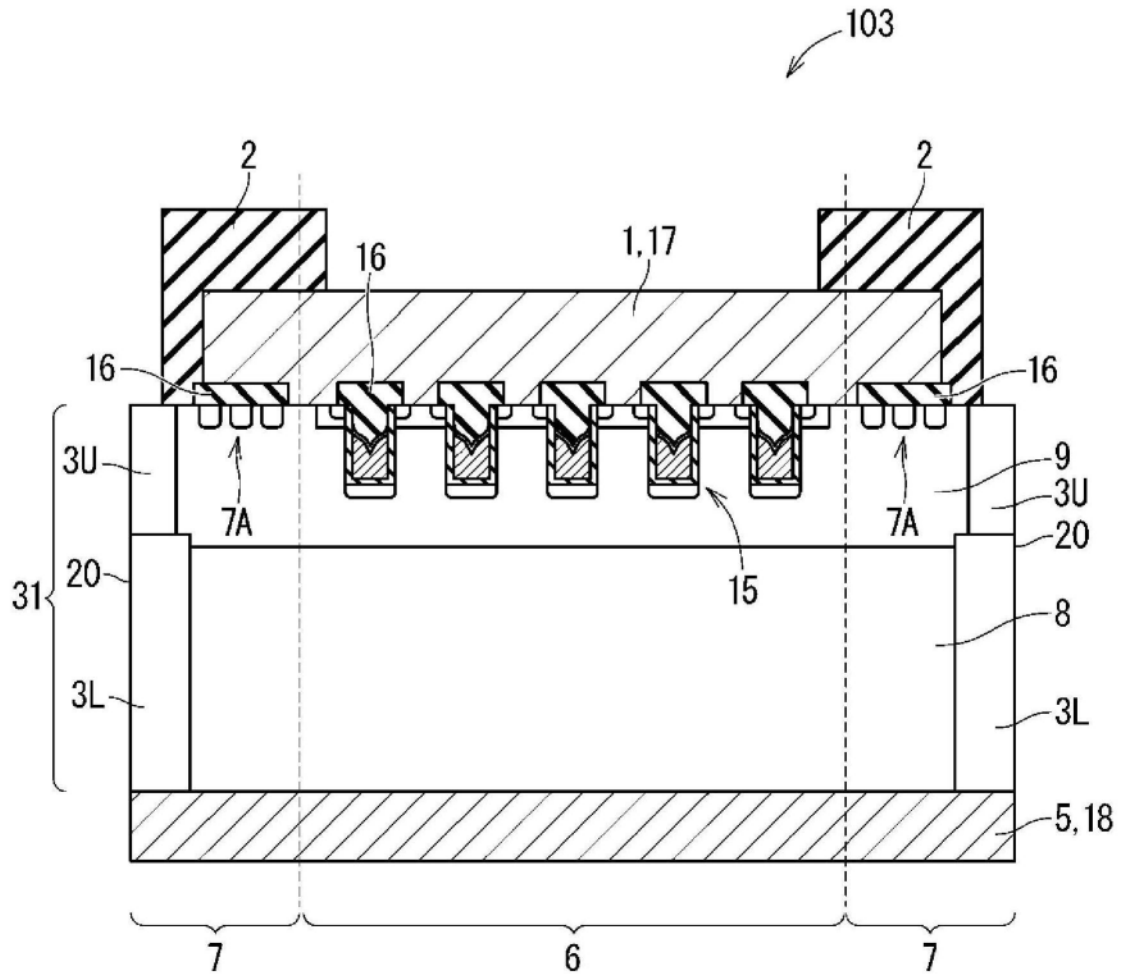


图37

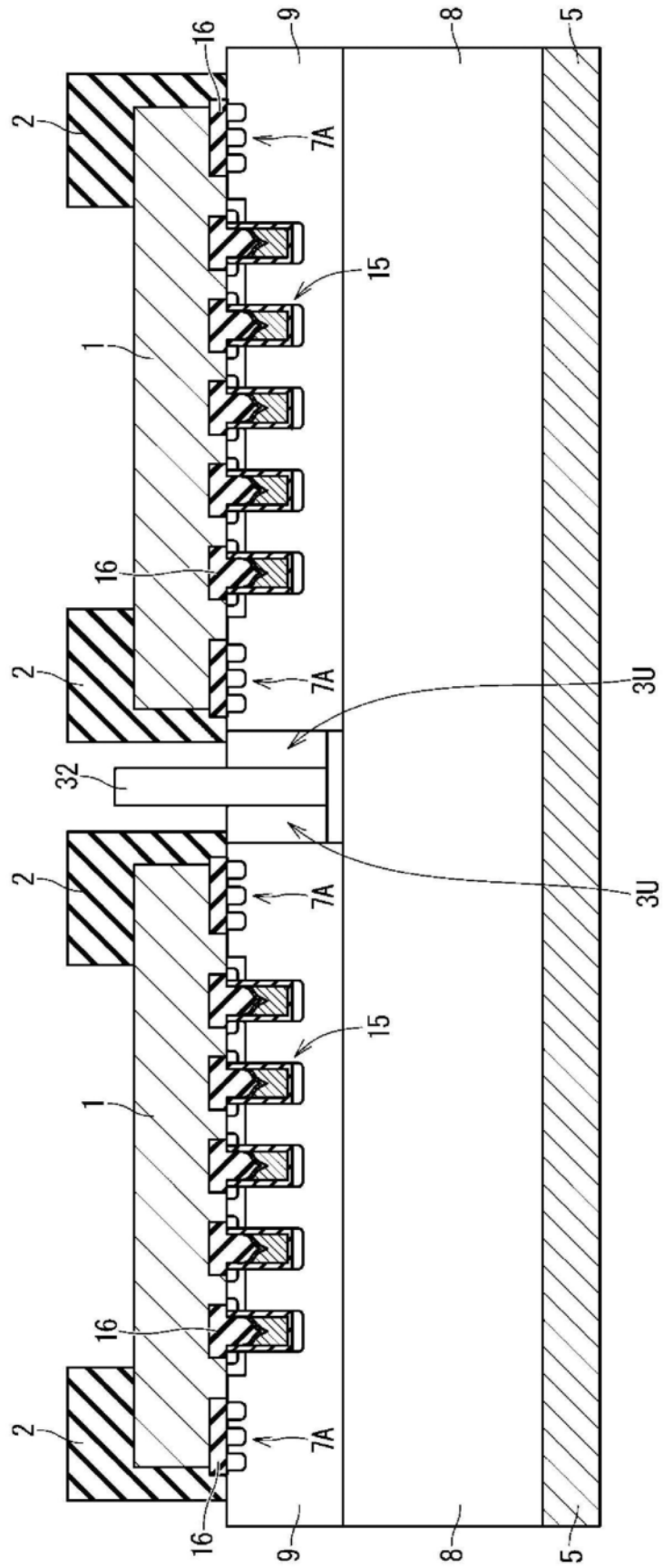


图38

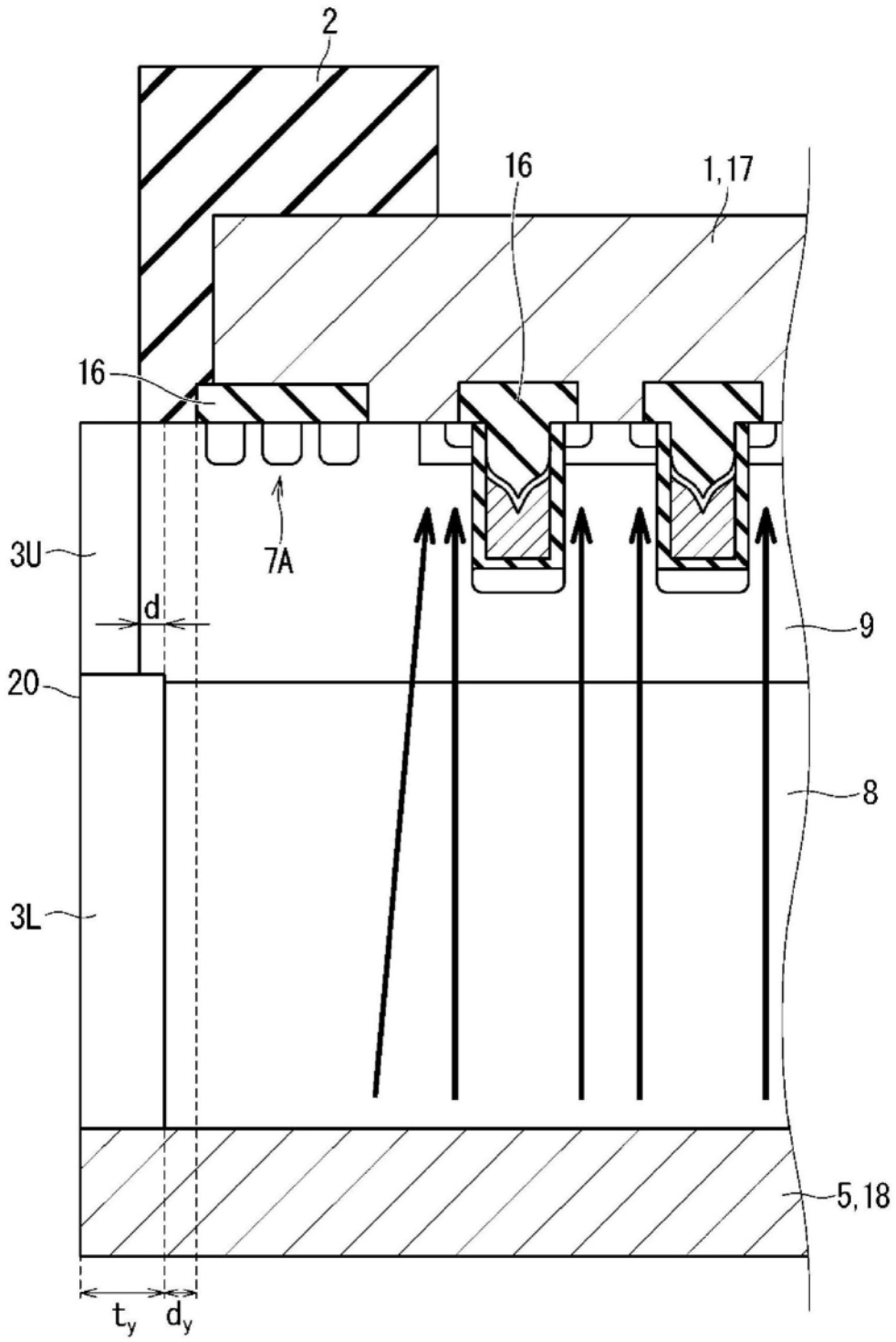


图39

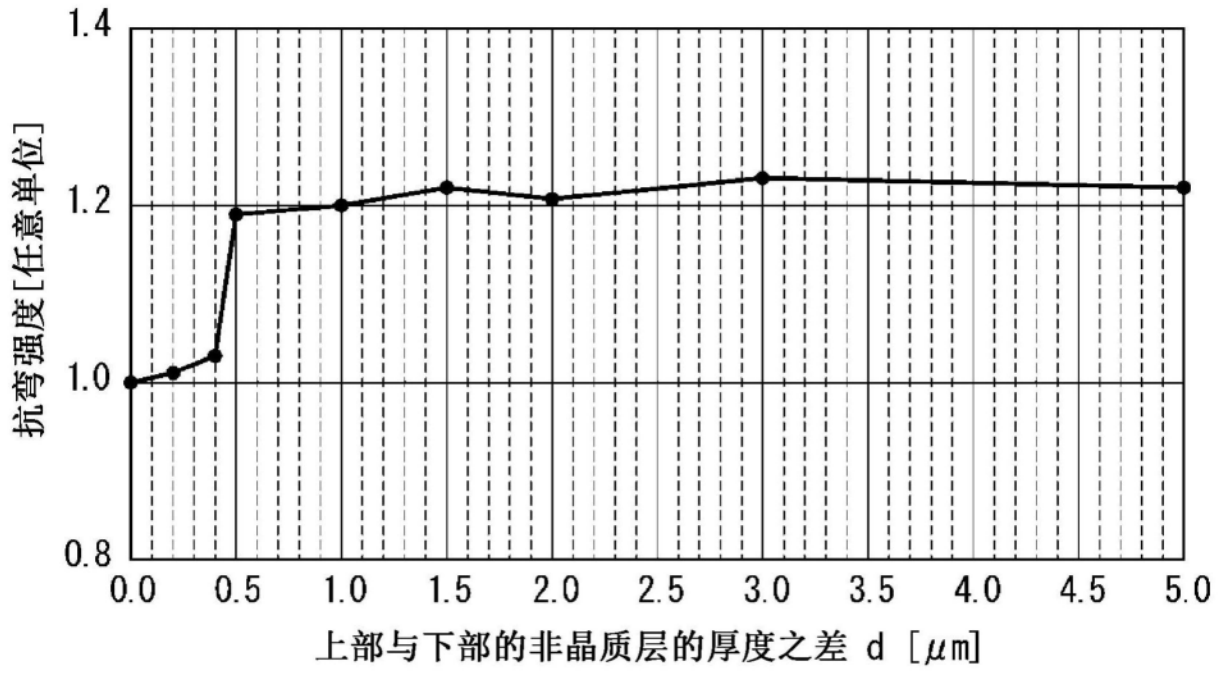


图40

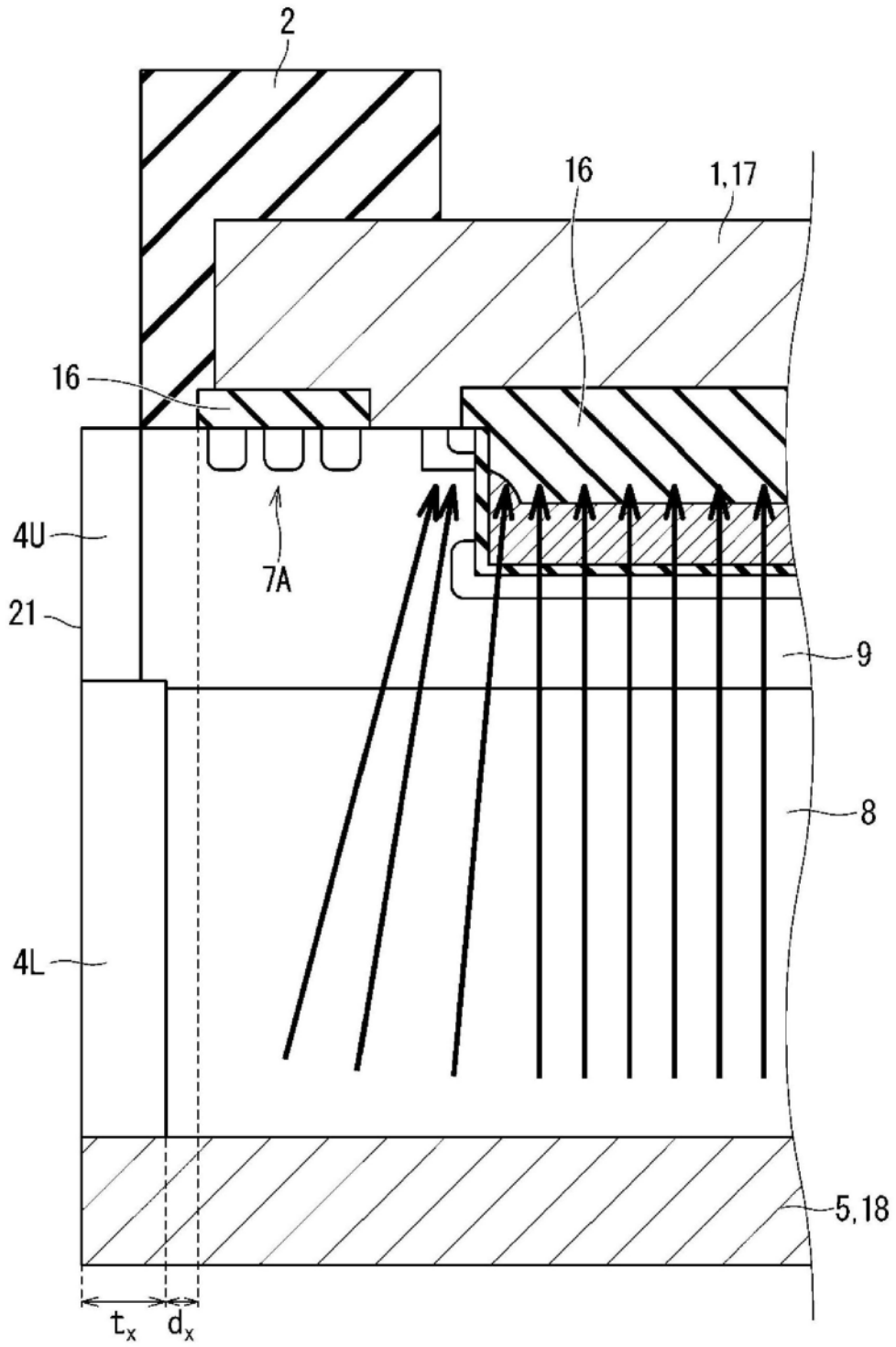


图41

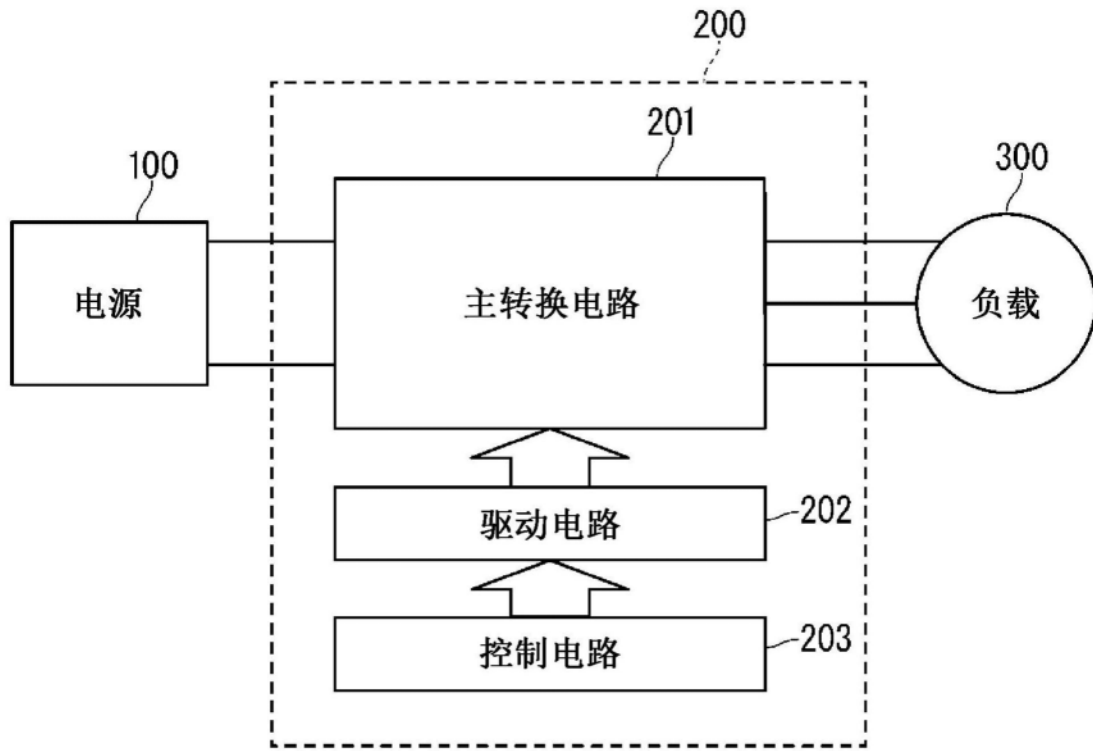


图42