

[12] 发明专利说明书

[21] ZL 专利号 96121399. X

[45] 授权公告日 2002 年 6 月 26 日

[11] 授权公告号 CN 1086864C

[22] 申请日 1996. 12. 30

[21] 申请号 96121399. X

[30] 优先权

[32] 1995. 12. 30 [33] KR [31] 67776/95

[73] 专利权人 三星电子株式会社

地址 韩国京畿道

[72] 发明人 李奎墩

[56] 参考文献

JP 7066750 1995. 3. 10 H04B1/707

JP 7177058 1995. 7. 14 H04B1/707

US 4653069 1987. 3. 24 H04K1/10

审查员 田冬青

[74] 专利代理机构 中国专利代理(香港)有限公司

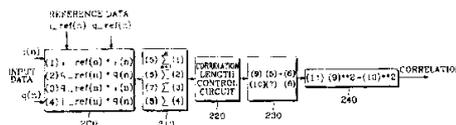
代理人 张志醒 王忠忠

权利要求书 1 页 说明书 5 页 附图页数 5 页

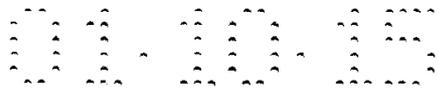
[54] 发明名称 可变相关器

[57] 摘要

一种相关器通过变化地控制相关长度执行相关。被用于频带扩展通信系统中的相关器混合顺序的数据输入与参考数据,和通过将该混合的数据加上对应于一个预置的相关长度的一个数,产生相关长度数据,从而改变预置的相关长度,以便执行相关。



ISSN 1008-4274



权 利 要 求 书

1.一种频带扩展通信系统中的相关器，其特征在于包括：

5 用于分别利用第一和第二信道参考数据乘第一和第二信道数据输入以产生相乘数据的装置；

用于按照一个预置的相关长度将所述相乘数据相加以产生一个累加数据的装置；

用于平方所述累加数据以产生平方数据并相加该平方数据以产生相关数据的装置；和

10 用于改变所述预置的相关长度的相关长度控制装置。

2.一种频带扩展通信系统中的相关器，其特征在于包括：

用于利用参考数据 $i_ref(n)+jq_ref(n)$ 乘输入数据 $i(n)+jq(n)$ 以产生下列公式表示的相乘数据的装置：

15
$$\begin{aligned} & i_ref(n) * i(n) \\ & q_ref(n) * q(n) \\ & q_ref(n) * i(n) \\ & i_ref(n) * q(n) ; \end{aligned}$$

用于累加上述相乘数据以产生下列公式表示的累加数据的装置：

20
$$\begin{aligned} & \Sigma [i_ref(n) * i(n)] \\ & \Sigma [q_ref(n) * q(n)] \\ & \Sigma [q_ref(n) * i(n)] \\ & \Sigma [i_ref(n) * q(n)] ; \end{aligned}$$

用于改变所述累加数据的相关长度的相关长度控制装置；和

25 用于相加和平方按照所述相关长度控制装置而变化的所述累加数据以产生下列公式表示的相关数据的装置：

$$\begin{aligned} & \{ \Sigma [i_ref(n) * i(n)] + \Sigma [q_ref(n) * q(n)] \}^2 \\ & + \{ \Sigma [q_ref(n) * i(n)] - \Sigma [i_ref(n) * q(n)] \}^2. \end{aligned}$$

可变相关器

5 本发明涉及用于频带扩展通信系统的一种可变相关器，特别是，涉及一种通过可变地控制相关长度来执行控制的相关器。

一般，在频带扩展通信系统中，精确地同步是从频带扩展信号中恢复原来的信号的一个重要的因素。接收机产生与在发送机中用于频带扩展使用的扩频码相同的码，其中扩频码具有 PN 序列型的和跳频模式型的。使这种本地产生的扩频码与接收的信号中的码一致称为同步。按照范围和其顺序，同步分为捕获的和跟踪的。捕获是具有在半个时片范围内相互紧靠着的接收的信号中的一个码和本地产生的扩频码。跟踪是防止该捕获信号的不同步和减小接收的信号中的码与本地产生的扩频码之间的定时差。在频带扩展通信系统的接收机中，捕获必须在跟踪之前。如果在执行跟踪的过程中同步失败，则重新执行捕获。对于这种捕获，必须执行相关，以便混合来自发送机的频带扩展信号与和发送期间相同的码，以便恢复原来的信号。

图 1 是用于执行这种相关的已有技术的数字复数相关器。

参照图 1，混合器 10、20、30、40 混合输入数据 $i(n)$ 、 $q(n)$ 与参考数据 $i_{ref}(n)$ 、 $q_{ref}(n)$ ，产生第一、第二、第三、和第四混合的信号。累加器 50、60、70、和 80 分别累加第一、第二、第三、和第四混合的信号。第一和第二累加的信号输出在加法器 90 互相相加，然后在平方电路 110 被平方。来自平方电路 110 的平方信号输出被施加到加法器 130 的一个输入端。同样，来自平方电路 120 的平方信号输出被施加到加法器 130 的另外一个输入端。加法器 130 相加来自平方电路 110、120 的输出，产生一个相关信号。上面描述的复数相关器被广泛地用作同步建立电路，用于在利用正交调制方法的通信系统的接收机中建立符号同步或码同步。但是，该已有技术的复数相关器遭受按照相关长度计算的过载的困扰。然而，在多数情况下，相关长度是固定的，而与其使用无关，以至于在相关值随相关长度变化将要变化的情况下，该电路必须改变。另外，在复数相关器是利用一种 ASIC（专用集成电路）实现的情况下，每当相关长度被变化时，芯片必须以新的替换。

因此,本发明的目的是提供利用可变地控制相关长度来执行相关的一种相关器。

按照本发明的一个方面,在频带扩展通信系统中的相关器混合顺序的数据输入与参考数据,和利用对应一个预置相关长度的一个数累加混合的数据,因而变化执行相关的该预置相关长度。

本发明的上述的和其它的目的,特点和优点借助于下面结合附图对一个示例性实施例的详细描述,将会变得显而易见,其中:

图 1 是按照现有技术的在利用正交调制方法的频带扩展通信系统中的接收机的复数相关器的电路图;

10 图 2 是按照本发明的一个实施例的数字复数相关器的示意性方框图;

图 3 是按照本发明的另一个实施例的数字复数相关器的示意性方框图;

图 4 是图 3 的数字复数相关器的详细电路图; 和

图 5 是表示从图 4 的数字复数相关器产生的各种波形的定时图。

下面将参照附图详细描述本发明的优选实施例,在图中利用在整个说明书中的相同标号代表相同的部件。另外,本专业的技术人员将会清楚地理解,诸如详细的电路部件之类的许多具体的特征仅仅是通过例子的方式进行表示的,以便更好地理解本发明,和本发明可以在没有这些具体特征的情况下被实施。再有,应当注意到,如果确信对于叙述本发明的概念是没有必要的情况下,涉及现有技术方面的详细描述可以被忽略。在说明书中所用的术语是考虑到本发明的功能被确定的,和按照通常的实际情况或者使用者或芯片设计者的意向是可被替换的。最好是,将基于整个说明书所描述的内容来确定各个术语。

参照图 2, 其中表示按照本发明的数字复数相关器的示意性方框图。

本发明的优选实施例包括相关长度控制电路 220, 用于控制相关长度在计算相关的中间, 按照使用控制相关长度 N , 以便解决图 1 的现有技术复数相关器的问题。

参照图 3, 其中表示出按照本发明的另一个实施例的数字复数相关器。下面将详细描述本发明的数字复数相关器的操作。

现在, 假设输入数据是 $i(n) + jq(n)$, 和与输入数据相联系的用于计算复数相关的参考数据是 $i_{ref}(n) + jq_{ref}(n)$ 。

30 然后, 乘法器 300 利用参考数据 $i_{ref}(n) + jq_{ref}(n)$ 乘输入数据 i

(n) +jq (n) 和产生如下面公式 (1) 到 (4) 所表示的输出。

(1) $i_ref (n) *i (n)$

(2) $q_ref (n) *q (n)$

(3) $q_ref (n) *i (n)$

5 (4) $i_ref (n) *q (n)$

此后，累加器 310 累加来自乘法器 300 的输出，产生如下面公式 (5) 到 (8) 所表示的输出。

(5) $\Sigma [i_ref (n) *i (n)]$

(6) $\Sigma [q_ref (n) *q (n)]$

10 (7) $\Sigma [q_ref (n) *i (n)]$

(8) $\Sigma [i_ref (n) *q (n)]$

另外，来自累加器 310 的输出被馈送到一个加法器和平方电路 340，用于产生如下面公式 (9) 和 (10) 所表示的输出。公式 (11) 表示公式(9)和 (10) 的平方值之和。

15 (9) $\Sigma [i_ref (n) *i (n)] +\Sigma [q_ref (n) *q (n)]$

(10) $\Sigma [q_ref (n) *i (n)] -\Sigma [i_ref (n) *q (n)]$

(11) $(9)^2+(10)^2= \{ \Sigma [i_ref (n) *i (n)] +\Sigma [q_ref (n) *q (n)] \} ^2 + \{ \Sigma [q_ref (n) *i (n)] -\Sigma [i_ref (n) *q (n)] \} ^2$

因此，产生的相关值表示如下：

20 $| \text{相关值} | ^2 = | \Sigma [i_ref (n) _jq_ref (n)] [i (n) +jq (n)] | ^2$

$= | \Sigma [i_ref (n) _jq_ref (n)] [i (n) -jq (n)] | ^2$

$= \{ \Sigma [i_ref (n) *i (n)] +\Sigma [i_ref (n) *q (n)] \} ^2$

相关长度控制信号发生器 330 产生用于控制相关长度的长度控制信号。

即，相关长度的长度可以根据使用受到控制。相关长度控制器 320 响应于相关
25 长度控制信号控制相关的操作。即，当直至 $n=N$ 的计算完成时，累加器 310 传送根据公式 (5) 到 (8) 的结果到加法器和平方电路 340。在加法器和平方电路 340 执行公式 (9) 到 (11) 的计算时，乘法器 300 接收新的数据，从 $n=1$ 开始重复相关值的计算。

参照图 4，其中表示本发明的优选实施例的数字复数相关器的详细的电路

图, 该相关器用于 CDMA (码分多址) 蜂窝系统的基带复用设备中捕获码同步。

参照图 5, 其中表示从图 4 的数字复数相关器产生的各种波形。

现在, 下面参照图 4 和图 5 将详细描述按照本发明的数字复数相关器的操作。

参考数据发生器 400 接收表示在图 5 的(5a)中的时钟 clk_{12288} , 产生参考数据 $i_{ref}(n)$, $jq_{ref}(n)$ 。

现在, 将详细描述累加器 410 的配置和操作。

复用器 MUX-4 响应于表示在图 5 的 (5f) 的时钟 sel_{mux4} 选择输入数据 $i(n)$, $jq(n)$ 之一和施加所选择的输入数据到运算单元 ALU-11 的一个输入端。在这一时刻, 复用器 MX2 响应于表示在图 5 的 (5g) 的时钟 sel_{pncode} 选择参考数据 $i_{ref}(n)$, $jq_{ref}(n)$ 之一产生表示在图 5 的 (5r) 的波形和该产生的波形被施加到运算单元 ALU-11 的一个反向输入端。运算单元 ALU-11 施加参考数据 $i_{ref}(n)$, $jq_{ref}(n)$ 到第一到第四寄存器 a、b、c、d。第一寄存器“a”输出分别与表示在图 5 的 (5b)、(5d)、(5j) 的时钟信号 clk_8 、 clr 、和 ld_{corr_i} 相联系的参考信号。第二寄存器“b”输出分别与表示在图 5 的 (5m) 的时钟信号 clk_8 、 clr 、和时钟信号 ld_i_{corr} 相联系的参考数据。第三寄存器“c”输出与表示在图 5 的 (5k) 的时钟信号 clk_8 、 clr 、和时钟信号 ld_{corr_q} 相联系的参考数据。最后, 第四寄存器“d”输出与表示在图 5 的 (5l) 的时钟信号 clk_8 、 clr 和时钟信号 ld_q_{corr} 相联系的参考数据。然后, 复用器 MUX-4 分别响应于表示在图 5 的 (5h) 和 (5i) 中的时钟信号 set_{mux11_1} , set_{mux11_0} , 输出来自第一到第四寄存器“a”、“b”、“c”、“d”输出的信号。

相关长度控制电路 420 包括一个相关长度信号发生器和一个相关长度控制器。相关长度控制信号发生器包括接收表示在图 5 的 (5a) 和 (5c) 的时钟信号 clk_{12288} , clr_{12288} 用于在一个周期期间计数 512 个数字的计数器 COUNTER-512, 用于反向来自计数器 COUNTER-512 的信号输出产生一个反向计数信号的反向器, 和在其一个输入端接收反向计数信号和在其另一个输入端接收表示在图 5 的 (5n) 的时钟信号, 以便产生相关长度控制信号 NAND 的门“f”。该相关长度控制器包括接收相关长度控制信号和时钟信号 clk_8 、

clr 的寄存器 REG-11，施加累加器 410 输出的信号到加法器 430。加法器 430 相加（或累加）来自累加器 410 的输出信号和施加该已相加的值得平方电路 440。平方电路 440 平方加法器 430 的输出，产生相关值。

5 从上面的描述中可以清楚看出，通过简单地改变在整个复数相关器方框中的相关长度控制信号发生器（即，N-计数器 COUNTER-512）的比特数“N”，按照使用可以很容易地改变相关长度。

因此如所述的，本发明可以可变地控制相关长度，以得到希望的相关长度，从而解决了电路必须改变或者增加以便改变相关长度，或者在利用 ASIC 芯片的情况下芯片必须利用一个新的来代替的已有技术装置中的问题。

10 虽然上面已经详细地描述了本发明的一个优选实施例，但是应当清楚地懂得，在按照所附的权利要求书限定的本发明的精神和范围内，对于本专业的技术人员来说，在本说明书中所教导的本发明的基本概念的基础上做出许多变化和/或改进是显而易见的。

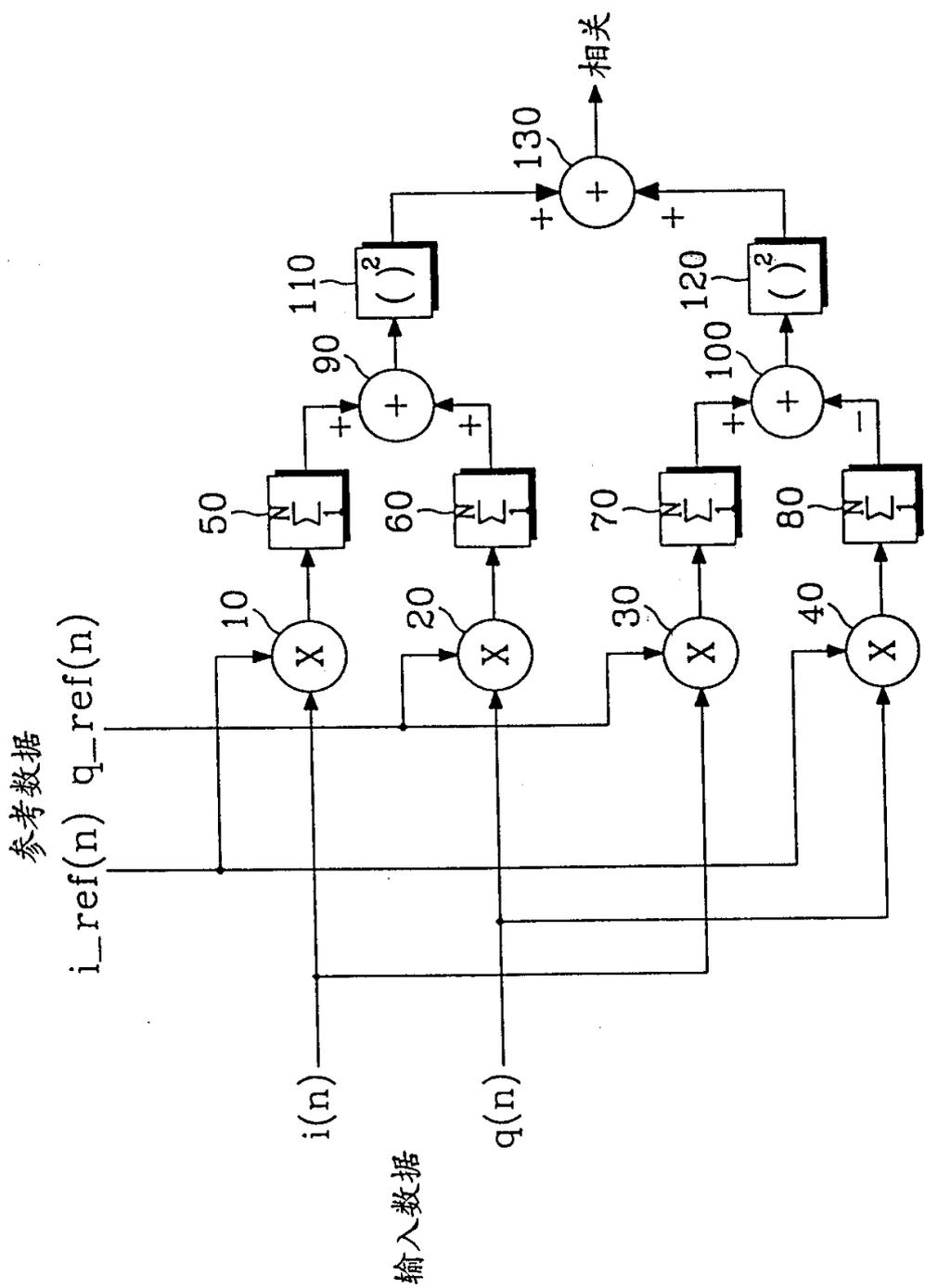


图 1

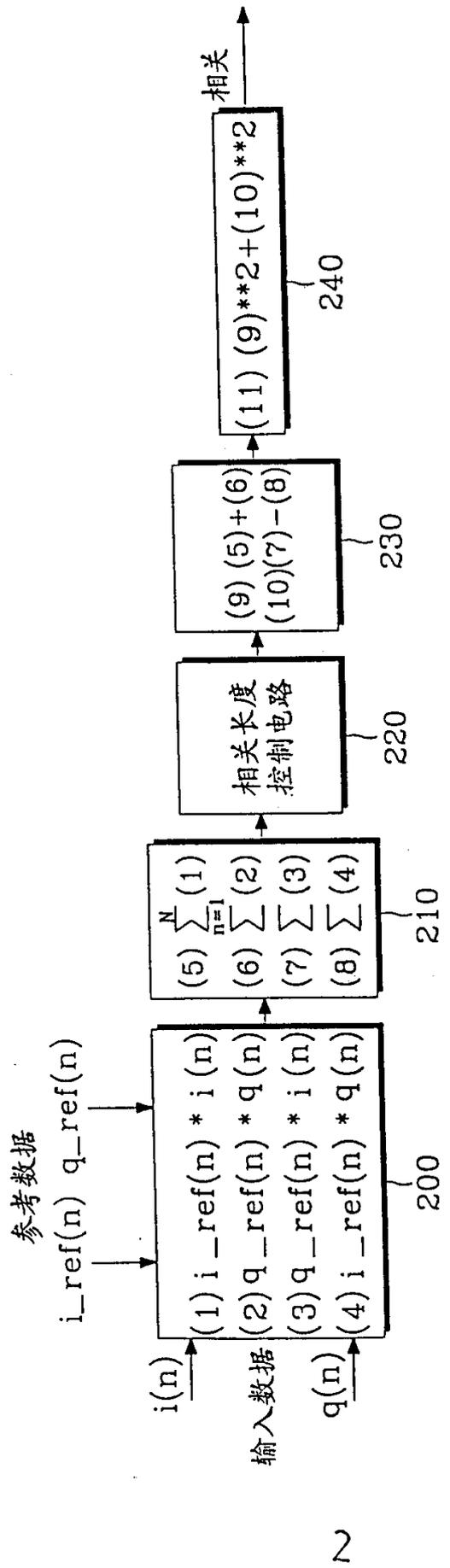


图 2

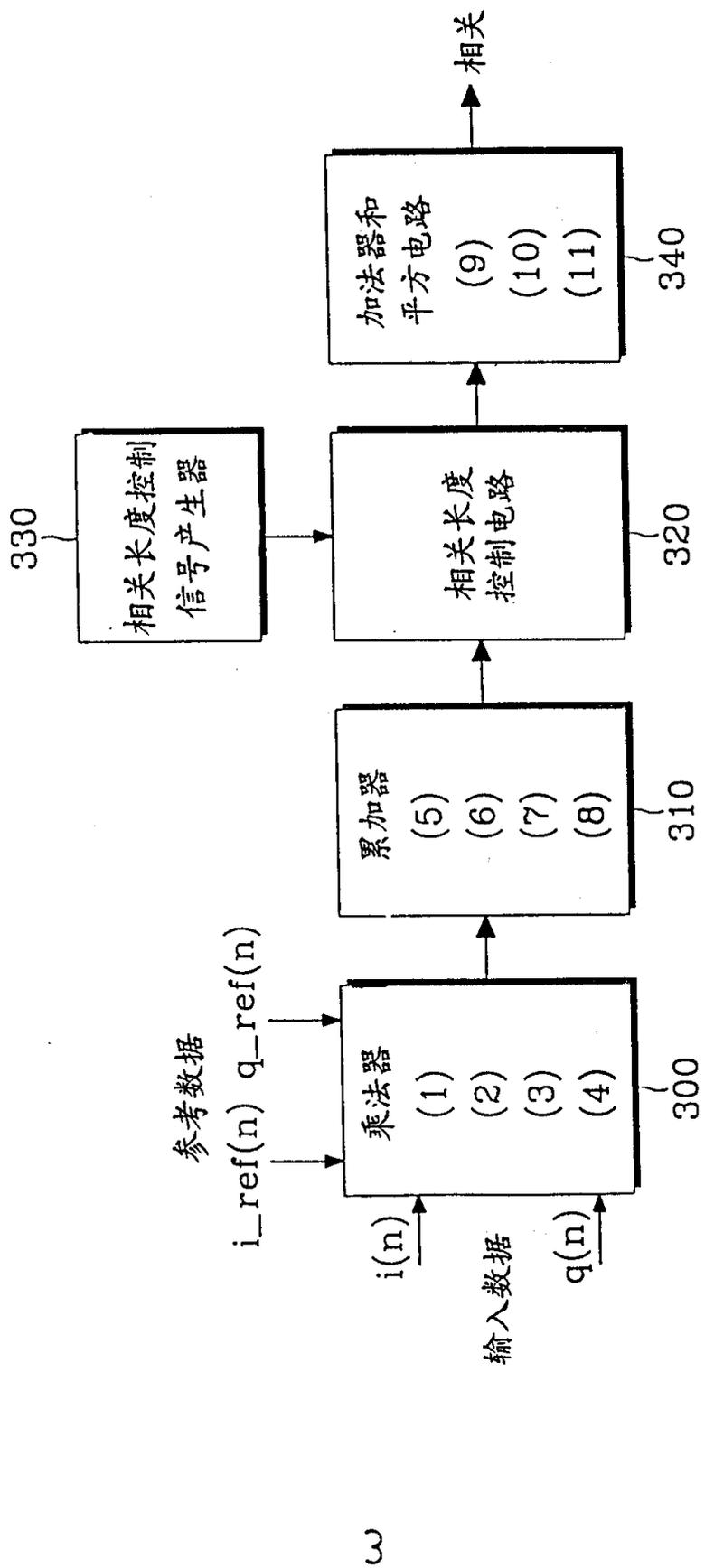
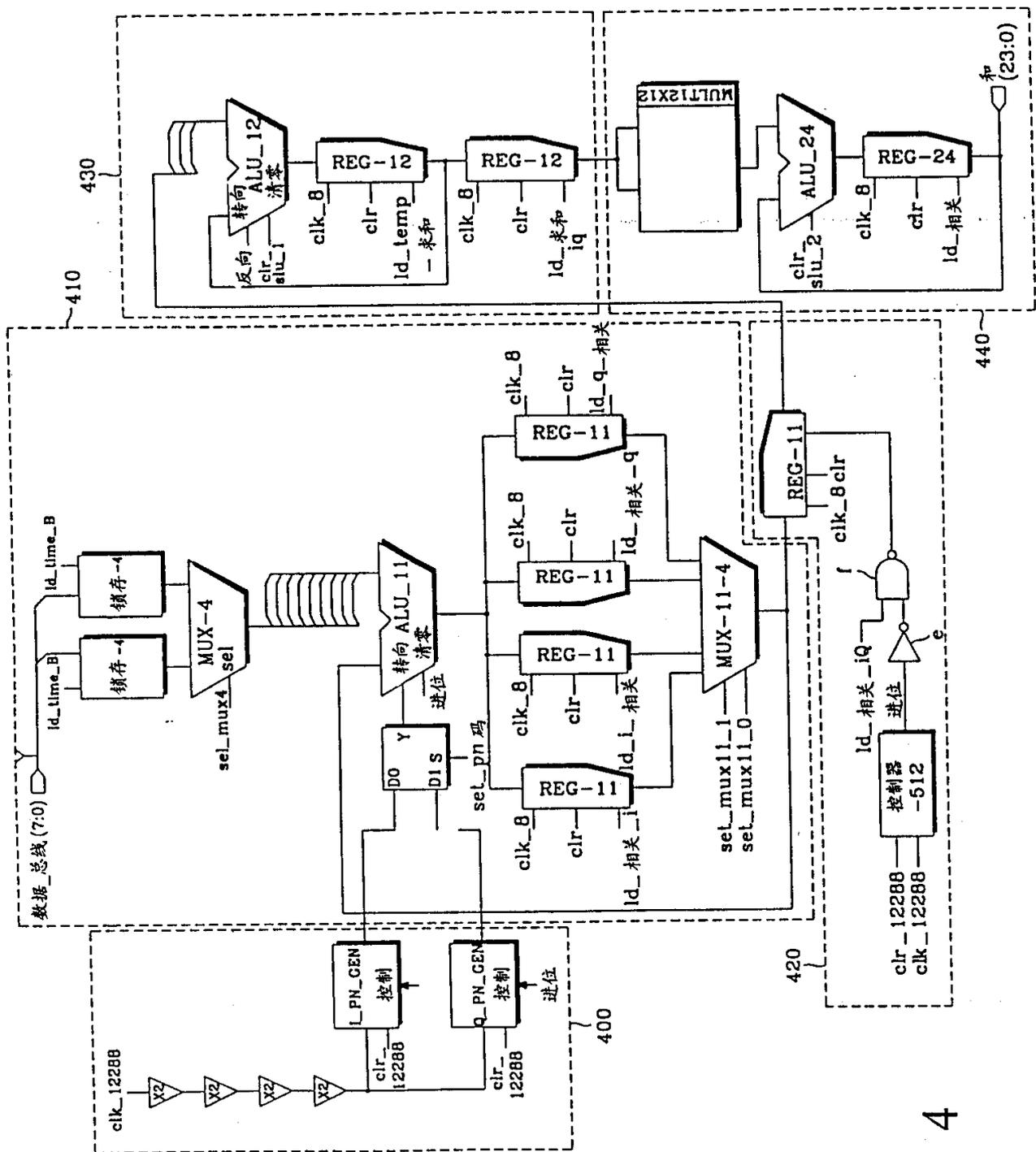
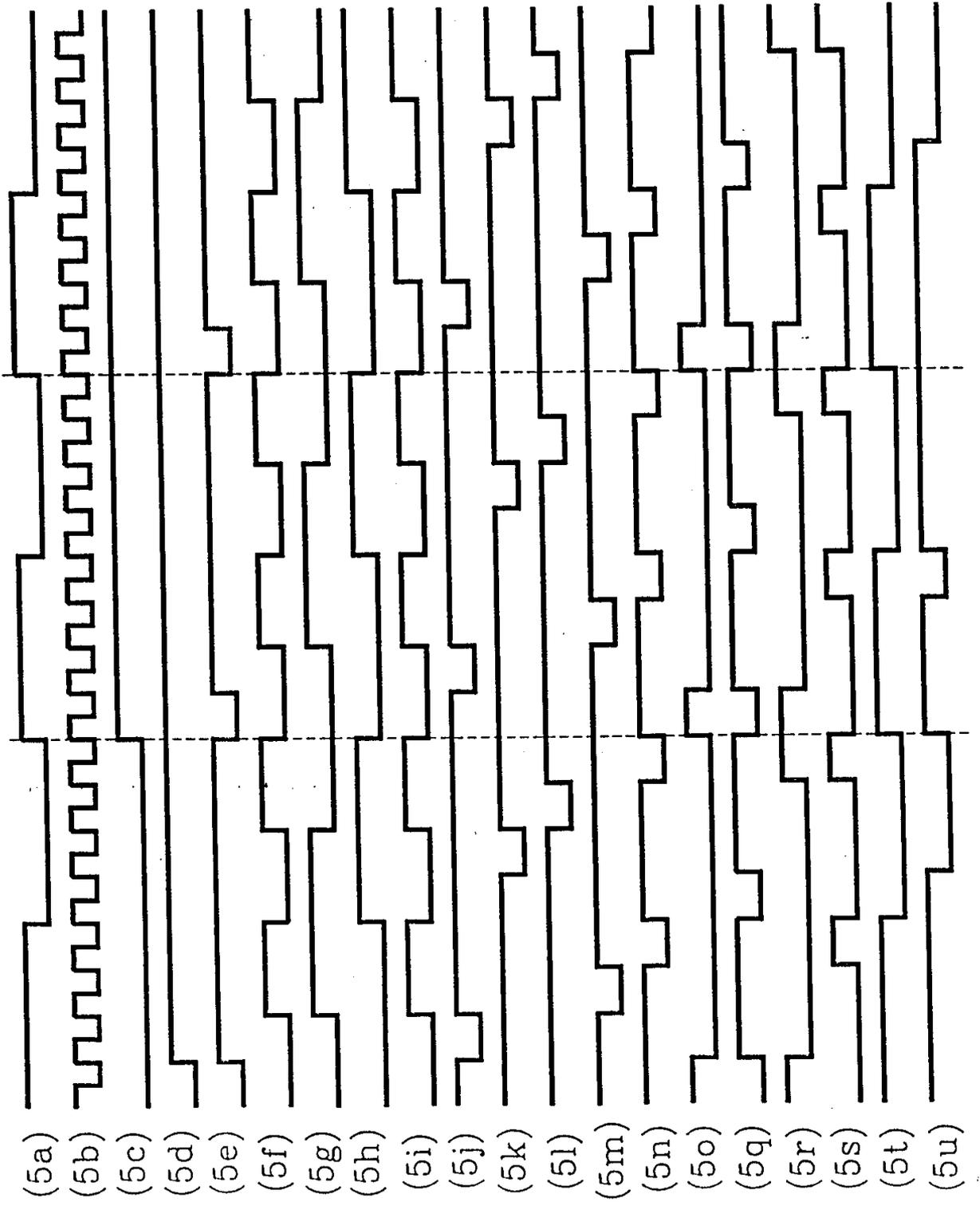


图 3





5

