

發明專利說明書

(本申請書格式、順序及粗體字，請勿任意更動，※記號部分請勿填寫)

※申請案號：92122781

※申請日期：92 年 08 月 19 日

※IPC 分類：H01L 21/82

壹、發明名稱：

(中) 半導體裝置及其製造方法

(外) 半導體裝置およびその製造方法

貳、申請人：(共 1 人)

1. 姓 名：(中) 日立製作所股份有限公司

(英) 株式会社日立製作所

代表人：(中) 1. 庄山悦彦

(英)

地 址：(中) 日本國東京都千代田區神田駿河台四丁目六番地

(英)

國籍：(中英) 日本 JAPAN

參、發明人：(共 3 人)

1. 姓 名：(中) 村田知生

(英) 村田知生

地 址：(中) 日本國東京都千代田區丸之内一丁目五番一號新丸大樓日立製作所
殷知的財產權本部內(英) 日本国東京都千代田区丸の内一丁目5番1号新丸ビル(株)日立製作
所知的財產權本部內

2. 姓 名：(中) 矢吹忍

(英) 矢吹忍

地 址：(中) 日本國東京都千代田區丸之内一丁目五番一號新丸大樓日立製作所
殷知的財產權本部內(英) 日本国東京都千代田区丸の内一丁目5番1号新丸ビル(株)日立製作
所知的財產權本部內

3. 姓 名：(中) 山下毅雄

(英) 山下毅雄

地 址：(中) 日本國東京都千代田區丸之内一丁目五番一號新丸大樓日立製作所
殷知的財產權本部內

(英) 日本国東京都千代田区丸の内一丁目5番1号新丸ビル(株)日立製作
所知的財産権本部内

肆、聲明事項:

◎本案申請前已向下列國家(地區)申請專利 ☐ 主張國際優先權:

【格式請依:受理國家(地區);申請日;申請案號數 順序註記】

1. 日本 ; 2002/09/20 ; 2002-274466 ☒ 有主張優先權

(英) 日本国東京都千代田区丸の内一丁目5番1号新丸ビル 株日立製作
所知的財産権本部内

肆、聲明事項:

◎本案申請前已向下列國家(地區)申請專利 ☐ 主張國際優先權:

【格式請依:受理國家(地區);申請日;申請案號數 順序註記】

1. 日本 ; 2002/09/20 ; 2002-274466 ☒ 有主張優先權

(1)

玖、發明說明

【發明所屬之技術領域】

本發明係關於半導體裝置及其製造技術，特別是關於使用在異層間的配線連接部有效的技術。

【先前技術】

半導體元件和配線間，或者不同層之配線間，是藉由形成在連接孔內的導電性膜所連接。

但是，伴隨半導體裝置的微細化，基於以下所示理由，在連接部上的上層配線設置稱為儲存部的部位之技術正被檢討中。

此儲存部是指配線的一部份，由成為主要電流路徑的配線部所突出的突出部(剩餘部份，多餘部份)。

此儲存部的部份雖非電流路徑所必要的部份，卻是形成為用於提升電子遷移(EM)耐性。

此電子遷移係指電流透過連接部而在上層配線和下層配線間流動時，構成配線或連接部的金屬原子移動之現象，其結果變成會在配線或連接部內產生孔隙，因而引起斷線或連接電阻的上升等連接不良。

但是，儲存部如存在時，儲存部變成金屬原子的供給源，可降低孔隙的發生率，能夠提升電子遷移耐性。

另外，藉由儲存部的存在，可以確保配線和連接部的圖案配合餘裕，在即使產生遮罩偏差時，也可謀求配線和連接部的導通。

(2)

例如，在下述專利文獻 1(日本專利特開 2001-44196 號公報)中，揭示有藉由在配線的上部或者下部設置金屬的儲存部 5a，以抑制由於電子遷移所致的孔隙發生之技術。

另外，例如在下述專利文獻 2(日本專利特開平 11-186433 號公報)中，有關於提升電子遷移(EM)耐性的儲存部之記載。

[專利文獻 1]

日本專利特開 2001-44196 號公報

[專利文獻 2]

日本專利特開平 11-186433 號公報

【發明內容】

本發明者從事半導體裝置的研究、開發，就藉由設置儲存部以提升 EM 耐性進行檢討。

另一方面，各層的配線或這些之間的連接部的圖案，例如係利用自動配線工具(CAD(computer aided design: 電腦輔助設計)系統)而配置(佈局)。此時，配線或連接部的圖案係被最佳化為高密度地配置。

但是，在不設置儲存部時，而不成為配線錯誤之佈局中，在設置儲存部時，成為配線法則錯誤(違反)，如之後詳細說明般，會產生配線效率(配線的安裝效率)降低的問題。

本發明之目的在於提升配線的安裝效率。另外，提升

(3)

配線間的連接精度。

另外，本發明之其他目的在於謀求半導體裝置的微細化或者高密度化。另外，在謀求半導體裝置的高性能化。

由本說明書的記載以及所附圖面，應可清楚本發明之目的以及其他目的和新特徵。

[解決課題用的手段]

如簡單說明本申請案所揭示發明中的代表性者的概要，則如下述：

(1)本發明之半導體裝置的製造方法係在配置 (a) 在第 1 方向延伸的第 1 配線；及 (b) 介由連接部與上述第 1 配線連接，在與上述第 1 方向正交的第 2 方向延伸的第 2 配線，具有由上述連接部突出在與上述第 2 方向相反方向的剩餘部份之第 2 配線時，(c) 將上述連接部的中心由上述第 1 配線的中心往上述第 2 方向錯開而配置，(d) 在上述連接部的下部配置上述第 1 配線的突出部。

(2) 本發明之半導體裝置係具有：(a) 在第 1 方向延伸的第 1 配線；及 (b) 介由連接部與上述第 1 配線連接，在與上述第 1 方向正交的第 2 方向延伸的第 2 配線，具有突出在與上述第 2 方向相反方向的第 1 剩餘部份之第 2 配線時之半導體裝置，(c) 上述連接部的中心由上述第 1 配線的中心往上述第 2 方向錯開而形成，(d) 在上述連接部的下部形成上述第 1 配線的突出部。

(4)

【實施方式】

以下，依據圖面詳細說明本發明之實施形態。另外，在說明實施形態用的全部圖中，對於具有相同機能的構件，賦予相同符號，省略其之重複說明。

(實施形態 1)

一面參考圖面一面說明本實施形態的半導體裝置之配線等的配置方法。

第 1 圖係顯示第 0 層配線 M0a、M0b、第 1 層配線 M1a~M1e 以及第 0 層配線和第 1 層配線的連接部 TH0a、TH0b 等的平面圖案的平面圖。另外，第 2 圖係顯示第 1 圖的佈局中之第 0 層配線 M0a、M0b 之平面圖案，第 3 圖係對應 A-A'部的重要部位剖面圖。另外，在配線間存在層間絕緣膜。

一面參考第 1 圖～第 3 圖，一面顯示本實施形態的半導體裝置之配線等的配置狀態。

第 0 層配線 M0a 以及 M0b 係沿著延伸於 Y 方向的網格（佈局線、航道）y1、y2 配置。此網格係在 X 方向或者 Y 方向以等間隔規定的線（網格），為規定各層之最小配線間隔者。

另外，第 1 層配線 M1a 以及 M1b 係介由連接部 TH0a 以及 TH0b 而分別與第 0 層配線 M0a 以及 M0b 導電連接。此第 1 層配線 M1a 以及 M1b 係沿著在 X 方向延伸的網格 x1 配置。

(5)

即第 1 層配線 M1a 係由連接部 TH0a 上往圖中的左側（與 M0b 相反側方向）延伸，第 1 層配線 M1b 係由連接部 TH0b 上往圖中右側（與 M0a 相反側方向）延伸。

另外，第 1 層配線 M1a 係具有由連接部 TH0a 上往圖中的右側突出的儲存部（剩餘部份、多餘部份）Ra，第 1 層配線 M1b 係具有由連接部 TH0b 上往圖中的左側突出的儲存部 Rb。

另外，距離 P0(擴散間距)係網格 y1 和 y2 間的距離。即第 0 層配線 M0 間の間隔 S0 和第 0 層配線的寬 W0 之和。另外，距離 P1 係網格 x2 和 x3(x1 和 x2)間距離，為第 1 層配線間の間隔 S1 和第 1 層配線的寬 W1 之和。此距離 P0 和 P1 係有 $P1 < P0$ 之關係。

第 7 圖係在第 0 層配線 M0 的下層形成 MISFET (Metal Insulator Semiconductor Field Effect Transistor: 金屬絕緣體型半導體場效應電晶體)時的重要部位剖面圖，第 8 圖係顯示第 0 層配線 M0 和 MISFET 之閘極 FG 的圖案關係平面圖。第 8 圖之 B-B' 方向的剖面係對應第 7 圖。

例如，如第 7 圖以及第 8 圖所示般，在第 0 層配線 M0 之下層形成 MISFET，在第 0 層配線 M0 間將閘極 FG 配置於 Y 方向，介由連接部 LCNT 連接 MISFET 的源極、汲極區域 S/D 和第 0 層配線 M0 時，為了防止閘極 FG 和連接部 LCNT 的短路，需要在這些之間設置某種程度的餘裕。MISFET 的微細化雖正進步中，但是多數情形並無法

(6)

將第 0 層配線 M0 的間隔設為最小加工尺寸（配線寬 = 配線間隔 = F）。相對於此，第 1 層配線 M1 由於不受到下層元件等的佈局的影響，可以最小加工尺寸進行配置。

如此，第 0 層配線間（網格 y 間）多數比第 1 層配線間（網格 x 間）大（ $P1 < P0$ ）。

第 7 圖係顯示各部位尺寸的一例。如第 7 圖所示般， $P0$ 為 $0.42\ \mu\text{m}$ ， $S0$ 為 $0.24\ \mu\text{m}$ ， $W0$ 為 $0.18\ \mu\text{m}$ ，儲存部長 L_{res} 為 $0.06\ \mu\text{m}$ 。所謂儲存部長係指由連接部 TH0 的儲存部側的端部至儲存部的端部的距離。另外， $S1$ 以及 $W1$ 例如為 $0.18\ \mu\text{m}$ ， $P1$ 為 $0.36\ \mu\text{m}$ 。另外，如第 7 圖所示般，可以在第 1 層配線 M1 之上部，介由層間絕緣膜而配置延伸於與第 0 層配線 M0 相同方向（Y 方向）的第 2 層配線 M2，此第 2 層配線 M2 的寬度以及間隔例如為 $0.18\ \mu\text{m}$ ，此數值例如係配線間所被容許的最小尺寸。第 1 層配線 M1 和第 2 層配線 M2 例如係介由連接部 TH1 而連接。

另外，第 7 圖中，雖介由連接部 LCNT 而連接 MISFET 的源極、汲極區域 S/D 和第 0 層配線 M0，但是也可以如第 38 圖所示般，介由連接部 LCNT 連接閘極 FG 和第 0 層配線 M0。也有將閘極上的連接部表示為 FCNT 的情形，但是為了方便，在此處表示為 LCNT。

第 38 圖的左圖係在閘極 FG 設置突出部（配線部），介由連接部 LCNT 而將此突出部與第 0 層配線 M0 連接，第 38 的右圖係在閘極 FG 上設置連接部 LCNT，另外，

(7)

在其上部配置第 0 層配線 M0。

如此，第 0 層配線 M0 不單在 MISFET 的源極、汲極區域 S/D 上，也配置在閘極 FG 上。藉由如此配置，可以縮短對於閘極 FG 的供電路徑。

如第 1 圖等所示般，此處，第 0 層配線 M0b 上的連接部 TH0b 其中心係由網格 y2 和 x1 的交點只往右側錯開距離 L1(第 7 圖，為 $0.06\ \mu\text{m}$)。另一方面，第 0 層配線 M0a 上的連接部 TH0a 其中心位於網格 x1 和 y1 的交點(第 1 圖)。

另外，在第 0 層配線 M0b 上的連接部 TH0b 下形成第 0 層配線 M0b 的突起(突出部，寬幅部)Nb(參考第 2 圖)。即連接部 TH0b 係位於第 0 層配線 M0b 上以及突起 Nb 上，形成為與第 1 層配線 M1b 連接。此突起 Nb 的 X 方向之長度，最好設為與距離 L1 相同。例如，第 7 圖中，為 $0.06\ \mu\text{m}$ 。另外，第 0 層配線 M0 係保留配線間所被容許的最小尺寸以上的間隔而配置之故，即使設置突起，也可以確保必要的配線間隔。

如此，在本實施形態中，在配置於相鄰網格上的第 0 層配線上配置延伸於同一線上而相互反方向的第 1 層配線時，將第 0 層配線上的連接部錯開該上部的第 1 配線延伸的方向而配置，另外，在錯開的連接部下的第 0 層配線設置突起。

其結果為，即使在第 1 層配線設置儲存部的情形下，也可以確保儲存部 Ra 和 Rb 或者 Rd 和 Re 之各儲存部間

(8)

的間隔。即可以確保配置在同一網格上的第 1 層配線的 X 方向的間隔，所以變成能夠提高配線密度，得以提升配線的安裝效率。

例如，如第 4 圖所示般，在將第 0 層配線 M0b 上的連接部 TH0b 的中心配置於網格 y2 和 x1 的交點時，第 1 層配線的 X 方向的間隔變得比第 1 圖時還小，此間隔如小於規定的距離以下時，變成配線法則錯誤（space error）。第 5 圖係顯示第 4 圖的佈局中，第 0 層配線 M0a、M0b 的平面圖案，第 6 圖係對應第 4 圖的 C-C' 部的重要部位剖面圖。

在產生配線法則錯誤時，第 1 層配線 M1b 不得不移動於其他網格，例如網格 x2（第 4 圖）。伴隨此，第 1 層配線 M1c 必須避開網格 x2 而配置，如此會失掉配線配置的自由度。例如，在此情形下，必須採取移動於其他網格（例如，網格 c）之手段，導致這些配線（M1a~M1c）的配置所必要的網格數的增加，有效面積變大，即配線的有效效率降低。

相對於此，如依據本實施形態之配線等的配置方法時，如上述般，即使在設置儲存部時，也可在網格 x2 上確保第 1 層配線 M1c 的區域。即可以確保配置在同一網格上的第 1 層配線的 X 方向的間隔，變成可在 Y 方向相鄰之網格配置如第 1 層配線 M1c 之其他的配線（Another net）。藉此，可以提升配線的自由度，另外，能夠提升配線的密度、有效效率。其結果可謀求半導體裝置的微細

(9)

化（晶片的縮小化）或高集成度。此第 1 層配線 M1c（Another net）為不連接於第 0 層配線 M0a、M0b 之配線，例如，在 X 方向分隔配置的其他的第 0 層配線 M0，或者在 X 方向分隔之位置，導電連接於第 1 層配線 M1 的上層之第 2 層配線 M2。

詳情之後再做說明，半導體裝置係多數的元件間以多層的配線連接，例如，即使每一單位單元 1 網格的單元面積的縮小化，在半導體裝置全體中，可以獲得大的效果。

另外，可以縮短連接各元件間的配線長度，能夠實現半導體裝置的高速驅動。另外，藉由縮短配線長度，可使配線電阻變小，能夠謀求半導體裝置的低消耗電力化。如此，可以提升半導體裝置的可靠性。

另外，如第 1 圖等所示般，在連接部 TH0a、TH0b 上的第 1 層配線 M1a、M1b 設置儲存部 Ra、Rb 之故，即使構成配線或連接部的金屬原子移動，儲存部則成為金屬原子的供給源，可降低孔隙的發生率，可提升電子遷移（EM）耐性。另外，可以確保配線和連接部的圖案之配合餘裕，即使產生遮罩偏差，也可謀求配線和連接部的導通。如此，能夠提升配線間的連接精度，可謀求半導體裝置可靠性的提升。

接著，說明儲存部長 L_{res} 。為了 EM 耐性的提升，儲存部長儘可能長為佳，但是，如太長，配線的有效效率降低。第 9 圖係表示儲存部長 L_{res} 和連接部 TH 的配線率的關係之圖表。

(10)

例如，如第 9 圖所示般，考慮排列在 Y 方向而延伸的 6 個第 0 層配線 M0 上介由連接部 TH 而配置第 1 層配線 M1 的情形。

如情形 1 所示般，將儲存部長 L_{res} 設為距離 P0 和距離 P1 之差的 $1/2$ 以下 ($L_{res} \leq (P0-P1)/2$) 時，則可在相同網格 x 上排列配置連接部 TH。即連接部配置率 (TH 配置率) 成為 100%。另外，第 0 層配線 M0、第 1 層配線 M1 和連接部 TH 的配線寬相同，此寬度以及第 1 層配線 M1 間設為最小加工尺寸。

如情形 2 所示般，在設儲存部長 L_{res} 為大於距離 P0 和距離 P1 之差的 $1/2$ ，而為距離 P0 和距離 P1 之差以下 ($(P0-P1)/2 < L_{res} \leq (P0-P1)$) 時，連接部 TH 只可連續 3 個配置在相同網格 x 上的與各網格 y 的交點上，而無法配置在下一網格 y 上。如將此情形 2 與情形 1 比較，其連接部配置率 (TH 配置率) 成為 75%。另外，此情形下，需要錯開第 0 層配線 M0 和連接部 TH 的中心。但是，與情形 1 相比，儲存部長變長之故，變成可以提升 EM 耐性，得以提高配線的可靠性。

如情形 3 所示般，在設儲存部長 L_{res} 大於距離 P0 和距離 P1 的差，而為距離 P0 和距離 P1 的差的 2 倍以下 ($(P0-P1) < L_{res} \leq 2(P0-P1)$) 時，雖可提高配線的 EM 耐性，但是連接部 TH 只能連續 2 個配置在相同網格 x 上的與各網格 y 的交點上，無法配置在下一網格 y 上。其結果為，與情形 1 相比，連接部配置率變成 66.7%。此情形也

(11)

須錯開第 0 層配線 M0 和連接部 TH 的中心。

另外，設大於距離 P0 和距離 P1 的差的 $1/2$ ($(P0-P1)/2 < L_{res}$)，不錯開第 3 層配線 M0 和連接部 TH 的中心時，則連接部配置率變成 50%。

因此，在情形 1~3 之任一種情形，連接部配置率雖然提升，但在情形 1 時，儲存部長相對短，所以 EM 耐性降低。另外，在情形 3 時，配線的中心部和連接部的偏差變大，突起變大，失掉配線配置的自由度。因此，必須避開同一網格 x 而配置第 1 層配線 M1，有配線的有效面積劣化之虞。另外，配線路徑變得複雜，有引起訊號傳達延遲之虞。

因此，可認為情形 2，即儲存部長 L_{res} 大於距離 P0 和距離 P1 之差的 $1/2$ ，而在距離 P0 和距離 P1 之差以下 ($(P0-P1)/2 < L_{res} \leq (P0-P1)$) 為佳。

另外，即使在將儲存部長 L_{res} 的定義設為情形 1 時，在第 0 層配線 M0 設置突起 N，與第 0 層配線 M0 的中心錯開而形成連接部 TH 之配置亦可。即如情形 2 以及情形 3 般，可以設置突起 N，在該突起 N 上形成連接部 TH。同樣地，即使在將儲存部長 L_{res} 的定義設為情形 2 時，也可在如情形 3 般的更長突起上形成連接部 TH。

另外，也可以依據各配線層的配線密度的程度而分別組合使用這些情形 1~3。即在不需緊密配置配線時，或者在想要確保配線的可靠性時，也可有依據情形 3 之方式而配置的配線區域，反之，在必須提高配線密度而配置

(12)

時，可利用情形 1 的方式（儲存部長定義和配置方法）。

另外，在上述例中，例如於網格 x_1 上的連接部 TH0a、TH0b 中，雖將 TH0b 的中心往右側錯開，但是也可將 TH0a 的中心往左側錯開。

如此，以第 1 層配線 M1d 為例說明在配置於相同網格 y 上的第 1 層配線下的連接部中，其中心往左側錯開時的例子（參考第 1 圖）。

即沿著網格 x_3 配置的第 1 層配線 M1d 以及 M1e 係介由連接部 TH0d 以及 TH0e 而分別與第 0 層配線 M0a 以及 M0b 導電連接。

即第 1 層配線 M1d 係由連接部 TH0d 上往圖中左側延伸，第 1 層配線 M1e 係由連接部 TH0e 往圖中右側延伸。

另外，第 1 層配線 M1d 具有由連接部 TH0d 上往圖中右側突出的儲存部 Rd，第 1 層配線 M1e 具有由連接部 TH0e 上往圖中左側突出的儲存部 Re。另外，距離 P0 和 P1 係有 $P_1 < P_0$ 之關係。

此處，第 0 層配線 M0b 上的連接部 TH0d 係其中心由網格 y_1 和 x_3 的交點起只往左側錯開距離 L1。另一方面，第 0 層配線 M0a 上的連接部 TH0e，其中心位於網格 y_2 和 x_3 之交點。

另外，在第 0 層配線 M0a 上的連接部 TH0d 下形成第 0 層配線 M0a 的突起 Nd（參考第 2 圖）。另外，第 0 層配線 M0 並非以最小加工尺寸所配置之故，即使設置突起，也可以確保必要的配線間隔。

(13)

如此，由於使連接部 TH0d 的中心往左側錯開，在第 0 層配線 M0a 設置突起 Nd，所以即使在第 1 層配線（M1d、M1e）設置儲存部 Rd、Re，也可以確保這些的 X 方向的間隔，可以提升配線的安裝效率。

（實施形態 2）

半導體裝置係利用電腦而設計（CAD）。CAD 變成在短期間開發 LSI (Large Scale Integrated Circuit: 大規模積體電路) 所不可或缺的工具。使用於此 CAD 之電腦系統（CAD 系統）係由 CAD 工具群所構成，因應各設計工具而使用種種的 CAD 工具。換言之，CAD 工具係開發給特定目的用的軟體。

因此，在實施形態 1 說明的配線也可以利用 CAD 工具而自動配置。

以下，在本實施形態中，說明實現在實施形態 1 說明的配線的佈局用的 CAD 工具（自動配置配線工具）。另外，利用本實施形態之 CAD 工具所配置的配線等之形狀等，係與在實施形態 1 參考第 1 圖等而說明的佈局相同，此處，省略其詳細說明。

如在實施形態 1 說明過的，在配線的佈局上有種種的條件。a) 第 0 層配線 M0 係配置在網格 y 上。b) 第 1 層配線 M1 係配置在網格 x 上。c) 第 0 層配線和第 1 層配線的連接部 TH0 係配置在網格 x 和網格 y 的交點。d) 在第 1 層配線 M1 設置儲存部。

(14)

(1) 首先，一面參考第 10 圖一面說明在第 0 層配線 M0 上配置連接部 TH0 以及第 1 層配線 M1 之模型 (M0 模型)。

設第 0 層配線 M0a、M0b 係在本 CAD 工具的前階段工程被最佳化配置的配線。

在此第 0 層配線 M0a、M0b 最佳化配置第 1 層配線 M1a、M1b。此處，不考慮儲存部長而配置。

接著，將連接部 TH0a、Th0b 配置在第 0 層配線 M0 和第 1 層配線 M1 的交點。

接著，在第 1 層配線 M1 追加儲存部 Ra、Rb，判斷這些之在 X 方向的距離是否在特定長度以上。所謂特定長度例如為配線間所被容許的最小尺寸。

在特定長度以下時，將在第 1 層配線 M1 下的其中一方的連接部 TH0 往第 1 層配線的延伸方向錯開。第 10 圖中，將連接部 TH0b 往右側只錯開距離 L1。

另外，在錯開的連接部下追加第 0 層配線 M0 的突起 N。第 10 圖中，在第 0 層配線 M0b 追加突起 Nb。

另外，也可以不經過這些工程，利用容許將含儲存部的第 1 層配線 M1 在其之下部的連接部 TH0 由網格的交點往第 1 層配線 M1 延伸的方向錯開配置的程式，以配置第 1 層配線 M1 以及連接部 TH0 等。

(2) 接著，一面參考第 11 圖一面說明規定錯開配置於第 0 層配線 M0 上的連接部 TH0 以及其上部的端子部 T(第 1 層配線 M1 的一部份)，以端子部 T 為起點以配置

第 1 層配線的模型 (M1 模型) 。

即將被最佳化配置於網格 $y1$ 、 $y2$ 上的第 0 層配線 $M0a$ 、 $M0b$ 上的與網格 $x1$ 之交點部的連接部 $TH0$ 中的一個配置為其中心由上述交點部往 X 方向錯開。第 11 圖中，係將連接部 $TH0b$ 往右側只錯開距離 $L1$ 。在此連接部 $TH0b$ 上配置於與錯開連接部 $TH0b$ 的中心之方向相反側的方向具有儲存部 Rb 的端子部 Tb 。另外，在錯開的端子部 Tb 下的第 0 層配線 $M0b$ 設置突起 Nb 。

另外，在與網格 $x1$ 之交點部配置其他的連接部 $TH0a$ ，在此連接部 $TH0a$ 上配置由連接部 $TH0a$ 上往右側具有儲存部 Ra 的端子部 Ta 。

以此端子部 Ta 、 Tb 的位置資訊為基礎，自動配置第 1 層配線 $M1$ 在由端子部 T 往與儲存部 R 相反側的方向延伸的第 1 層配線 $M1$ 。換言之，以端子部 T 為起點而最佳化配置第 1 層配線 $M1$ 。

在此 $M1$ 模型中，連接部 $TH0$ (端子部 T)的位置是先被限定之故，因情形之不同，有配線的安裝效率比 $M0$ 模型低之虞。

但是，在此 $M1$ 模型中，第 1 層配線 $M1$ 的配置條件變少，可以縮短配線設計的 TAT (turn around time: 週轉時間)。

即在 $M0$ 模型中，需要一面蒐羅無餘進行對於第 0 層配線 $M0$ 的連接部 $TH0$ 以及其上部的第 1 層配線 $M1$ 的配置之組合一面進行配線設計 (安裝) 。

(16)

例如，在第 1 圖所示之情形中，可在第 0 層配線 M0 上的 3 個交點配置連接部 TH0，設計的自由度變大，但最佳化配置的確定上卻需要花些時間。特別是在 M0 模型中，在排除將連接部 TH0 配置於網格的交點之條件，容許由網格的交點錯開而配置時，在最佳化配置的確定上，更花時間。

第 1 圖中，雖只顯示網格 2X3 之區域，但實際上，多數的元件（單元）間係以多層的配線等連接，於蒐羅無餘地一面進行這些連接的組合一面進行配線設計上，需要電腦的計算能力之提升，另外，計算時間也長。

相對於此，在 M1 模型中，可以縮短配線設計的 TAT，另外，可以使用一般的 CAD 系統。

（實施形態 3）

在實施形態 1 中，在相鄰的連接部 TH0a、TH0b 中，只錯開連接部 TH0a 而配置（參考第 1 圖），但是也可以將相鄰連接部 TH0a、TH0b 分別往相反方向（分開方向）錯開。

一面參考圖面一面說明本實施形態之半導體裝置的配線等的配置方法。另外，除了連接部以及第 1 層配線的配置位置等，與實施形態 1 相同之故，對於對應的部份賦予相同符號，只就不同部份做詳細說明。

第 12 圖係顯示第 0 層配線 M0a、M0b、第 1 層配線 M1a～M1e 以及第 0 層配線和第 1 層配線的連接部 TH0a

(17)

、TH0b 等的平面圖案。另外，第 13 圖係在第 12 圖的佈局中，顯示第 0 層配線 M0a、M0b 的平面圖案，第 14 圖係對應第 12 圖的 D-D' 部的重要部位剖面圖。

一面參考第 12 圖～第 14 圖，一面說明本實施形態的半導體裝置之配線等的配置狀態。

第 0 層配線 M0a 以及 M0b 係沿著網格 y1、y2 而配置，與沿著網格 x1 而配置的第 1 層配線 M1a 以及 M1b 係介由連接部 TH0a 以及 TH0b 而導電連接。

即第 1 層配線 M1a 係由連接部 TH0a 上往圖中左側延伸，第 1 層配線 M1b 係由連接部 TH0b 上往圖中右側延伸。

另外，第 1 層配線 M1a 具有由連接部 TH0a 上往圖中右側突出的儲存部 Ra，第 1 層配線 M1b 具有由連接部 TH0b 上往圖中左側突出的儲存部 Rb。

另外，距離 P0 係網格 y1 和 y2 間的距離，為第 0 層配線間の間隔 S0 和第 0 層配線寬 W0 的和。另外，距離 P1 係網格 x1 和 x2 間距離，為第 1 層配線間の間隔 S1 和第 1 層配線寬 W1 的和。此距離 P1 和 P0 存在有 $P1 < P0$ 之關係。

如在實施形態 1 說明過的，在第 0 層配線 M0 的下層，閘極 FG 配置於 Y 方向時，多數成為 $P1 < P0$ 之關係。

第 15 圖係顯示第 0 層配線 M0 和 MISFET 之閘極 FG 的圖案的關係。第 16 圖係顯示在第 0 層配線 M0 的下層形成 MISFET 時的重要部份剖面圖。第 15 圖之 E-E' 方向

(18)

的剖面係對應第 16 圖。

如第 16 圖所示般，例如 $P0$ 為 $0.42\ \mu\text{m}$ ， $S0$ 為 $0.24\ \mu\text{m}$ ， $W0$ 為 $0.18\ \mu\text{m}$ ，保留部長 L_{res} 為 $0.06\ \mu\text{m}$ 。另外， $S1$ 以及 $W1$ 為 $0.18\ \mu\text{m}$ ， $P1$ 為 $0.36\ \mu\text{m}$ 。另外，第 2 層配線 $M2$ 之寬以及間隔為 $0.18\ \mu\text{m}$ 。

此處，如第 12 圖等所示般，第 0 層配線 $M0b$ 上的連接部 $TH0b$ ，其中心由網格 $y2$ 和 $x1$ 的交點往右側只錯開距離 $L2$ 。另外，第 0 層配線 $M0a$ 上的連接部 $TH0a$ ，其中心由網格 $y1$ 和 $x1$ 的交點往左側只錯開距離 $L2$ 。距離 $L2$ 例如為 $0.03\ \mu\text{m}$ （第 16 圖）。

另外，在第 0 層配線 $M0a$ 上的連接部 $TH0a$ 下形成第 0 層配線 $M0a$ 的突起 Na ，在第 0 層配線 $M0b$ 上的連接部 $TH0b$ 下形成第 0 層配線 $M0b$ 的突起 Nb （參考第 13 圖）。此突起 Na 、 Nb 的長度，以設為與距離 $L2$ 相同為佳。第 16 圖中，例如，為 $0.03\ \mu\text{m}$ 。另外，第 0 層配線 $M0$ 係保留配線間所被容許之最小的尺寸以上的間隔而配置之故，即使設計突起，也可以確保必要的配線間隔。

如此，在本實施形態中，於配置在相鄰網格上的第 0 層配線上配置在同一網格上相互往相反方向延伸的第 1 層配線時，將第 0 層配線上的 2 個連接部分別往其上部的第 1 層配線延伸的方向錯開而配置，另外，在錯開的連接部下的第 0 層配線設置突起。

其結果為，即使在第 1 層配線設置儲存部時，也可以確保這些第 1 層配線的 X 方向の間隔，可以提升配線的

安裝效率。

另外，可以確保配置在同一網格上的第 1 層配線的 X 方向的間隔之故，可在 Y 方向相鄰的網格配置如第 1 層配線 M1c 般的其他配線。藉此，可以提升配線的自由度，得以提升配線的密度、安裝效率。

另外，可以縮短連接各元件間的配線長度，可以謀求半導體裝置的驅動高速化、低消耗電力化，可以謀求半導體裝置的可靠性提升。

另外，藉由設置儲存部，使得 EM 耐性提升，另外，可以確保配線和連接部的圖案的配合餘裕。如此，可以謀求半導體裝置的可靠性提升。

另外，在本實施形態中，可將第 9 圖所示之情形 1~3 與實施形態 1 相同，依據各配線層之配線密度的程度而分別組合使用。

另外，在後述的實施形態 4 之 (3-3) 補充做說明，爲了最佳化配線佈局，以將保留部長 L_{res} 設爲大於距離 $P0$ 和距離 $P1$ 的差的 $1/2$ ，而在距離 $P0$ 和距離 $P1$ 的差以下 ($(P0-P1)/2 < L_{res} \leq (P0-P1)$) 爲佳。

另外，第 1 層配線 M1d 以及 M1e 係分別介由連接部 TH0d 以及 TH0e 而與第 0 層配線 M0a 以及 M0b 導電連接，這些連接部也與連接部 TH0a 以及 TH0b 相同，分別在相反方向 (分開方向) 錯開而配置 (第 12 圖)。

(實施形態 4)

在本實施形態中，說明實現實施形態 3 說明的配線之佈局用的 CAD 工具。另外，利用本實施形態的 CAD 工具而配置的配線等的形狀等，係與實施形態 3 中參考第 12 圖等所說明的佈局相同，此處，省略其詳細說明。

(1) 一面參考第 17 圖一面說明在第 0 層配線 M0 上配置連接部 TH0 以及第 1 層配線 M1 之模型 (M0 模型)。

第 0 層配線 M0a、M0b 係在本 CAD 工具的前階段工程被最佳化配置的配線。

在此第 0 層配線 M0a、M0b 最佳化配置第 1 層配線 M1a、M1b。此處，不考慮儲存部長而配置。

接著，將連接部 TH0a、Th0b 配置在第 0 層配線 M0 和第 1 層配線 M1 的交點。

接著，在第 1 層配線 M1 追加儲存部 Ra、Rb，判斷這些之間在 X 方向的距離是否在特定長度 (配線間所被容許的最小尺寸) 以上。

在特定長度以下時，將在第 1 層配線 M1 下的兩方的連接部 TH0a、TH0b 往其之上部的第 1 層配線 M1 的延伸方向分別只錯開距離 L2。即將相鄰的連接部分別往反方向 (分開方向) 各錯開距離 L2。

另外，在錯開的連接部下的第 0 層配線 M0 追加突起 Na、Nb。

另外，也可以不經過這些工程，利用容許將含儲存部的第 1 層配線 M1 在其之下部的連接部 TH0 由網格的交點

(21)

往第 1 層配線 M1 延伸的方向錯開配置的程式，以配置第 1 層配線 M1 以及連接部 TH0 等。

(2) 接著，一面參考第 18 圖一面說明規定錯開配置於第 0 層配線 M0 上的連接部 TH0 以及其上部的端子部 T(第 1 層配線 M1 的一部份)，以端子部 T 為起點以配置第 1 層配線的模型 (M1 模型)。

即在將被最佳化配置於網格 y1、y2 上的第 0 層配線 M0a、M0b 上的與網格 x1 之交點部將連接部 TH0a、TH0b 配置為其中心由上述交點部分別往左側、右側錯開。在此連接部 TH0 上配置於與錯開連接部 TH0 之方向相反側的方向具有儲存部 Rb 的端子部 Ta、Tb。另外，在錯開的端子部 Ta、Tb 下的第 0 層配線 M0a、M0b 設置突起 Na、Nb。

以此端子部 Ta、Tb 的位置資訊為基礎，自動配置第 1 層配線 M1 在由端子部 T 往與上述儲存部 R 相反側的方向延伸的第 1 層配線 M1。換言之，以端子部 T 為起點而最佳化配置第 1 層配線 M1。

在此 M1 模型中，與在實施形態 2 說明的 M1 模型相同，第 1 層配線 M1 的配置條件變少，可以縮短配線設計的 TAT。另外，可以使用一般的 CAD 系統。

(3) 另外，在本實施形態的 M0 模型中，如第 19 圖所示般，可在沿著網格 y 延伸的第 0 層配線 M0 之與網格 x 之交點的兩側假想配置設置突起 N 的第 0 層配線，在其上部配置連接部 TH0 以及第 1 層配線 M1。即可將第 19

(22)

圖所示圖案當成訊息庫（資料庫）而設定在 CAD 工具中。

（3-1）接著，例如利用在（1）中說明的 M0 模型，配置第 1 層配線 M1 以及連接部 TH0。

即首先，在假想的第 0 層配線 M0 的圖案上配置第 1 層配線 M1。此處，不考慮儲存部長而配置。

接著，將連接部 TH0 配置在第 0 層配線 M0 和第 1 層配線 M1 的交點。

接著，在第 1 層配線 M1 追加儲存部，判斷第 1 層配線 M1 間的 X 方向的距離是否在特定長度（配線間所被容許的最小尺寸）以上。

在此特定長度以下時，將第 1 層配線 M1 下的 2 個連接部往相互分開方向錯開。

接著，決定在連接部和假想的第 0 層配線 M0 的圖案之重疊部份具有突起 N 的第 0 層配線 M0 的圖案。換言之，在假想的第 0 層配線 M0 的圖案之突起中，只將在其上部形成有連接部的突起部當成正規的（實在的）突起。

（3-2）另外，在假想上設置有突起 N 的第 0 層配線 M0 的圖案上配置第 1 層配線 M1 時，如先決定第 1 層配線 M1 的延伸方向和配置連接部 TH0 的網格 xy 的位置，則連接部 TH0 的配置係自動地被錯開配置在突起 N 上。

具體上，在設為如實施形態 3 說明的第 12 圖所示的配置佈局時，於配置於網格 x1 和 y1 的交點之連接部 TH0a 和配置於網格 x1 和 y2 的交點之連接部 TH0b，分別

由連接部 TH0a 的左側以及連接部 TH0b 的右側連接第 1 層配線 M1a 以及 M1b 時，連接部 TH0a 係錯開形成在第 1 層配線 M1a 的延伸方向，連接部 TH0b 係錯開形成在第 1 層配線 M1b 的延伸方向。

接著，雖在第 1 層配線 M1 追加儲存部 Ra 以及 Rb，連接部 TH0a 以及 TH0b 係如上述般錯開形成之故，在儲存部 Ra 和儲存部 Rb 間可以確保配線間隔。

如此先設定佈局的法則（算法），以自動配線工具進行配線的佈局時，可以無配線錯誤地，配置可以確保配置在同一網格上的第 1 層配線的間隔之配線。

（3-3）此處，儲存部長以利用第 9 圖所示情形 2 以進行佈局為佳。假如利用情形 3 時，錯開連接部 TH0 的寬度變大，伴隨此而設置在第 0 層配線 M0 的兩側之突起 N 的長度也變長，在第 0 層配線 M0 會引起配線錯誤。即如使用情形 3，無法在第 0 層配線 M0 的兩側設置假想的突起 N 之故，變得失掉配線的自由度。相對於此，在情形 2 中，即使在第 0 層配線 M0 的兩側設置假想的突起 N，也不會成為配線錯誤之故，在配線的佈局中，可以提高自由度。

如此，藉由在全部的網格的交點假想配置具有突起的第 0 層配線，也可以利用既定的「在第 0 層配線 M0 上配置連接部 TH0」之一般的條件的自動配置配線工具。

即在既存的自動配線工具中，如無法在下層配線的圖案上配置連接部，便會成為錯誤的工具並不少。

但是，如先準備此種訊息庫，即使將連接部錯開配置於哪個網格的交點，都不會成為錯誤，自動配線工具的選擇範圍變廣。

當然，不管是否在其上部形成連接部 TH0，也可將第 0 層配線 M0 的圖案設為第 19 圖所示圖案。第 20 圖係顯示在此情形的第 0 層配線 M0a、M0b、第 1 層配線 M1a~M1e 以及第 0 層配線和第 1 層配線的連接部 TH0a、TH0b 等的平面圖案的平面圖，第 21 圖係對應第 20 圖的 F-F' 部的重要部位剖面圖。

但是，在此情形下，第 0 層配線 M0 的圖案複雜化，配線圖案形成的抗蝕劑膜的析像變得困難。另外，配線區域變大，配線間電容增加。

因此，以只在連接部 TH0 的下部設置第 0 層配線的突起為佳。

另外，也可將第 19 圖所示圖案當成訊息庫（資料庫），用於實施形態 2 說明的配線的配置方法。

（實施形態 5）

接著，說明在鏡面配置的 2 輸入 NAND 單元（以下，稱為「2NAND 單元」）使用實施形態 1 或者 2 說明的配線的配置方法之例子。

（1）首先，說明 2NAND 單元的電路圖。第 22 圖係 2NAND 單元的電路圖，如圖示般，輸入端子 a1 係連接在 p 通道型 MISFETQp1 以及 n 通道型 MISFETQn1 的閘極，

(25)

輸入端子 a2 係連接在 p 通道型 MISFETQp2 以及 n 通道型 MISFETQn2 的閘極。另外，在輸出端子 zn 和電源電位 (V_{dd}) 之間，係並聯連接 p 通道型 MISFETQp1 以及 Qp2，在輸出端子 zn 和接地電位 (基準電位, V_{ss}) 之間，依序串聯連接 n 通道型 MISFETQn2 以及 Qn1。

(2) 依據製造方法說明鏡面配置的 2NAND 單元的構造。

第 23 圖 ~ 第 27 圖係顯示構成 2NAND 單元的各層之圖案佈局的平面圖，第 28 圖係對應平面圖之 G-G' 部的剖面圖。另外，如第 27 圖所示般，2NAND 單元係形成在單元區域 CA1 和 CA2，這些單元係區分單元區域，對於在 Y 方向延伸的線為對稱配置 (鏡面配置)。

如第 23 圖以及第 28 圖所示般，在形成於半導體基板 1 中的溝內藉由填埋絕緣膜，例如氧化矽膜而形成元件分離 3。接著，在半導體基板 1 中植入 n 型不純物以及 p 型不純物，使之擴散，形成 n 型井 5 以及 p 型井。將此 n 型井 5 的露出區域設為主動區 AcN，另外將 p 型井的露出區域設為主動區 AcP。

接著，在半導體基板 1 上堆積導電性膜，例如摻雜不純物的多晶矽膜，予以圖案化，形成閘極 FG。此閘極 FG 之內的 FG1 以及 FG2 係在主動區 AcN 上延伸於 Y 方向，FG3 以及 FG3 係在主動區 AcP 上延伸於 Y 方向。FG1 係 Qp1 的閘極，FG2 係 Qp2 的閘極。另外，FG3 係 Qn1 的閘極，FG4 係 Qn2 的閘極。另外，FG1 和 FG3 係藉由上述

(26)

多晶矽膜所形成的配線部而連接，另外，FG2 和 FG4 也同樣地連接。

接著，在閘極 FG 的兩側之半導體基板 1 (p 型井) 中植入 n 型不純物，形成 n⁻ 型半導體區域。另外，在閘極的兩側之半導體基板 1 (n 型井) 中植入 p 型不純物，形成 p⁻ 型半導體區域 11。

接著，在閘極 FG 上堆積當成絕緣膜的氮化矽膜，藉由不等向性蝕刻，在閘極 FG 的側壁形成側壁膜 SW。

接著，以閘極以及側壁膜為遮罩，在閘極的兩側之半導體基板 1 (p 型井) 中植入 n 型不純物，形成成為 n 通道型 MISFET 的源極以及汲極區域的 n⁺ 型半導體區域。另外，在閘極的兩側之半導體基板 1 (n 型井) 植入 p 型不純物，形成成為 p 型井 MISFET 的源極以及汲極區域的 p⁺ 型半導體區域 15。

接著，在半導體基板 1 上堆積當成高融點金屬膜之例如鈷膜，加上熱處理，使與構成半導體基板 1 的矽反應，在鈷膜和半導體基板 1 以及閘極 FG 的接觸部形成矽化鈷膜 17。

接著，去除未反應的鈷膜，在半導體基板 1 上堆積絕緣膜，例如氧化矽膜 19。

接著，如第 24 圖以及第 28 圖所示般，藉由選擇性地去除氧化矽膜 19，在 MISFET 的源極、汲極區域上或者閘極上形成接觸孔 21。

接著，在包含接觸孔 21 內的氧化矽膜 19 上，薄薄堆

(27)

積阻障層，例如 TiN(氮化鈦)膜，另外，在其上部以填膜接觸孔 21 之程度堆積作為導電性膜之 W(鎢)膜。

接著，藉由以 CMP(Chemical Mechanical Polishing：化學機械研磨)法去除接觸孔 21 的外部的 TiN 膜以及 W 膜，形成連接部（插塞）LCNT。

接著，如第 25 圖以及第 28 圖所示般，在氧化矽膜 19 上例如堆積氮化矽膜，另外，在其上部堆積氧化矽膜，形成由這些積層膜所形成的配線溝用的絕緣膜 23。此氮化矽膜係成為在形成配線溝時的蝕刻阻絕層。

接著，藉由選擇性地去除絕緣膜 23，而形成配線溝 25。接著，在含配線溝 25 內的絕緣膜 23 上薄薄堆積當成阻障層之例如 TiN 膜、Ta 膜、Ta₂N 膜等單層膜，或者堆積彼等之積層膜，另外，在其上部以填膜配線溝 25 之程度堆積導電性膜之 W 膜或者銅（Cu）膜。

接著，藉由 CMP 法去除配線溝 25 的外部的阻障膜以及導電性膜，形成第 0 層配線 M0。

第 0 層配線 M0 係沿著網格 y 而形成在 Y 方向。但是，也有一部份有延伸在 X 方向的部份。另外，閘極 FG 位於第 0 層配線 M0 間。在平面圖中，以虛線表示網格。將 X 方向的網格設為網格 x，將 Y 方向的網格設為網格 y。

接著，在絕緣膜 23 上例如堆積由氮化矽膜以及氧化矽膜的積層膜所形成的絕緣膜 27。

接著，如第 26 圖以及第 28 圖所示般，藉由選擇性地去除絕緣膜 27，形成接觸孔 C0。接著，在包含接觸孔 C0

(28)

的絕緣膜 27 上薄薄堆積阻障膜，例如 TiN 膜，另外，在其上部以填膜接觸孔 C0 之程度堆積作為導電性膜之 W 膜。接著，與連接部 LCNT 相同，藉由在接觸孔 C0 內填埋 TiN 膜以及 W 膜，以形成連接部 TH0。

接著，如第 27 圖以及第 28 圖所示般，在絕緣膜 27 上例如堆積由氮化矽膜以及氧化矽膜的積層膜所形成的絕緣膜 29，與配線溝 25 相同，形成配線溝 31。

接著，在包含配線溝 31 內的絕緣膜 29 上薄薄堆積阻障膜，例如 TiN 膜，另外，在其上部例如利用電鍍法或濺鍍法等，以填埋配線溝 31 之程度形成導電性膜之 Cu(銅)膜，接著，例如藉由 CMP 法去除配線溝 31 的外部之 TiN 膜以及 Cu 膜，形成第 1 層配線 M1。

如第 27 圖所示般，此第 1 層配線 M1 係沿著網格 x 上而形成在 X 方向。

此處，第 1 層配線 M1 內，M1a 係對應輸入端子 a1，M1b 係對應輸入端子 a2。另外，M1c 係對應輸出端子 zn。另外，對於第 1 層配線 M1d 供給電源電位 (Vdd)，對於 M1e 供給接地電位 (Vss)。另外，第 0 層配線 M0 內，M0h 係與 n 型井 (AcN) 的供電部連接，M0g 係與 p 型井 (AcP) 的供電部連接。

此處，單元區域 CA2 的第 1 層配線 M1a 係由第 0 層配線 M0a 上的連接部 TH0a 上往右方向，即由單元邊界區域分開之方向延伸，另外，單元區域 CA1 的第 1 層配線 M1a 係由第 0 層配線 M0a 上的連接部 TH0a 上往左方向延

伸，這些配線係配置為位於相同網格上。

此處，將單元區域 CA2 的第 1 層配線 M1a 下的連接部 TH0a 由第 0 層配線 M0a 的中心往右方向，即由單元邊界區域分開的方向錯開配置（往右錯開配置），將單元區域 CA1 的第 1 層配線 M1a 下的連接部 TH0a 由第 0 層配線 M0a 的中心往左方向錯開（往左錯開配置）配置。另外，其他的連接部 TH0 係配置在第 0 層配線 M0 的中心。

藉由如此設定單元區域 CA2 的配置，被鏡面配置的單元區域 CA1 係以單元邊界區域為界，重複配置單元區域 CA2 而被佈局。此處，單元區域 CA1 的連接部 TH0a 係由第 0 層配線 M0a 的中心往單元邊界區域分開方向錯開而配置之故，單元區域 CA2 的連接部 TH0a 也由第 0 層配線 M0a 的中心往單元邊界區域分開方向錯開而配置。

藉由如此配置，即使在第 1 層配線 M1a 設置儲存部 R，也可以確保配線的 X 方向之間隔。

此後，如第 28 圖所示般，堆積絕緣膜 33 或 35，在配線溝 37 中形成第 2 層配線 M2。

第 17 圖以及第 28 圖所示的單元構造，例如可藉由在實施形態 2 等說明的 M1 模型的自動配線配置而予以實現。

即預先將單元區域 CA2 的連接部 TH0a 往右錯開配置，預先將單元區域 CA1 的連接部 TH0a 往左錯開配置，在這些的上部設置將儲存部 R 設定於與錯開連接部的方向相反方向的端子部 Ta，鏡面配置單元區域 CA1 後，以此為

(30)

起點，最佳化配置第 1 層配線 M1（參考第 27 圖）。

另外，利用 M0 模型，第 1 層配線 M1 下的連接部 TH0a 在單元的端部中，係相鄰配置於相同網格 x 上時，也可將這些分別往相反方向（分開方向）錯開配置，以確保儲存部區域 R。

（實施形態 6）

接著，說明在 4 輸入 NAND 單元（以下，稱為「4NAND 單元」）適用於實施形態 1~4 說明的配線的配置方法之例子。

（1）首先，說明 4NAND 單元的電路圖。第 29 圖係 4NAND 單元的電路圖，如圖示般，輸入端子 a1 係連接於 p 通道型 MISFETQp1 以及 n 通道型 MISFETQn1 的閘極，同樣地，輸入端子 a2~a4 分別連接於 p 通道型 MISFETQp2~Qp4 的閘極，另外，分別連接於 n 通道型 MISFETQn2~Qn4 之閘極。另外，p 通道型 MISFETQp1~Qp4 並聯連接在輸出端子 zn 和電源電位（Vdd）之間，n 通道型 MISFETQn1~Qn4 依序串聯連接在輸出端子 zn 和接地電位（Vss）之間。

（2）另外，構成此 4NAND 單元的配線等，其圖案雖然不同，但是可與實施形態 5 同樣地形成之故，此處，詳細說明各層的圖案。

第 30 圖～第 35 圖係顯示構成 4NAND 單元之各層的圖案佈局之平面圖。

(31)

如第 30 圖所示般，閘極 FG1~FG4 係在主動區 A_{cn} 上延伸於 Y 方向，閘極 FG5~FG8 係在主動區 A_{cP} 上延伸於 Y 方向。

此閘極 FG1 和 FG5、FG2 和 FG6、FG3 和 FG7、以及 FG4 和 FG8 係分別藉由與閘極同層的多晶矽膜所形成的配線部予以連接。

另外，在閘極 FG 的兩側等之所期望的位置配置連接部 LCNT（第 31 圖）。

如第 32 圖所示般，在閘極 FG 間，第 0 層配線 M0 係沿著網格 y 而延伸在 Y 方向。但是，也有一部份有延伸在 X 方向的部份。

在第 0 層配線 M0 上配置連接部 TH0（第 33 圖），第 1 層配線 M1 在此連接部 TH0 上沿著網格 x 而配置在 X 方向（第 34 圖）。

此處，第 1 層配線 M1a 係對應輸入端子 a1，M1b 係對應輸入端子 a2。另外，M1c 係對應輸入端子 a3，M1d 係對應輸入端子 a4。另外，M1e 係對應輸出端子 zn。另外，對於第 1 層配線 M1k 供給電源電位（Vdd），對於 M1j 供給接地電位（Vss）。另外，第 0 層配線內，M0k 係與 n 型井的供電部連接，M0j 係與 p 型井的供電部連接。

此處，第 1 層配線 M1a 係由第 0 層配線 M0 上的連接部 TH0a 上往左方向延伸，第 1 層配線 M1b 係由第 0 層配線上的連接部 TH0b 往右方向延伸，這些配線係位於相同

(32)

網格 x 上。

因此，將第 1 層配線 M1a 下的連接部 TH0a 由第 0 層配線 M0 的中心往左方向錯開配置（往左錯開配置），另外，將第 1 層配線 M1b 下的連接部 TH0 由第 0 層配線 M0 的中心往右方向錯開（往右錯開配置）配置。

另外，第 1 層配線 M1c 係由第 0 層配線 M0 上的連接部 TH0c 上往左方向延伸，第 1 層配線 M1d 係短短配置在第 0 層配線 M0 上的連接部 TH0d，第 1 層配線 M1e 係由第 0 層配線 M0 上的連接部 TH0e 上往右方向延伸，這些配線係位於相同網格 x 上。

因此，將第 1 層配線 M1c 下的連接部 TH0c 由第 0 層配線 M0 的中心往左方向錯開配置（往左錯開配置），另外，將第 1 層配線 M1e 下的連接部 TH0e 由第 0 層配線 M0 的中心往右方向錯開（往右錯開配置）配置。另外，第 1 層配線 M1d 下的連接部 TH0d 係配置在第 0 層配線 M0 的中心（中心配置）。另外，其他的連接部 TH0 也配置在第 0 層配線 M0 的中心。

藉由如此配置，即使在第 1 層配線 M1a、M1b 等設置儲存部，也可以確保配線的 X 方向之間隔。

因此，可以提升這些配線的安裝效率，可在其他的網格 x 配置其他的第 1 層配線（Another net）AN。

第 35 圖係顯示第 1 層配線 M1 上的連接部 TH1 以及其上部的第 2 層配線 M2 的配置之一例。

(33)

(實施形態 7)

在實施形態 5 或 6 中，雖以 NAND 單元為例做說明，但是在用於標準單元等之基本單元，例如反相器或 AND 電路等之配線部也可以使用本發明。

基本單元在上述之外，有 3 輸入 NAND、2 輸入 NOR、3 輸入 NOR、4 輸入 NOR、TriState 反相器、2-1 選擇器、互斥非或 (exclusiveNOR)、互斥或 (exclusiveOR)、2-1AND-OR-反相器、2-2AND-OR-反相器、2-1AND-OR-反相器、3-2AND-OR-反相器、2-2-1AND-OR-反相器、2-1OR-AND-反相器、2-2OR-AND-反相器、3-1OR-AND-反相器、2-1-1OR-AND-反相器、2-2-2OR-AND-反相器、D-鎖存器、邊緣觸發正反器 (Edge-trigger FF) 等各種各樣產品。

另外，不單這些基本單元的鏡面配置，在配置多種的基本單元，於這些之間的接線上也可以使用本發明。

特別是在實施形態 5 中，如以 2NAND 單元為例做說明般，基本單元係構成其之多數的 MISFET 的閘極 FG 並聯配置在一定方向，多數在這些之間形成第 0 層配線 M0。

爲了縮小這些單元面積，多數在單元的外圍部的第 0 層配線 M0 上設置輸入部 (a1、a2、... an) 或者輸出部 (zn)。因此，如第 36 圖所示般，在配置有多數的基本單元 (BC1~BC6) 時，在各單元的第 1 層配線 M1 的延伸方向的邊界部，第 1 層配線的儲存部 R 很可能會接近配置。

(34)

因此，在此種區域中，藉由使用在實施形態 1～4 說明之配線配置，其他配線（Another net）之引繞成為可能，可以提升配線的安裝效率。

第 37 圖係本發明者們連接多數的基本單元間之配線佈局的一例。例如，區域（a）係本發明的適用處所（往兩側錯開配置），區域（b）係不錯開配置連接部的處所。

如此，連接部（配線）間有餘裕，在即使設置儲存部也可以確保配線間隔之處所，不用說並不需要錯開配置連接部。

另外，本發明不管單元內的接線或者單元間的接線都可以適用。

如此，如依據本實施形態，可以謀求半導體裝置的微細化（晶片的縮小化）或高集成化。另外，可以縮短連接各元件間的配線長度，可以實現半導體裝置的高速驅動。另外，藉由縮短配線長度，可以使配線電阻降低，可以謀求半導體裝置的低消耗電力化。另外，藉由儲存部，可使 EM 耐性提升，另外，可以確保配線和連接部的圖案配合餘裕。

以上，雖依據實施形態而具體說明由本發明者所完成的發明，但是本發明並不限定於上述實施形態，在不脫離其要旨之範圍內，不用說可有種種變更之可能。

特別是，在實施形態 5 以及 6 中，雖以銅波形花紋配線為例做說明，也可以使用其他的導電性膜，另外，也可

藉由導電性膜的圖案化以形成配線。

但是，銅原子容易移動，容易產生 EM 現象之故，設置儲存部的必要性大。因此，本發明用於銅配線特別有效果。

另外，在上述實施形態中，雖以第 0 層配線或第 1 層配線等比較下層的配線為例做說明，但是也可以適用於更上層的配線，例如第 4 層配線或第 5 層配線，可以廣泛適用在其下層的配線以最小加工尺寸以上的間隔所被配置的配線。

另外，不限定於 MISFET 上的配線，也可以廣泛使用於形成在其他半導體元件上的配線。

以上，如簡單說明本申請案記載的實施形態中所揭示的效果中的代表性者，則如下述：

藉由將第 1 配線和延伸在與第 1 配線正交的第 1 方向[X 方向]的第 2 配線[M1]的連接部的中心由第 1 配線的中心錯開而配置，在與錯開方向相反方向可確保剩餘部份[儲存部]，另外，藉由在連接部的下部，於第 1 配線設置突出部[突起]，可以確保上述第 1 方向の間隔，可以提升配線密度。

另外，可以確保配置於同一網格上的第 1 層配線的第 1 方向の間隔之故，在第 2 配線和於與上述第 1 方向正交的第 2 方向[Y 方向]相鄰的網格上可以配置如第 3 配線[M1]之其他的配線。藉此，可以提升配線的自由度，能夠提升配線密度。

[發明效果]

如簡單說明由本申請案所揭示發明中的代表性者所獲得的效果，則如下述：

可以提升配線的安裝密度。另外，可以提升配線間的連接精度。另外，可以謀求半導體裝置的微細化或者高密度化。另外，可以謀求半導體裝置的高性能化。

【圖式簡單說明】

第 1 圖係顯示實施形態 1 的各層之配線（M0、M1）和這些之間的連接部的平面圖案平面圖。

第 2 圖係顯示第 1 圖的佈局中之第 0 層配線的平面圖案圖。

第 3 圖係對應第 1 圖的 A-A'部之重要部位剖面圖。

第 4 圖係顯示表示實施形態 1 的效果用之各層的配線（M0、M1）和這些之間的連接部的平面圖案平面圖。

第 5 圖係顯示第 4 圖之佈局中的第 0 層配線的平面圖案圖。

第 6 圖係對應第 4 圖之 C-C'部的重要部位剖面圖。

第 7 圖係顯示實施形態 1 之各層的配線（M0、M1）、這些之間的連接部以及閘極的關係剖面圖。

第 8 圖係顯示實施形態 1 之第 0 層配線以及閘極的平面圖案之平面圖。

第 9 圖係顯示儲存部長 L_{res} 和連接部 TH 的配置率的關係圖表。

(37)

第 10 圖係顯示實施形態 2 的配線等的配置方法流程圖。

第 11 圖係顯示實施形態 2 的配線等的其他配置方法流程圖。

第 12 圖係顯示實施形態 3 的各層之配線 (M0、M1) 和這些之間的連接部的平面圖案之平面圖。

第 13 圖係顯示第 12 圖的佈局中之第 0 層配線的平面圖案圖。

第 14 圖係對應第 12 圖的 D-D' 部的重要部位剖面圖。

第 15 圖係顯示實施形態 3 的第 0 層配線以及閘極的平面圖案之平面圖。

第 16 圖係顯示實施形態 3 之各層之配線 (M0、M1)、這些之間的連接部以及閘極的關係剖面圖。

第 17 圖係顯示實施形態 4 的配線等的配置方法流程圖。

第 18 圖係顯示實施形態 4 的配線等的配置方法流程圖。

第 19 圖係顯示在網格的交點之兩側設置突起的假想之第 0 層配線的圖案之平面圖。

第 20 圖係顯示實施形態 4 之其他各層之配線 (M0、M1) 和這些之間的連接部的平面圖案之平面圖。

第 21 圖係對應第 20 圖之 F-F' 部的重要部位剖面圖。

第 22 圖係 2NAND 單元的電路圖。

第 23 圖係顯示構成實施形態 5 的 2NAND 單元之各層的圖案佈局的平面圖。

第 24 圖係顯示構成實施形態 5 的 2NAND 單元之各層的圖案佈局的平面圖。

第 25 圖係顯示構成實施形態 5 的 2NAND 單元之各層的圖案佈局的平面圖。

第 26 圖係顯示構成實施形態 5 的 2NAND 單元之各層的圖案佈局的平面圖。

第 27 圖係顯示構成實施形態 5 的 2NAND 單元之各層的圖案佈局的平面圖。

第 28 圖係對應第 27 圖之 G-G' 部的剖面圖。

第 29 圖係 4NAND 單元的電路圖。

第 30 圖係顯示構成實施形態 6 的 4NAND 單元之各層的圖案佈局的平面圖。

第 31 圖係顯示構成實施形態 6 的 4NAND 單元之各層的圖案佈局的平面圖。

第 32 圖係顯示構成實施形態 6 的 4NAND 單元之各層的圖案佈局的平面圖。

第 33 圖係顯示構成實施形態 6 的 4NAND 單元之各層的圖案佈局的平面圖。

第 34 圖係顯示構成實施形態 6 的 4NAND 單元之各層的圖案佈局的平面圖。

第 35 圖係顯示構成實施形態 6 的 4NAND 單元之各層的圖案佈局的平面圖。

(39)

第 36 圖係顯示多數的基本單元之接線狀態的平面圖。

第 37 圖係連接多數的基本單元間之配線佈局的一例。

第 38 圖係顯示實施形態 1 之變形例的第 0 層配線以及閘極的平面圖案之平面圖。

[圖號說明]

1：半導體基板，3：元件分離，5：n 型井，11：p⁻型半導體區域，15：p⁺型半導體區域，17：矽化鈷膜，19：氧化矽膜，21：接觸孔，23：絕緣膜，25：配線溝，27：絕緣膜，29：絕緣膜，31：配線溝，33：絕緣膜，35：絕緣膜，37：配線溝，AcN：主動區，AcP：主動區，C0：接觸孔，CA1：單元區域，CA2：單元區域，FG：閘極，FG1~FG4：閘極，FG5~FG8：閘極，L1：距離，L2：距離，LCNT：連接部，Lres：儲存部長，M0：第 0 層配線，M0a、M0b：第 0 層配線，M0g、M0h：第 0 層配線，M0j、M0k：第 0 層配線，M1：第 1 層配線，M1a~M1e：第 1 層配線，M1j、M1k：第 1 層配線，M2：第 2 層配線，N：突起，Na、Nb：突起，Nd、Ne：突起，P0、P1：距離，Qn1~Qn4：n 通道型 MISFET，Qp1~Qp4：n 通道型 MISFET，R：儲存部，Ra、Rb：儲存部，Rd、Re：儲存部，S/D：源極、汲極區域，S0：間隔，S1：間隔，SW：側壁膜，T：端子部，Ta：端子部，Tb：端子部，TH：連

接 部 ， TH0： 連 接 部 ， TH0a~TH0e： 連 接 部 ， TH1： 連 接
部 ， W0： 配 線 寬 ， W1： 配 線 寬 ， a1~a4： 輸 入 端 子 ， x：
網 格 ， x1~x3： 網 格 ， y： 網 格 ， y1~y3： 網 格 ， zn： 輸 出
端 子

伍、中文發明摘要

發明之名稱：半導體裝置及其製造方法

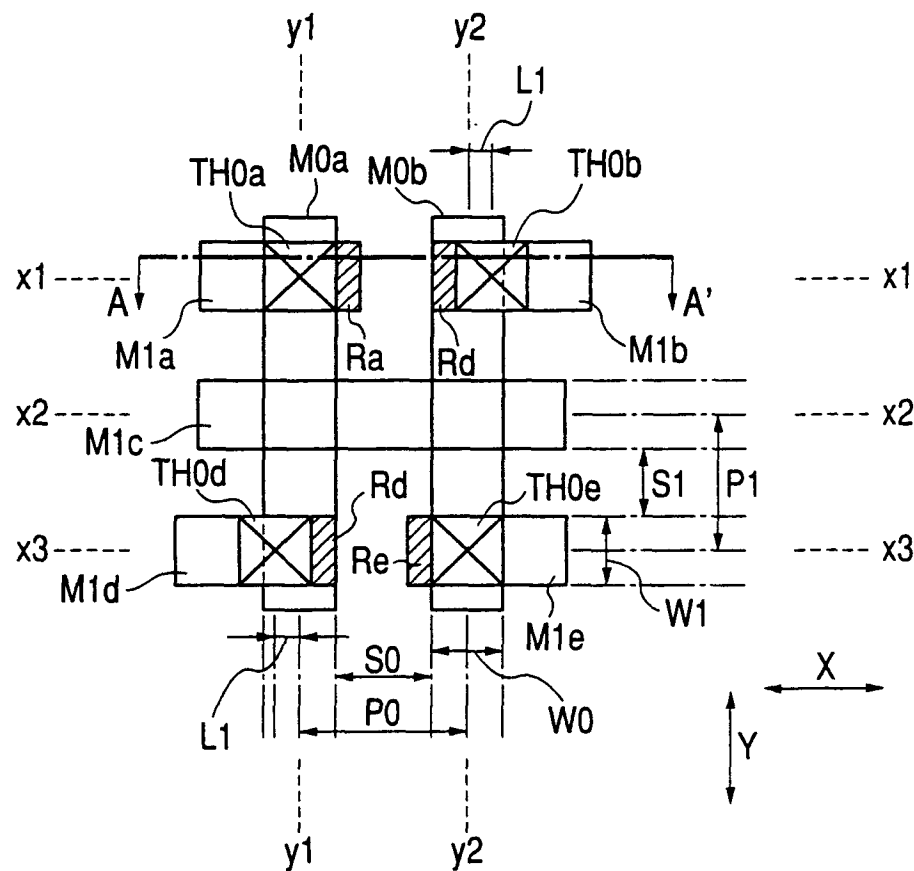
[課題] 提升配線的安裝效率，而且，提升配線間的連接精度。

[解決手段] 沿著在 Y 方向延伸的網格 y1、y2 以配置第 0 層配線 M0a 以及 M0b，在這些配線的上部沿著在 X 方向延伸的網格 x1 以配置第 1 層配線 M1a 以及 M1b，在介由連接部 TH0a 以及 TH0b 以導電連接這些時，將連接部 TH0b 由網格 y2 和 x1 的交點起往右側只錯開距離 L1 而配置，於第 1 層配線 M1a 以及 M1b 確保儲存部 Ra、Rb 的形成區域，在錯開的連接部 TH0b 下的第 0 層配線 M0b 設置突起（突出部）。其結果為可以確保儲存部間的距離，能夠提升配線的安裝效率，另外，可以提升配線間的連接精度。

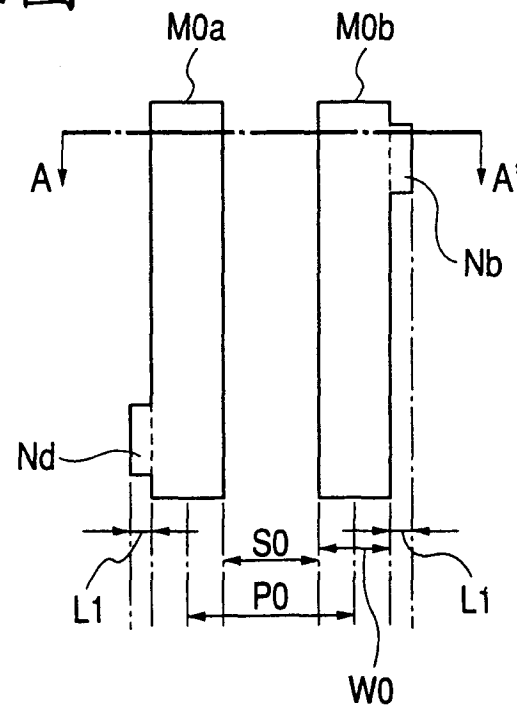
陸、英文發明摘要

發明之名稱：

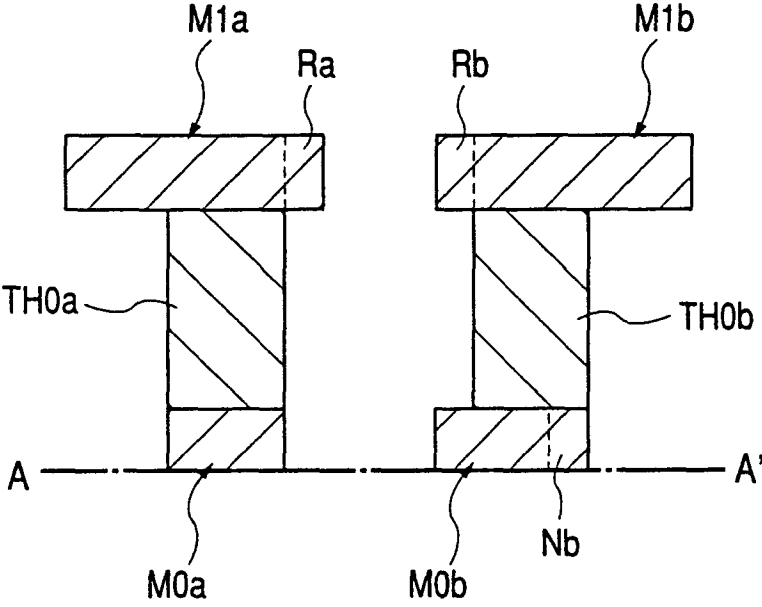
第1圖



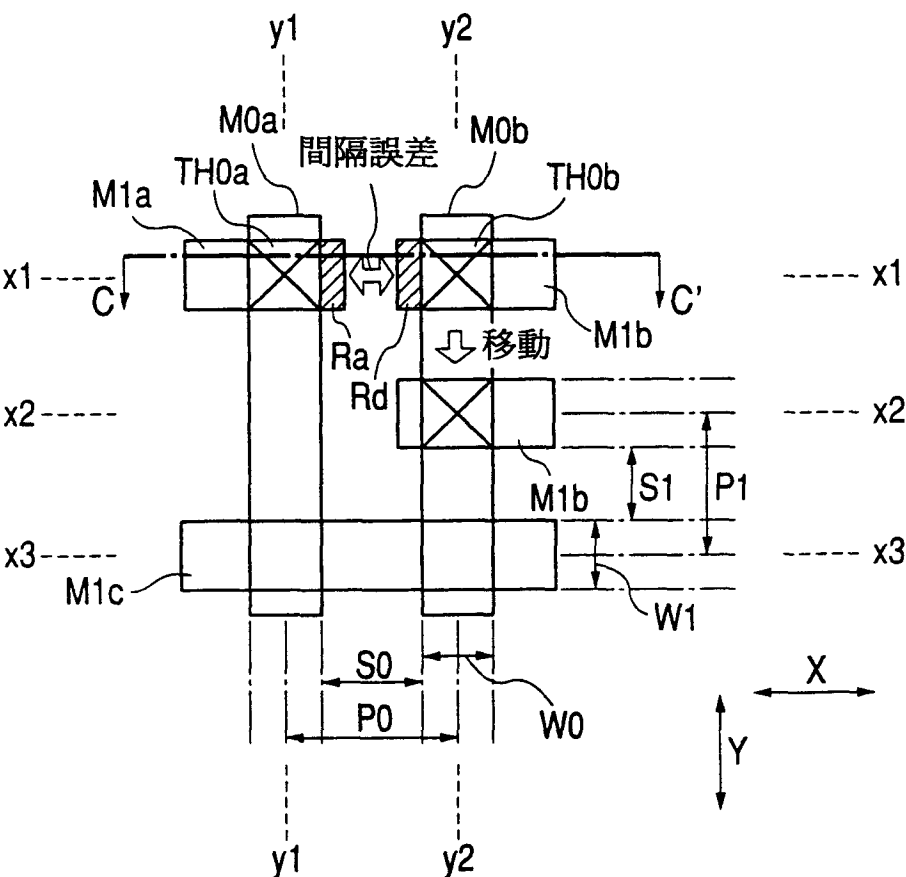
第2圖



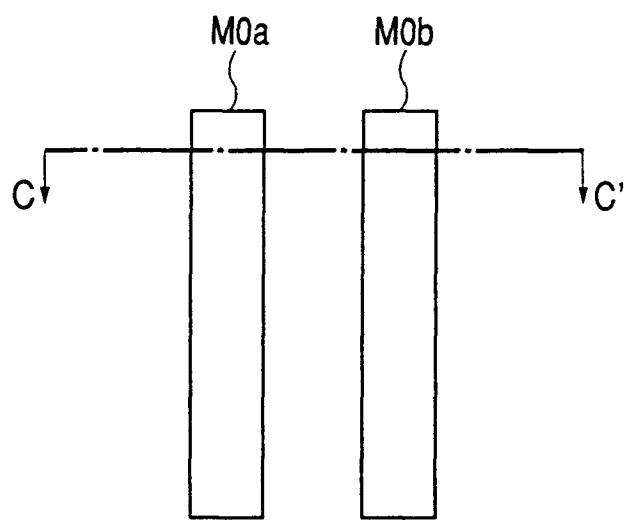
第3圖



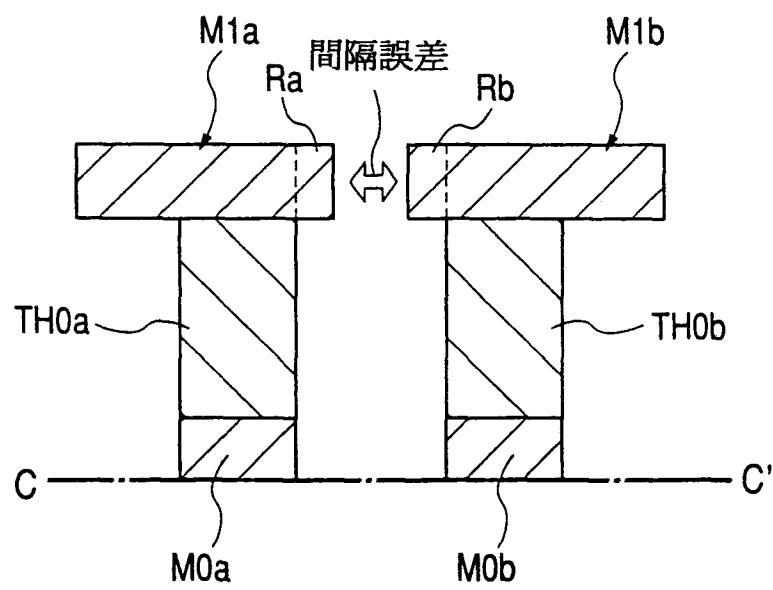
第4圖



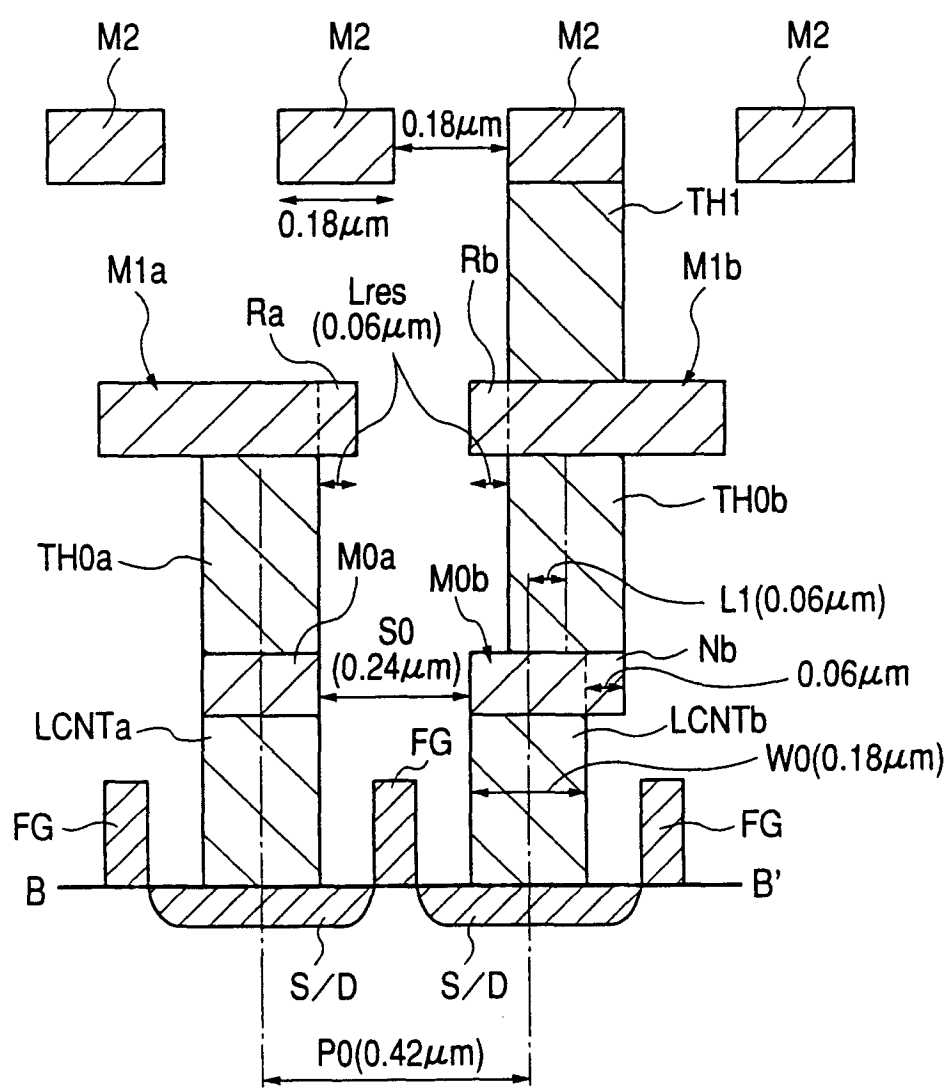
第5圖



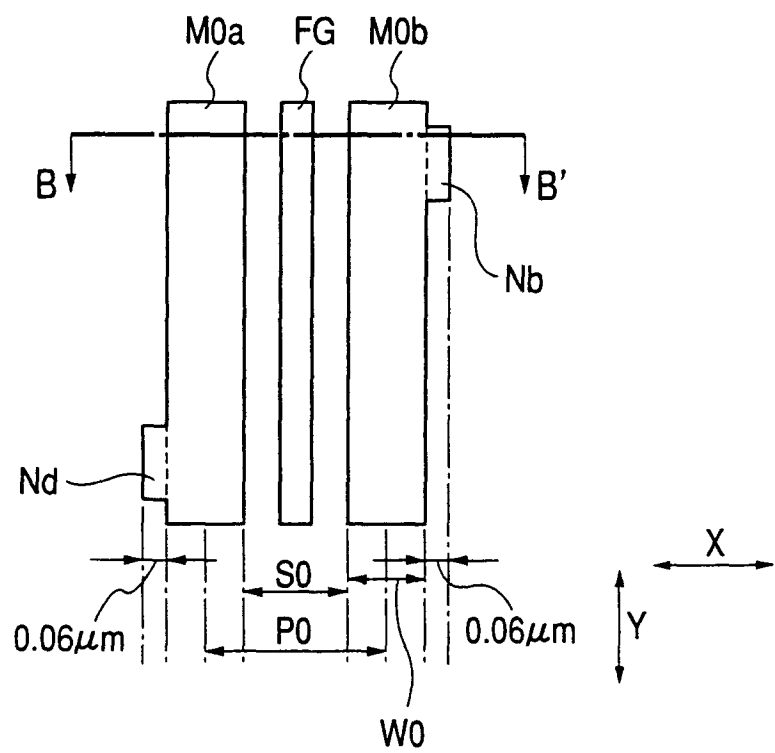
第6圖



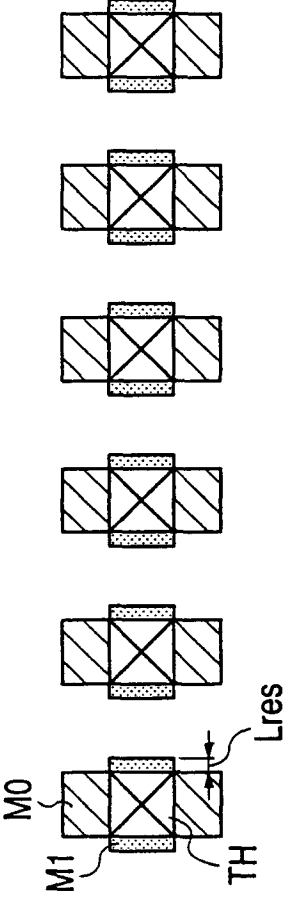
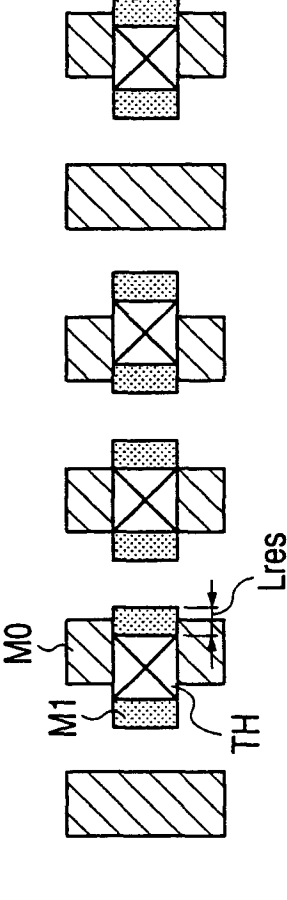
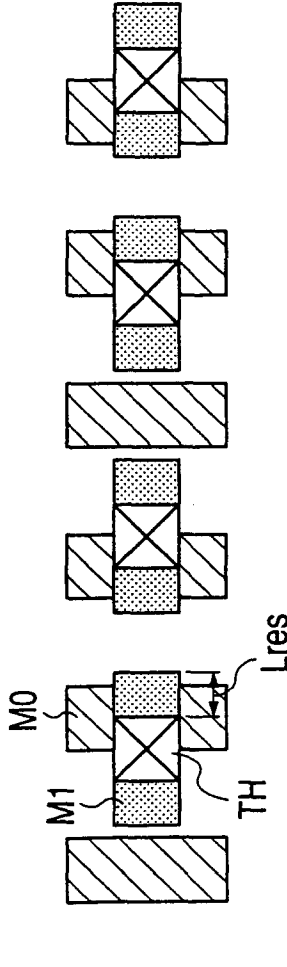
第7圖



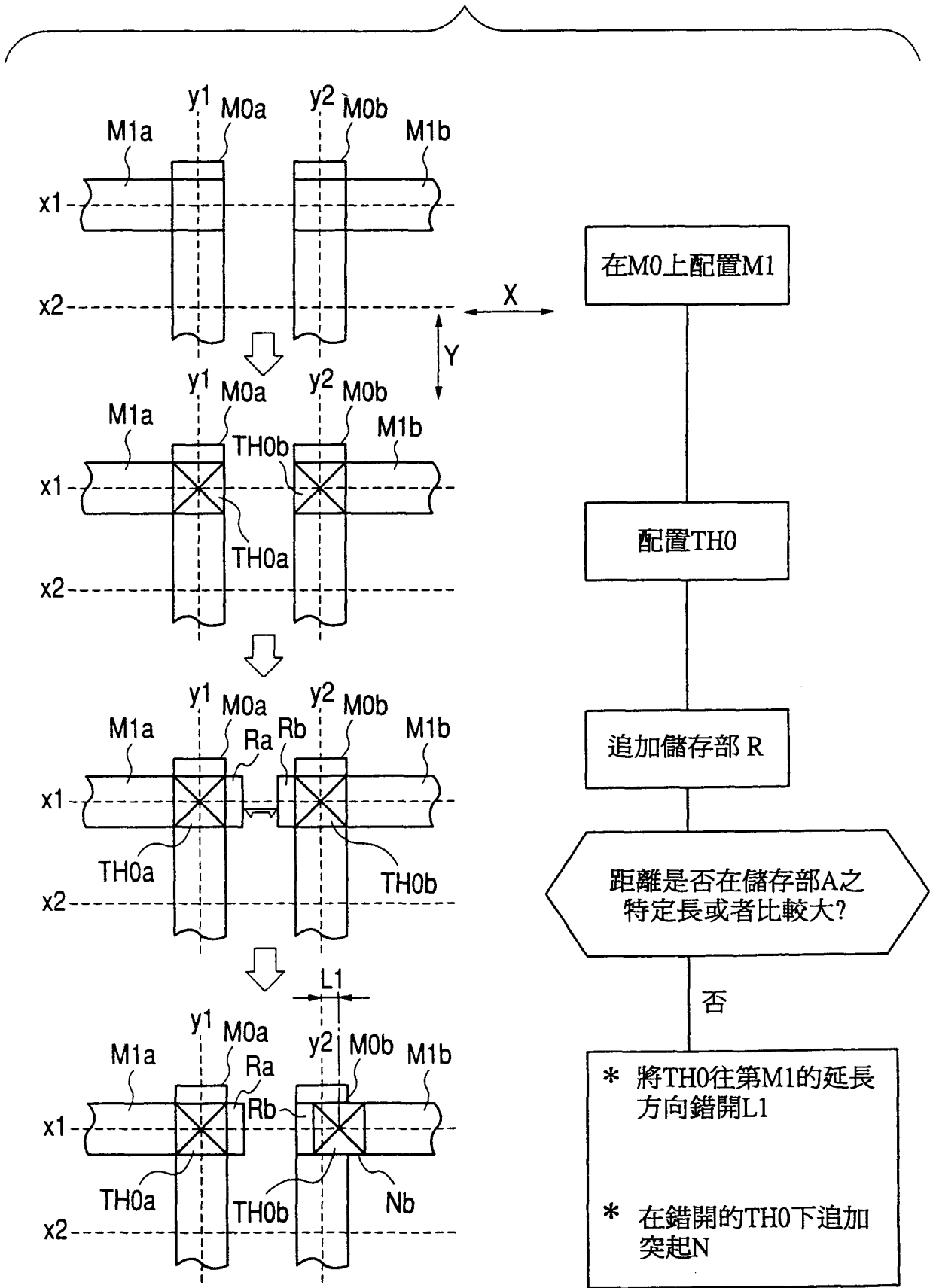
第8圖



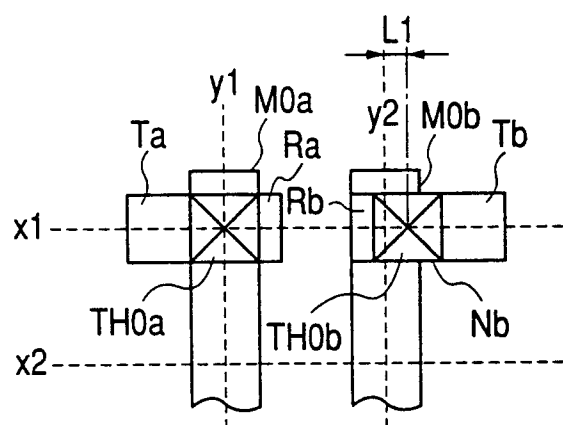
第9圖

情形	儲存部長 (Lres)	最接近TH陣列	TH配置率 (%)
1	$Lres \leq (P0 - P1) / 2$		100%
2	$(P0 - P1) / 2 < Lres$ $Lres \leq (P0 - P1)$		75%
3	$(P0 - P1) < Lres$ $Lres \leq (P0 - P1) \times 2$		66.7%

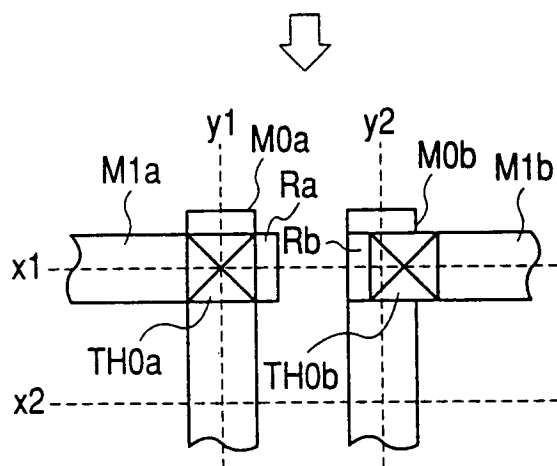
第10圖



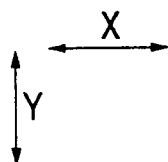
第11圖



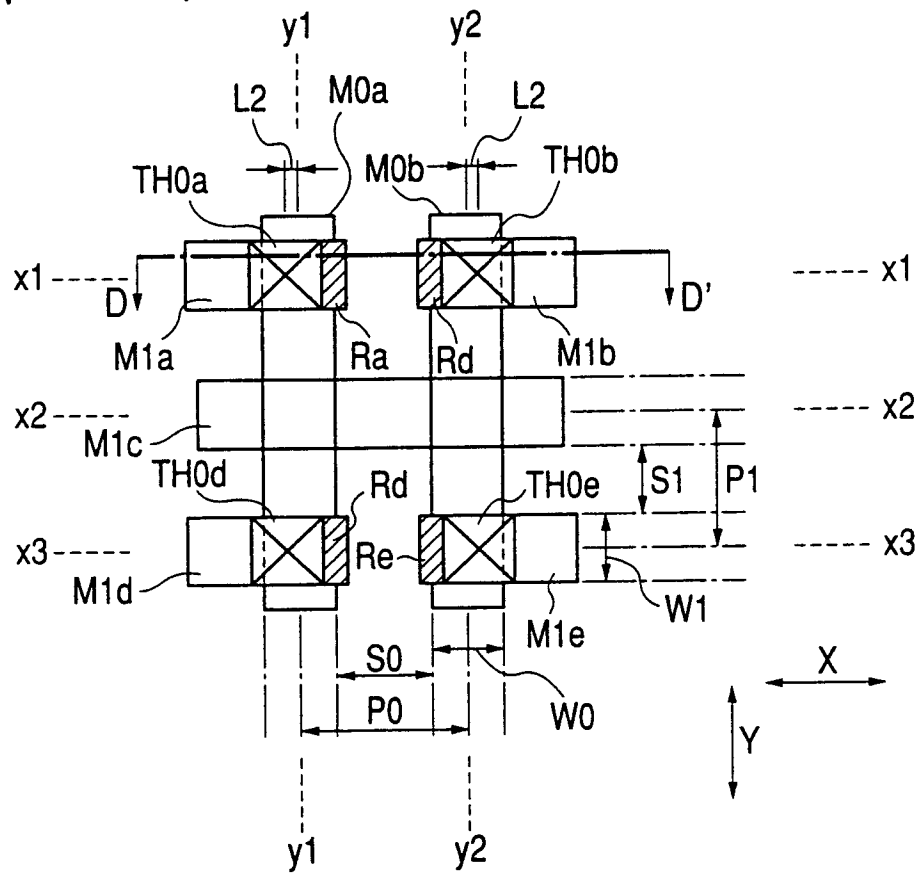
- * 在M0錯開L1而配置TH0
- * 配置TH0A,具有儲存部R的端子部T
- * 在錯開配置的TH0下的M0形成突起N



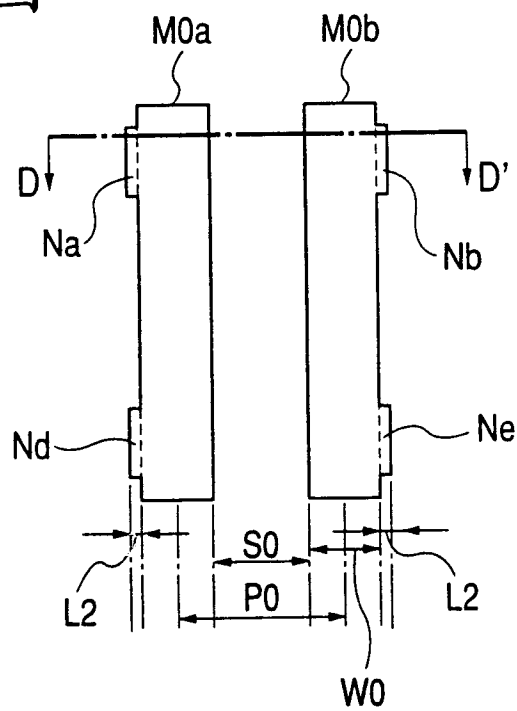
以端子部T的位置資訊為基礎，
配置M1在由端子部T往與儲存
部R相反側的方向



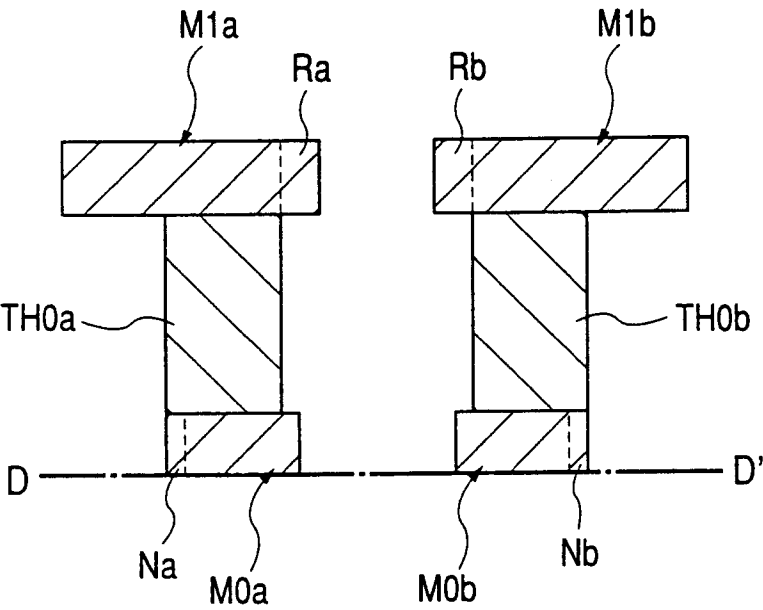
第12圖



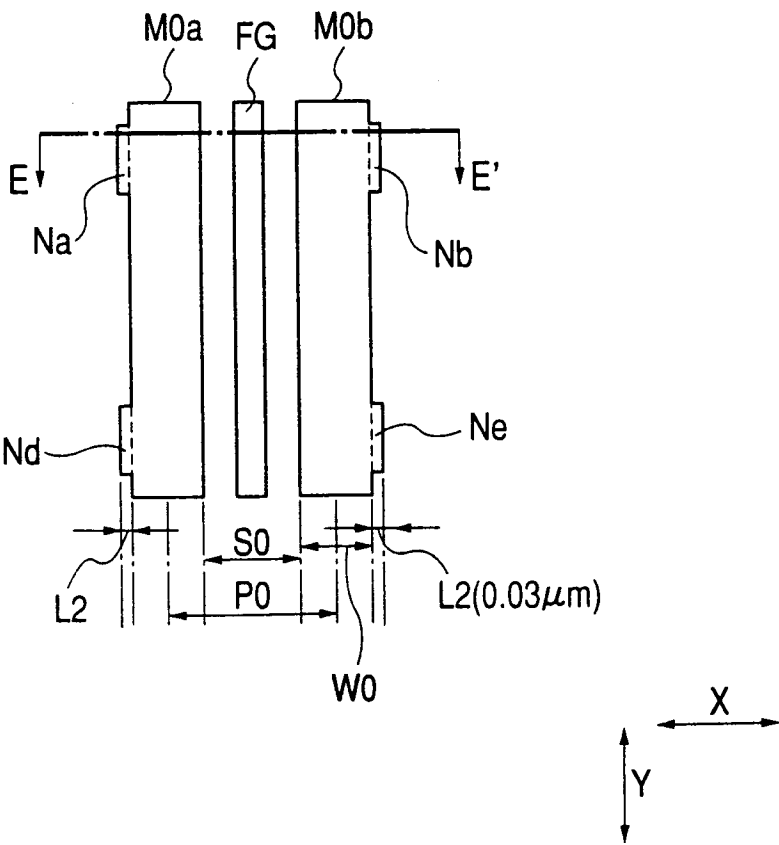
第13圖



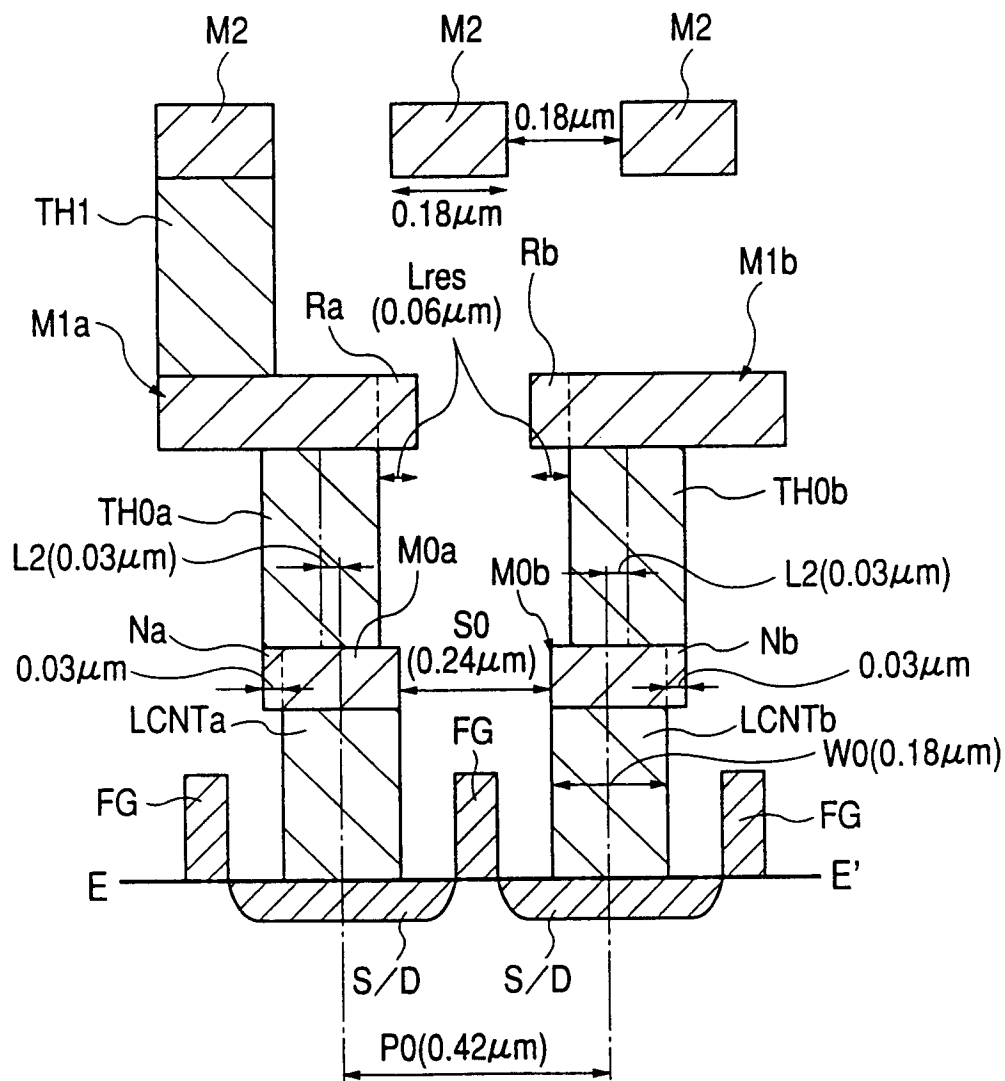
第14圖



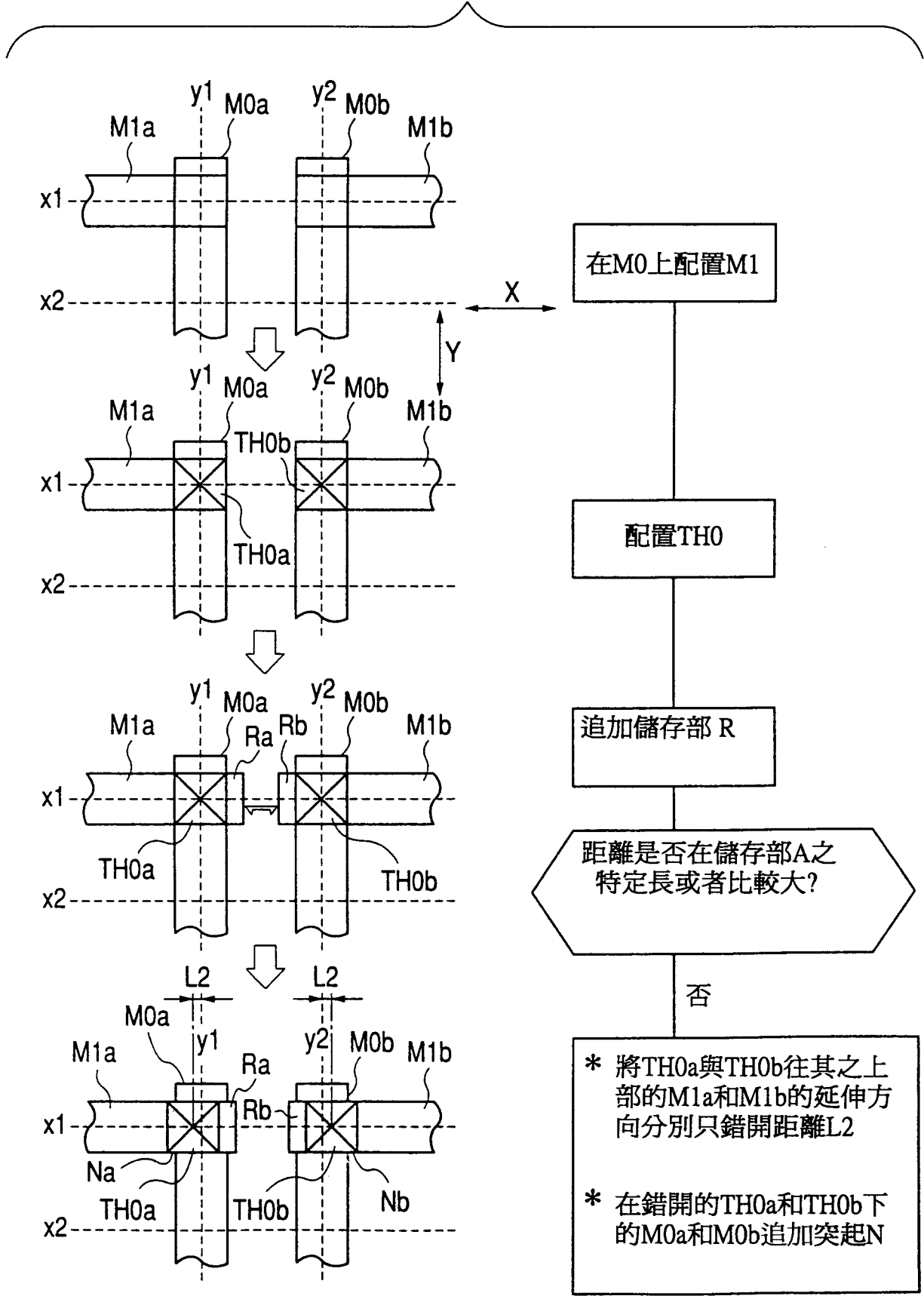
第15圖



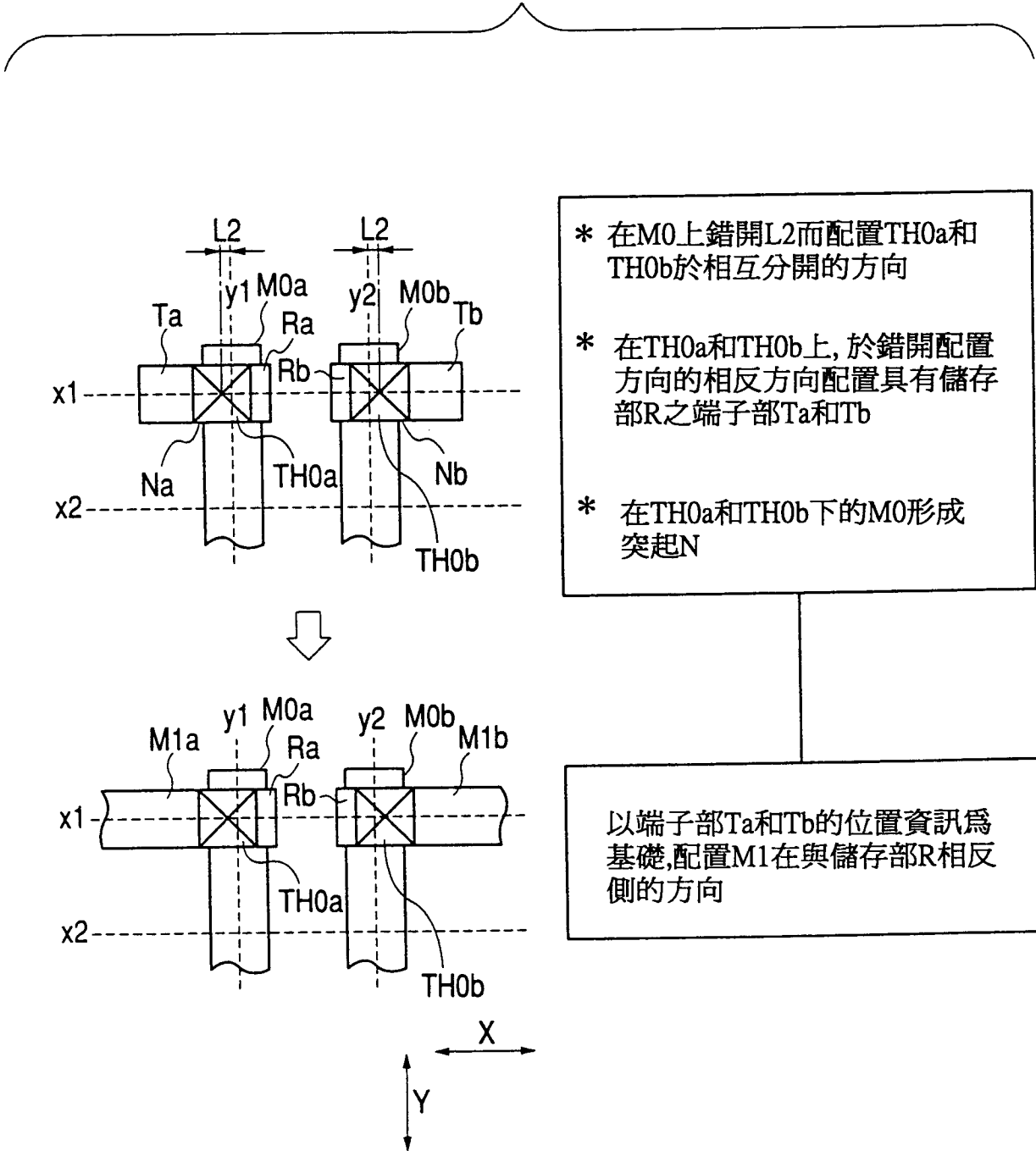
第16圖



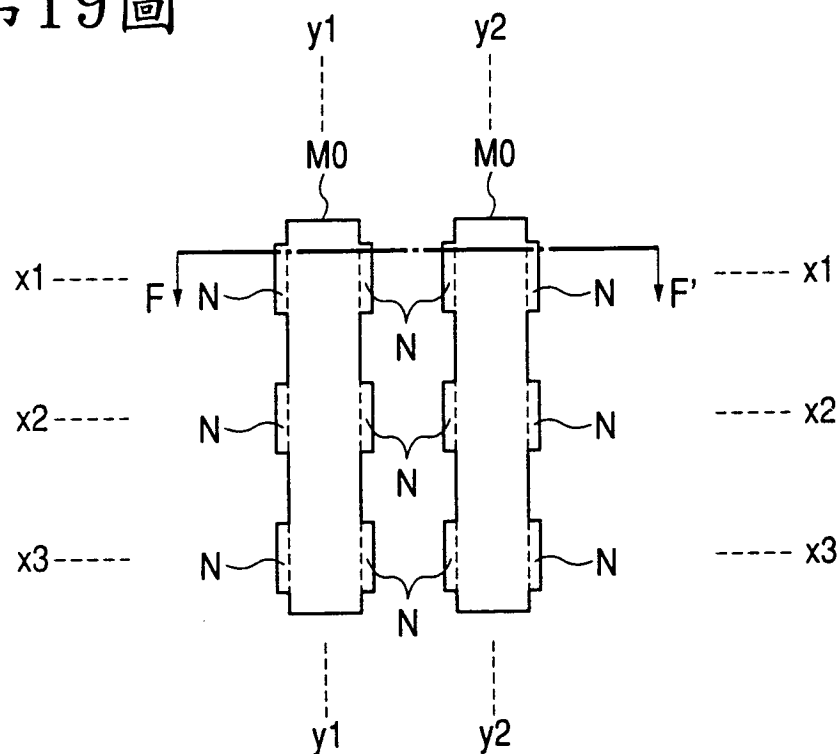
第17圖



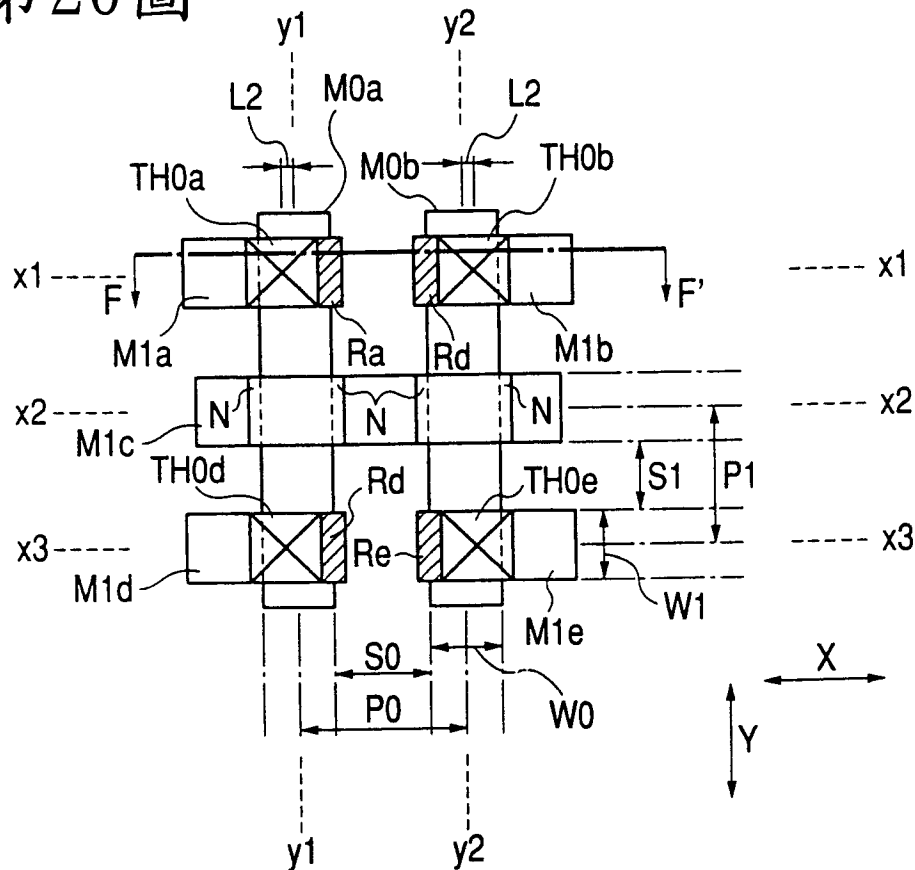
第18圖



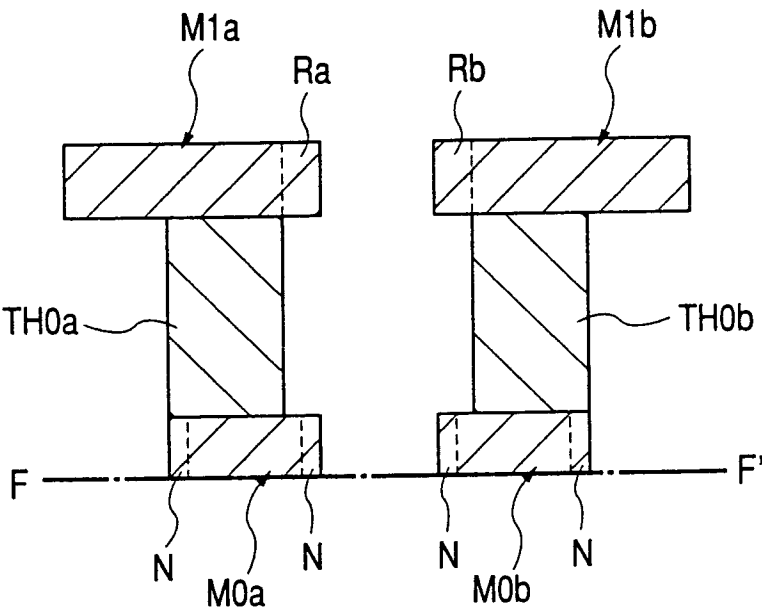
第19圖



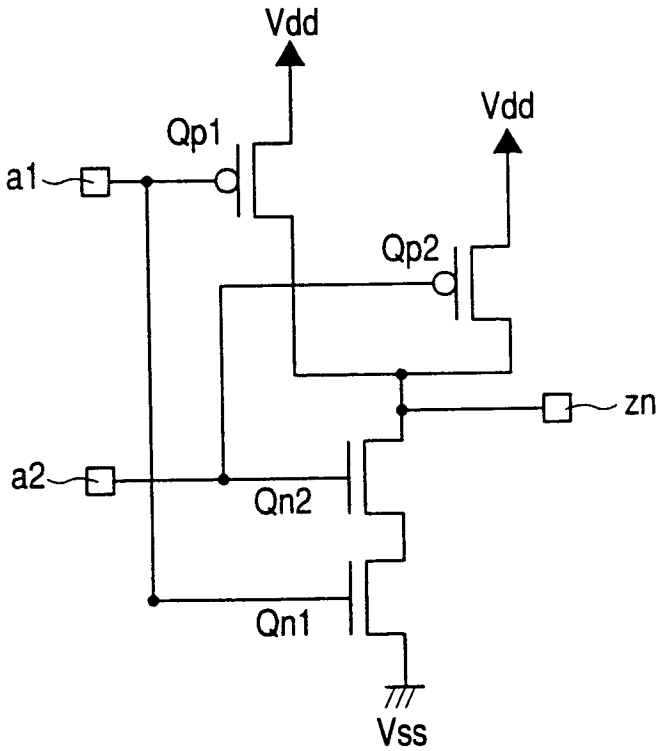
第20圖



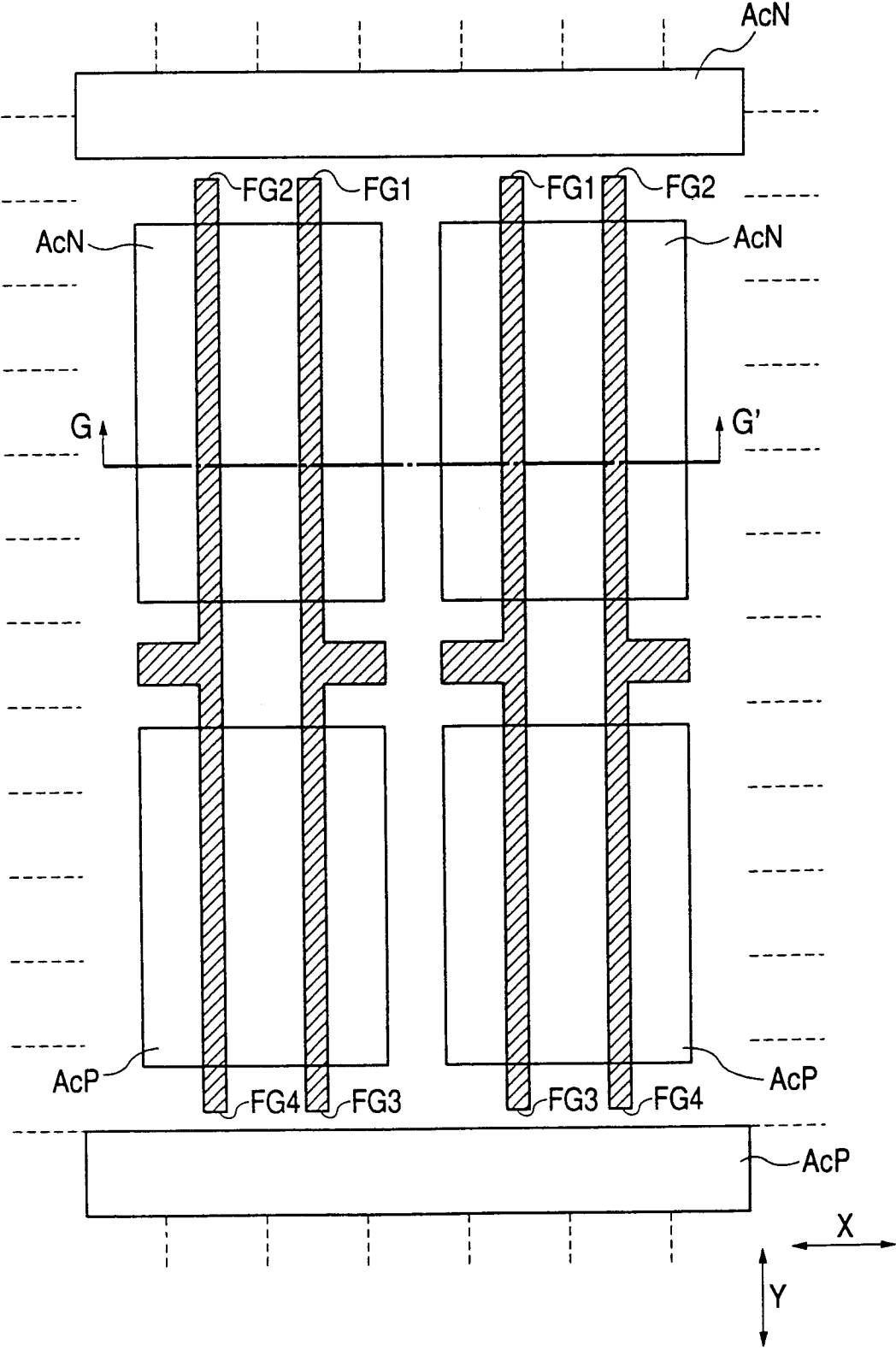
第21圖



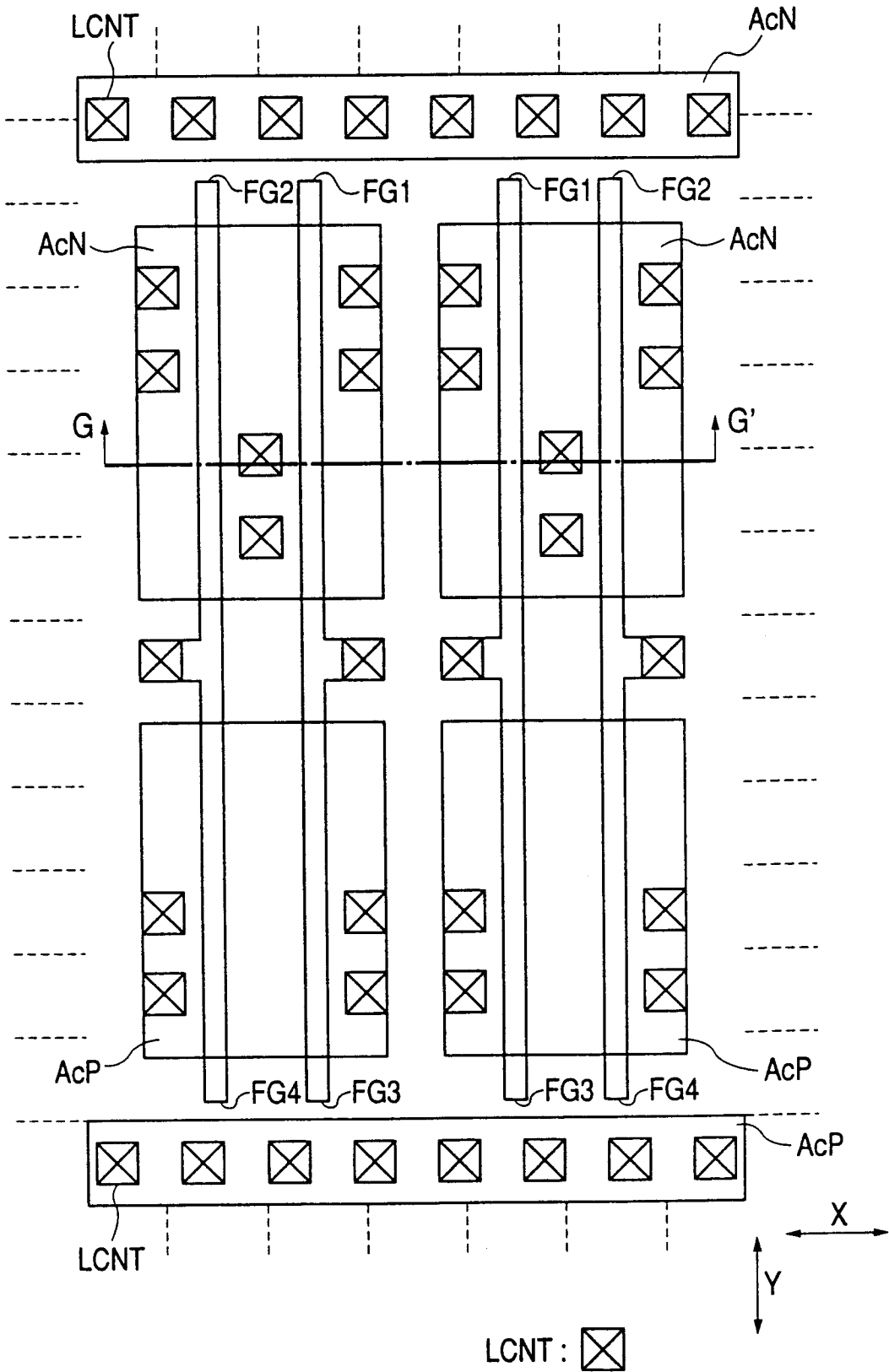
第22圖



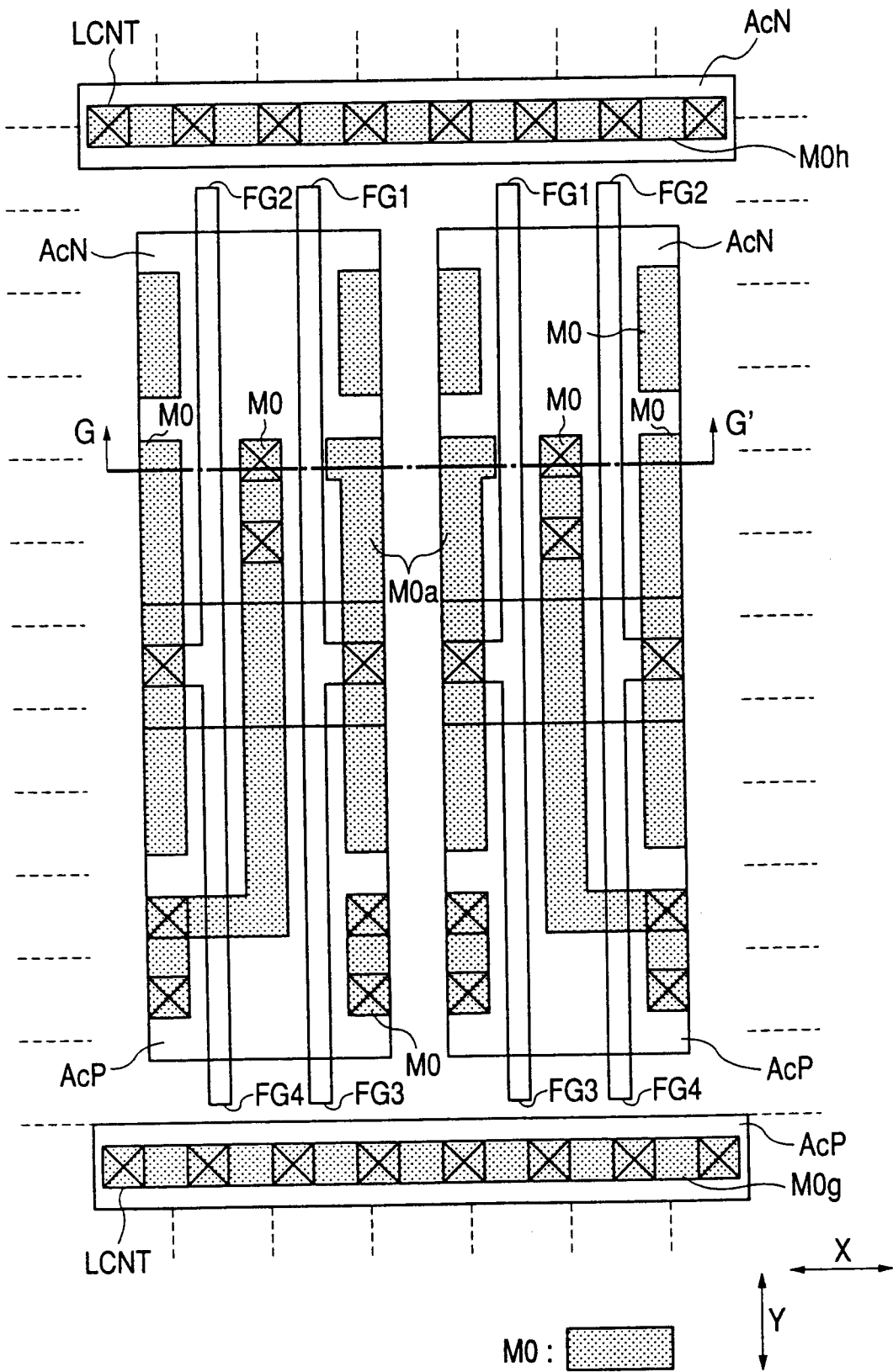
第23圖



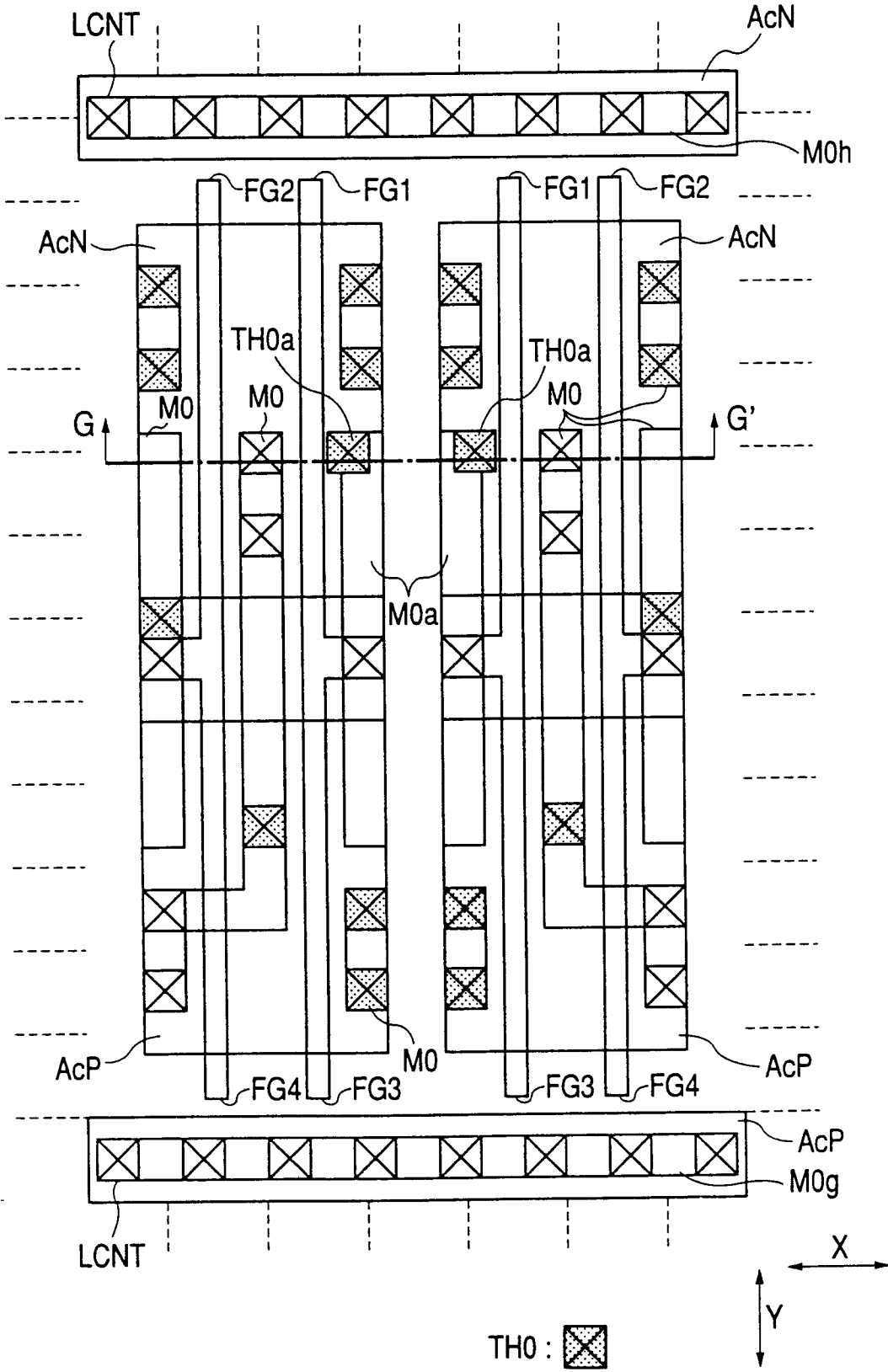
第24圖



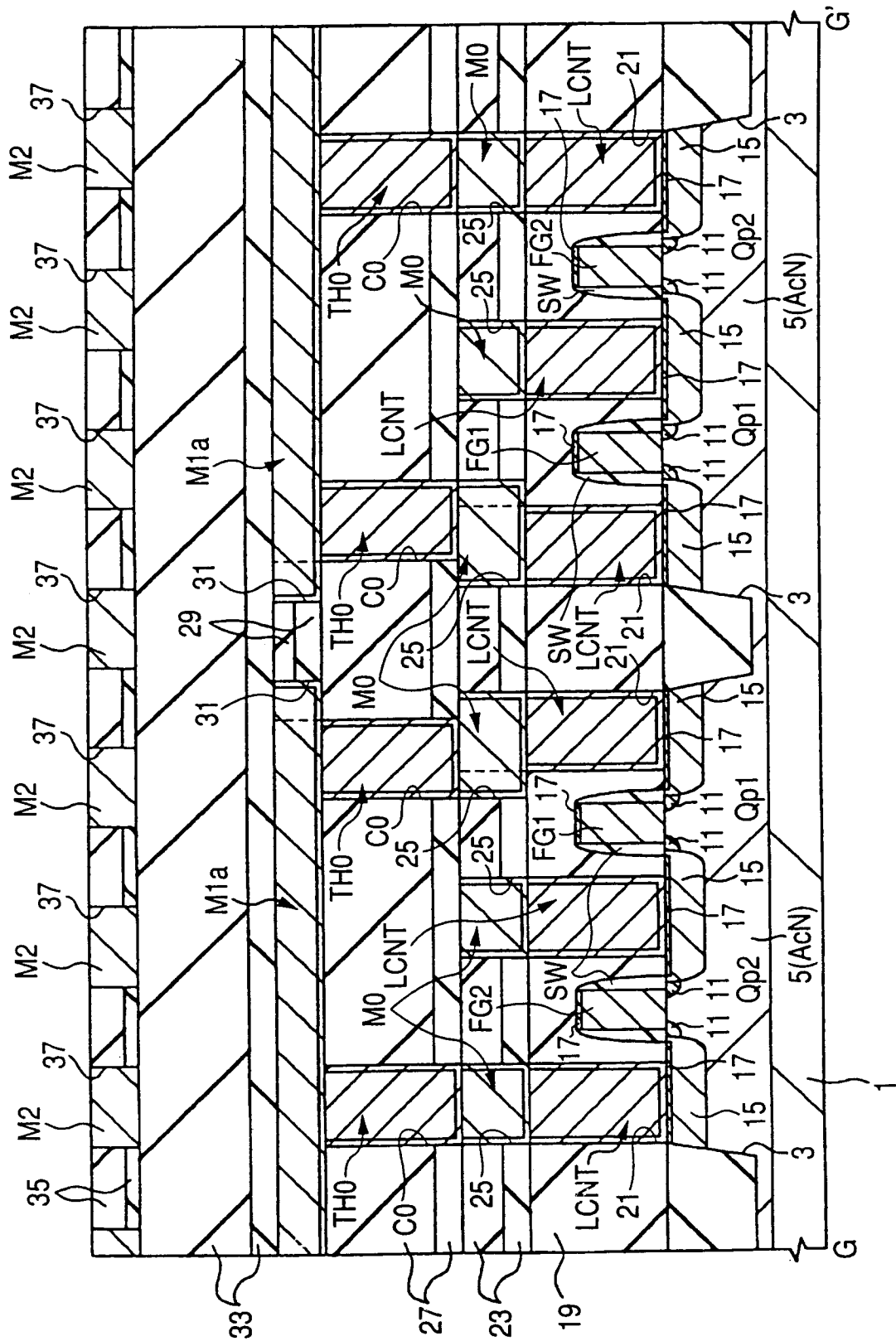
第25圖



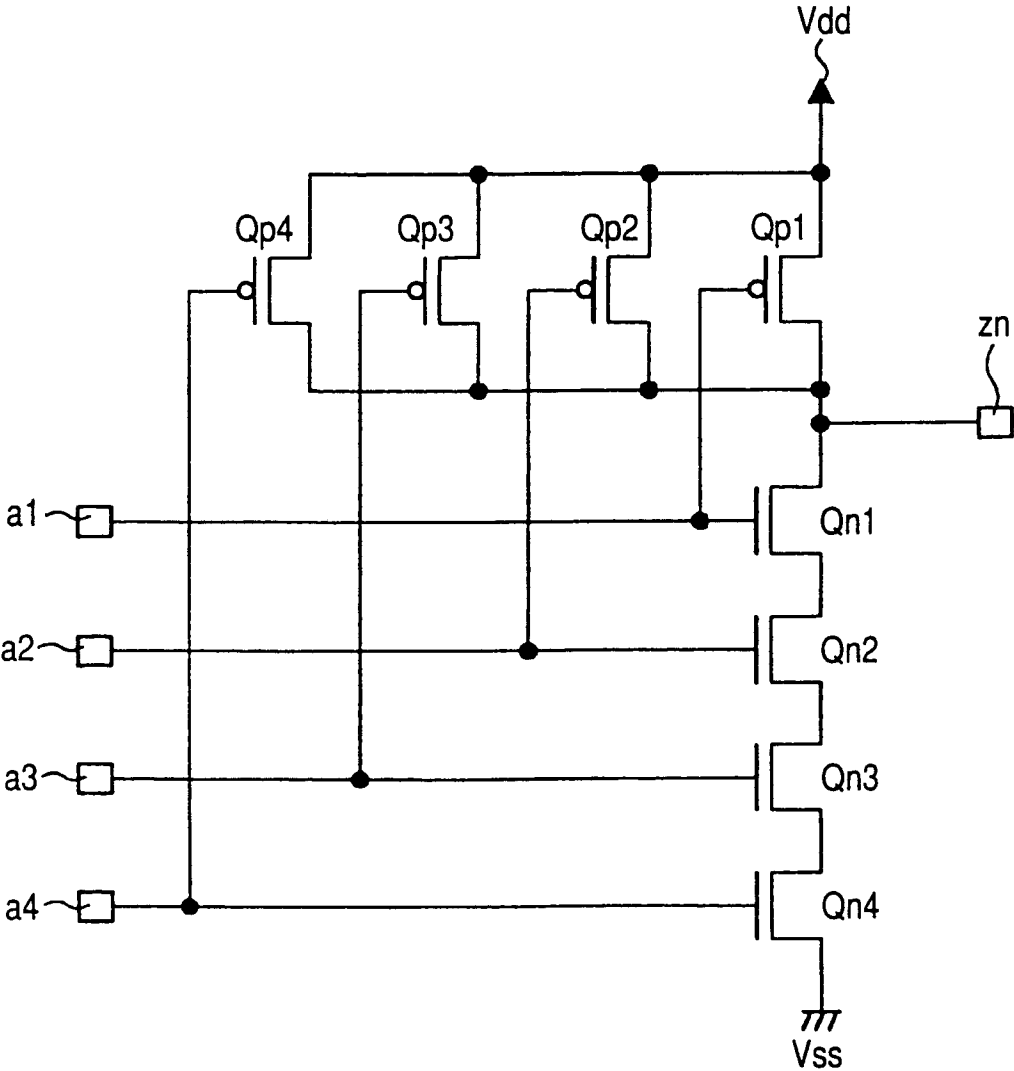
第26圖



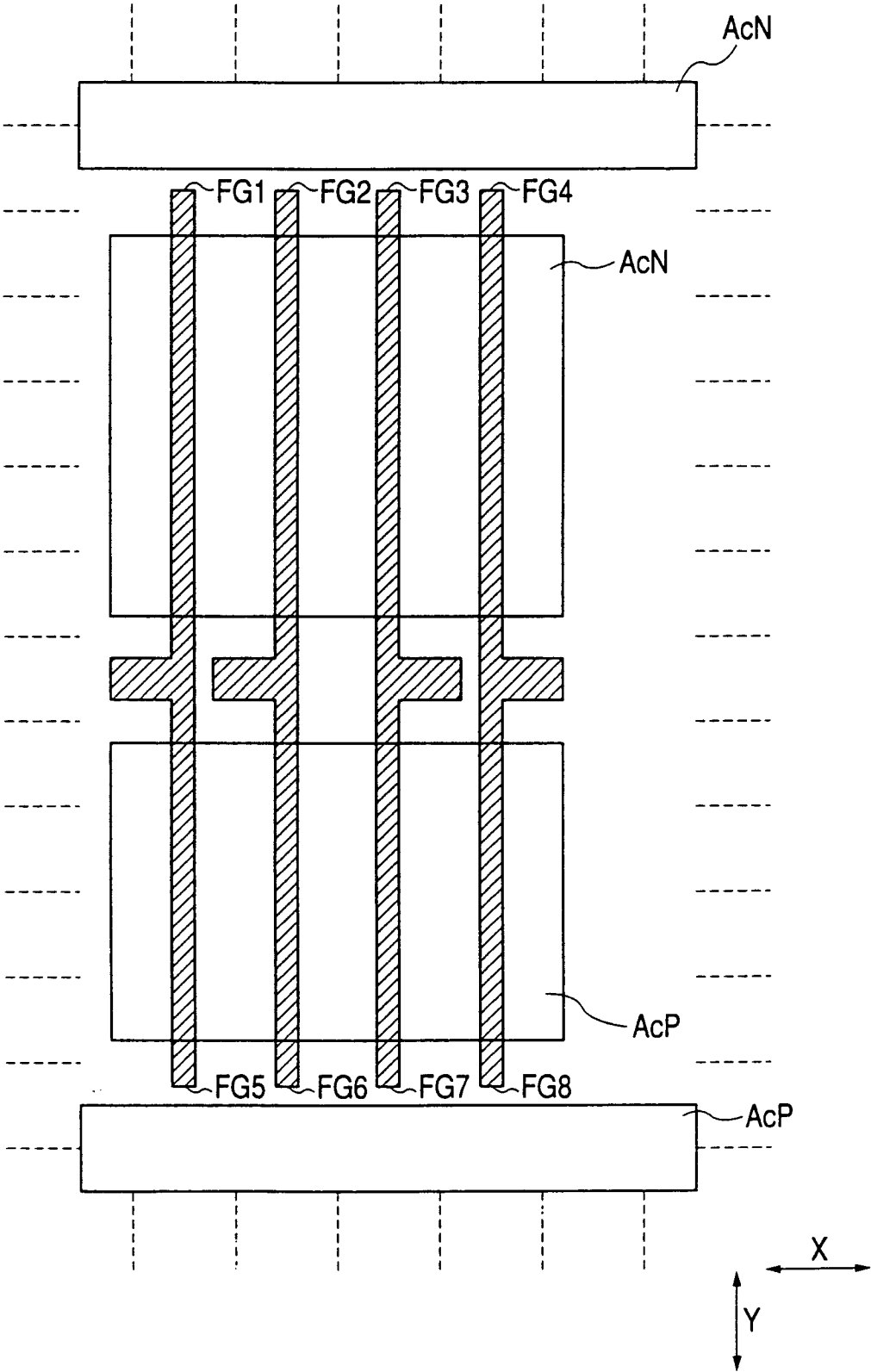
第28圖



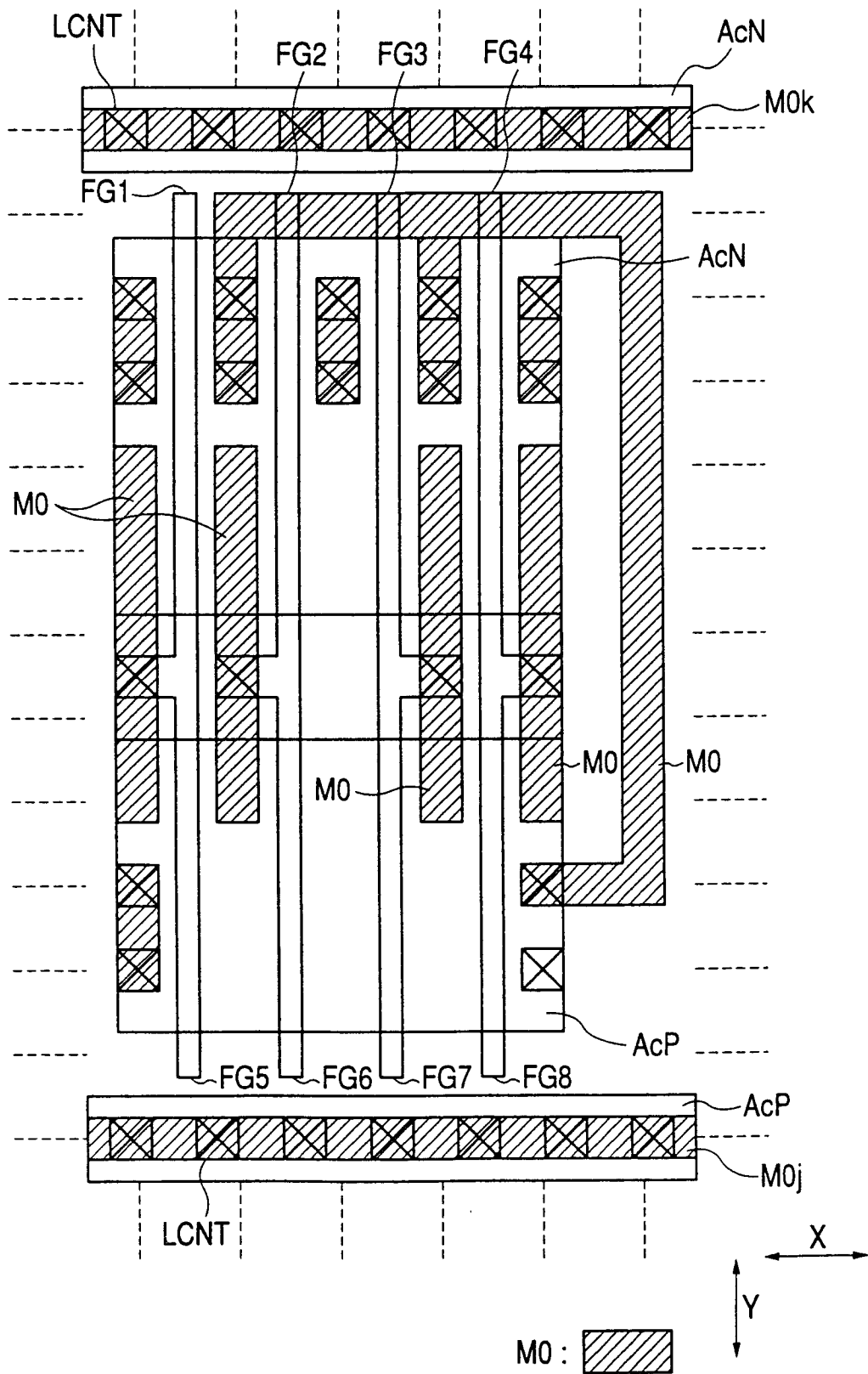
第29圖



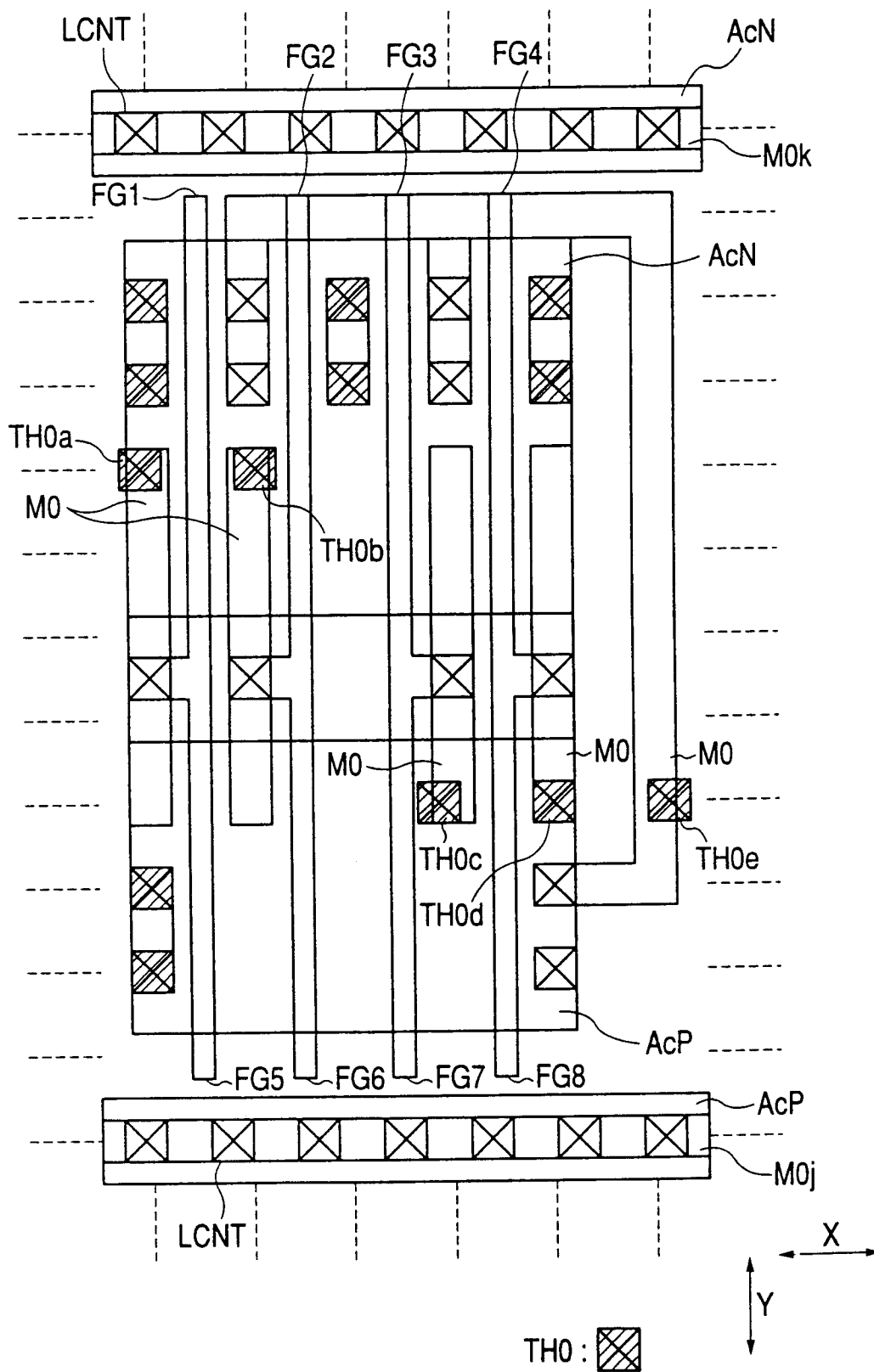
第30圖



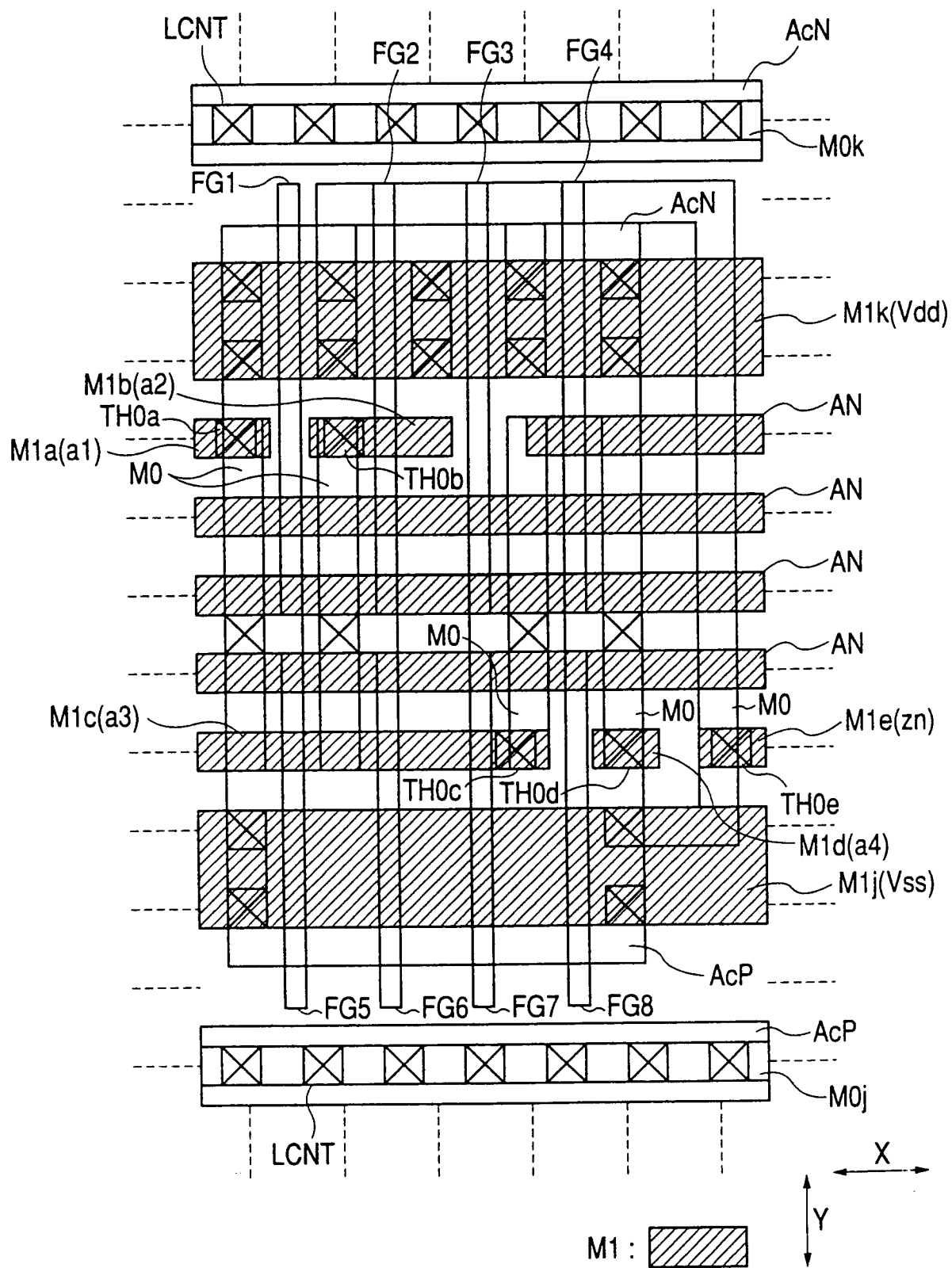
第32圖



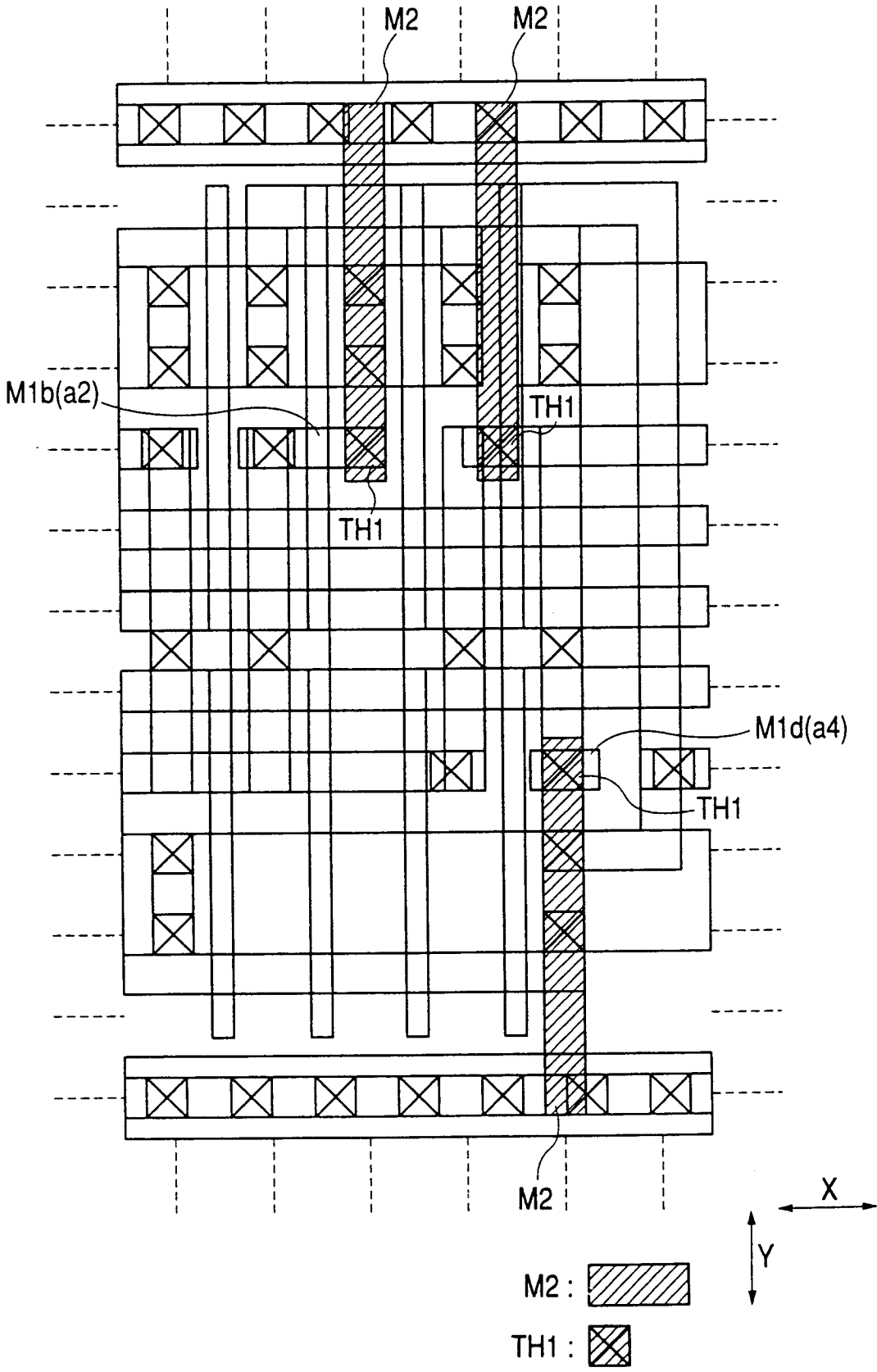
第33圖



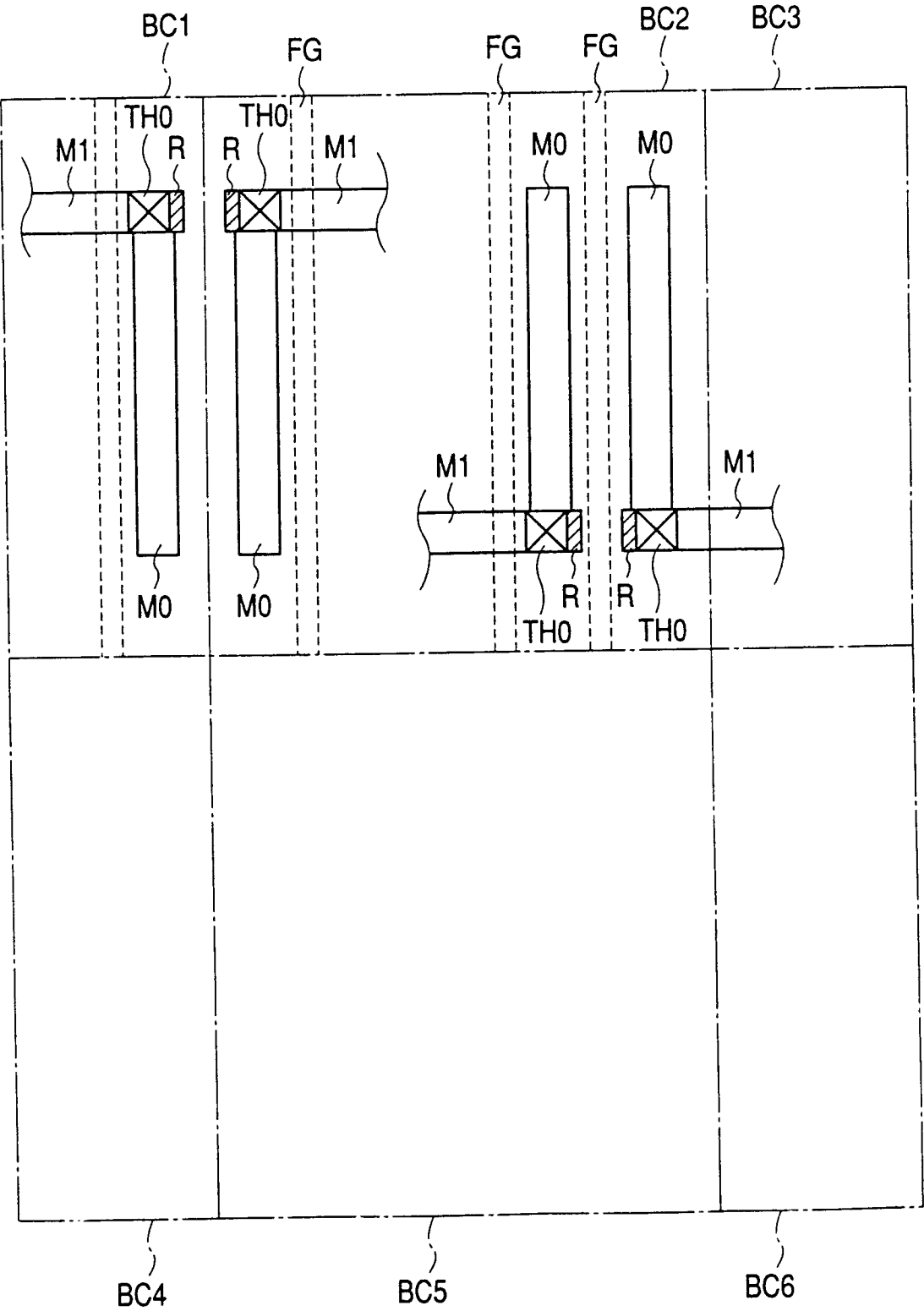
第34圖



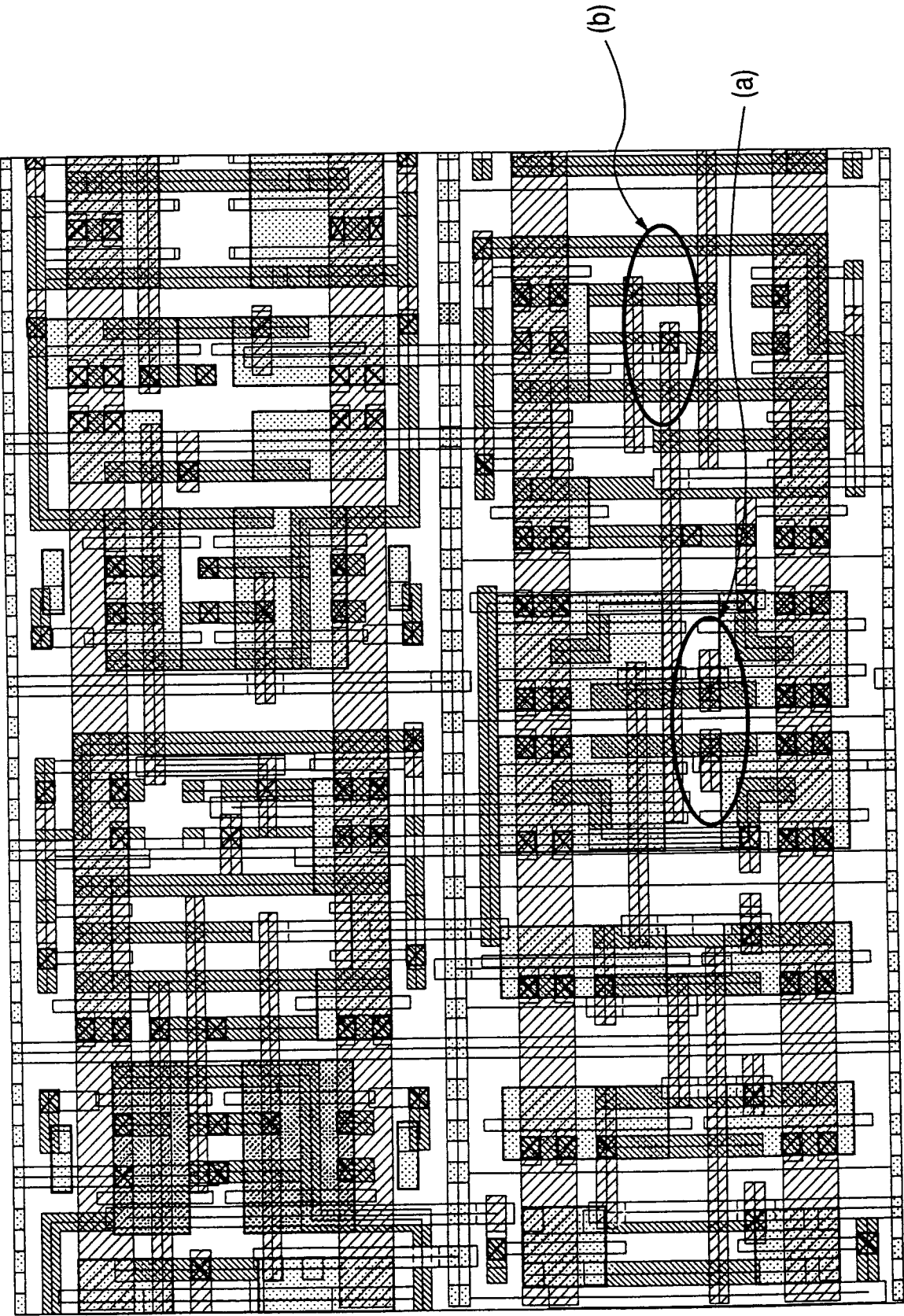
第35圖



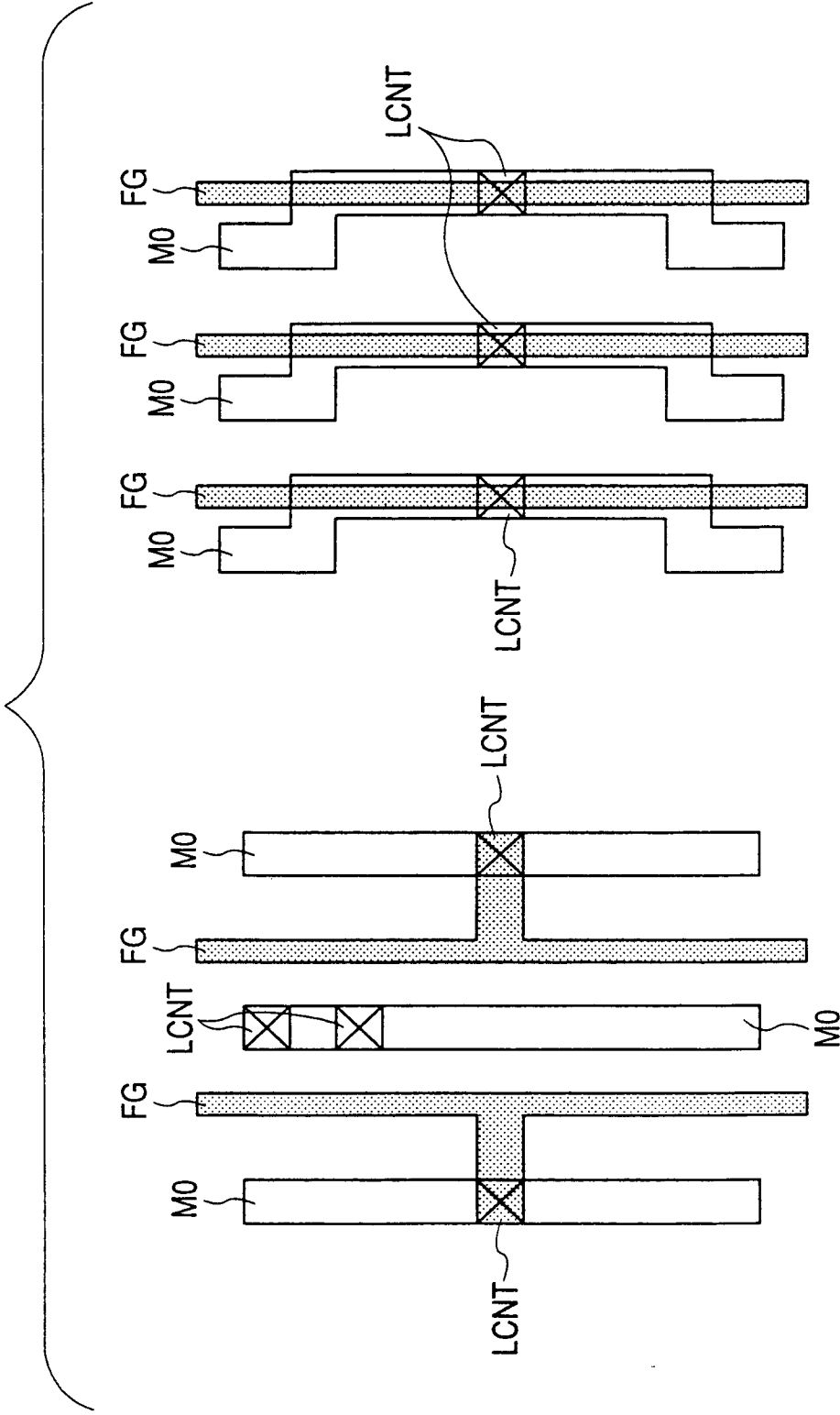
第36圖



第37圖



第38圖



柒、(一)、本案指定代表圖為：第 1 圖

(二)、本代表圖之元件代表符號簡單說明：

L1：距離，

M0a，M0b：

M1a~M1e：第 1 層配線，

P0、P1：距離，

Ra、Rd、Re：儲存部，

S0：間隔，S1：間隔，

TH0a~TH0e：連接部，

W0：配線寬，W1：配線寬，

x1~x3：網格，

y1~y2：網格

捌、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

拾、申請專利範圍

第 92122781 號專利申請案

中文申請專利範圍修正本

民國 98 年 4 月 27 日修正

1. 一種半導體裝置之製造方法，其特徵為：

在配置 (a) 在第 1 方向延伸的第 1 配線；及

(b) 介由連接部與上述第 1 配線連接，在與上述第 1 方向正交的第 2 方向延伸的第 2 配線，具有由上述連接部突出在與上述第 2 方向相反方向的剩餘部份之第 2 配線時，

(c) 將上述連接部的中心由上述第 1 配線的中心往上述第 2 方向錯開而配置，

(d) 在上述連接部的下部配置上述第 1 配線的突出部。

2. 一種半導體裝置之製造方法，其特徵為：

在配置 (a) 延伸在第 1 方向，相互相鄰的第 1 及第 2 配線；及

(b) 介由第 1 連接部與上述第 1 配線連接，沿著與上述第 1 方向正交的線上，延伸於與上述第 2 配線相反側的方向，具有由上述第 1 連接部突出在上述第 2 配線方向的第 1 剩餘部份之第 3 配線；及

(c) 介由第 2 連接部與上述第 2 配線連接，沿著上述線上，延伸於與上述第 1 配線相反側的方向，具有由上

述第 2 連接部突出在上述第 1 配線方向的第 2 剩餘部份之第 4 配線時，

(d) 將上述第 2 連接部的中心由上述第 2 配線的中心往與上述第 1 配線相反側的方向錯開而配置，

(e) 在上述第 2 連接部的下部配置上述第 2 配線的突出部。

3.如申請專利範圍第 2 項記載之半導體裝置之製造方法，其中，上述第 1 配線的中心和上述第 2 配線的中心，係配置配線時的單位距離。

4.如申請專利範圍第 2 項記載之半導體裝置之製造方法，其中，上述半導體裝置之製造方法係與上述第 3 配線平行地配置第 5 配線。

5.如申請專利範圍第 4 項記載之半導體裝置之製造方法，其中，上述第 3 配線和上述第 5 配線的距離，係比上述第 1 配線和上述第 2 配線間的距離小。

6.如申請專利範圍第 4 或者第 5 項記載之半導體裝置之製造方法，其中，上述第 1 配線和上述第 2 配線間的距離，係比最小加工尺寸大。

7.如申請專利範圍第 4 或 5 項所記載之半導體裝置之製造方法，其中，上述第 1 以及第 2 剩餘部份的寬度係比上述第 3 配線的中心和上述第 5 配線的中心之距離 $P1$ 與上述第 1 配線的中心和上述第 2 配線的中心之距離 $P0$ 的差 ($P0-P1$) 小，

比上述第 3 配線的中心和上述第 5 配線的中心之距離

P1 與上述第 1 配線的中心和上述第 2 配線的中心之距離 P0 的差之 $1/2$ 大。

8.如申請專利範圍第 2 項記載之半導體裝置之製造方法，其中，上述第 1 以及第 2 配線的寬度與上述第 1 以及第 2 連接部的寬度幾乎相同。

9.如申請專利範圍第 2 項記載之半導體裝置之製造方法，其中，在上述第 1 以及第 2 配線的下層配置金屬絕緣體型半導體場效應電晶體（MISFET），

上述金屬絕緣體型半導體場效應電晶體的閘極係在上述第 1 以及第 2 配線的配線間配置於上述第 1 方向。

10.如申請專利範圍第 2 項記載之半導體裝置之製造方法，其中，在上述第 1 以及第 2 配線的下層配置金屬絕緣體型半導體場效應電晶體，

上述第 1 配線或者上述第 2 配線係與上述金屬絕緣體型半導體場效應電晶體的源極、汲極或者閘極連接。

11.如申請專利範圍第 2 項記載之半導體裝置之製造方法，其中，上述第 1 連接部的中心係配置在上述第 1 配線的中心上。

12.如申請專利範圍第 2 項記載之半導體裝置之製造方法，其中，（f）將上述第 1 連接部的中心由上述第 1 配線的中心往與上述第 2 配線相反側的方向錯開而配置，

（g）在上述第 1 連接部的下部配置上述第 1 配線的突出部。

13.一種半導體裝置之製造方法，其特徵為：

(a) 配置延伸在第 1 方向，相互相鄰的第 1 及第 2 配線；及

配置：(b) 介由第 1 連接部與上述第 1 配線連接，沿著與上述第 1 方向正交的第 2 方向，延伸於與上述第 2 配線相反側的方向，具有由上述第 1 連接部突出在上述第 2 配線方向的第 1 剩餘部份之第 3 配線；及

(c) 介由第 2 連接部與上述第 2 配線連接，沿著上述第 2 方向，延伸於與上述第 1 配線相反側的方向，具有由上述第 2 連接部突出在上述第 1 配線方向的第 2 剩餘部份之第 4 配線時，

(d) 上述第 3 配線以及第 4 配線位於同一線上，判定上述第 1 剩餘部份和上述第 2 剩餘部份之距離是否在特定距離以下，

(e) 在上述特定距離以下時，

(f) 將上述第 2 連接部的中心由上述第 2 配線的中心往與上述第 1 配線相反側的方向錯開而配置，

(g) 在上述第 2 連接部的下部配置上述第 2 配線的突出部。

14.如申請專利範圍第 13 項記載之半導體裝置之製造方法，其中，上述第 1 配線的中心和上述第 2 配線的中心間，係配置配線時的單位距離。

15.如申請專利範圍第 13 項記載之半導體裝置之製造方法，其中，上述半導體裝置之製造方法係與上述第 3 配線平行地配置第 5 配線。

16.如申請專利範圍第 15 項記載之半導體裝置之製造方法，其中，上述第 3 配線和上述第 5 配線的距離，係比上述第 1 配線和上述第 2 配線間的距離小。

17.如申請專利範圍第 15 項記載之半導體裝置之製造方法，其中，上述第 1 配線和上述第 2 配線間的距離，係比最小加工尺寸大。

18.如申請專利範圍第 15～17 項中任一項所記載之半導體裝置之製造方法，其中，上述第 1 以及第 2 剩餘部份的寬度係比上述第 3 配線的中心和上述第 5 配線的中心之距離 $P1$ 與上述第 1 配線的中心和上述第 2 配線的中心之距離 $P0$ 的差（ $P0-P1$ ）小，

比上述第 3 配線的中心和上述第 5 配線的中心之距離 $P1$ 與上述第 1 配線的中心和上述第 2 配線的中心之距離 $P0$ 的差之 $1/2$ 大。

19.如申請專利範圍第 13 項記載之半導體裝置之製造方法，其中，上述第 1 以及第 2 配線的寬度與上述第 1 以及第 2 連接部的寬度幾乎相同。

20.如申請專利範圍第 13 項記載之半導體裝置之製造方法，其中，在上述第 1 以及第 2 配線的下層配置金屬絕緣體型半導體場效應電晶體，

上述金屬絕緣體型半導體場效應電晶體的閘極係在上述第 1 以及第 2 配線的配線間配置於上述第 1 方向。

21.如申請專利範圍第 13～17、19、20 項中任一項所記載之半導體裝置之製造方法，其中，在上述第 1 以及第

2 配線的下層配置金屬絕緣體型半導體場效應電晶體，

上述第 1 配線或者上述第 2 配線係與上述金屬絕緣體型半導體場效應電晶體的源極、汲極或者閘極連接。

22.如申請專利範圍第 13 項記載之半導體裝置之製造方法，其中，上述第 1 連接部的中心係配置在上述第 1 配線的中心上。

23.如申請專利範圍第 13 項記載之半導體裝置之製造方法，其中，（h）將上述第 1 連接部的中心由上述第 1 配線的中心往與上述第 2 配線相反側的方向錯開而配置，

（i）在上述第 1 連接部的下部配置上述第 1 配線的突出部。

24.一種半導體裝置之製造方法，其特徵為：

配置（a）延伸在第 1 方向的第 1 配線；及

（b）上述第 1 配線上的連接部；及

（c）在上述連接部上，延伸在與上述第 1 方向正交的第 2 方向之端子部，具有由上述連接部突出於與上述第 2 方向相反方向的剩餘部份之端子部，

（d）由上述端子部起於上述第 2 方向配置第 2 配線。

25.一種半導體裝置之製造方法，其特徵為具有：

（a）規定延伸在第 1 方向的第 1 層配線的第 1 佈局線以及延伸在與上述第 1 方向正交的第 2 方向之第 2 層配線的第 2 佈局線之工程；及

（b）沿著上述第 1 佈局線配置第 1 配線的工程，在上述第 1 佈局線和上述第 2 佈局線的交點之兩側假想地配

置具有突出部的第 1 配線之工程；及

(c) 沿著上述第 2 佈局線配置第 2 配線之工程；及

(d) 在上述第 1 配線以及第 2 配線的圖案之重疊區域配置連接部之工程；及

(e) 規定只在上述連接部下配置上述第 1 配線的突出部的上述第 1 配線圖案之工程。

26. 一種半導體裝置，是針對具有 (a) 延伸在第 1 方向的第 1 配線；及

(b) 介由連接部與上述第 1 配線連接，延伸在與上述第 1 方向正交的第 2 方向之第 2 配線，具有突出於與上述第 2 方向相反方向的剩餘部份之第 2 配線的半導體裝置，其特徵為：

(c) 上述連接部其中心係由上述第 1 配線的中心往上述第 2 方向錯開而形成，

(d) 在上述連接部的下部形成上述第 1 配線的突出部。

27. 一種半導體裝置，是針對具有：(a) 延伸在第 1 方向，相互相鄰的第 1 及第 2 配線；及

(b) 介由第 1 連接部與上述第 1 配線連接，沿著與上述第 1 方向正交的線上，延伸於與上述第 2 配線相反側的方向，具有由上述第 1 連接部突出在上述第 2 配線方向的第 1 剩餘部份之第 3 配線；及

(c) 介由第 2 連接部與上述第 2 配線連接，沿著上述第 2 方向，延伸於與上述第 1 配線相反側的方向，具有

由上述第 2 連接部突出在上述第 1 配線方向的第 2 剩餘部份之第 4 配線的半導體裝置，其特徵為：

(d) 上述第 2 連接部其之中心係由上述第 2 配線的中心往與上述第 1 配線相反側的方向錯開而配置，

(e) 在上述第 2 連接部的下部形成上述第 2 配線的突出部。

28.如申請專利範圍第 27 項記載之半導體裝置，其中，上述第 1 配線的中心和上述第 2 配線的中心，係配置配線時的單位距離。

29.如申請專利範圍第 27 項記載之半導體裝置，其中，上述半導體裝置係具有與上述第 3 配線平行地形成之第 5 配線。

30.如申請專利範圍第 29 項記載之半導體裝置，其中，上述第 3 配線和上述第 5 配線的距離，係比上述第 1 配線和上述第 2 配線間的距離小。

31.如申請專利範圍第 29 項記載之半導體裝置，其中，上述第 1 配線和上述第 2 配線間的距離，係比最小加工尺寸大。

32.如申請專利範圍第 29 項記載之半導體裝置，其中，上述第 1 以及第 2 剩餘部份的寬度係比上述第 3 配線的中心和上述第 5 配線的中心之距離 $P1$ 與上述第 1 配線的中心和上述第 2 配線的中心之距離 $P0$ 的差 ($P0-P1$) 小，

比上述第 3 配線的中心和上述第 5 配線的中心之距離 $P1$ 與上述第 1 配線的中心和上述第 2 配線的中心之距離

P0 的差之 $1/2$ 大。

33.如申請專利範圍第 27~32 項中任一項所記載之半導體裝置，其中，上述第 1 以及第 2 配線的寬度與上述第 1 以及第 2 連接部的寬度幾乎相同。

34.如申請專利範圍第 27 項記載之半導體裝置，其中，在上述第 1 以及第 2 配線的下層具有金屬絕緣體型半導體場效應電晶體，

上述金屬絕緣體型半導體場效應電晶體的閘極係在上述第 1 以及第 2 配線的配線間配置於上述第 1 方向。

35.如申請專利範圍第 27~32、34 項中任一項所記載之半導體裝置，其中，上述半導體裝置係在上述第 1 以及第 2 配線的下層具有金屬絕緣體型半導體場效應電晶體，

上述第 1 配線或者上述第 2 配線係與上述金屬絕緣體型半導體場效應電晶體的源極、汲極或者閘極連接。

36.如申請專利範圍第 27 項記載之半導體裝置，其中，上述第 1 連接部的中心係配置在上述第 1 配線的中心上。

37.如申請專利範圍第 27 項記載之半導體裝置，其中，（f）上述第 1 連接部的中心係由上述第 1 配線的中心往與上述第 2 配線相反側的方向錯開而配置，

（g）在上述第 1 連接部的下部形成上述第 1 配線的突出部。

38.一種半導體裝置，其特徵為具有：

（a）延伸在第 1 方向，至少具有 1 個以上的突出部

之第 1 配線；及

(b) 介由第 1 連接部與上述第 1 配線連接，由上述第 1 連接部沿著與上述第 1 方向正交的第 2 方向延伸，而且，在與上述第 2 方向相反方向具有由上述第 1 連接部突出的第 1 剩餘部份之第 2 配線，

上述第 1 連接部係形成在上述第 1 配線上以及上述突出部上。

39. 一種半導體裝置，是針對具有：(a) 延伸在第 1 方向，至少具有 1 個以上的突出部之第 1 配線；及

(b) 介由第 1 連接部與上述第 1 配線連接，由上述第 1 連接部沿著與上述第 1 方向正交的第 2 方向延伸，而且，在與上述第 2 方向相反方向具有由上述第 1 連接部突出的第 1 剩餘部份之第 2 配線；及

(c) 介由第 2 連接部與上述第 1 配線連接，由上述第 2 連接部沿著與上述第 1 方向正交的第 2 方向延伸，而且，在與上述第 2 方向相反方向具有由上述第 2 連接部突出的第 2 剩餘部份之第 3 配線的半導體裝置，其特徵為：

上述第 1 連接部係形成在上述第 1 配線上，上述第 2 連接部係形成在上述第 1 配線上以及上述突出部上。