

(19) 日本国特許庁(JP)

## (12) 公開特許公報(A)

(11) 特許出願公開番号

特開2009-65024  
(P2009-65024A)

(43) 公開日 平成21年3月26日(2009.3.26)

(51) Int.Cl.	F 1	テーマコード (参考)
HO1L 29/78 (2006.01)	HO1L 29/78	301X 5F14O
HO1L 21/76 (2006.01)	HO1L 29/78	653B
HO1L 21/336 (2006.01)	HO1L 29/78	652R
	HO1L 29/78	652K
	HO1L 29/78	658G

審査請求 未請求 請求項の数 6 O L (全 22 頁) 最終頁に続く

(21) 出願番号	特願2007-232591 (P2007-232591)	(71) 出願人	500174247 エルピーダメモリ株式会社 東京都中央区八重洲2-2-1
(22) 出願日	平成19年9月7日 (2007.9.7)	(74) 代理人	100123788 弁理士 宮崎 昭夫
		(74) 代理人	100106138 弁理士 石橋 政幸
		(74) 代理人	100127454 弁理士 緒方 雅昭
		(72) 発明者	大湯 静憲 東京都中央区八重洲2-2-1 エルピー ダメモリ株式会社内
		(72) 発明者	高石 芳宏 東京都中央区八重洲2-2-1 エルピー ダメモリ株式会社内
			最終頁に続く

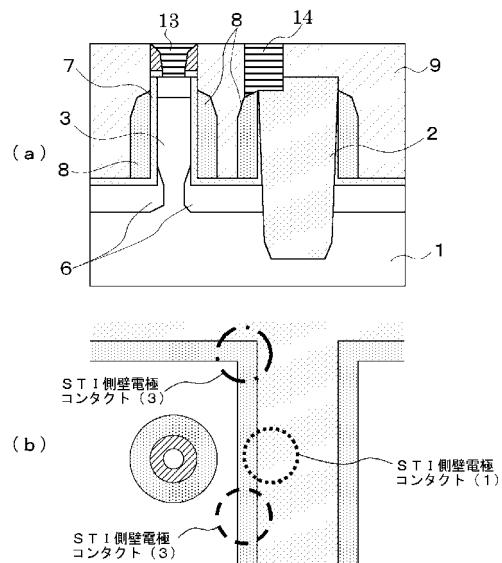
(54) 【発明の名称】半導体装置及びその製造方法

## (57) 【要約】

【課題】STI領域で囲まれた部分のシリコン基板をエッチングすることによりシリコン柱を形成して、シリコン柱をゲート絶縁膜およびゲート電極で覆いチャネル部とし、チャネル部の上下にソース・ドレインとなる拡散層を有した縦型MOSトランジスタにおいて、STI絶縁膜側壁に残ったゲート電極材による寄生MOS動作を解消する。

【解決手段】STI絶縁膜2の側壁に形成されるゲート電極材8に、該ゲート電極材の電位を制御する電極14を形成する。

【選択図】図2



## 【特許請求の範囲】

## 【請求項 1】

シリコン基板の浅溝素子分離された領域を掘り下げシリコン柱が形成され、該シリコン柱の下部のシリコン基板に下部拡散層と、シリコン柱の上部に上部拡散層を有し、かつ、シリコン柱の上部及び下部拡散層に挟まれた領域にチャネル部が形成され、該チャネル部側壁にゲート絶縁膜およびゲート電極を有する縦型MOSトランジスタを有する半導体装置であって、前記下部拡散層が前記浅溝素子分離深さより浅い部分に形成されており、前記浅溝素子分離の絶縁膜側壁に形成された前記ゲート電極材にコンタクトおよび電極を形成したことを特徴とする半導体装置。

## 【請求項 2】

シリコン基板の浅溝素子分離された領域を掘り下げシリコン柱が形成され、該シリコン柱の下部のシリコン基板に下部拡散層と、シリコン柱の上部に上部拡散層を有し、かつ、シリコン柱の上部及び下部拡散層に挟まれた領域にチャネル部が形成され、該チャネル部側壁にゲート絶縁膜およびゲート電極を有する縦型MOSトランジスタを有する半導体装置であって、前記下部拡散層が前記浅溝素子分離深さより浅い部分に形成されており、前記浅溝素子分離の絶縁膜側壁に形成されたゲート電極材に、前記縦型MOSトランジスタと同工程で製造されたダミートランジスタの少なくとも一部が接するように形成され、浅溝素子分離の絶縁層側壁に接した前記ダミートランジスタのゲート電極材にコンタクトおよび電極を形成したことを特徴とする半導体装置。

## 【請求項 3】

素子分離絶縁膜の側壁に形成された前記ゲート電極材、あるいは、素子分離絶縁膜の側壁に形成されたゲート電極材に接した前記ダミートランジスタのゲート電極材が、前記縦型MOSトランジスタのゲート電極に接していて、前記素子分離絶縁膜の側壁に形成された前記ゲート電極材あるいは前記ダミートランジスタのゲート電極材にコンタクトした電極により縦型MOSトランジスタのゲート電位を制御することを特徴とする請求項1または2に記載の半導体装置。

## 【請求項 4】

縦型MOSトランジスタを有する半導体装置の製造方法であって、

(1) シリコン基板に浅溝素子分離のための溝を形成し、該溝内に絶縁膜を埋め込む工程、

(2) 浅溝素子分離された領域にシリコン柱形成用のマスクとなる絶縁膜を形成する工程、

(3) 前記絶縁膜をマスクとして、浅溝素子分離された領域のシリコン基板を掘り下げ、縦型MOSトランジスタ用シリコン柱を形成する工程、

(4) 掘り下げられたシリコン基板上に不純物を注入して、前記浅溝素子分離深さより浅い部分に下部拡散層を形成する工程、

(5) 掘り下げられたシリコン基板上及び縦型MOSトランジスタ用シリコン柱側壁にゲート絶縁膜を形成する工程、

(6) ゲート電極材を成膜し、エッチバックして、ゲート絶縁膜の形成された縦型MOSトランジスタ用シリコン柱側壁にゲート電極を、素子分離絶縁膜側壁にゲート電極材を残す工程、

(7) 層間絶縁膜を形成し、前記マスク絶縁膜の高さに平坦化する工程、

(8) 縦型MOSトランジスタ用シリコン柱上の前記マスク絶縁膜を除去し、形成された開孔部に側壁絶縁膜を形成する工程、

(9) 前記側壁絶縁膜を介して不純物を注入して、縦型MOSトランジスタ用シリコン柱上部に上部拡散層を形成する工程、

(10) 前記素子分離絶縁膜側壁のゲート電極材にコンタクトする電極を形成する工程、

とを有する半導体装置の製造方法。

## 【請求項 5】

10

20

30

40

50

縦型MOSトランジスタを有する半導体装置の製造方法であって、

(1)シリコン基板に浅溝素子分離のための溝を形成し、該溝内に絶縁膜を埋め込む工程、

(2)浅溝素子分離された領域に縦型MOSトランジスタ用シリコン柱形成用のマスクとなる絶縁膜と、浅溝素子分離された領域に近接して又は一部重なってダミートランジスタ用シリコン柱形成用のマスクとなる絶縁膜を形成する工程、

(3)前記絶縁膜をマスクとして、浅溝素子分離された領域のシリコン基板を掘り下げ、縦型MOSトランジスタ用及びダミートランジスタ用シリコン柱を形成する工程、

(4)掘り下げられたシリコン基板上に不純物を注入して、前記浅溝素子分離深さより浅い部分に下部拡散層を形成する工程、

(5)掘り下げられたシリコン基板上及び縦型MOSトランジスタ用及びダミートランジスタ用シリコン柱側壁にゲート絶縁膜を形成する工程、

(6)ゲート電極材を成膜し、エッチバックして、ゲート絶縁膜の形成された縦型MOSトランジスタ用シリコン柱側壁にゲート電極を、素子分離絶縁膜側壁からダミートランジスタ用シリコン柱側壁に連続するゲート電極材を残す工程、

(7)層間絶縁膜を形成し、前記マスク絶縁膜の高さに平坦化する工程、

(8)縦型MOSトランジスタ用シリコン柱上の前記マスク絶縁膜を除去し、形成された開孔部に側壁絶縁膜を形成する工程、

(9)前記側壁絶縁膜を介して不純物を注入して、縦型MOSトランジスタ用シリコン柱上部に上部拡散層を形成する工程、

(10)前記ダミートランジスタ用シリコン柱側壁のゲート電極材にコンタクトする電極を形成する工程、

とを有する半導体装置の製造方法。

#### 【請求項6】

前記縦型MOSトランジスタ用シリコン柱を、浅溝素子分離された領域に近接して、あるいはダミートランジスタ用シリコン柱に近接して形成し、素子分離絶縁膜の側壁に形成された前記ゲート電極材、あるいは、素子分離絶縁膜の側壁に形成されたゲート電極材に接した前記ダミートランジスタのゲート電極材が、前記縦型MOSトランジスタのゲート電極に接するように形成することを特徴とする請求項4又は5に記載の半導体装置の製造方法。

#### 【発明の詳細な説明】

#### 【技術分野】

#### 【0001】

本発明は、浅溝素子分離に囲まれた領域に縦型MOSトランジスタを形成した半導体装置に関し、詳しくは、縦型MOSトランジスタを形成する際に、浅溝素子分離の側壁に形成されたゲート電極材がフローティング状態となることを回避した半導体装置及びその製造方法に関する。

#### 【背景技術】

#### 【0002】

ゲート構造を立体的にした3次元構造型MOSFETが提案されている。そのような3次元構造型MOSFETとして、Fin構造のチャネル層をゲート電極で挟んだFinFETや、シリコン柱の周りにゲート電極を形成したSGT(Surrounding Gate Transistor)が知られている。

#### 【0003】

この内、SGTは基板に対してソース、ゲート、ドレインが垂直方向に配置されており、ゲートがシリコン柱を取り囲む構造をしている。従って、SGTは平面型MOSFETに比べて占有面積が大きく縮小される。そのためSGTは、DRAM、Flash EEPROM、CMOSへの応用が非常に期待されている。

#### 【0004】

SGT構造は、例えば、特許文献1には、図11に示されているように、p型シリコン

10

20

30

40

50

基板 101 の L O C O S 法で形成された素子分離絶縁膜 102 で囲まれた領域に円柱状の微小さな柱状突起（シリコン柱）103 が配設され、この柱状突起の頂部及び底部にそれぞれ n 型拡散層（上部拡散層 107、下部拡散層 104）からなるソース・ドレイン領域が形成され、柱状突起の周囲にはゲート絶縁膜 105 を介してゲート電極 106 が形成されている。この特許文献においては、ゲート電極へのコンタクト 109 は、素子分離領域の外側に引き出されたゲート材料に対して取られている。108 は上部拡散層 107 へのコンタクト、110 は下部拡散層 104 へのコンタクトである。

【0005】

素子の微細化が進む中、L O C O S 法による素子分離では微細な素子分離領域を形成できないという問題がある。そこで、浅溝素子分離（S h a l l o w T r e n c h I s o l a t i o n：以下、S T I という）によって、250 nm 以下の領域の素子分離が可能なっている。

10

【0006】

このような S T I によって素子分離されたシリコン基板の領域にシリコン柱を形成して S G T 構造を設ける場合、シリコン柱を形成してから S T I を形成しようとすると、その分、基板厚みが必要となり、又、S T I 形成時にはシリコン柱を保護しなければならない。そこで、通常は、S T I を形成した後、基板を掘り下げてシリコン柱を形成することが考えられる。

20

【0007】

この後、下部拡散層を形成し、シリコン柱の側面を含むシリコン基板上に絶縁膜を形成し、ゲート電極材料を積層し、エッチバック等によりシリコン柱の側面にゲート電極を形成した S G T 構造が完成する。

20

【0008】

従来のプレーナー型の M O S トランジスタでは、ゲート電極加工の際に不要な部分のゲート電極材は全て除去されるので、フローティングになる部分は形成されなかった。

30

【0009】

しかし、S T I 領域で囲まれた部分のシリコン基板をエッティングすることによりシリコン柱を形成して、シリコン柱をゲート絶縁膜およびゲート電極で覆いチャネル部とし、チャネル部の上下にソース・ドレインとなる拡散層を有した縦型 M O S トランジスタを形成する場合、ゲート電極を形成する際に S T I 絶縁膜の側壁にゲート電極材が残ってしまう。

30

【0010】

この S T I 絶縁膜の側壁に残ったゲート電極材は、フローティング状態になり、その結果、M O S トランジスタ動作中に、何らかの影響によりこのフローティング状態となつたゲート電極材に電荷が注入されると、その電位が変化して、S T I 領域の寄生 M O S が動作してしまうなどの問題が生じる。

40

【0011】

又、シリコン柱の径を小さくしていくと、上部拡散層へのコンタクトとゲート電極へのコンタクトが近接していき、やがては、これらのコンタクトを分離することが困難となる。特許文献 1 に示されているように、素子分離領域の外側にまでゲートコンタクトを引き出すことは、S T I 絶縁膜の高さが妨害して困難であり、より簡便な方法でゲートコンタクトを形成することが望まれる。

40

【特許文献 1】特開平 6 - 53513 号公報

【発明の開示】

【発明が解決しようとする課題】

【0012】

したがって、本発明の目的は、S T I 領域で囲まれた部分のシリコン基板をエッティングすることによりシリコン柱を形成して、シリコン柱をゲート絶縁膜およびゲート電極で覆いチャネル部とし、チャネル部の上下にソース・ドレインとなる拡散層を有した縦型 M O S トランジスタにおいて、S T I 絶縁膜側壁に残ったゲート電極材による寄生 M O S 動作

50

を解消することにある。

【0013】

また、本発明の目的は、微細なシリコン柱を形成した場合の、上部拡散層コンタクトとゲートコンタクトの分離を容易とする構造を提供することにある。

【課題を解決するための手段】

【0014】

上記課題を解決する本発明によれば、シリコン基板の浅溝素子分離された領域を掘り下げシリコン柱が形成され、該シリコン柱の下部のシリコン基板に下部拡散層と、シリコン柱の上部に上部拡散層を有し、かつ、シリコン柱の上部及び下部拡散層に挟まれた領域にチャネル部が形成され、該チャネル部側壁にゲート絶縁膜およびゲート電極を有する縦型MOSトランジスタを有する半導体装置であって、前記下部拡散層が前記浅溝素子分離深さより浅い部分に形成されており、前記浅溝素子分離の絶縁膜側壁に形成された前記ゲート電極材にコンタクトおよび電極を形成したことを特徴とする半導体装置が提供される。

【0015】

また、本発明によれば、シリコン基板の浅溝素子分離された領域を掘り下げシリコン柱が形成され、該シリコン柱の下部のシリコン基板に下部拡散層と、シリコン柱の上部に上部拡散層を有し、かつ、シリコン柱の上部及び下部拡散層に挟まれた領域にチャネル部が形成され、該チャネル部側壁にゲート絶縁膜およびゲート電極を有する縦型MOSトランジスタを有する半導体装置であって、前記下部拡散層が前記浅溝素子分離深さより浅い部分に形成されており、前記浅溝素子分離の絶縁膜側壁に形成されたゲート電極材に、前記縦型MOSトランジスタと同工程で製造されたダミートランジスタの少なくとも一部が接するように形成され、浅溝素子分離の絶縁層側壁に接した前記ダミートランジスタのゲート電極材にコンタクトおよび電極を形成したことを特徴とする半導体装置が提供される。

【0016】

さらに本発明では、素子分離絶縁膜の側壁に形成された前記ゲート電極材、あるいは、素子分離絶縁膜の側壁に形成されたゲート電極材に接した前記ダミートランジスタのゲート電極材が、前記縦型MOSトランジスタのゲート電極に接していく、前記素子分離絶縁膜の側壁に形成された前記ゲート電極材あるいは前記ダミートランジスタのゲート電極材にコンタクトした電極により縦型MOSトランジスタのゲート電位を制御することを特徴とする半導体装置が提供される。

【0017】

又、本発明によれば、

縦型MOSトランジスタを有する半導体装置の製造方法であって、

(1) シリコン基板に浅溝素子分離のための溝を形成し、該溝内に絶縁膜を埋め込む工程、

(2) 浅溝素子分離された領域にシリコン柱形成用のマスクとなる絶縁膜を形成する工程、

(3) 前記絶縁膜をマスクとして、浅溝素子分離された領域のシリコン基板を掘り下げ、縦型MOSトランジスタ用シリコン柱を形成する工程、

(4) 掘り下げられたシリコン基板上に不純物を注入して、前記浅溝素子分離深さより浅い部分に下部拡散層を形成する工程、

(5) 掘り下げられたシリコン基板上及び縦型MOSトランジスタ用シリコン柱側壁にゲート絶縁膜を形成する工程、

(6) ゲート電極材を成膜し、エッチバックして、ゲート絶縁膜の形成された縦型MOSトランジスタ用シリコン柱側壁にゲート電極を、素子分離絶縁膜側壁にゲート電極材を残す工程、

(7) 層間絶縁膜を形成し、前記マスク絶縁膜の高さに平坦化する工程、

(8) 縦型MOSトランジスタ用シリコン柱上の前記マスク絶縁膜を除去し、形成された開孔部に側壁絶縁膜を形成する工程、

(9) 前記側壁絶縁膜を介して不純物を注入して、縦型MOSトランジスタ用シリコン

10

20

30

40

50

柱上部に上部拡散層を形成する工程、

(10) 前記素子分離絶縁膜側壁のゲート電極材にコンタクトする電極を形成する工程

、  
とを有する半導体装置の製造方法が提供される。

【0018】

又、本発明によれば、

縦型MOSトランジスタを有する半導体装置の製造方法であって、

(1) シリコン基板に浅溝素子分離のための溝を形成し、該溝内に絶縁膜を埋め込む工程、

(2) 浅溝素子分離された領域に縦型MOSトランジスタ用シリコン柱形成用のマスクとなる絶縁膜と、浅溝素子分離された領域に近接して又は一部重なってダミートランジスタ用シリコン柱形成用のマスクとなる絶縁膜を形成する工程、

(3) 前記絶縁膜をマスクとして、浅溝素子分離された領域のシリコン基板を掘り下げ、縦型MOSトランジスタ用及びダミートランジスタ用シリコン柱を形成する工程、

(4) 掘り下げられたシリコン基板上に不純物を注入して、前記浅溝素子分離深さより浅い部分に下部拡散層を形成する工程、

(5) 掘り下げられたシリコン基板上及び縦型MOSトランジスタ用及びダミートランジスタ用シリコン柱側壁にゲート絶縁膜を形成する工程、

(6) ゲート電極材を成膜し、エッチバックして、ゲート絶縁膜の形成された縦型MOSトランジスタ用シリコン柱側壁にゲート電極を、素子分離絶縁膜側壁からダミートランジスタ用シリコン柱側壁に連続するゲート電極材を残す工程、

(7) 層間絶縁膜を形成し、前記マスク絶縁膜の高さに平坦化する工程、

(8) 縦型MOSトランジスタ用シリコン柱上の前記マスク絶縁膜を除去し、形成された開孔部に側壁絶縁膜を形成する工程、

(9) 前記側壁絶縁膜を介して不純物を注入して、縦型MOSトランジスタ用シリコン柱上部に上部拡散層を形成する工程、

(10) 前記ダミートランジスタ用シリコン柱側壁のゲート電極材にコンタクトする電極を形成する工程、

とを有する半導体装置の製造方法が提供される。

【0019】

さらに本発明では、前記縦型MOSトランジスタ用シリコン柱を、浅溝素子分離された領域に近接して、あるいはダミートランジスタ用シリコン柱に近接して形成し、素子分離絶縁膜の側壁に形成された前記ゲート電極材、あるいは、素子分離絶縁膜の側壁に形成されたゲート電極材に接した前記ダミートランジスタのゲート電極材が、前記縦型MOSトランジスタのゲート電極に接するように形成することを特徴とする半導体装置の製造方法が提供される。

【発明の効果】

【0020】

本発明によれば、STI絶縁膜の側壁に残存するゲート電極材にコンタクトする電極を設け、その電位を制御することで、STI絶縁膜の側壁に残存するゲート電極材がフローティング状態となる問題を解決することができる。その結果、縦型MOSトランジスタを用いた集積回路の安定動作が可能になる。

【0021】

また、STI絶縁膜側壁に少なくとも一部が接するダミートランジスタを設け、そのゲート電極にコンタクトする電極を設けることで、縦型MOSトランジスタのゲート引出し電極と同工程でダミートランジスタコンタクトが形成でき、工程の簡略化が図れる。

【0022】

さらに、STI絶縁膜側壁のゲート電極材と縦型MOSトランジスタのゲート電極と接触させる、あるいはダミートランジスタを介して接触させることにより、STI側壁電極の電位を制御することにより、縦型MOSトランジスタのゲート電位を制御できるように

10

20

30

40

50

なるため、新たに縦型MOSトランジスタのゲート電極用のコンタクトを形成することが不要となり、レイアウトが容易になる。

【発明を実施するための最良の形態】

【0023】

[発明の実施例：第1の実施例]

[第1の実施例の構成]

図2(a)の断面図に示したように、下部拡散層6と上部拡散層11を有し、かつ、Si柱3がチャネル部となり、かつ、チャネル部側壁にゲート絶縁膜7およびゲート電極8を有する縦型MOSトランジスタがSTI絶縁膜2に囲まれた領域に形成され、下部拡散層6がSTI深さより浅い部分に形成された半導体装置において、STI絶縁膜2の側壁に形成されたゲート電極材8にコンタクトおよびSTI側壁電極14を形成する。

10

【0024】

図3は図2に示した部分をSTI絶縁膜2で囲まれた領域全体に拡張して表示したものであり、縦型MOSトランジスタのゲート引出し電極15は、Si柱3とSi柱3aの側壁に形成されたゲート電極8同士が接触しているので、絶縁膜9にコンタクト穴を開けてSi柱3aの上部で引き出すことができる。なお、Si柱3aへのドーピングは、下部拡散層6と同じ導電型のドーピングでもよいし、Si柱3のチャネルと同じ導電型のドーピングでもよい。さらに、下部拡散層電極16は、絶縁膜9にコンタクト穴を開けて、素子分離領域内の任意の位置に形成する。

20

【0025】

なお、作製方法の説明は、図2の(a)および(b)を用いて説明する。

【0026】

STI絶縁膜2の側壁に形成されたゲート電極材8にコンタクトする電極14は、図2(b)の平面図に示したように、コンタクト(1)乃至コンタクト(3)のように任意の場所を選ぶことができる。このコンタクト場所は、縦型MOSトランジスタの上部拡散層11に接続された電極13等の配置や、さらにその上層の配線の配置などによって邪魔にならない部分に選ぶことができる。

30

【0027】

上記のように、STI絶縁膜2の側壁に形成されたゲート電極材8にコンタクトする電極14の電位を制御することにより、そのゲート電極材がフローティング状態になることを防止できる。

【0028】

[第1の実施例の製法(プロセス等)の説明]

図2、図3に示した実施例の製造方法を図1A乃至図1Hを用いて説明する。

【0029】

まず、図1Aに示すように、ボロン濃度が $1 \times 10^{17} / \text{cm}^3$ のウエル層が形成されたSi基板1にSTI絶縁膜2を形成する。このSTI絶縁膜2は、通常の方法で形成することができる。すなわち、Siドライエッチング、絶縁膜埋め込みおよび絶縁膜平坦化により形成する。ここでは、浅溝素子分離の深さは、220nmとした。

40

【0030】

次に、図1Bに示すように、Si柱3を形成する部分にSi加工用マスク(図中膜厚が10nmのSiO<sub>2</sub>膜4と膜厚が80nmのSiN膜5で表示)を形成し、通常のSiドライエッチングによりSi柱3を形成する。このとき、Si柱3の直径は100nmとし、Si柱の高さは120nmとした。なお、この断面図では、Si柱3がSTI絶縁膜2で囲まれていないように示されているが、平面的には、図3に示したように、浅溝素子分離領域(STI絶縁膜2)に囲まれた部分にSi柱3が形成されている。また、Si柱3aも同様にして形成することができるが、以後の説明では、Si柱3aについてはSi柱3と同工程で処理されるため、必要がない限り説明は省略する。

【0031】

その後、図1Cに示すように、下部拡散層6およびゲート絶縁膜7を形成する。下部拡

50

散層 6 は、通常のイオン注入（砒素、20 keV、3e13 / cm<sup>2</sup>）および熱処理（N<sub>2</sub>中、1000、10s）により形成される。ゲート絶縁膜 7 は、Si 柱の側壁部分を熱酸化して形成してもよいし、通常の膜堆積法により形成してもよい。ここでは、熱酸化（wet-O<sub>2</sub>、800）により膜厚が5nmのゲート酸化膜 7 を形成した。

## 【0032】

次に、図1Dに示すように、全面にゲート電極材 8 を堆積したのち、通常のエッチバック法によって、図1Eに示すように、Si 柱 3 の側壁にゲート電極 8 を形成する。ここでは、ゲート電極材として膜厚が50nmで、リンが4e20 / cm<sup>3</sup>導入された多結晶シリコンを用いた。この時、STI 絶縁膜 2 の側壁にもゲート電極材 8 が残る。

## 【0033】

その後、図1Fに示すように、絶縁膜 9 を堆積し、平坦化する。ここでは、絶縁膜 9 として、シリコン酸化膜を用い、平坦化を通常のCMP法により実施しており、CMP法でのストップは、Si 柱加工マスクとして用いたSiN膜 5 である。

## 【0034】

そして、図1Gに示すように、Si 柱 3 上のSiN膜 5 を除去し、SiN膜 5 除去部分の開口の側壁に絶縁膜のサイドウォール 10 を形成する。なお、Si 柱 3a 上のSiN膜 5 は、後述する例に示すように、絶縁膜で覆って除去されないようにしておく。ここでは、サイドウォール 10 は、SiN膜を用い、SiN膜を堆積したのちエッチバックして形成した。次に、上部拡散層 11 は、サイドウォール 10 形成後にイオン注入（砒素、20 keV、3e13 / cm<sup>2</sup>）および熱処理（N<sub>2</sub>中、1000、10s）により形成する。

## 【0035】

次に、図1Hに示すように、STI 側壁電極 14 形成部分の絶縁膜 9 にコンタクト穴を開ける。ここでは、通常のフォトリソグラフィによりレジストマスク 12 を形成し、コンタクト穴を開けている。最後に、レジストマスク 12 を除去した後、絶縁膜サイドウォール 10 をマスクとして、シリコン酸化膜 4 をエッチングして、上部拡散層 11 を露出させ、電極 13 及び電極 14 を埋め込む。ここでは、電極 13、14 は、タンゲステンを用い、タンゲステン膜の堆積とCMPにより形成した。また、図3に示すような、ゲート引き出し電極 15、下部拡散層電極 16 を形成する。

## 【0036】

以上のような方法により図2、図3に示した構造が完成する。電極 14 には、STI 絶縁膜側壁に形成されるゲート電極材が寄生MOSとしてonとならないバイアスを、縦型MOSトランジスタのゲート電極とは別に印加することができる。もちろん、縦型MOSトランジスタのゲート電極と同電位で動作するように、電極 14 とはゲート引出し電極 15 と上層で接続されていても良い。

## 【0037】

[発明の他の実施例：第2の実施例]

[第2の実施例の構成]

図5(a)の断面図及び図5(b)の平面図に示したように、下部拡散層 6 と上部拡散層 11 を有し、かつ、Si 柱 3 がチャネル部となり、かつ、チャネル部側壁にゲート絶縁膜 7 およびゲート電極 8 を有する縦型MOSトランジスタがSTI 絶縁膜 2 に囲まれた領域に形成され、上記下部拡散層 6 が浅溝素子分離深さより浅い部分に形成された半導体装置において、STI 絶縁膜 2 の側壁に上記縦型MOSトランジスタと同じ工程を経て形成されたダミートランジスタの一部あるいは全部が接するように形成され、STI 絶縁膜 2 の側壁に接した上記ダミートランジスタのゲート電極材 8 にコンタクト（ダミートランジスタコンタクト（1））および電極 14 を形成する。

## 【0038】

上記のように、STI 絶縁膜 2 の側壁にダミートランジスタを形成し、ダミートランジスタのゲート電極材にコンタクトする電極 14 の電位を制御することにより、STI 絶縁膜の側壁に残存するゲート電極材がフローティング状態になることを防止できる。また、

10

20

30

40

50

この例では、ダミーコンタクトのゲート電極材にコンタクトを形成する為、縦型MOSトランジスタのゲート引出し電極15の形成と同時に電極14の形成が行うことができ、工程の簡略化が図れる。

#### 【0039】

なお、この例では、ダミーコンタクトを形成するSi柱3bをSTI絶縁膜2の一側面に接して形成しているが、図6(a)に示すように、STI絶縁膜2の角部に形成して、このダミートランジスタのゲート電極材にコンタクト(ダミートランジスタコンタクト(2))と電極14を形成するようにしても良い。また、図6(b)に示すように、Si柱3bをSTI絶縁膜2と隔離して、ゲート電極材8のみが接するように形成し、ダミートランジスタのゲート電極材にコンタクト(ダミートランジスタコンタクト(3)または(4))と電極14を形成しても良い。このように、ダミートランジスタ及びそのコンタクトの形成位置を任意に選ぶことによって、縦型MOSトランジスタの上部拡散層11に接続された電極13等の配置や、さらにその上層の配線の配置などによって邪魔にならない部分に選ぶことができる。

10

#### 【0040】

[第2の実施例の製法(プロセス等)の説明]

図5に示した実施例の製造方法を図4A乃至図4Hを用いて説明する。

#### 【0041】

まず、図4Aに示すように、Si基板にSTI絶縁膜2を形成する。ウエルおよびSTI絶縁膜2の形成方法は、第1の実施例と同じである。

20

#### 【0042】

次に、図4Bに示すように、Si柱3および3bを形成する部分に、実施例1と同様にSi加工用マスク(4、5)を形成し、通常のSiドライエッチングによりSi柱3および3bを形成する。ここで、第1の実施例と異なる点は、ダミートランジスタ用にSTI絶縁膜2の側壁に接したSi柱3bも形成することである。なお、この断面図では、図中左側のSi柱3がSTI絶縁膜2で囲まれていないように示されているが、平面的には、図3で示したように、STI絶縁膜2に囲まれた部分に図中左側のSi柱3が形成されている。また、Si柱3の左隣には、図3に示したように、Si柱3aも形成しておく。上記のSi柱3および3bの形成方法は、第1の実施例と同じである。

30

#### 【0043】

その後、図4Cに示すように、下部拡散層6およびゲート絶縁膜7を形成する。下部拡散層6は、通常のイオン注入および熱処理により形成される。ゲート絶縁膜7は、Si柱3および17の側壁部分を熱酸化して形成してもよいし、通常の膜堆積法により形成してもよい。なお、下部拡散層6およびゲート絶縁膜7の形成方法は、第1の実施例と同じである。

#### 【0044】

次に、図4Dに示すように、Si柱3、3bの側壁にゲート電極8を形成する。ゲート電極8は、ゲート電極材を堆積したのち、通常のエッチバック法によって形成される。この時、STI絶縁膜2の側壁にもゲート電極材が残る。なお、ゲート電極の形成方法は、第1の実施例と同じである。

40

#### 【0045】

そして、図4Eに示すように、絶縁膜9を堆積し、平坦化する。ここでは、絶縁膜9平坦化を通常のCMP法により実施しており、CMP法でのストップは、Si柱加工マスクとして用いたSiN5である。さらに、薄い絶縁膜17を堆積した後、通常のリソグラフィーとドライエッチングを用いて図中左のSi柱3の上の部分の上記薄い絶縁膜17を除去する。ここで、上記薄い絶縁膜17として、上記SiN除去用の熱リン酸ではエッティングされず、また、上記絶縁膜9よりHF系エッティング速度が速い材料を選ぶ。ここでは、上記薄い絶縁膜17として膜厚50nmのSOG膜を選んだ。

#### 【0046】

次に、図4Fに示すように、Si柱3上のSiN膜5を除去し、除去部分の開口の側壁

50

に絶縁膜のサイドウォール 10 を形成する。上部拡散層 11 は、サイドウォール形成後にイオン注入と熱処理により形成する。ここで、サイドウォール 10 と上部拡散層 11 の形成方法は、第 1 の実施例と同じである。

#### 【0047】

次に、薄い絶縁膜 17 を H F 系エッティングにより除去する。そして、図 4 G に示すように、通常のリソグラフィーにより、S T I 絶縁膜 2 の側壁に接した S i 柱 3 b の周りのゲート電極 8 のコンタクトできるように、レジストマスク 18 を形成し、図 4 H に示すように絶縁膜 9 をドライエッティングしてコンタクト穴を開ける。

#### 【0048】

最後に、実施例 1 と同様に、上部拡散層 11 を露出させ電極 13 を埋め込み、また、ダミートランジスタのゲート電極材 8 へコンタクトする電極 14 を埋め込むことで、図 5 に示した構造を作製する。

#### 【0049】

[発明の他の実施例：第 3 の実施例]

[第 3 の実施例の構成]

図 8 (a) の断面図に示したように、下部拡散層 6 と上部拡散層 11 を有し、かつ、S i 柱 3 がチャネル部となり、かつ、チャネル部側壁にゲート絶縁膜 7 およびゲート電極 8 を有する縦型MOSトランジスタが浅溝素子分離に囲まれた領域に形成され、上記下部拡散層 6 が浅溝素子分離深さより浅い部分に形成された半導体装置において、S T I 絶縁膜 2 の側壁に形成されたゲート電極材 8 にコンタクトおよび S T I 側壁電極 14 を形成する。ここでは、縦型MOSトランジスタの S i 柱 3 を S T I 絶縁膜 2 に近づけることにより、縦型MOSトランジスタのゲート電極 8 と S T I 絶縁膜 2 の側壁に形成された上記ゲート電極材 8 が接するようにする。これにより、上記 S T I 絶縁膜 2 側壁電極 13 から縦型MOSトランジスタのゲート電位を制御できるようになる。したがって、この構成では、図 3 に示したような S i 柱 3 a や S i 柱 3 a の側壁に形成されるゲート電極材にコンタクトする電極 15 は不要となる。

#### 【0050】

S T I 側壁ゲート電極 14 は、図 8 (b) の平面図に示したように、S T I 側壁ゲート電極コンタクト (1) 乃至 S T I 側壁ゲート電極コンタクト (2) のように任意の場所を選ぶことができる。このコンタクト場所は、縦型MOSトランジスタの上部拡散層 11 に接続された電極 13 等の配置や、さらにその上層の配線の配置などによって邪魔にならない部分に選ぶことができる。

#### 【0051】

上記のように、S T I 側壁ゲート電極 14 の電位を制御することにより、縦型MOSトランジスタのゲート電位を制御できるようになるため、新たに縦型MOSトランジスタのゲート電極用のコンタクトを形成することが不要となり、レイアウトが容易になる。

#### 【0052】

[第 3 の実施例の製法 (プロセス等) の説明]

図 8 に示した実施例の製造方法を、図 7 A 乃至図 7 G を用いて説明する。

#### 【0053】

まず、図 7 A に示すように、S i 基板 1 に S T I 絶縁膜 2 を形成する。この S T I 絶縁膜 2 は、通常の方法で形成、すなわち、S i ドライエッティング、絶縁膜埋め込みおよび絶縁膜平坦化により形成する。ウエルおよび S T I 絶縁膜 2 の形成方法は、第 1 の実施例と同じである。

#### 【0054】

次に、図 7 B に示すように、S i 柱 3 を形成する部分に S i 加工用マスク (4, 5) を形成し、通常の S i ドライエッティングにより S i 柱 3 を形成する。なお、この S i 柱 3 の形成方法は、第 1 の実施例と同じである。

#### 【0055】

その後、図 7 C に示すように、下部拡散層 6 およびゲート絶縁膜 7 を形成する。下部拡

10

20

30

40

50

散層 6 は、通常のイオン注入および熱処理により形成される。ゲート絶縁膜 7 は、Si 柱の側壁部分を熱酸化して形成してもよいし、通常の膜堆積法により形成してもよい。なお、下部拡散層 6 およびゲート絶縁膜 7 の形成方法は、第 1 の実施例と同じである。

【0056】

次に、図 7 D に示すように、Si 柱 3 の側壁にゲート電極 8 を形成する。ゲート電極 8 は、ゲート電極材を堆積したのち、通常のエッチバック法によって形成される。この時、STI 絶縁膜 2 の側壁にもゲート電極材 8 が残り、縦型 MOS トランジスタのゲート電極 8 と STI 絶縁膜 2 の側壁に形成された上記ゲート電極材 8 が接する。なお、ゲート電極の形成方法は、第 1 の実施例と同じである。

【0057】

その後、図 7 E に示すように、絶縁膜 9 を堆積し、平坦化する。ここでは、絶縁膜平坦化を通常の CMP 法により実施しており、CMP 法でのストップは、Si 柱 3 加工マスクとして用いた SiN 膜 5 である。

【0058】

そして、図 7 F に示すように、SiN 膜 5 を除去し、その除去部分の開口の側壁に絶縁膜のサイドウォール 10 を形成する。上部拡散層 11 は、サイドウォール 10 形成後にイオン注入と熱処理により形成する。ここで、サイドウォール 10 と上部拡散層 11 の形成方法は、第 1 の実施例と同じである。

【0059】

次に、図 7 G に示すように、STI 側壁電極形成部分の絶縁膜 9 にコンタクト穴を開ける。ここでは、通常のフォトリソグラフィによりレジストマスク 12 を形成し、コンタクト穴を開けている。最後に、レジストマスク 12 を除去した後、絶縁膜サイドウォール 10 をマスクとして、シリコン酸化膜 4 をエッチングして、上部拡散層 11 を露出させ、電極 13 及び電極 14 を埋め込む。以上のような方法により、図 8 に示した構造を作製する。

【0060】

又、本実施例においては、実施例 2 で示したようなダミートランジスタ用シリコン柱 3b を縦型 MOS トランジスタ用シリコン柱 3 と隔離して形成し、ダミートランジスタのゲート電極材 8 にコンタクト及び電極 14 を形成しても良い。

【0061】

[発明の他の実施例：第 4 の実施例]

[第 4 の実施例の構成]

図 10 (a) の断面図に示したように、下部拡散層 6 と上部拡散層 11 を有し、かつ、Si 柱 3 がチャネル部となり、かつ、チャネル部側壁にゲート絶縁膜 7 およびゲート電極 8 を有する縦型 MOS トランジスタが STI 絶縁膜 2 に囲まれた領域に形成され、上記下部拡散層 6 が STI 絶縁膜 2 深さより浅い部分に形成された半導体装置において、STI 絶縁膜 2 の側壁に上記縦型 MOS トランジスタと同じ構造のダミートランジスタの一部あるいは全部が接するように形成され、STI 絶縁膜 2 の側壁に接した上記ダミートランジスタのゲート電極材 8 にコンタクトおよび電極 14 を形成する。ここでは、図中左の縦型 MOS トランジスタの Si 柱 3 を、浅溝素子分離の側壁の一部あるいは全部に接するように形成されたダミートランジスタの Si 柱 3b に近づけることにより、両方のトランジスタのゲート電極 8 同士が接するようにする。これにより、上記 STI 側壁ゲート電極 14 から縦型 MOS トランジスタのゲート電極を制御できるようになる。

【0062】

STI 絶縁膜 2 の側壁に接した上記ダミートランジスタのゲート電極材 8 にコンタクトする電極 14 は、図 10 (b) の平面図に示したように、コンタクト (1) 乃至コンタクト (2) のように任意の場所を選ぶことができる。このコンタクト場所は、縦型 MOS トランジスタの上部拡散層 11 に接続された電極 13 等の配置や、さらにその上層の配線の配置などによって邪魔にならない部分に選ぶことができる。

【0063】

10

20

30

40

50

上記のように、S T I 側壁電極 1 4 の電位を制御することにより、縦型M O S トランジスタのゲート電位を制御できるようになるため、新たに縦型M O S トランジスタのゲート電極用のコンタクトを形成することが不要となり、レイアウトが容易になる。また、S T I 絶縁膜側壁に形成されたゲート電極材もフロー ティング状態となることがない。

## 【0 0 6 4】

[ 第4の実施例の製法(プロセス等)の説明 ]

図10に示した実施例の製造方法を図9A乃至図9Gを用いて説明する。

## 【0 0 6 5】

まず、図9Aに示すように、S i 基板1にS T I 絶縁膜2を形成する。ウエルおよびS T I 絶縁膜2の形成方法は、第1の実施例と同じである。

10

## 【0 0 6 6】

次に、図9Bに示すように、S i 柱3および3bを形成する部分にS i 加工用マスク(4、5)を形成し、通常のS i ドライエッティングによりS i 柱3および3bを形成する。ここで、S T I 絶縁膜2の側壁に接したS i 柱3bも形成している。なお、この断面図では、図中左側のS i 柱3が浅溝素子分離で囲まれていないように示されているが、平面的には、S T I 絶縁膜2領域に囲まれた部分に図中左側のS i 柱3が形成されている。上記のS i 柱3および3bの形成方法は、第1及び第2の実施例と同じである。

## 【0 0 6 7】

その後、図9Cに示すように、下部拡散層6およびゲート絶縁膜7を形成する。下部拡散層6は、通常のイオン注入および熱処理により形成される。ゲート絶縁膜7は、S i 柱の側壁部分を熱酸化して形成してもよいし、通常の膜堆積法により形成してもよい。下部拡散層6およびゲート絶縁膜7の形成方法は、第1の実施例と同じである。

20

## 【0 0 6 8】

次に、図9Dに示すように、S i 柱3および3bの側壁にゲート電極8を形成する。ゲート電極は、ゲート電極材を堆積したのち、通常のエッチバック法によって形成される。この時、両方のトランジスタのゲート電極8同士が接する。なお、ゲート電極の形成方法は、第1の実施例と同じである。

## 【0 0 6 9】

そして、図9Eに示すように、絶縁膜9を堆積し、平坦化する。ここでは、絶縁膜平坦化を通常のC M P法により実施しており、C M P法でのストップは、S i 柱加工マスクとして用いたS i N膜5である。さらに、薄い絶縁膜17を堆積した後、通常のリソグラフィーとドライエッティングを用いて図中左のS i 柱3の上の部分の上記薄い絶縁膜を除去する。ここで、上記薄い絶縁膜17として、上記S i N除去用の熱リン酸ではエッティングされず、また、上記絶縁膜よりH F系エッティング速度が速い材料を選ぶ。例えば、上記薄い絶縁膜としてS O G膜を選ぶ。

30

## 【0 0 7 0】

次に、図9Fに示すように、S i 柱3上のS i N膜5を除去し、その除去部分の開口の側壁に絶縁膜のサイドウォール10を形成する。上部拡散層11は、サイドウォール10形成後にイオン注入と熱処理により形成する。ここで、サイドウォール10と上部拡散層11の形成方法は、第1の実施例と同じである。

40

## 【0 0 7 1】

次に、図9Gに示すように、上記薄い絶縁膜18をH F系エッティングにより除去し、通常のリソグラフィーにより、S T I 絶縁膜2の側壁に接したS i 柱3bの周りのゲート電極8のコンタクトできるように、レジストマスク18を形成し、絶縁膜9をドライエッティングしてコンタクト穴を開ける。

## 【0 0 7 2】

最後に、上記絶縁膜サイドウォール10をマスクとして、S i 柱3上のS i O 2膜4をエッティングして、上部拡散層11を露出させ電極13を埋め込み、また、S i 柱3bの周りのゲート電極8のコンタクト穴に電極14を埋め込む。以上のような方法により、図10に示した構造が完成する。

50

## 【0073】

以上の例では、Si柱の形状を円柱で説明しているが、これに限定されるものではなく、多角形柱、橍円柱など様々な形状とすることができます。また、縦型MOSトランジスタ用のSi柱とダミートランジスタ用のSi柱とは同形状である必要はなく、目的に応じて、異なる形状、異なる大きさにすることができます。

## 【産業上の利用可能性】

## 【0074】

本発明の半導体装置は、DRAM等の半導体記録装置のセルトランジスタなどに好適に使用でき、4F<sup>2</sup>セルなどの微細なセルを構成することができる。

## 【図面の簡単な説明】

10

## 【0075】

【図1A】本発明の第1の実施例になる半導体装置の製造工程の一工程を説明する断面図である。

【図1B】本発明の第1の実施例になる半導体装置の製造工程の一工程を説明する断面図である。

【図1C】本発明の第1の実施例になる半導体装置の製造工程の一工程を説明する断面図である。

【図1D】本発明の第1の実施例になる半導体装置の製造工程の一工程を説明する断面図である。

【図1E】本発明の第1の実施例になる半導体装置の製造工程の一工程を説明する断面図である。

20

【図1F】本発明の第1の実施例になる半導体装置の製造工程の一工程を説明する断面図である。

【図1G】本発明の第1の実施例になる半導体装置の製造工程の一工程を説明する断面図である。

【図1H】本発明の第1の実施例になる半導体装置の製造工程の一工程を説明する断面図である。

【図2】本発明の第1の実施例になる半導体装置の構成を示す部分断面図(a)及び概略平面図(b)である。

30

【図3】本発明の第1の実施例になる半導体装置の一素子分離単位での構成を示す断面図(a)及び概略平面図(b)である。

【図4A】本発明の第2の実施例になる半導体装置の製造工程の一工程を説明する断面図である。

【図4B】本発明の第2の実施例になる半導体装置の製造工程の一工程を説明する断面図である。

【図4C】本発明の第2の実施例になる半導体装置の製造工程の一工程を説明する断面図である。

【図4D】本発明の第2の実施例になる半導体装置の製造工程の一工程を説明する断面図である。

40

【図4E】本発明の第2の実施例になる半導体装置の製造工程の一工程を説明する断面図である。

【図4F】本発明の第2の実施例になる半導体装置の製造工程の一工程を説明する断面図である。

【図4G】本発明の第2の実施例になる半導体装置の製造工程の一工程を説明する断面図である。

【図4H】本発明の第2の実施例になる半導体装置の製造工程の一工程を説明する断面図である。

【図5】本発明の第2の実施例になる半導体装置の構成を示す部分断面図(a)及び概略平面図(b)である。

【図6】本発明の第2の実施例になる半導体装置におけるコンタクト位置の変更例を説明

50

する概略平面図である。

【図 7 A】本発明の第 3 の実施例になる半導体装置の製造工程の一工程を説明する断面図である。

【図 7 B】本発明の第 3 の実施例になる半導体装置の製造工程の一工程を説明する断面図である。

【図 7 C】本発明の第 3 の実施例になる半導体装置の製造工程の一工程を説明する断面図である。

【図 7 D】本発明の第 3 の実施例になる半導体装置の製造工程の一工程を説明する断面図である。

【図 7 E】本発明の第 3 の実施例になる半導体装置の製造工程の一工程を説明する断面図である。 10

【図 7 F】本発明の第 3 の実施例になる半導体装置の製造工程の一工程を説明する断面図である。

【図 7 G】本発明の第 3 の実施例になる半導体装置の製造工程の一工程を説明する断面図である。

【図 8】本発明の第 3 の実施例になる半導体装置の構成を示す部分断面図 ( a ) 及び概略平面図 ( b ) である。

【図 9 A】本発明の第 4 の実施例になる半導体装置の製造工程の一工程を説明する断面図である。 20

【図 9 B】本発明の第 4 の実施例になる半導体装置の製造工程の一工程を説明する断面図である。

【図 9 C】本発明の第 4 の実施例になる半導体装置の製造工程の一工程を説明する断面図である。

【図 9 D】本発明の第 4 の実施例になる半導体装置の製造工程の一工程を説明する断面図である。

【図 9 E】本発明の第 4 の実施例になる半導体装置の製造工程の一工程を説明する断面図である。

【図 9 F】本発明の第 4 の実施例になる半導体装置の製造工程の一工程を説明する断面図である。

【図 9 G】本発明の第 4 の実施例になる半導体装置の製造工程の一工程を説明する断面図である。 30

【図 10】本発明の第 4 の実施例になる半導体装置の構成を示す部分断面図 ( a ) 及び概略平面図 ( b ) である。

【図 11】従来技術になる S G T 構造の平面図 ( a ) 及び断面図 ( b ) である。

#### 【符号の説明】

##### 【0 0 7 6】

- 1 S i 基板
- 2 S T I 絶縁膜
- 3 S i 柱
  - 3 a、3 b ダミートランジスタ用 S i 柱
- 4 S i O 2 膜
- 5 S i N 膜
- 6 下部拡散層
- 7 ゲート絶縁膜
- 8 ゲート電極 ( 材 )
- 9 絶縁膜
- 10 S i N サイドウォール
- 11 上部拡散層
- 13 上部拡散層用電極
- 14 S T I 側壁電極

10

20

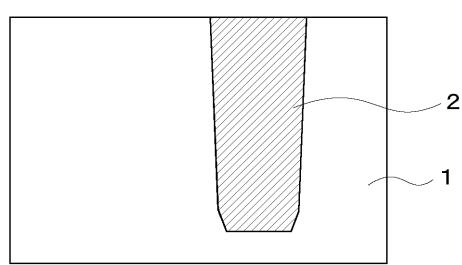
30

40

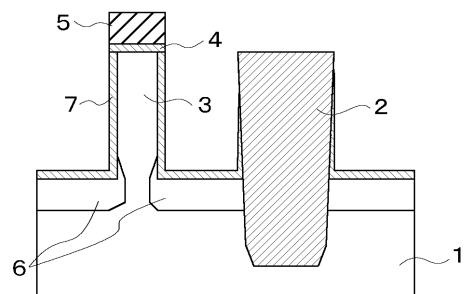
50

- 1 5 ゲート引き出し電極  
1 6 下部拡散層用電極  
1 7 薄い絶縁膜  
1 2 , 1 8 レジストマスク

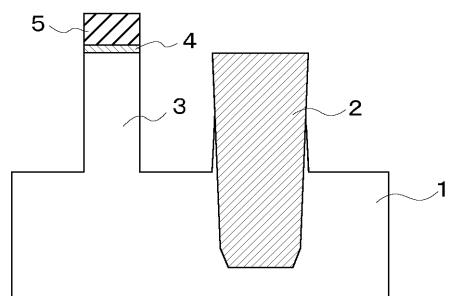
【図 1 A】



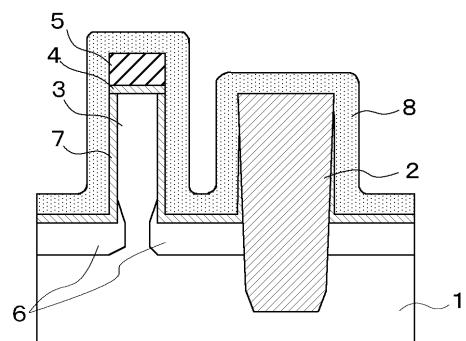
【図 1 C】



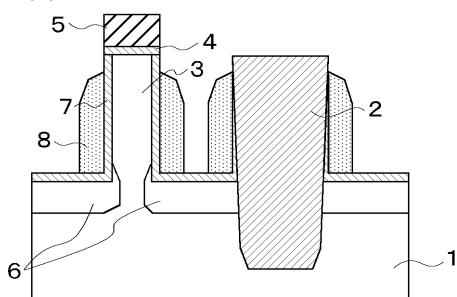
【図 1 B】



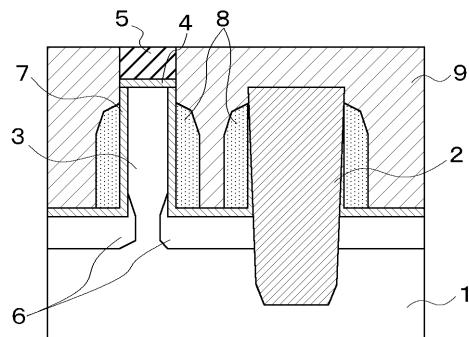
【図 1 D】



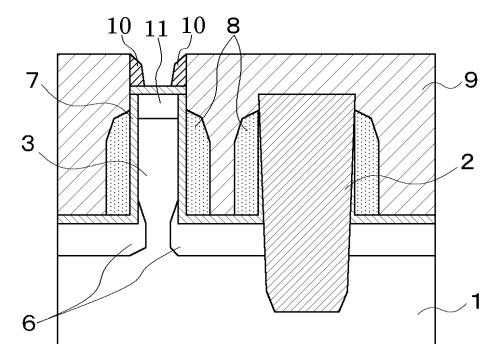
【図 1 E】



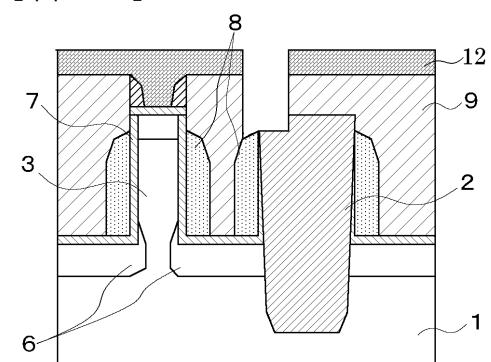
【図 1 F】



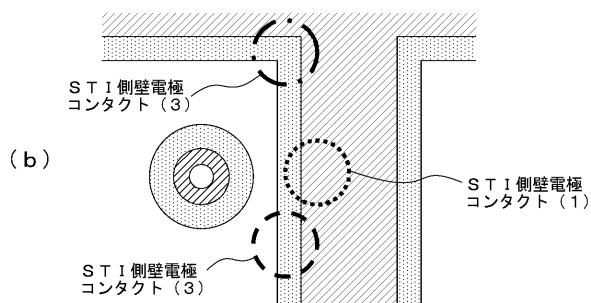
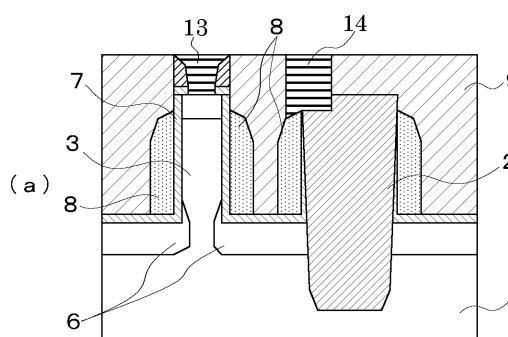
【図 1 G】



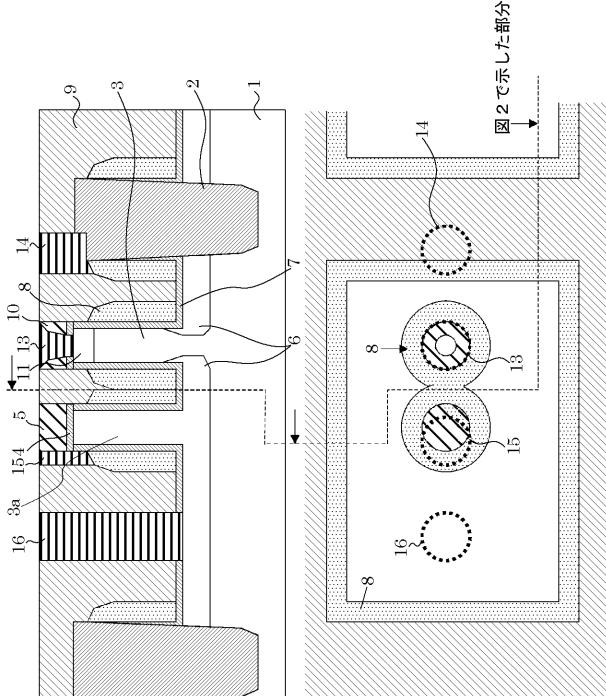
【図 1 H】



【図 2】



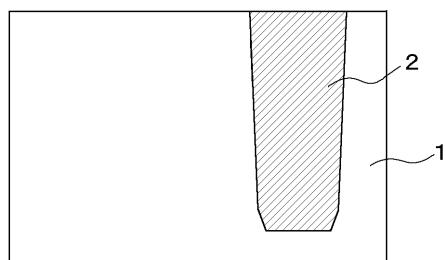
【図 3】



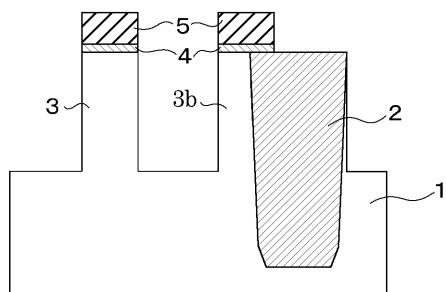
(a)

(b)

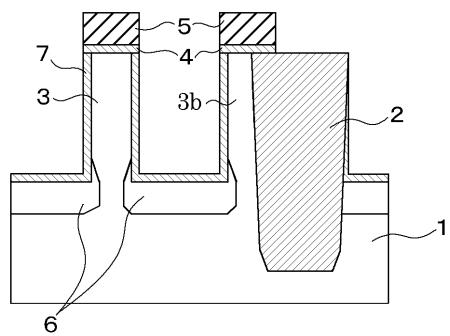
【図 4 A】



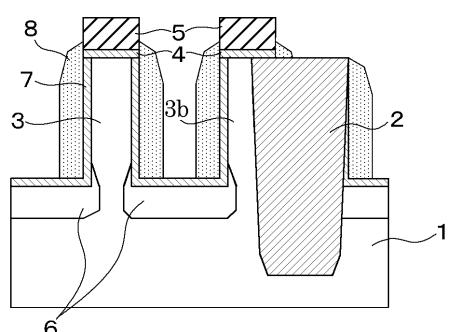
【図 4 B】



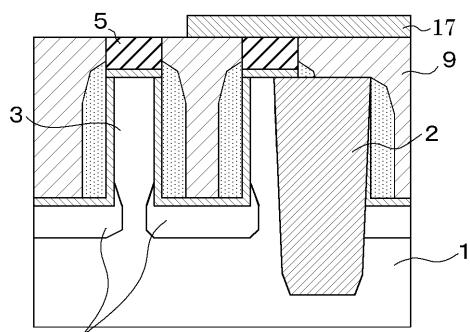
【図 4 C】



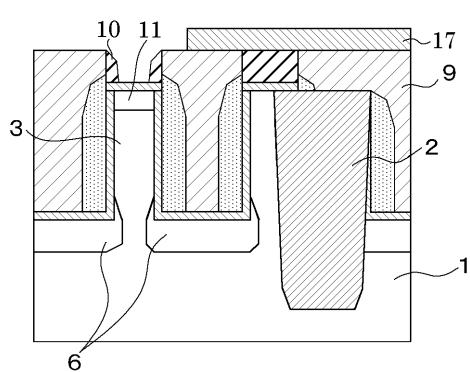
【図 4 D】



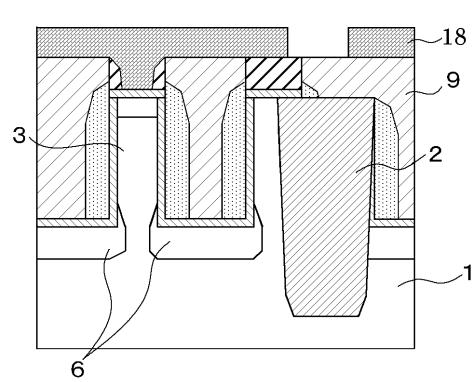
【図 4 E】



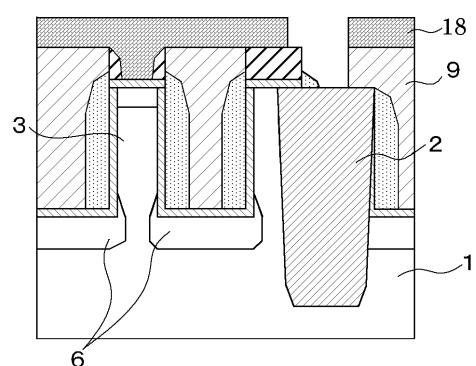
【図 4 F】



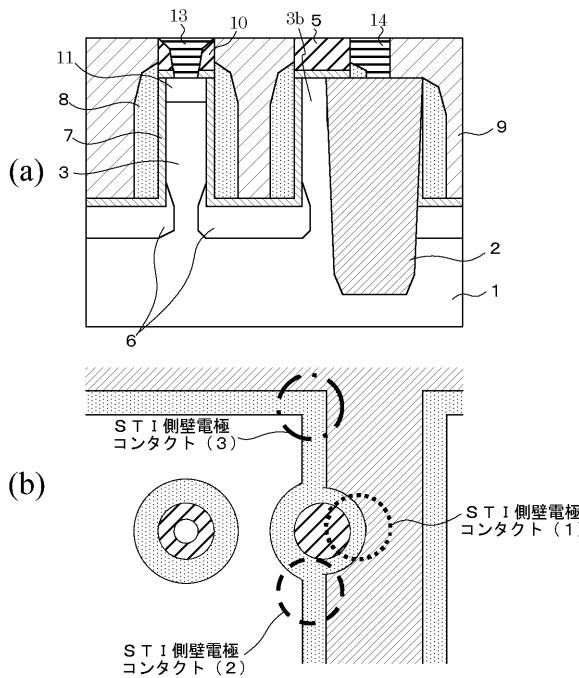
【図 4 G】



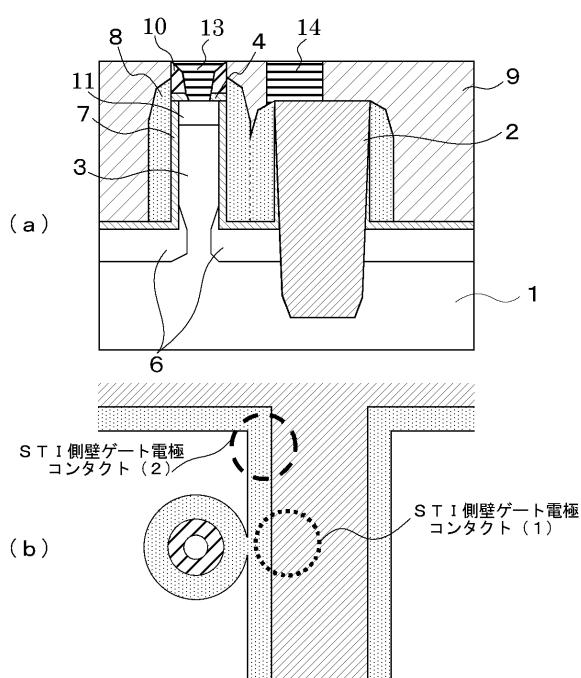
【図 4 H】



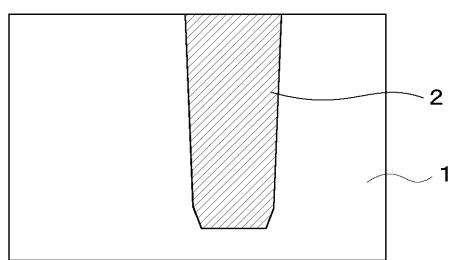
【図 5】



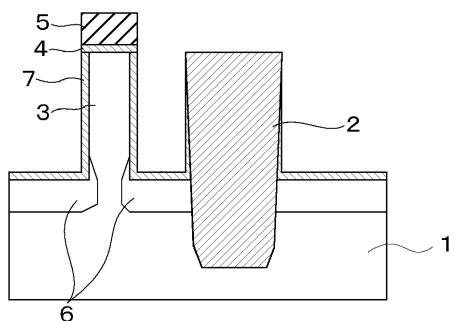
【図 6】



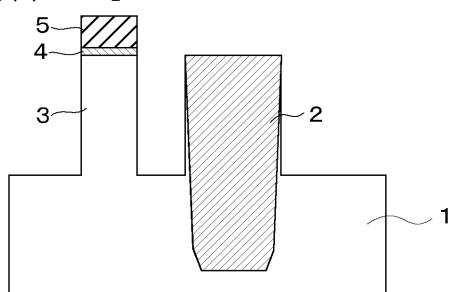
【図 7 A】



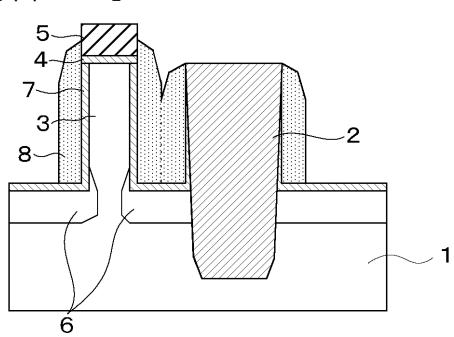
【図 7 C】



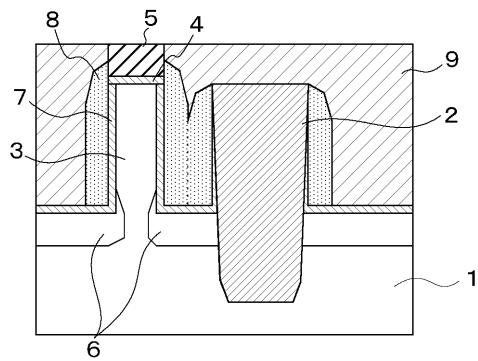
【図 7 B】



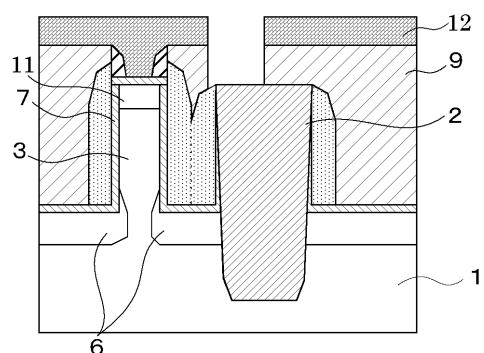
【図 7 D】



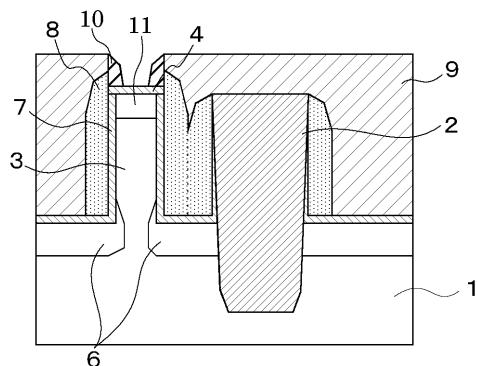
【図 7 E】



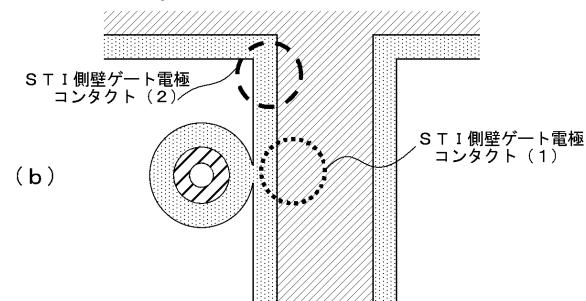
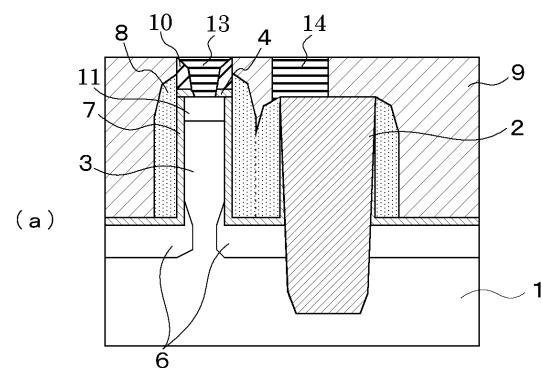
【図 7 G】



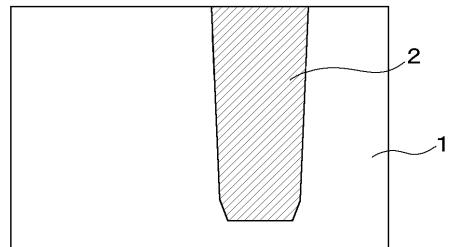
【図 7 F】



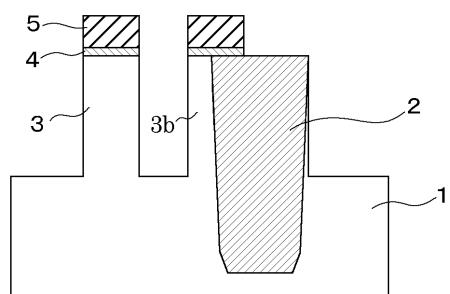
【図 8】



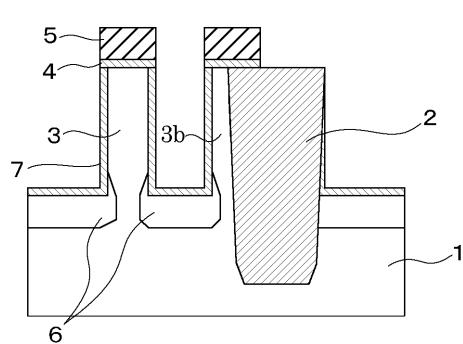
【図 9 A】



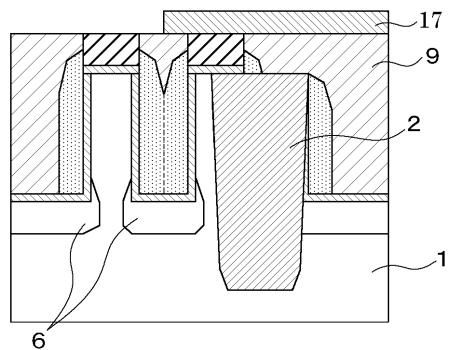
【図 9 B】



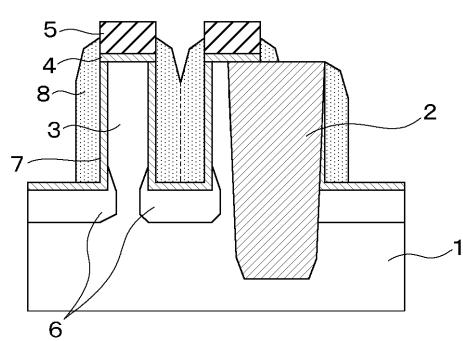
【 図 9 C 】



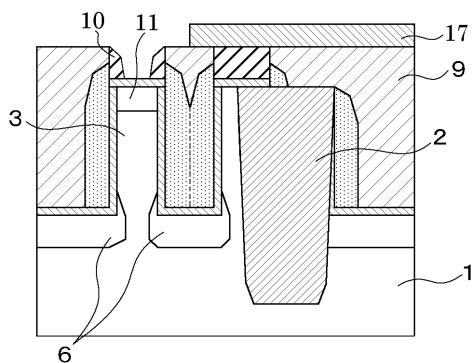
【 図 9 E 】



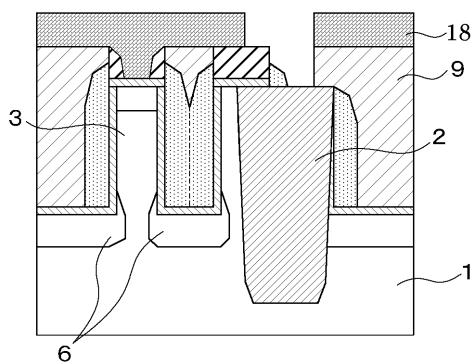
【 図 9 D 】



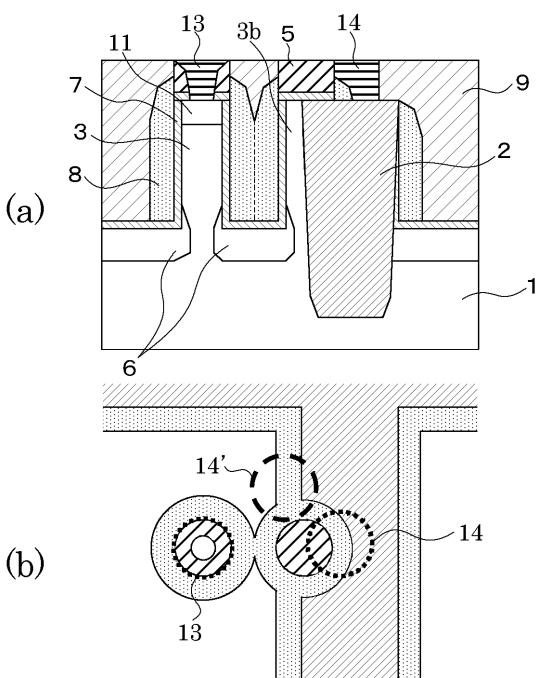
【 図 9 F 】



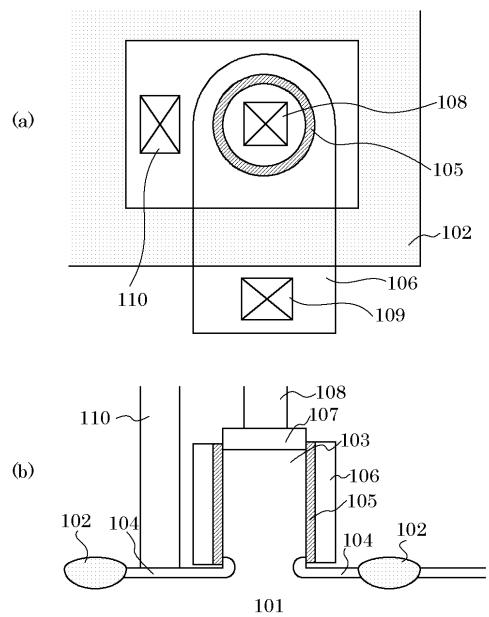
【 図 9 G 】



【 図 1 0 】



【図 1 1】



## フロントページの続き

(51) Int.Cl.

F I

テーマコード(参考)

H 0 1 L 29/78 6 5 8 F  
H 0 1 L 29/78 6 5 8 A  
H 0 1 L 29/78 6 5 8 Z  
H 0 1 L 29/78 3 0 1 R

(72)発明者 小菅 友

東京都中央区八重洲2 - 2 - 1 エルピーダメモリ株式会社内

F ターム(参考) 5F140 AA16 AA40 BA01 BB04 BB06 BC15 BD06 BE07 BE09 BF01  
BF04 BF42 BF54 BF60 BG04 BG27 BG31 BG37 BG46 BH04  
BH25 BH26 BH30 BJ01 BJ07 BJ27 BK13 BK21 BK25 CA03  
CB04 CB06 CB08 CB10 CE05 CE06 CE07 CE20 CF05