



(12) Wirtschaftspatent

Erteilt gemäß § 17 Absatz 1 Patentgesetz

PATENTSCHRIFT

(19) **DD** (11) **237 947 A1**

4(51) H 03 K 5/153

AMT FÜR ERFINDUNGS- UND PATENTWESEN

In der vom Anmelder eingereichten Fassung veröffentlicht

(21)	WP H 03 K / 276 764 8	(22)	30.05.85	(44)	30.07.86
------	-----------------------	------	----------	------	----------

(71)	VEB Werk für Signal- und Sicherungstechnik Berlin, 1193 Berlin, Elsenstraße 87/96, DD
(72)	Henning, Heinz, Dipl.-Ing., DD

(54) **Schaltungsanordnung zur Serien-Parallel-Wandlung von Impulsfrequenzen in Dauersignale**

(57) Die Aufgabe der Erfindung besteht in der Schaffung einer Schaltungsanordnung, in der das Impuls-Pausen-Verhältnis des Eingangssignals aus einem Schieberegister erkannt werden kann und in der keine Ableitung von Impulsen aus der Eingangsimpulsfolge erforderlich ist. Erfindungsgemäß wird dies dadurch erreicht, daß die Eingangsimpulsfolge einem ersten getakteten Register zugeführt ist, dessen Ausgänge mit einem Zuordner verbunden sind, daß die Ausgänge des Zuordners mit den Ladeeingängen eines zweiten getakteten Registers verbunden sind und daß an den Ausgängen des zweiten Registers die Dauersignale abnehmbar sind, die den empfangenen Impulsfrequenzen zugeordnet sind.

Erfindungsanspruch:

1. Schaltungsanordnung zur Serien-Parallel-Wandlung von Impulsfrequenzen in Dauersignale, **gekennzeichnet dadurch**, daß die Eingangsimpulsfolge (x) an den Eingang (ES) eines ersten Registers (RG 1) gelegt ist, an dessen Takteingang (c) ein erstes Taktsignal (t1) anliegt und dessen Ausgänge (Q1, Q2, Q3, Q4) mit den Eingängen (I0, I1, I2, I3) eines Zuordners (Z) verbunden sind, daß die Ausgänge (O1, O2, O3) des Zuordners (Z) mit den Ladeeingängen (E1, E2, E3) eines zweiten Registers (RG2) verbunden sind, an dessen Takteingang (c) ein zweites Taktsignal (t3) gelegt ist, daß der Steuereingang (M) und die Ladeeingänge (E1, E2, E3, E4) des ersten Registers (RG1) und der Eingang (ES) und der Ladeeingang (E4) des zweiten Registers (RG2) mit dem O-Signal und der Steuereingang (M) des zweiten Registers (RG2) mit dem I-Signal verbunden und daß an den Ausgängen (Q1, Q2, Q3) des zweiten Registers (RG2) die Ausgangssignale (y1, y2, y3) abnehmbar sind.
2. Schaltungsanordnung zur Serien-Parallel-Wandlung nach Punkt 1, **gekennzeichnet dadurch**, daß anstelle des Zuordners (Z) ein Decoder (DC) verwendet wird, bei dem die bewerteten Ausgänge (15) direkt den Ausgang (O1), (5,10) über die ODER-Schaltung (D1) den Ausgang (O2) und (3, 6, 9, 12) über die ODER-Schaltung (D2) den Ausgang (O3) bilden.

Hierzu 2 Seiten Zeichnungen

Anwendungsgebiet der Erfindung

Die Erfindung betrifft eine Schaltungsanordnung zur Serien-Parallel-Wandlung von Impulsfrequenzen in Dauersignale bei der Anwendung von Übertragungsverfahren der Fernwirktechnik, z. B. der Übertragung von Zustandsmeldungen beim automatischen Streckenblock und der Übertragung von Signalbegriffen bei der linienförmigen Zugbeeinflussung in der Eisenbahnsicherungstechnik.

Charakteristik der bekannten technischen Lösungen

Es ist bereits eine Schaltungsanordnung zur Serien-Parallel-Wandlung von Impulsfrequenzen in Dauersignale bekannt (DE-AS 2729108, H03K5/153), bei der die Länge der Impulse und die Länge der Pausenzeiten in je einem Schieberegister zwischengespeichert wird. Aus der Stellung der Schieberegisterstufen zur Zeit des Zustandswechsels des Eingangssignals kann auf das Impuls-Pausen-Verhältnis geschlossen werden. Bei einer Auswertung der Pausenzeiten dient der 0/1-Wechsel des Eingangssignals als Übernahme-Kriterium in ein erstes Speicherregister. Bei einer zusätzlichen Auswertung der Impulszeiten dient der 1/0-Wechsel des Eingangssignals als Übernahme-Kriterium in ein zweites Speicherregister. Die Ausgänge der beiden Speicherregister müssen über einen Decoder verbunden werden, um aus den empfangenen Impulsfrequenzen die zugeordneten Dauersignale zu erhalten.

Ein Nachteil der bekannten Schaltungsanordnung besteht in einem hohen Realisierungsaufwand von vier Registern und einem Decoder. Ein weiterer Nachteil ergibt sich durch die Notwendigkeit der Ableitung von Übernahmeimpulsen aus den Flanken des Eingangssignals. So können schon kurzzeitige Störbeeinflussungen des Eingangssignals, die sich durch 0- bzw. 1-Hasards bemerkbar machen, zu Fehlauswertungen führen.

Ziel der Erfindung

Ziel der Erfindung ist die Schaffung einer Schaltungsanordnung zur Serien-Parallel-Wandlung von Impulsfrequenzen in Dauersignale, die die gestellte Aufgabe mit wesentlich geringerem Realisierungsaufwand löst.

Darlegung des Wesens der Erfindung

Der Erfindung liegt die Aufgabe zugrunde, eine Schaltungsanordnung zur Serien-Parallel-Wandlung von Impulsfrequenzen in Dauersignale zu schaffen, bei der das Impuls-Pausen-Verhältnis des Eingangssignals aus einem Schieberegister erkannt werden kann und bei der keine Ableitung von Impulsen aus der Eingangsimpulsfolge erforderlich ist.

Erfindungsgemäß wird die Aufgabe durch die im kennzeichnenden Teil des Erfindungsanspruchs dargelegten Mittel gelöst. In weiterer zweckmäßiger Ausführung der Erfindung können Register angewandt werden, die eine wahlweise Realisierung als Schieberegister bzw. als Speicher ermöglichen. In diesem Fall ist beim ersten Register der Steuereingang sowie die Ladeeingänge mit O-Signal zu verbinden und beim zweiten Register der Steuereingang mit 1-Signal sowie ein Ladeeingang mit O-Signal zu verbinden. Eine weitere Ausgestaltung der Erfindung ergibt sich dadurch, daß anstelle des Zuordners auch ein Decoder eingesetzt werden kann, in dem die bewerteten Ausgänge des Decoders zur Bildung der Ausgangssignale mit Hilfe von ODER-Schaltungen verwendet werden.

Ausführungsbeispiel

Die Erfindung ist nachstehend anhand eines Ausführungsbeispiels erläutert. Die zugehörigen Zeichnungen zeigen:

Fig. 1: eine Schaltungsanordnung zur Serien-Parallel-Wandlung

Fig. 2: einen Zuordner

Fig. 3: ein Impulsdiagramm

In der Fig. 1 ist eine Schaltungsanordnung zur Serien-Parallel-Wandlung dargestellt. Sie besteht aus zwei Registern RG 1 und RG 2 und einem Zuordner Z. Dem ersten getakteten Register RG 1 wird eine Eingangsimpulsfolge x und ein erstes Taktsignal t₁ zugeführt. Die Ausgänge Q1, Q2, Q3, Q4 des Registers RG 1 sind mit den Eingängen I0, I1, I2, I3 eines Zuordners Z verbunden. Die Ausgänge O1, O2, O3 des Zuordners Z sind mit den Ladeeingängen E1, E2, E3, E4 eines zweiten getakteten Registers RG 2 verbunden, dem ein zweites Taktsignal t₃ zugeführt wird. Die Ausgangssignale y1, y2, y3, die an den Ausgängen Q1, Q2, Q3 des zweiten Registers RG 2 abnehmbar sind, entsprechen den Dauersignalen, die den Impulsfrequenzen zugeordnet sind.

In der Fig. 1 werden Register angewandt, die eine wahlweise Realisierung als Schieberegister bzw. als Speicher ermöglichen. Zu diesem Zweck ist beim ersten Register RG 1 der Steuereingang M sowie die Ladeeingänge E1, E2, E3, E4 mit O-Signal und beim zweiten Register RG 2 der Steuereingang M mit 1-Signal sowie ein Ladeeingang mit O-Signal zu verbinden.

Das Ein- und Ausgangsverhalten des Zuordners Z ist in der folgenden Tabelle dargestellt:

	I3	I2	I1	I0	Q1	Q2	Q3
(0)	0	0	0	0			
(1)	0	0	0	1			
(2)	0	0	1	0			
(3)	0	0	1	1			1
(4)	0	1	0	0			
(5)	0	1	0	1		1	
(6)	0	1	1	0			1
(7)	0	1	1	1			
(8)	1	0	0	0			
(9)	1	0	0	1			1
(10)	1	0	1	0		1	
(11)	1	0	1	1			
(12)	1	1	0	0			1
(13)	1	1	0	1			
(14)	1	1	1	0			
(15)	1	1	1	1	1		

Werden die Eingänge I0, I1, I2, I3 des Zuordners mit 1, 2, 4, 8, bewertet, so stellen die Zahlen in der ersten Spalte der angegebenen Tabelle das Dezimaläquivalent der zugehörigen Eingangsbelegung dar.

In der Fig. 2 ist ein Zuordner Z dargestellt, der mit Hilfe eines Decoders DC und zweier ODER-Schaltungen D1, D2 realisiert ist. Die bewerteten Ausgänge 15; 5; 10; 3; 6; 9; 12 des Decoders DC entsprechen den Dezimaläquivalenten der angegebenen Tabelle. Der Ausgang O1 ist mit dem bewerteten Ausgang 15 verbunden. Der Ausgang O2 ist über eine erste ODER-Schaltung D1 mit den bewerteten Ausgängen 5, 10 verbunden und der Ausgang O3 ist über eine zweite ODER-Schaltung D2 mit den bewerteten Ausgängen 3, 6, 9, 12 verbunden.

In der Fig. 3 ist die Wirkungsweise der Schaltungsanordnung nach Fig. 1 anhand eines Impulssdiagrammes dargestellt.

Auf der linken Seite der Fig. 3 sind dargestellt:

die Eingangsimpulsfolge x, drei Taktsignale t₁, t₂, t₃, die Ausgänge Q1, Q2, Q3, Q4 des ersten und zweiten Registers RG 1 und RG 2.

Für die Eingangsimpulsfolge sind vier Fälle dargestellt:

Impulsfrequenz Null (entspricht Dauersignal)

Impulsfrequenz unendlich (entspricht kein Signal)

Impulsfrequenz 1

Impulsfrequenz 2 (entspricht der halben Impulsfrequenz 1)

Wie aus dem Impulssdiagramm nach Fig. 3 ersichtlich, ist die Eingangsimpulsfolge x mit dem Taktsignal t₁ synchronisiert. Das kann dadurch erreicht werden, daß auf der Sendeseite das Taktsignal t₁ aus der Netzfrequenz abgeleitet wird oder daß auf der Sendeseite durch Taktsynchronisation aus der Eingangsimpulsfolge x das Taktsignal t₁ gewonnen wird.

Da die verwendeten Register RG 1, RG 2 mit der 0/1-Flanke getaktet werden, ist für den Takteingang E des Registers RG 2 die Zuführung eines negierten Taktsignals t₃ erforderlich, damit die Taktung des Registers RG 2 mit der 1/0-Flanke des Taktsignals t₃ erfolgen kann. Das Taktsignal t₃ kann durch doppelte Frequenzteilung aus dem Taktsignal t₁ genommen werden.

Aus dem Impulssdiagramm nach Fig. 3 ist ersichtlich, daß die Eingangsimpulsfolge x zu jedem Zeitpunkt der 0/1-Flanke des Taktsignals t₁ abgetastet und in das Register RG 1, das als Schieberegister wirkt, eingelesen wird. Nach jeder vierten 1/0-Flanke des Taktsignals t₁ erfolgt die Übernahme des Registerinhaltes des Register RG 1 über den Zuordner Z in das Register RG 2, welches als Speicher wirkt.

Aus dem Impulssdiagramm nach Fig. 3 ist ferner ersichtlich, daß die Eingangsimpulsfolge x mit dem Taktsignal t₁ auf die Dezimaläquivalente 5 und 6 des Zuordners Z synchronisiert ist.

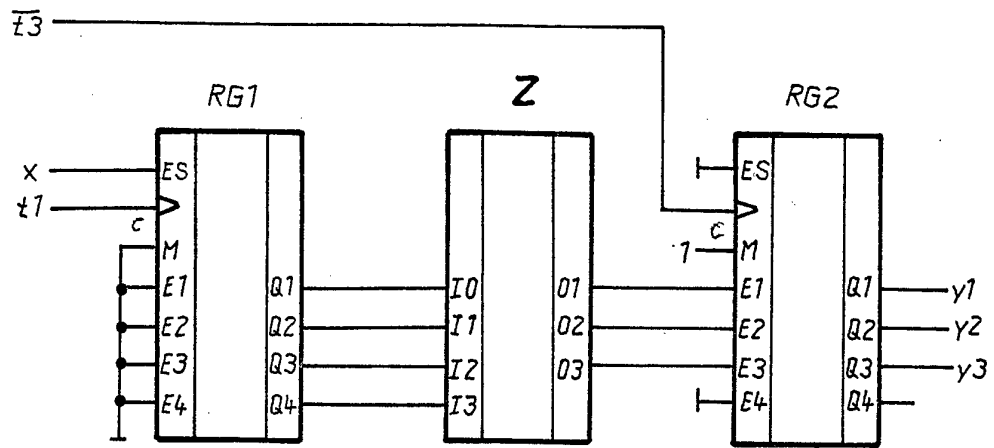


Fig.1

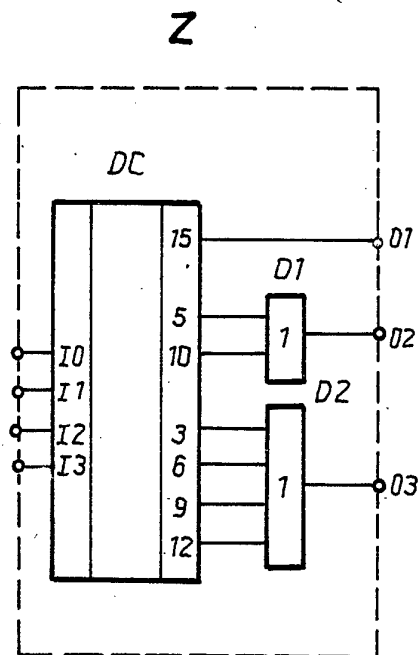


Fig. 2

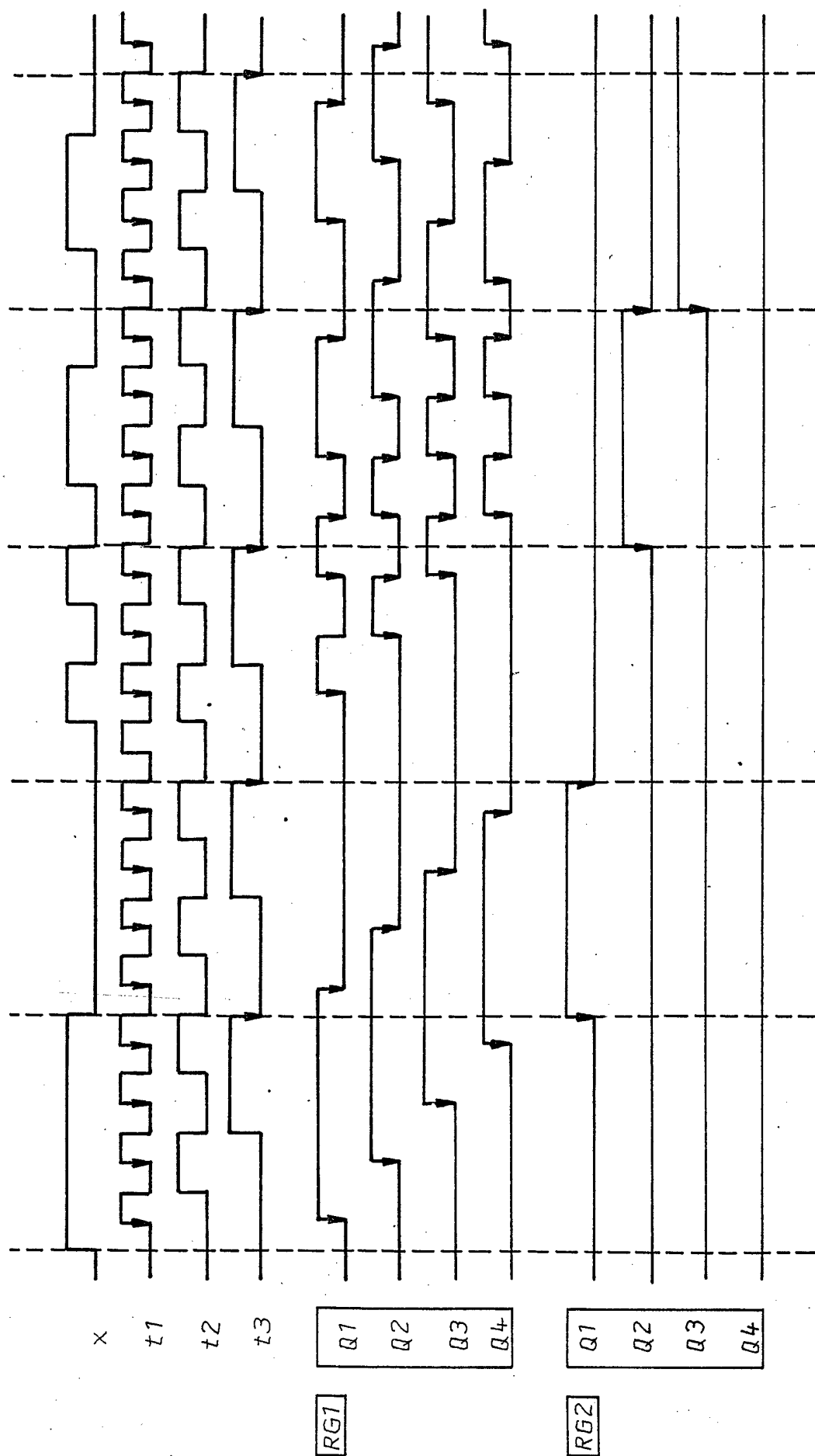


Fig. 3