



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2011년07월26일
(11) 등록번호 10-1051673
(24) 등록일자 2011년07월19일

(51) Int. Cl.
H01L 21/82 (2006.01) H01L 21/8247 (2006.01)
G11C 29/04 (2006.01)
(21) 출원번호 10-2008-0015153
(22) 출원일자 2008년02월20일
심사청구일자 2008년02월20일
(65) 공개번호 10-2009-0089965
(43) 공개일자 2009년08월25일
(56) 선행기술조사문헌
KR1020070010077 A*
JP08213483 A
US20040065941 A1
*는 심사관에 의하여 인용된 문헌

(73) 특허권자
매그나칩 반도체 유한회사
충북 청주시 흥덕구 향정동 1
(72) 발명자
신창희
충북 청주시 흥덕구 향정동 50번지 하이닉스남자
기숙사 B-427호
조기석
대전 서구 탄방동 1195번지 202호
전성도
충북 청주시 흥덕구 가경동 주공2단지 207-1303
(74) 대리인
김종선, 이현수, 김태현, 정홍식

전체 청구항 수 : 총 14 항

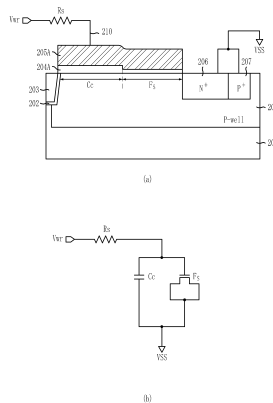
심사관 : 나용수

(54) 안티퓨즈 및 그 형성방법, 이를 구비한 비휘발성 메모리소자의 단위 셀

(57) 요약

본 발명은 MOS 트랜지스터로 이루어진 안티퓨즈의 게이트 절연막을 안정적으로 파괴시켜 읽기 동작시 데이터 감지 여유를 개선시켜 동작 신뢰성을 향상시킬 수 있는 안티퓨즈 및 그 형성방법, 그리고 이를 구비한 비휘발성 메모리 소자의 단위 셀을 제공하기 위한 것으로, 이를 위해 본 발명은 기판 상에 형성된 게이트 절연막과, 몸체부와, 상기 몸체부로부터 신장된 복수 개의 돌출부를 구비하고, 상기 몸체부와 상기 돌출부가 상기 게이트 절연막 상에 접하도록 상기 게이트 절연막 상에 형성된 게이트 전극과, 상기 돌출부의 측벽으로 노출된 상기 기판 내에 형성된 접합영역을 포함하는 안티퓨즈를 제공한다.

대표도 - 도6



특허청구의 범위

청구항 1

삭제

청구항 2

삭제

청구항 3

삭제

청구항 4

삭제

청구항 5

삭제

청구항 6

삭제

청구항 7

삭제

청구항 8

게이트전극, 접합영역 및 게이트절연막을 갖는 MOS트랜지스터; 및
상기 게이트전극과 상기 접합영역 사이에 병렬 접속된 보상캐패시터를 포함하고,
상기 게이트절연막은 쓰기 전압에 의해 파괴되어 상기 MOS트랜지스터가 안티퓨즈로 기능하고,
상기 보상캐패시터는 상기 쓰기 전압에 의해 파괴되지 않고 상기 쓰기전압을 유지하여 상기 게이트절연막을 파괴하는 것을 특징으로 하는
안티퓨즈.

청구항 9

제 8 항에 있어서,
상기 보상캐패시터는,
상기 MOS트랜지스터의 상기 게이트전극과 일체형으로 형성된 캐패시터전극; 및
상기 캐패시터전극 아래에 형성된 캐패시터절연막을 포함하는
안티퓨즈.

청구항 10

제 9 항에 있어서,
상기 캐패시터절연막은 상기 게이트절연막의 두께보다 두꺼운 것을 특징으로 하는
안티퓨즈.

청구항 11

제 8 항에 있어서,
상기 보상 캐패시터는,
상기 MOS트랜지스터의 상기 게이트 전극과 접하는 캐패시터전극;
상기 캐패시터전극 아래에 형성된 캐패시터절연막을 포함하는
안티퓨즈.

청구항 12

제 11 항에 있어서,
상기 캐패시터절연막은 상기 게이트절연막의 두께보다 두꺼운 것을 특징으로 하는
안티퓨즈.

청구항 13

제 11 항에 있어서,
상기 캐패시터전극은 상기 게이트전극을 형성하기 위해 사용된 물질과 동일 물질 또는 다른 물질로 형성된
안티퓨즈.

청구항 14

제 11 항에 있어서,
상기 게이트전극 및 상기 캐패시터전극은 금속물질 또는 다결정실리콘막으로 형성된
안티퓨즈.

청구항 15

제 10 항 또는 제 12 항에 있어서,
상기 게이트절연막 및 상기 캐패시터절연막은 산화막, 질화막, 산화질화막, 금속산화막 또는 이들이 적층된 막
으로 이루어진 그룹 중 선택된 어느 하나를 포함하는
안티퓨즈.

청구항 16

제 8 항 내지 제 14 항 중 어느 한 항의 안티퓨즈를 구비하는 비휘발성 메모리 소자의 단위 셀.

청구항 17

삭제

청구항 18

삭제

청구항 19

삭제

청구항 20

삭제

청구항 21

삭제

청구항 22

삭제

청구항 23

삭제

청구항 24

삭제

청구항 25

삭제

청구항 26

게이트전극, 게이트절연막, 및 접합영역을 갖는 MOS트랜지스터; 및
상기 MOS트랜지스터의 상기 게이트전극과 상기 접합영역 사이에 병렬 연결된 보상캐패시터를 포함하고,
상기 게이트절연막은 균일한 두께를 갖으며,
상기 보상캐패시터는 상기 게이트절연막의 두께보다 두꺼운 두께의 캐패시터절연막을 갖는
안티퓨즈.

청구항 27

제26항에 있어서,
상기 보상캐패시터는,
상기 MOS트랜지스터의 상기 게이트전극과 일체형으로 형성되고 상기 캐패시터절연막에 근접하여 형성된 캐패시터전극을 포함하는
안티퓨즈.

청구항 28

제26항에 있어서,
상기 보상캐패시터는,
상기 MOS트랜지스터의 상기 게이트전극과 접속되고 상기 캐패시터절연막에 근접하여 형성된 캐패시터전극을 포함하는
안티퓨즈.

청구항 29

삭제

청구항 30

제 27 항 또는 제 28 항에 있어서,
상기 게이트전극 및 상기 캐패시터전극은 금속물질 또는 다결정실리콘막으로 형성된
안티퓨즈.

청구항 31

제 26 항에 있어서,

상기 게이트절연막 및 상기 캐패시터절연막은 산화막, 질화막, 산화질화막, 금속산화막 또는 이들이 적층된 막으로 이루어진 그룹 중 선택된 어느 하나를 포함하는

안티퓨즈.

명세서

발명의 상세한 설명

기술분야

[0001] 본 발명은 반도체 제조 기술에 관한 것으로, 특히 비휘발성 메모리 소자의 단위 셀(unit cell), 더욱 상세하게는 원-타임 프로그래머블(One Time Programmable, 이하, OTP라 함) 단위 셀의 안티퓨즈 및 그 형성방법에 관한 것이다.

배경기술

[0002] OTP 단위 셀은 DRAM, EEPROM, FLASH와 같은 휘발성 또는 비휘발성 메모리 소자 내에 형성되어 메모리 리페어(repair) 용도로 사용되고 있다. 또한, 아날로그 칩(analog chip)과 디지털 칩(digital chip)이 혼합된 혼합 신호 칩(mixed-signal chip)에서는 내부 동작 전압과 주파수 트리밍(trimming)을 목적으로 사용되고 있다.

[0003] 일반적으로, OTP 단위 셀은 MOSFET(Metal-Oxide-Semiconductor Field Effect Transistor)(이하, MOS 트랜지스터라 함)으로 이루어진 안티퓨즈와, 하나 또는 복수 개의 MOS 트랜지스터를 포함한다. 이러한 OTP 단위 셀은 각 메모리 칩 내에서 단일(single) 또는 어레이(array) 형태로 형성되어 리페어 또는 트리밍에 사용되고 있다.

[0004] 도 1은 종래기술에 따른 OTP 단위 셀의 안티퓨즈를 설명하기 위해 도시한 단면도이다. 여기서는 설명의 편의를 위해 OTP 단위 셀의 안티퓨즈를 중심으로 일부만 도시하였으며, 기타 OTP 단위 셀을 구성하는 다른 트랜지스터들은 도시하지 않았다.

[0005] 도 1을 참조하면, 종래기술에 따른 OTP 단위 셀의 안티퓨즈는 기판(100) 상에 형성된 게이트 전극(105)과, 게이트 전극(105)의 측벽으로 노출된 기판(100) 내에 형성된 접합영역(소스 및 드레인 영역)(106)을 포함한다. 또한, 게이트 전극(105)과 기판(100) 사이에 비교적 얇은 두께로 형성된 게이트 절연막(104)을 더 포함한다.

[0006] 이러한 구조를 갖는 종래기술에 따른 OTP 단위 셀의 쓰기 동작에 대해 설명하기로 한다.

[0007] 먼저, 접합영역(106)과 픽-업(pick up) 영역(107)(웰(101)에 바이어를 인가하기 위한 영역)은 상호 접속되어 접지전압단(VSS)과 접속된다. 그리고, 금속배선(108)을 통해 게이트 전극(105)으로는 쓰기 전압(Vwr)이 인가된다. 이에 따라, 게이트 전극(105)과 기판(100) 간에는 고전계가 형성되어 게이트 절연막(104)이 파괴(breakdown)된다. 따라서, 게이트 전극(105)과 기판(100)은 전기적으로 단락된다.

[0008] 그러나, 도 1에 도시된 종래기술에 따른 OTP 단위 셀의 안티퓨즈에서는 게이트 절연막(104)이 인가되는 쓰기 전압에 의해 안정적으로 파괴되지 않는 문제가 발생된다.

[0009] 쓰기 동작시 금속배선(105)을 통해 게이트 전극(105)으로 전달되는 쓰기 전압(Vwr)은 금속배선(105)에 기인한 면저항(Rs)에 의해 전압 강하된 상태로 게이트 전극(105)으로 인가된다. 이에 따라, 게이트 절연막(104)은 게이트 전극(105)과 기판(100) 간의 전계가 전압 강하된 크기만큼 감소하게 되어 안정적으로 파괴되지 않는다.

[0010] 또한, 쓰기 초기 동작시, 게이트 절연막(104)이 일부 파괴(목표치 크기로 파괴되지 않은 상태)되어 게이트 전극(105)과 기판(100) 사이가 일부 단락되는 경우에는 웰(101)과 채널 스탑 영역(102) 간에 누설전류(leakage current)로 인해 지속적으로 게이트 전극(105)과 기판(100) 간의 고전계가 형성되지 않는 문제가 발생된다.

[0011] 예컨대, 도 1에 도시된 바와 같이 웰(101)이 P-웰인 경우 채널 스탑 영역(102)은 N형으로 도핑되어 웰(101)과 채널 스탑 영역(102) 간에는 순방향 다이오드가 형성된다. 이에 따라, 게이트 절연막(104)이 일부 파괴되어 게이트 전극(105)과 웰(101)이 일부 단락되는 경우에는 순방향 다이오드가 동작되어 누설전류가 발생된다.

[0012] 이와 같이, 웰(101)과 채널 스탑 영역(102) 간의 누설전류가 발생하는 경우 게이트 절연막(104)을 목표치 크기로 안정적으로 파괴시킬 수 없기 때문에 읽기 동작시 데이터의 감지 여유(sensing margin)가 그만큼 저하되어 소자의 오동작이 발생된다. 이러한 오동작은 OTP 단위 셀의 읽기 동작 신뢰성을 저하시키는 요인으로 작용하고

있다.

[0013]

발명의 내용

해결 하고자하는 과제

[0014]

따라서, 본 발명은 종래기술에 따른 문제점을 해결하기 위해 제안된 것으로서, MOS 트랜지스터로 이루어진 안티퓨즈의 게이트 절연막을 안정적으로 파괴시켜 읽기 동작시 데이터 감지 여유를 개선시켜 동작 신뢰성을 향상시킬 수 있는 안티퓨즈 및 그 형성방법, 그리고 이를 구비한 비휘발성 메모리 소자의 단위 셀을 제공하는데 그 목적이 있다.

과제 해결수단

[0015]

상기한 목적을 달성하기 위한 일 측면에 따른 본 발명은, 게이트전극, 접합영역 및 게이트절연막을 갖는 MOS트랜지스터; 및

상기 MOS트랜지스터의 게이트전극과 접합영역 사이에 병렬 연결된 보상캐패시터를 포함하고,

상기 게이트절연막은 상기 게이트전극과 상기 접합영역 사이에 쓰기 전압이 공급될 때 절연파괴되어 상기 MOS트랜지스터가 영구 도전체가 되도록 하는 구조와 배열을 갖으며,

상기 보상캐패시터는 상기 쓰기전압에 대응하여 블랙다운되지 않는 구조와 배열을 갖으며,

상기 보상캐패시터는 상기 게이트전극과 상기 접합영역 사이에 상기 쓰기전압이 공급될때 상기 게이트절연막의 절연파괴를 위한 레벨로 상기 쓰기전압을 유지하도록 하는 구조와 배열을 갖는 안티퓨즈를 제공한다.

[0016]

삭제

[0017]

또한, 상기한 목적을 달성하기 위한 다른 측면에 따른 본 발명은, 상기 안티퓨즈를 포함하는 비휘발성 메모리 소자의 단위 셀을 제공한다.

[0018]

또한, 상기한 목적을 달성하기 위한 또 다른 측면에 따른 본 발명은, 게이트전극, 게이트절연막, 및 접합영역을 갖는 MOS트랜지스터; 및

상기 MOS트랜지스터의 상기 게이트전극과 상기 접합영역 사이에 병렬 연결된 보상캐패시터를 포함하고,

상기 게이트절연막은 균일한 두께를 갖으며,

상기 보상캐패시터는 상기 게이트절연막의 두께보다 두꺼운 두께의 캐패시터절연막을 갖는

안티퓨즈를 제공한다.

효과

[0019]

상기한 구성을 포함하는 본 발명에 의하면, 다음과 같은 효과들을 얻을 수 있다.

[0020]

첫째, 본 발명에 의하면, 몸체부와 복수 개의 돌출부를 갖는 게이트 전극을 형성하여 복수 개의 돌출부 중 어느 하나의 돌출부와 중첩되는 절연막이 파괴(OR 게이트 특성)되는 경우 쓰기 동작이 완료되도록 함으로써 쓰기 동작 특성을 개선시킬 수 있다.

[0021]

둘째, 본 발명에 의하면, 게이트 전극과 중첩되는 영역에 따라 서로 다른 두께를 갖도록 게이트 절연막을 형성하여 게이트 전극과 기판 사이에 퓨즈로 기능하는 캐패시터와 보상 캐패시터를 형성함으로써 쓰기 동작시 보상 캐패시터를 통해 보상 전압(쓰기 전압의 손실 전압)을 제공하여 안정적으로 쓰기 동작을 구현할 수 있다.

발명의 실시를 위한 구체적인 내용

[0022]

이하에서는, 본 발명의 가장 바람직한 실시예를 첨부한 도면을 참조하여 설명한다. 또한, 도면들에 있어서, 층 및 영역들의 두께와 간격은 설명의 편의와 명확성을 기하기 위하여 과장되어진 것이며, 층이 다른 층 또는 기판 '상' 또는 '상부'에 있다고 언급되어지는 경우에 그것은 다른 층 또는 기판 상에 직접 형성될 수 있거나, 또는

그들 사이에 제3의 층이 개재될 수도 있다. 또한, 명세서 전체에 걸쳐서 동일한 도면번호로 표시된 부분은 동일한 층을 나타내며, 각 도면번호에 영문을 포함하는 경우 동일층이 식각 또는 연마공정을 통해 일부가 변형된 것을 의미한다.

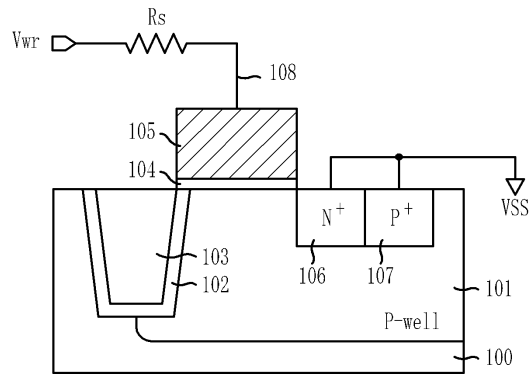
- [0023] 실시예
- [0024] 도 2는 본 발명의 실시예에 따른 비휘발성 메모리 소자의 단위 셀의 안티퓨즈를 구체적으로 설명하기 위해 도시한 평면도이다. 또한, 도 3은 도 2에 도시된 I-I' 절취선을 따라 도시한 단면도이고, 도 4는 도 2에 도시된 II-II' 절취선을 따라 도시한 단면도이며, 도 5는 도 2에 도시된 III-III' 절취선을 따라 도시한 단면도이다.
- [0025] 도 2 내지 도 5를 참조하면, 본 발명의 실시예에 따른 비휘발성 메모리 소자의 단위 셀의 안티퓨즈는 몸체부(208)와, 몸체부(208)로부터 신장된 복수 개의 돌출부(209)를 구비한 게이트 전극(205A)을 포함한다. 또한, 게이트 전극(205A)과 기판(200) 사이에 형성된 게이트 절연막(204A)을 더 포함한다. 또한, 돌출부(209)의 측벽으로 노출된 기판(200) 내에 형성된 접합영역(206)(소스 및 드레인 영역)을 더 포함한다.
- [0026] 게이트 전극(205A)의 몸체부(208)와 돌출부(209)는 게이트 절연막(204A)과 접하도록 게이트 절연막(204A) 상에 형성된다. 돌출부(209)는 몸체부(208)의 각 면(4면)에 각각 하나 또는 복수 개가 형성될 수도 있으나, 공정 단순화 측면에서는 일면으로부터 서로 나란한 방향으로 신장되도록 형성되는 것이 바람직하다. 여기서, '신장'이라 함은 돌출부(209)가 몸체부(208)의 일부로서, 일체형으로 형성된 구조와 몸체부(208)와는 다른 물질로 이루어지되, 전기적으로 접속된 구조를 모두 포함한다. 또한, 몸체부(208)와 돌출부(209)는 기판(200)의 활성영역과 중첩되도록 형성된다. 또한, 돌출부(209)의 개수, 폭(단축방향), 길이(장축방향)는 제한을 두지 않으며, 설정된 쓰기 전압의 크기와 게이트 절연막(204A)의 두께에 따라 적절히 선택될 수 있다.
- [0027] 게이트 절연막(204A)은 몸체부(208)와 중첩되는 영역에 형성된 제1 절연막(즉 보상캐패시터의 캐패시터절연막)과 돌출부(209)와 중첩되는 영역에 형성된 제2 절연막(즉, 퓨즈를 구성하는 MOS트랜지스터의 게이트절연막)을 포함한다. 제1 절연막과 제2 절연막은 서로 단차를 갖고 형성된다. 바람직하게, 제1 절연막은 제2 절연막보다 두꺼운 두께로 형성된다. 이때, 제2 절연막은 제1 절연막 두께의 1/3~1/2 범위 내에서 쓰기 전압의 크기에 따라 적절히 선택될 수 있다. 또한, 제1 절연막과 제2 절연막은 서로 동일 물질로 일체형으로 형성되거나, 서로 다른 물질로 형성될 수도 있다.
- [0028] 접합영역(206)은 저농도 이온주입영역과 고농도 이온주입영역을 포함한다. 고농도 이온주입영역은 저농도 이온주입영역 내에 형성된다. 고농도 이온주입영역은 접합영역(206)과 콘택 플러그(미도시) 간에 옴릭 콘택(ohmic contact)을 형성한다.
- [0029] 이하, 도 6 및 도 7을 결부시켜 본 발명의 실시예에 따른 비휘발성 메모리 소자의 단위 셀의 쓰기 동작시 안티퓨즈의 동작 특성에 대해 설명하기로 한다. 도 6은 도 2에 도시된 I-I' 절취선을 따라 도시한 단면도이고, 도 7은 등가 회로도이다. 여기서는 안티퓨즈가 n-채널을 갖는 MOS 트랜지스터로 이루어진 것을 예로 들어 설명한다.
- [0030] 도 6 및 도 7을 참조하면, 안티퓨즈 내에는 2개의 캐패시터가 존재하게 된다. 하나는 쓰기 전압(Vwr)에 의해 파괴되어 퓨즈(Fs)로 기능하고, 다른 하나는 쓰기 전압(Vwr)에 의해 파괴되지 않고 전하를 축적하는 보상 캐패시터(Cc)로 기능한다.
- [0031] 접합영역(206)과 픽-업 영역(207)은 서로 접속되어 접지전압단(VSS)과 접속된다. 게이트 전극(205A)으로는 쓰기 전압(Vwr)이 인가되어 단위 셀의 쓰기 동작이 수행된다. 쓰기 초기 동작시 쓰기 전압(Vwr)은 보상 캐패시터(Cc)에 축적된다. 보상 캐패시터(Cc)는 퓨즈(Fs)의 절연막, 즉 제2 절연막이 파괴될 때, 칩 내 금속배선(210)의 면저항(Rs)에 기인하여 전압 강하된 쓰기 전압(Vwr)을 보상한다. 즉, 보상 캐패시터(Cc)에 축적된 전하를 이용하여 전압 펌핑(voltage pumping) 효과를 얻을 수 있다.
- [0032] 이러한 보상 캐패시터(Cc)의 전압 펌핑 효과를 이용하여 퓨즈(Fs)의 제2 절연막에 지속적으로 쓰기 전압(Vwr)에 상응하거나 더 높은 고전압을 인가할 수 있다. 이러한 고전압은 게이트 전극(205A), 즉 돌출부(209, 도 2참조)와 기판(200) 간에 고전계의 형성을 지속적으로 유지시켜 안정적으로 제2 절연막을 파괴시킬 수 있다.
- [0033] 이하, 본 발명의 실시예에 따른 비휘발성 메모리 소자의 단위 셀의 안티퓨즈 형성방법을 설명하기로 한다.
- [0034] 도 7a 내지 도 7f는 도 2에 도시된 II-II' 절취선을 따라 도시한 공정 단면도이다.
- [0035] 먼저, 도 7a에 도시된 바와 같이, 기판(200) 내에 웰(201)을 형성한다. 이때, 기판(200)은 반도체 기판으로서,

벌크(bulk) 기판 또는 SOI(Silicon On Insulator) 기판일 수 있다. 또한, 기판(200)의 반도체 층은 Si, Ge, SiGe, GaP, GaAs, SiC, SiGeC, InAs 또는 InP로 이루어진 그룹 중에서 선택된 어느 하나로 형성할 수 있다.

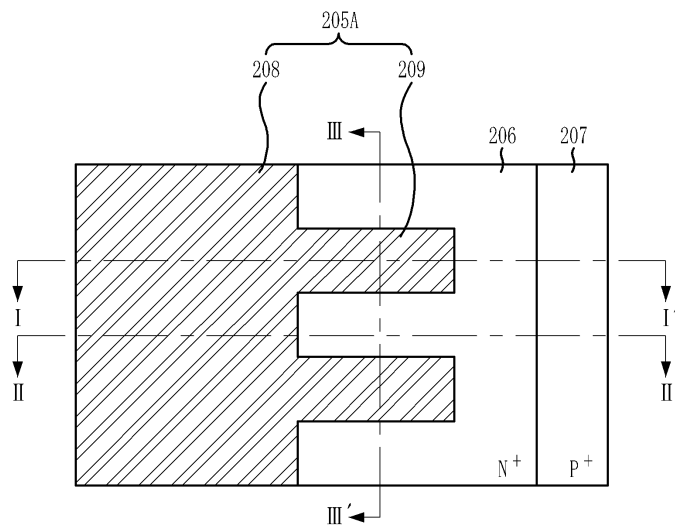
- [0036] 이어서, 기판(200) 내에 국부적으로 트렌치(trench, 미도시)를 형성한 후 이온주입공정을 실시하여 트렌치 내부면에 채널 스탑 영역(channel stop region, 202)을 형성한다. 이때, 채널 스탑 영역(202)은 웰(201)과 서로 다른 도전형(P형 또는 N형)을 갖도록 형성한다. 예컨대, 웰(201)이 P형으로 형성된 경우 N형으로 형성한다.
- [0037] 이어서, 트렌치가 매립되도록 절연막을 형성하여 소자 분리막(203)을 형성한다. 이로써, 기판(200)은 활성영역과 비활성영역(필드영역)이 정의된다. 이때, 소자 분리막(203)은 CVD(Chemical Vapor Deposition) 방식을 이용하여 매립 특성이 우수한 HDP(High Density Plasma)-USG(Un-doped Silicate Glass)막으로 형성할 수 있다.
- [0038] 이어서, 도 7b에 도시된 바와 같이, 기판(200) 상에 서로 다른 두께를 갖는 게이트 절연막(204)을 형성한다. 이때, 게이트 절연막(204)은 막질 특성이 우수한 산화공정으로 형성할 수 있다. 예컨대, 산화공정은 건식산화, 습식산화 또는 라디칼 이온(radical ion)을 이용한 산화공정 중 선택된 어느 하나의 공정으로 실시한다.
- [0039] 구체적으로, 게이트 절연막(204)은 다음과 같은 3가지 방법으로 형성할 수 있다.
- [0040] 첫째, 기판(200) 상에 제1 절연막을 형성한다. 이어서, 게이트 전극(205A, 도 2참조)의 돌출부(209)와 중첩되는 영역이 노출되는 감광막 패턴(미도시)을 형성한 후 상기 감광막 패턴을 식각 마스크로 노출되는 제1 절연막을 선택적으로 식각하여 제거한다. 이어서, 제1 절연막이 제거된 부위에 제1 절연막보다 얇은 두께를 갖는 제2 절연막을 형성한다. 여기서, 제1 및 제2 절연막은 산화공정으로 형성할 수 있다.
- [0041] 둘째, 기판(200) 상에 제1 절연막을 형성한다. 이어서, 게이트 전극(205A, 도 2참조)의 몸체부(208)와 중첩되는 영역이 노출되는 감광막 패턴(미도시)을 형성한 후 상기 감광막 패턴을 식각 마스크로 노출되는 제1 절연막을 선택적으로 식각하여 제거한다. 이어서, 제1 절연막이 제거된 부위에 제1 절연막보다 두꺼운 두께를 갖는 제2 절연막을 형성한다. 여기서, 제1 및 제2 절연막은 산화공정으로 형성할 수 있다.
- [0042] 셋째, 기판(200) 상에 제1 절연막을 형성한다. 이어서, 게이트 전극(205A, 도 2참조)의 몸체부(208)와 중첩되는 영역이 노출되는 감광막 패턴(미도시)을 형성한다. 이어서, 상기 감광막 패턴이 돌출부(209)와 중첩되는 영역을 덮고 있는 상태에서 제1 절연막과 상기 감광막 패턴 상부에 제2 절연막을 형성한다. 이어서, 상기 감광막 패턴을 제거하여 상기 감광막 패턴 상부에 형성된 제2 절연막을 선택적으로 제거한다(리프트 오프(lift-off) 방식). 이로써, 몸체부(208)와 중첩되는 영역에서는 제1 및 제2 절연막이 적층된 적층막이 형성되고, 돌출부(209)와 중첩되는 영역에서는 제1 절연막만이 형성된다. 이때, 제1 및 제2 절연막은 동일한 두께로 형성할 수 있다.
- [0043] 이어서, 도 7c에 도시된 바와 같이, 게이트 절연막(204) 상에 게이트 전극용 도전막(205)을 형성한다. 이때, 도전막(205)은 전이금속, 반도체 물질, 전이금속과 결합된 화합물 또는 전이금속 산화물들 중 선택된 어느 하나의 물질로 이루어질 수 있다. 더욱 상세하게, 전이금속으로는 Sc, Ti, V, Cr, Mn, Fe, Co, Ni, Cu, Zn, Y, Zr, Nb, Mo, Tc, Ru, Rh, Pd, Ag, Cd, La, Hf, Ta, W, Re, Os, Ir, Pt, Au 또는 Hg 중 선택된 어느 하나를 사용한다. 반도체 물질로는 결정 구조를 갖는 반도체 물질을 사용하며, 구체적으로 Si, Ge, Sn, Se, Te, B, C(다이아몬드 포함), P, B-C, B-P(BP₆), B-Si, Si-C, Si-Ge, Si-Sn 및 Ge-Sn, SiC, BN/BP/BAs, AlN/AIP/AIAs/AISb, GaN/GaP/GaAs/GaSb, InN/InP/InAs/InSb, BN/BP/BAs, AlN/AIP/AIAs/AISb, GaN/GaP/GaAs/GaSb, InN/InP/InAs/InSb, ZnO/ZnS/ZnSe/ZnTe, CdS/CdSe/CdTe, HgS/HgSe/HgTe, BeS/BeSe/BeTe/MgS/MgSe, GeS, GeSe, GeTe, SnS, SnSe, SnTe, PbO, PbS, PbSe, PbTe, CuF, CuCl, CuBr, CuI, AgF, AgCl, AgBr, AgI, BeSiN₂, CaCN₂, ZnGeP₂, CdSnAs₂, ZnSnSb₂, CuGeP₃, CuSi₂P₃, (Cu, Ag)(Al, Ga, In, Ti, Fe)(S, Se, Te)₂, Si₃N₄, Ge₃N₄, Al₂O₃, (Al, Ga, In)₂(S, Se, Te)₃, Al₂CO 또는 이들 중 2개 이상의 이러한 반도체 재료의 적절한 조합에서 선택된 어느 하나를 사용한다. 전이금속과 결합된 화합물로는 Ni가 결합된 화합물(예컨대, LaNi₅, MnNi₃, Mg₂Ni), Ti가 결합된 화합물(예컨대, TiMn₂, TiV₂, TiFe, TiCo, TiVCr, TiVMn), Cu가 결합된 화합물(예컨대, Mg₂Cu), Zr이 결합된 화합물(예컨대, ZrMn₂, ZrV₂), Li가 결합된 화합물(예컨대, LiAl) 등과 같이 전이금속이 기타 물질 또는 전이금속과 결합하여 안정을 이루는 형태로 존재하는 화합물들 중 선택된 어느 하나를 사용한다. 전이금속 산화물로는 산화 바나듐, 예컨대 VO₂, V₂O₃, V₂O₅와 같은 조성비를 갖는 물질 중 하나를 사용한다.
- [0044] 이어서, 도 7d에 도시된 바와 같이, 도전막(205, 도 7c참조)을 식각하여 도 2에 도시된 패턴, 즉 몸체부(208)와 복수 개의 돌출부(209)를 갖는 게이트 전극(205A)을 형성한다. 이때, 식각공정은 건식식각 또는 습식식각공정 모두 적용할 수 있다.

도면

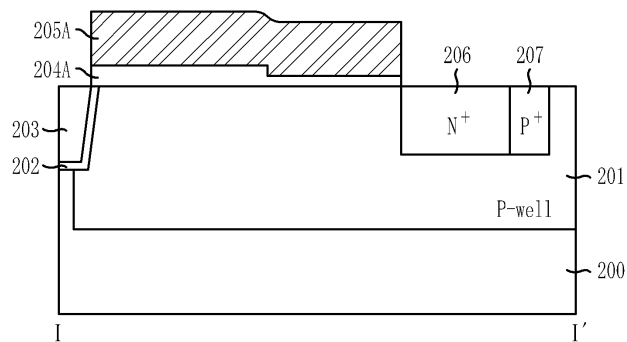
도면1



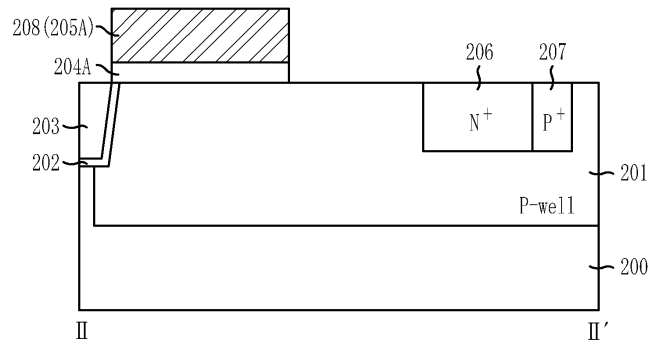
도면2



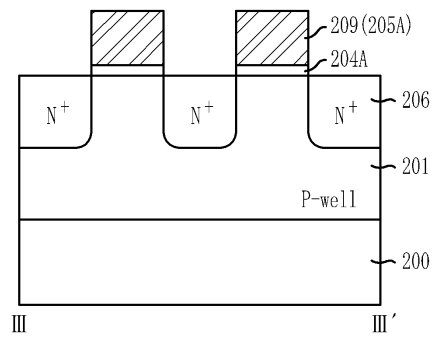
도면3



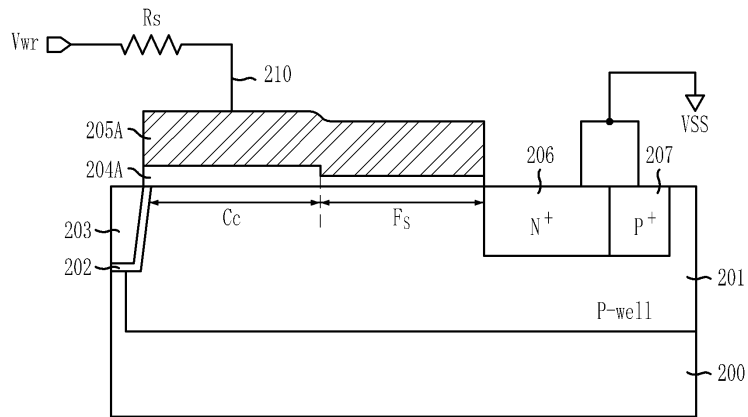
도면4



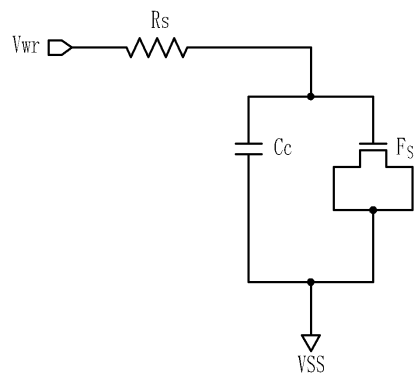
도면5



도면6

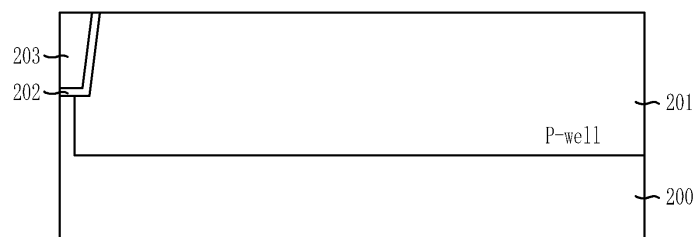


(a)

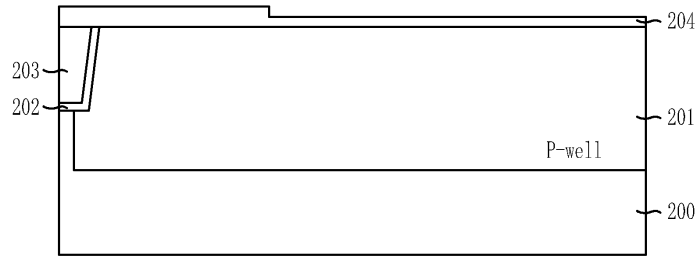


(b)

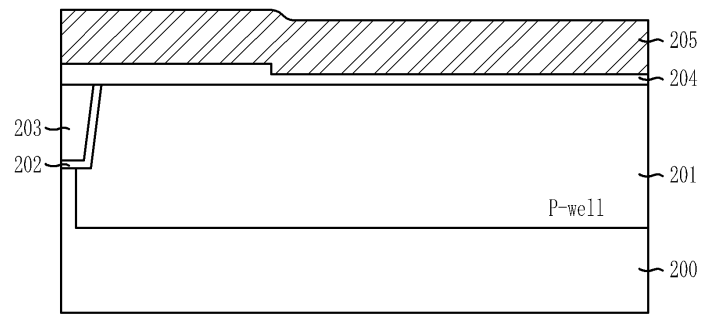
도면7a



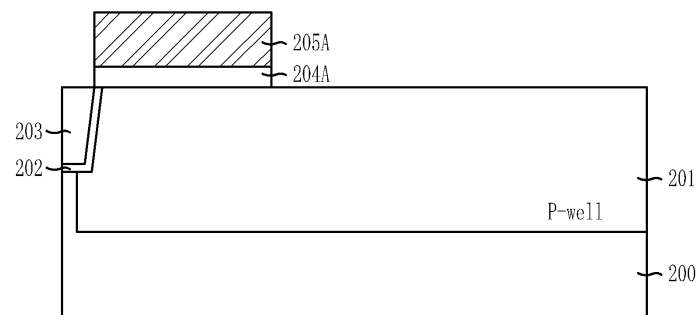
도면7b



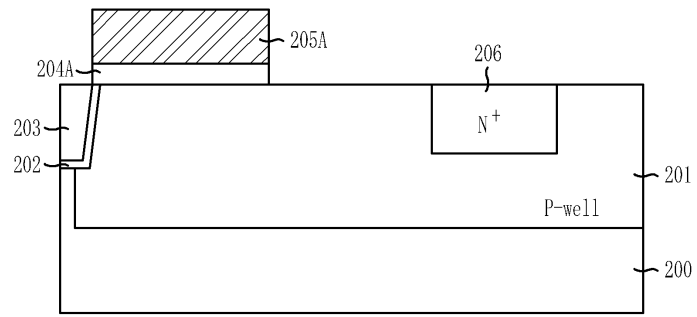
도면7c



도면7d



도면7e



도면7f

