

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2012-204840

(P2012-204840A)

(43) 公開日 平成24年10月22日(2012.10.22)

(51) Int.Cl.  
H01L 21/66 (2006.01)

F I  
H01L 21/66

テーマコード(参考)  
4M106

審査請求 未請求 請求項の数 6 O L (全 14 頁)

(21) 出願番号 特願2012-68389(P2012-68389)  
(22) 出願日 平成24年3月23日(2012.3.23)  
(31) 優先権主張番号 13/070,704  
(32) 優先日 平成23年3月24日(2011.3.24)  
(33) 優先権主張国 米国(US)

(71) 出願人 000003078  
株式会社東芝  
東京都港区芝浦一丁目1番1号  
(74) 代理人 100108855  
弁理士 蔵田 昌俊  
(74) 代理人 100159651  
弁理士 高倉 成男  
(74) 代理人 100091351  
弁理士 河野 哲  
(74) 代理人 100088683  
弁理士 中村 誠  
(74) 代理人 100109830  
弁理士 福原 淑弘  
(74) 代理人 100075672  
弁理士 峰 隆司

最終頁に続く

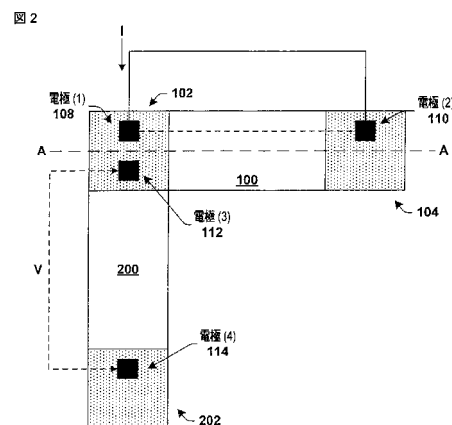
(54) 【発明の名称】 界面接触抵抗の測定方法、界面接触抵抗の測定のための半導体デバイス、及びその製造方法

(57) 【要約】

【課題】 コンタクト抵抗を精度よく測定することが可能な測定方法を提供する。

【解決手段】 実施形態に係るテストデバイスは、コンタクト抵抗を測定するためのテストデバイスであって、拡散層上に形成され、互いに分離された第1のシリサイド層102、第2のシリサイド層104及び第3のシリサイド層202と、第1のシリサイド層に接続された第1の電極108と、第2のシリサイド層に接続された第2の電極110と、第1のシリサイド層に接続された第3の電極112と、第3のシリサイド層に接続された第4の電極114とを備え、第1の電極及び第2の電極によって第1のシリサイド層から第2のシリサイド層に定電流が流され、第3の電極及び第4の電極によって第1のシリサイド層と拡散層との間で電位差が測定される。

【選択図】 図2



**【特許請求の範囲】****【請求項 1】**

コンタクト抵抗を測定するためのテストデバイスであって、  
拡散層上に形成され、互いに分離された第 1 のシリサイド層、第 2 のシリサイド層及び  
第 3 のシリサイド層と、

前記第 1 のシリサイド層に接続された第 1 の電極と、  
前記第 2 のシリサイド層に接続された第 2 の電極と、  
前記第 1 のシリサイド層に接続された第 3 の電極と、  
前記第 3 のシリサイド層に接続された第 4 の電極と、  
を備え、

10

前記第 1 の電極及び前記第 2 の電極によって前記第 1 のシリサイド層から前記第 2 のシリサイド層に定電流が流され、前記第 3 の電極及び前記第 4 の電極によって前記第 1 のシリサイド層と前記拡散層との間で電位差が測定される

ことを特徴とするテストデバイス。

**【請求項 2】**

前記第 1 の電極及び前記第 3 の電極は、前記第 1 のシリサイド層に接続された別個の分離された電極である

ことを特徴とする請求項 1 に記載のテストデバイス。

**【請求項 3】**

前記第 1 の電極は、金属配線によって互いに結合されたコンタクト領域のセットを備え、前記コンタクト領域のセットは、前記第 1 のシリサイド層に物理的にコンタクトしている

20

ことを特徴とする請求項 1 に記載のテストデバイス。

**【請求項 4】**

前記第 1 の電極の前記コンタクト領域のセット内のコンタクト領域は、前記第 1 のシリサイド層と前記第 1 のシリサイド層を前記第 2 のシリサイド層から分離する第 1 のシリサイドブロック層との界面から距離を隔てて位置しており、

前記距離は、前記第 1 のシリサイド層に関連付けられた転送長よりも短い

ことを特徴とする請求項 3 に記載のテストデバイス。

**【請求項 5】**

30

シリサイド層と半導体基板との間のコンタクト抵抗を測定する方法であって、

第 1 のシリサイド層を通り、前記半導体基板の第 1 の拡散層を横切り、第 2 のシリサイド層を通る定電流を流すことであって、前記定電流を流すことは、前記第 1 のシリサイド層上の第 1 の電極及び前記第 2 のシリサイド層上の第 2 の電極によって容易にされることと、

前記第 1 のシリサイド層と第 2 の拡散層によって分離される第 3 のシリサイド層との間の電圧を測定することによって前記第 1 のシリサイド層と前記拡散層との間の電位降下を測定することであって、前記電位降下を測定することは、前記第 1 のシリサイド層上の第 3 の電極及び前記第 3 のシリサイド層上の第 4 の電極によって実行されることと、

前記定電流及び前記測定された電位降下に少なくとも部分的に基づいて、前記第 1 のシリサイド層と前記拡散層との間の界面接触抵抗を決定することと、

40

を備えたことを特徴とする方法。

**【請求項 6】**

シリサイドと半導体との間のコンタクト抵抗を測定するためのテストデバイスの製造方法であって、

半導体基板の拡散層上に絶縁層を堆積することと、

前記絶縁層の一部を前記拡散層までエッチングして開口部のセットを形成することと、

金属層を前記開口部のセット内に堆積することであって、前記金属層が前記拡散層の半導体材料と反応して、前記開口部のセット内に位置するシリサイド層のセットを形成することと、

50

前記金属層の余分な金属を除去することと、  
 前記シリサイド層のセット上に電極のセットを形成することと、  
 前記電極のセットに含まれる電極の第1のペアを電流源に結合させ、前記電極のセットに含まれる電極の第2のペアを電圧計に結合させることであって、前記電極の第1のペアと前記電極の第2のペアとは未接続のペアであることと、  
 を備えたことを特徴とする方法。

【発明の詳細な説明】

【技術分野】

【0001】

ここで説明される実施形態は、一般に、シリサイド層と半導体基板との界面の接触抵抗（界面接触抵抗）（specific contact resistivity）の測定方法、界面接触抵抗の測定のための半導体デバイス、及びその製造方法に関する。

10

【背景技術】

【0002】

シリコン大規模集積回路は、他のデバイス技術同様、将来の最先端情報化社会を支えるために、用途が増加している。集積回路は、トランジスタ等の複数の半導体デバイスによって構成されており、種々の技術によって生産されている。半導体デバイスの集積化及び演算速度を高速化するため、半導体デバイスのスケール（例えば、半導体デバイスのサイズ及び形体の縮小）が続けられている。半導体デバイスの最小加工寸法を縮小することは、集積回路の演算速度、性能、密度、コスト等を改善させる。しかしながら、半導体

20

【0003】

例えば、シリコンに対するオーミック及び整流のためのコンタクトを形成するために、シリサイドが導入されている。従来の相補的金属酸化シリコン（CMOS）デバイスにおいて、MOS電界効果トランジスタ（MOSFET）のゲート、ソース及び/又はドレイン領域に対し、シリサイドはシート抵抗及び接触抵抗を減少させる。デバイススケールが縮小されるにしたがって、シリサイド-半導体界面接触抵抗は、抵抗全体に対して重要な役割を果たしてきている。したがって、シリサイド-半導体コンタクト抵抗の正確な測定は、信頼性の高い高速なデバイスの製造に欠かせない。

30

【0004】

一般的に用いられているテスト構造及び界面接触抵抗測定の方法は、クロスブリッジケルビン抵抗（cross-bridge Kelvin resistance）（CBKR）と呼ばれる4端子ケルビンテスト構造である。原理的に、CBKRテスト構造は、下地の半導体或いは電極等のコンタクト用金属の抵抗の影響なしに、界面接触抵抗（specific contact resistance or contact resistivity）を測定及び抽出することを可能にする。しかしながら、CBKRテスト構造は、寄生電流からの影響に対して敏感であり、それによって測定精度が低下し、特に界面接触抵抗が $1 \times 10^{-6} \cdot \text{cm}^2$ よりも低い場合に測定精度が低下する。それ故、CBKR法には測定下限の最小コンタクト抵抗が存在する。したがって、コンタクト抵抗を精度よく測定できることが望まれており、将来の世代の半導体デバイス技術において要求されている例えば $1 \times 10^{-9} \cdot \text{cm}^2$ 前後のコンタクト抵抗を精度よく測定できることが望まれている。

40

【発明の概要】

【発明が解決しようとする課題】

【0005】

界面接触抵抗を精度よく測定することが可能な測定方法及びテストデバイス等を提供する。

【課題を解決するための手段】

【0006】

50

実施形態に係るテストデバイスは、界面接触抵抗を測定するためのテストデバイスであって、拡散層上に形成され、互いに分離された第1のシリサイド層、第2のシリサイド層及び第3のシリサイド層と、前記第1のシリサイド層に接続された第1の電極と、前記第2のシリサイド層に接続された第2の電極と、前記第1のシリサイド層に接続された第3の電極と、前記第3のシリサイド層に接続された第4の電極と、を備え、前記第1の電極及び前記第2の電極によって前記第1のシリサイド層から前記第2のシリサイド層に定電流が流され、前記第3の電極及び前記第4の電極によって前記第1のシリサイド層と前記拡散層との間で電位差が測定される。

【図面の簡単な説明】

【0007】

【図1】図1は、実施形態に係る界面接触抵抗を測定するための4 - プローブ技術を示した断面図である。

【図2】図2は、実施形態に係る界面接触抵抗を測定するための4 - プローブ技術を示した上面図である。

【図3】図3は、実施形態に係る界面接触抵抗を測定するためのテスト構造を示した上面図である。

【図4】図4は、実施形態に係る界面接触抵抗を測定するためのテスト構造を示した断面図である。

【図5】図5は、実施形態に係る界面接触抵抗を測定するためのテスト構造を示した断面図である。

【図6】図6は、実施形態に係る界面接触抵抗を測定するためのテスト構造のシリサイド層を拡大した図である。

【図7】図7は、実施形態に係り、シリサイド層及び半導体基板間の界面接触抵抗を測定するためのテスト構造を形成するプロセスを示した図である。

【図8】図8は、実施形態に係り、シリサイド層及び半導体基板間の界面接触抵抗を測定するためのテスト構造を形成するプロセスを示した図である。

【図9】図9は、実施形態に係り、シリサイド層及び半導体基板間の界面接触抵抗を測定するためのテスト構造を形成するプロセスを示した図である。

【図10】図10は、実施形態に係り、シリサイド層及び半導体基板間の界面接触抵抗を測定するためのテスト構造を形成するプロセスを示した図である。

【図11】図11は、実施形態に係り、シリサイド層及び半導体基板間の界面接触抵抗を測定するためのテスト構造を形成するプロセスを示した図である。

【図12】図12は、実施形態に係り、シリサイド層及び半導体基板間の界面接触抵抗を決定するための例示的な方法を示したフロー図である。

【図13】図13は、実施形態に係り、シリサイド層及び半導体基板間の界面接触抵抗を測定するためのテスト構造を製造する例示的な方法を示したフロー図である。

【図14】図14は、実施形態に係り、シリサイド層及び半導体基板間の界面接触抵抗を測定するためのテスト構造上に測定プローブをセットアップする例示的な方法を示したフロー図である。

【発明を実施するための形態】

【0008】

以下、実施形態を図面を参照して説明する。

【0009】

本主題のイノベーションは、テスト構造、テスト構造を製造する方法、及びテスト構造を使用する方法を提供する。テスト構造及び測定レイアウト（例えばプローブ位置のレイアウト）は、半導体基板上の金属 - 半導体合金層間の界面接触抵抗の高精度の測定を容易にする。シリサイド層等の金属 - 半導体合金層とシリコン基板等の半導体基板との間の界面接触抵抗は、半導体デバイスのソース/ドレイン抵抗の全体に大きく寄与し、半導体デバイスがより小さいサイズにスケールされると顕著になってくる。

【0010】

10

20

30

40

50

さらに、半導体デバイスの寸法が縮小されるにしたがって、シリサイド層とシリコン基板との間の界面接触抵抗の大きさが減少する。したがって、小さいコンタクト抵抗の正確な測定が、現在及び将来の世代において半導体デバイスを効果的に設計し、特性評価し、及び検査するために望まれている。従来は、寄生効果、電流の集中等に起因して、低いコンタクト抵抗での測定の正確性に欠けていた。本発明の実施形態により、 $1 \times 10^{-9} \cdot \text{cm}^2$  或いはそれよりも低いコンタクト抵抗でのコンタクト抵抗の高精度の測定が可能である。

#### 【0011】

以下の説明及び添付の図面によって、明細書を実例を挙げて説明をする。これら図面は、ごく限られた実例ではあるが、本明細書に用いられている原理を示唆するものである。本明細書の他の効果及び新規な特徴は、その図面を考慮すると、以下に開示された情報の詳細な説明により明らかになる。

10

#### 【0012】

実施形態を図面を参照して説明する。図面では同じ参照番号が同じ要素に対して一貫して用いられている。以下の説明では、説明のために、実施形態の統一した理解を与えるために、多くの具体的な詳細を示す。しかしながら、実施形態がこれらの具体的な詳細がなくても実施できることは明らかである。他の例として、公知の構成及びデバイスは、実施形態の説明を容易にするために、ブロック図によって示される。

#### 【0013】

図1及び図2は、本発明の実施形態にしたがった、コンタクト抵抗を測定するための4-端子(four-probe)技術の断面図(図1)及び上面図(図2)である。図1及び図2は、図面に関連させて説明される。図1は、図2に示された構成のA-A線に沿った断面図である。

20

#### 【0014】

図1の断面図では、基板100が示されている。基板100は、シリコン、或いはゲルマニウム等の他の半導体材料である。基板100は、拡散層を形成するためにドーパされた領域を含んでいる。その上には、一連のシリサイド層として、シリサイド層102及びシリサイド層104が形成されている。シリサイド層102とシリサイド層104とを分離するシリサイドブロック層106は、酸化物或いは他の絶縁材料で形成されている。シリサイドブロック層106は、シリサイド層102或いはシリサイド層104からの横方向の電流を減少させる。さらに、シリサイドブロック層106は、シリサイド層102及びシリサイド層104(或いは、それらに作成されたコンタクト)を、他のコンタクト、金属、ゲート構造等(図示せず)から分離させている。シリサイド層102(第1のシリサイド層)上には、電極108(電極1)が配置されている。電極108は電流源(図示せず)に接続されており、電流は、シリサイド層102を通り、基板100を横切り、シリサイド層104を通り、シリサイド層104上に配置され、電流源に接続された電極110(電極2)に流れ込み、回路が構成される。

30

#### 【0015】

また、シリサイド層102上には、図1及び図2に示されるように、電極112(電極3)が配置されている。さらに、電極114(電極4)が、図2の上面図に示されるように、シリサイド層202(第3のシリサイド層)上に配置されている。図2に示されるように、基板層及び/又はシリサイドブロック層200は、シリサイド層102をシリサイド層202から分離している。基板100及び基板200は、例えばシリコン等の半導体材料の単一スラブ(slab)であり、その上に、図1に示されたシリサイドブロック層106等の第1のシリサイドブロック層、及び第2のシリサイドブロック層(図示せず)が形成され、シリサイド層102、シリサイド層104及びシリサイド層202を互いに分離していることが理解される。

40

#### 【0016】

電極112及び電極114は、シリサイド層102及びシリサイド層202間の電圧Vを測定するように構成された電圧計に接続されている。電極112及び電極114間の電

50

圧  $V$  及び電極 108 及び 110 間に流れる電流に基づいて、例えば、シリサイド層 102 及び基板 100 間のコンタクト抵抗が決定される。さらに、界面接触抵抗 (specific contact resistance or contact resistivity) が、コンタクト抵抗から抽出される。

【0017】

コンタクト抵抗は、以下の原理に基づき、図 1 及び図 2 に示された 4 - プローブ技術から決定される。電流  $I$  が、電極 108 から電極 110 に流され、それによって電極 108 及び電極 110 間で少なくとも 3 つの電位降下が生じる。例えば、第 1 の電位降下は、シリサイド層 102 及び基板 100 間のコンタクト抵抗に起因し、第 2 の電位降下は、基板 100 に沿ったシート抵抗に起因し、第 3 の電位降下は、基板 100 及びシリサイド層 104 間のコンタクト抵抗に起因する。電極 112 及び電極 114 間の電圧を測定する高入力インピーダンスを有する電圧計には、ほとんど電流が流れない。それ故、電極 114 の電位は、電極 112 が配置されたシリサイド層 102 とシリサイド層 202 との間の基板 100 の電位にほぼ等しい。したがって、電極 112 及び電極 114 間で測定される電圧は、シリサイド層 102 及び基板 100 間のコンタクト抵抗のみに起因するものであり、シート抵抗や基板 100 及びシリサイド層 104 間のコンタクト抵抗の影響は受けない。言い換えると、シリサイド層 102 及び基板 100 間のコンタクト抵抗  $R_c$  は以下の式で決定される。

10

【0018】

$$R_c = V / I$$

ここで、 $V$  は電極 112 及び電極 114 間で測定される電圧であり、 $I$  は電極 108 及び電極 110 間を流れる電流である。コンタクト抵抗が決定されると、界面接触抵抗  $R_s$  は以下の式にしたがって計算される。

20

【0019】

$$R_s = R_c A_c$$

ここで、 $A_c$  は、例えば基板 100 上に形成されたシリサイド層 102 の面積のようなコンタクト面積である。

【0020】

図 3 から図 5 に移ると、実施形態に係るテスト構造 300 の図が示されている。具体的には、図 3 は、テスト構造 300 の上面図であり、図 4 は、図 3 に示された破線 A - A に沿ったテスト構造 300 の断面図であり、図 5 は、図 3 に示された破線 B - B に沿ったテスト構造 300 の断面図である。

30

【0021】

図 3 に示されるように、テスト構造 300 は、シリコン基板 (図 4 において、基板或いは拡散層 400 として示されている) の拡散層上に設けられた第 1 のシリサイドブロック層 302 と、シリコン基板 (図 5 において、基板或いは拡散層 500 として示されている) の拡散層上に設けられた第 2 のシリサイドブロック層 304 とを含んでいる。第 1 のシリサイドブロック層 302 は、シリコン基板上に設けられた第 1 のシリサイド層 306 を、シリコン基板の拡散層上に設けられた第 2 のシリサイド層 308 から分離している。同様に、第 2 のシリサイドブロック層 304 は、第 1 のシリサイド層 306 を第 3 のシリサイド層 310 から分離している。シリサイドブロック層 302 及びシリサイドブロック層 304 は、酸化物材料或いは他の絶縁物材料から製造される。テスト構造 300 は、例えば酸化物等の絶縁物から形成された STI (shallow trench isolation) 312 を含んでおり、リーク電流を避けるために STI によって半導体デバイスが分離されている。例えば、STI 312 は、シリサイド層 306、308 及び 310 を互いに分離し、それらの間の電流がシリサイドブロック層 302 及び 304 下のシリコン基板を流れないようにしている。

40

【0022】

第 1 のシリサイド層 306 上には、電極コンタクト 324 及び金属配線 322 を含んだ電極 320 (第 1 の電極或いは電極 1) が配置されている。金属配線 322 は、電極 320 を電流源に接続することを可能にし、電極コンタクト 324 は、電極 320 を第 1 のシ

50

リサイド層 306 に接続することを容易にしている。図 4 及び図 5 に示されるように、絶縁層 422 は、金属配線 322 と第 1 のシリサイド層 306 との間に設けられ、電流コンタクト 324 だけが第 1 のシリサイド層 306 に電流を流すようにしている。しかしながら、他の実施形態では、電極 320 は金属配線 322 を介して第 1 のシリサイド層 306 に接続され、分離層 422 及び電極コンタクト 324 は除去されている。

#### 【0023】

テスト構造 300 はさらに、電極 330 (第 2 の電極或いは電極 2) を含んでおり、電極 330 は構造的に電極 320 (第 1 の電極) と類似している。特に、電極 330 は、第 2 のシリサイド層 308 への接続を容易にするための電極コンタクト 334 と、電極コンタクト 334 を電流源に接続するための金属配線 332 とを含んでいる。さらに、金属配線 332 は、絶縁層 432 によって第 2 のシリサイド層 308 から絶縁されている。しかしながら、他の実施形態として、電極 320 と同様に、電極 330 は金属配線 332 によって第 2 のシリサイド層 308 にコンタクトしていてもよい。

10

#### 【0024】

すでに述べたように、図 4 に示されるように、電流  $I$  は、電極 320 から第 1 のシリサイド層 306 を通り、基板 400 を横切り、第 2 のシリサイド層 308 を通って電極 330 へと流れる。図 3 では、電極 320 と電極 330 とは電極コンタクト 324 及び 334 の数が異なっているが、電極 320 及び電極 330 は、コンタクトの数が異なってもよいし、コンタクトの数が同じでもよいし、或いはすでに述べたようにコンタクトがなくてもよい。

20

#### 【0025】

テスト構造 300 は、第 1 のシリサイド層 306 上に設けられた電極 340 (第 3 の電極或いは電極 3) を含んでおり、電極 340 は、絶縁層 542 によって第 1 のシリサイド層 306 から離隔された金属配線 342 と、電極コンタクト 344 とを備えている。電極 340 は、ハイインピーダンス電圧計を介して、第 3 のシリサイド層 310 上に配置された電極 350 (第 4 の電極或いは電極 4) に結合されており、第 3 のシリサイド層 310 は、第 2 のシリサイドブロック層 304 によって第 1 のシリサイド層 306 から分離されている。電極 350 は、他の電極と同様の構造を有しており、金属配線 352、電極コンタクト 354 及び絶縁層 552 を含んでいる。高入力インピーダンスを有する電圧計は、図 5 に示された電極 340 と電極 350 との間の電圧  $V$  を測定する。上述したように、電流  $I$  及び電圧  $V$  は、第 1 のシリサイド層 306 とシリコン基板 (基板 400 及び / 又は 500) との間のコンタクト抵抗  $R_c$  を決定するために用いられる。さらに、コンタクト抵抗  $R_c$  から、界面接触抵抗  $R_i$  が求められる。

30

#### 【0026】

図 6 に移ると、第 1 のシリサイド層 306 の拡大図が示されている。図 6 に示されるように、電流源に接続された電極 320 は、第 1 のシリサイド層 306 に関連付けられた転送長 (transfer length) ( $L_t$ ) よりも短く配置されている。その距離は、第 1 のシリサイド層 306 と第 1 のシリサイドブロック層 302 との界面から測定される。さらに、図 6 に示されるように、テスト構造 300 の第 1 のシリサイド層 306 の幅は、第 1 のシリサイドブロック層 302 との界面から測定して、トランスファ長 ( $L_t$ ) の 10 倍を越えない。

40

#### 【0027】

テスト構造 300 は、種々の点で、従来の C B K R テスト構造とは異なる。例えば、従来の C B K R テスト構造では、電流を流すためのパッド或いは電極は、シリサイド電位の電極或いは電圧を測定するためのパッドとしても用いられる。したがって、従来の C B K R テスト構造は、電流が流れることに起因するシリサイド電位のドロップに悩まされることになる。一方、テスト構造 300 は、電流線 (電極 320) から分離されたシリサイド電位プローブ (電極 340) を有している。さらに、テスト構造 300 では、シリサイド電位プローブ (電極 340) は、電流線が配置された第 1 のシリサイド層 306 の参照電位プローブ側の近くに位置している。少なくともこのような理由により、従来の C B K R

50

テスト構造が、 $1 \times 10^{-8} \cdot \text{cm}^2$  のコンタクト抵抗の測定について正確性を欠くものに対して、テスト構造 300 は、 $1 \times 10^{-9} \cdot \text{cm}^2$  までのコンタクト抵抗を正確に測定することができる。

【0028】

他の違いは、コンタクトの数である。図 3 から図 5 に示されるように、電極は、複数のコンタクト領域を含んでいる。複数のコンタクト領域は、電流によって生じるシリサイド電位を平均化することができる。従来 of C B K R テスト構造は、電流に起因するシリサイドの電圧降下という問題がある。

【0029】

上述したテスト構造、例えばテスト構造 300 は、1 以上の実施形態の説明を容易にするために単純化して示されている。テスト構造 300 は、製造されたときに、上述したものと異なり得ることを理解すべきである。例えば、テスト構造 300 の電極及び層を構成する材料を異ならせることができ、電極及び層の配置も異ならせることができる。それ故、電位電極が同一のシリサイド領域に配置された電流電極から区別され、及び / 又は電流電極がシリサイドブロック層との境界から転送長内にあるとすれば、テスト構造 300 に対する変更は許容される。

【0030】

図 7 から図 11 に移ると、本発明の種々の実施形態に係る、シリサイド層及び拡散層間のコンタクト抵抗を測定するためのテスト構造を製造するプロセスが示されている。しかしながら、テスト構造は任意の適切なプロセス或いはプロセスの組み合わせを用いて作製され、以下の説明は非限定的な例によって与えられることを認識すべきである。さらに、以下の説明で示されるプロセスが、任意の製品を製造するために用いられ、上述したテスト構造等の半導体デバイスに限定されることを意図していないことを認識すべきである。

【0031】

図 7 を参照すると、実施形態に係るテスト構造の製造の第 1 のステップが示されている。図 7 に示されるように、テスト構造の製造は、まず、シリコン基板等の半導体基板 700 を用い、シャロウトレンチ素子分離等の素子分離 702 を形成する。基板 700 上に、拡散層 704 を形成する。例えば、拡散層 704 は、ドーピング、エピタキシー等によって形成される。拡散層 704 上には、シリサイドブロック膜 706 が堆積される。例えば、シリサイドブロック膜 706 は、シリコン窒化物或いはシリコン窒化物及び酸化物の組み合わせである。図 8 は、エッチングステップを示しており、シリサイドブロック膜 706 がエッチングされて、第 1 の開口部 802 及び第 2 の開口部 804 が形成される。例えば、フォトレジスト (図示せず) が塗布されてパターニングされ、図 8 に示すようなパターンエッチングが可能となる。図 9 に示されるように、金属膜 900 がウェハ上に堆積され、第 1 の開口部 802 及び第 2 の開口部 804 を埋める。金属膜 900 には、ニッケル又は合金を用いることができる。他の金属を用いることもできる。金属膜 900 は、チタン窒化物 (TiN) 等のキャップを含んでもよい。堆積された金属と拡散層 704 内の半導体との間で冶金反応させるために、ウェハはアニールプロセスによって加熱される。冶金反応は、界面に沿って半導体 - 金属化合物を生成する。具体的には、第 1 の半導体 - 金属層 902 及び第 2 の半導体 - 金属層 904 が形成される。特に限定されないが、例えば拡散層 704 の半導体はシリコンであり、金属はチタン、ニッケル、タングステン等である。したがって、第 1 の半導体 - 金属層 902 及び第 2 の半導体 - 金属層 904 は、シリサイド層である。

【0032】

反応が安定化した後、金属層 900 の余分な部分が除去され、図 10 に示されるようなウェハとなる。テスト構造を完成させるためには、すでに述べたような電極がシリサイド層 902 及び 904 上に形成される。電極を形成するためには、プリメタル絶縁材料 (pre-metal dielectric material) 1000 が堆積され、平坦化される。平坦化の後、フォトリソグラフィによるパターニングを容易にするためにフォトレジスト 1002 を形成することにより、コンタクトホールがパターニングされる。フォトリソグラフィの後、図 1

10

20

30

40

50

1 に示されるように、プリメタル絶縁材料 1 0 0 0 の一部がエッチングされてコンタクトホールが形成され、コンタクトホールがタングステン (W) 等のコンタクト材料で埋められてコンタクト 1 1 0 0 が形成される。銅等の金属化層 1 1 0 2 が、プリメタル絶縁材料 1 0 0 0 及びコンタクト 1 1 0 0 上に形成される。追加の絶縁層 1 1 0 4 が堆積され、金属化層 1 1 0 2 が隔離される。

#### 【 0 0 3 3 】

図 1 2 は、主題のイノベーションの実施形態に係る、シリサイド層及び半導体基板間のコンタクト抵抗を決定するための方法 1 2 0 0 を示したフロー図である。方法 1 2 0 0 は 1 2 0 2 で始まり、電流が第 1 の電極から第 2 の電極に流れる。一視点では、電流は、第 1 の電極から半導体基板上の第 1 のシリサイド層に流れ、半導体基板を通して、第 1 のシリサイド層から離れた第 2 のシリサイド層に流れ、第 2 の電極へと流れる。1 2 0 4 では、第 1 のシリサイド層上の第 3 の電極と、第 1 のシリサイド層及び第 2 のシリサイド層から離れた第 3 のシリサイド層上の第 4 の電極との間で、電圧が測定される。電圧は、ほとんど電流が流れない高入力インピーダンスを有する電圧計によって測定される。それ故、測定電圧は、第 1 のシリサイド層下の半導体基板の電位に本質的に等しい。1 2 0 6 では、駆動される電流及び測定される電圧に基づき、シリサイド層と半導体基板との間の界面接触抵抗が決定される。例えば、界面接触抵抗は、駆動電流に対する測定電圧の比から得られる。

10

#### 【 0 0 3 4 】

図 1 3 は、本発明の種々の実施形態に係る、シリサイド層と半導体基板の拡散層との間のコンタクト抵抗を測定するためのテスト構造を製造する方法 1 3 0 0 を示したフロー図である。方法 1 3 0 0 は 1 3 0 2 から開始され、ブロック層が拡散層上に堆積される。1 3 0 4 では、ブロック層が拡散層までエッチングされ、開口部のセットが形成される。1 3 0 6 では、金属層が、スパッタリング、化学的気相成長、ダイレクトデポジション等によって堆積される。堆積された金属は、開口部のセットを埋め、拡散層と相互反応して、半導体材料とともにシリサイド等の合金を形成する。1 3 0 8 では、金属層が剥離され、開口部のセット内にシリサイド層が残る。1 3 1 0 では、電極のセットがシリサイド層上に形成される。1 3 1 2 では、電極の第 1 のペアが電流源に結合されて電流を流し、電極の第 2 のペアが電圧計に結合されて電圧が測定される。一視点では、電極の第 1 のペアと電極の第 2 のペアとは、共通の電極をシェアしない非接続のペアである。

20

30

#### 【 0 0 3 5 】

図 1 4 は、本発明の種々の実施形態に係る、シリサイド層と半導体基板との間のコンタクト抵抗を測定するためのテスト構造上に測定プローブをセットアップする方法 1 4 0 0 のフロー図である。方法 1 4 0 0 は 1 4 0 2 から開始され、第 1 の電極が半導体基板上の第 1 のシリサイド層上に配置される。1 4 0 4 では、第 1 の電極とは異なる第 2 の電極が半導体基板上の第 2 のシリサイド層上に配置される。第 2 のシリサイド層は、第 1 のシリサイド層から離れ、第 1 のシリサイドブロック層によって第 1 のシリサイド層から分離されている。1 4 0 6 では、第 1 及び第 2 の電極から区別された第 3 の電極が、第 1 のシリサイド層上に配置される。第 3 の電極は、第 1 の電極とコンタクトしないように配置される。1 4 0 8 では、第 4 の電極が半導体基板上の第 3 のシリサイド層上に配置される。実施形態では、第 4 の電極は第 1、第 2 及び第 3 の電極から区別される。さらに、第 3 のシリサイド層は第 1 のシリサイド層及び第 2 のシリサイド層から区別される。さらに、第 3 のシリサイド層は、シリサイドブロック層或いはシャロウトレンチ素子分離によって、第 1 のシリサイド層及び第 2 のシリサイド層から分離される。1 4 1 0 では、第 1 の電極及び第 2 の電極により、電流が第 1 のシリサイド層及び第 2 のシリサイド層間に半導体基板を介して流される。1 4 1 2 では、第 3 の電極及び第 4 の電極間の電圧が測定される。電圧は、測定された電圧が第 1 のシリサイド層下の半導体基板の電位にマッチするように、高入力インピーダンスを有する電圧計によって測定される。1 4 1 4 では、駆動電流及び測定電圧に基づいて、シリサイド - 半導体間の界面接触抵抗が抽出される。

40

#### 【 0 0 3 6 】

50

上述した説明には、開示された本発明の実施形態が含まれている。もちろん、開示された実施形態を説明する目的のために、構成或いは方法の全ての考え得る組み合わせを説明することは不可能であるが、当業者は、開示された実施形態のさらなる組み合わせ或いは置換が可能であることを認識できるであろう。したがって、開示された実施形態は、特許請求の範囲の主旨及び範囲内に含まれる全ての変更等を包含することを意図している。

【0037】

与えられた特性に対する任意の数或いは数的範囲について、1つの範囲からの数或いはパラメータは、数的範囲を生成するために、同一の特性に対する異なった範囲からの他の数或いはパラメータと組み合わせることができる。

【0038】

特に示さない限り、明細書及び特許請求の範囲で用いられる、全ての数、値及び/又は成分、反応条件等の量に言及される表現は、“約”という語句によって変更されるものとして理解されるべきである。

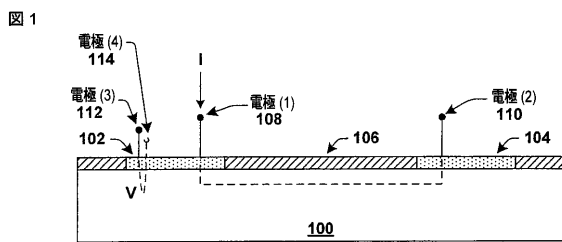
【0039】

本発明のいくつかの実施形態を説明したが、これらの実施形態は、例として提示したものであり、発明の範囲を限定することは意図していない。これら新規な実施形態は、その他の様々な形態で実施されることが可能であり、発明の要旨を逸脱しない範囲で、種々の省略、置き換え、変更を行うことができる。これら実施形態やその変形は、発明の範囲や要旨に含まれるとともに、特許請求の範囲に記載された発明とその均等の範囲に含まれる。

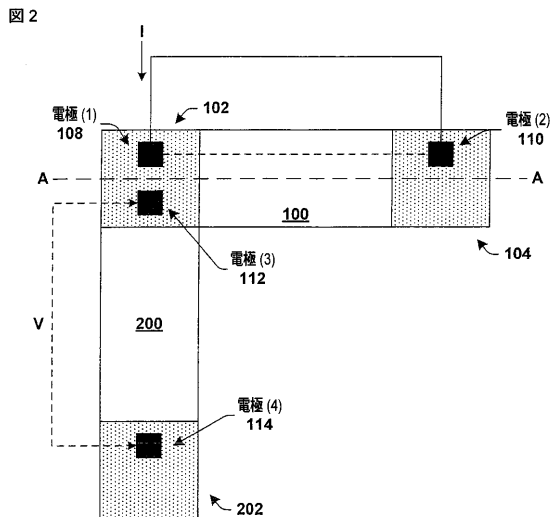
10

20

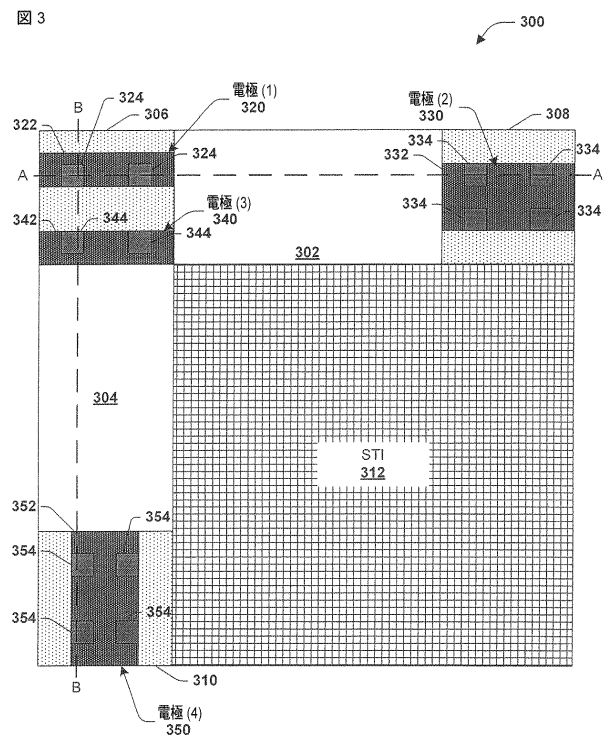
【図1】



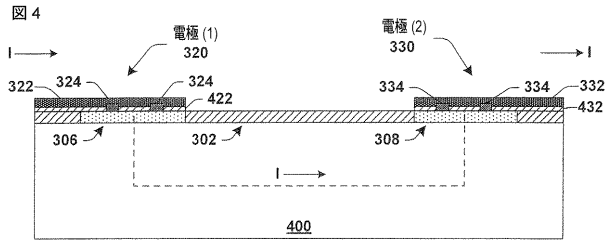
【図2】



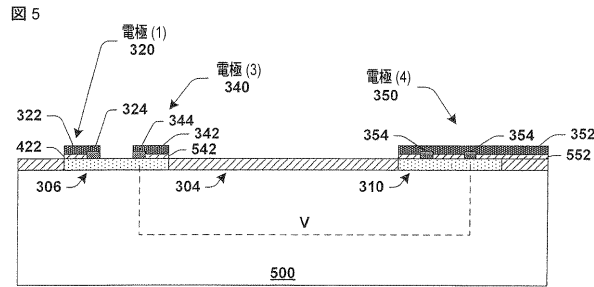
【図3】



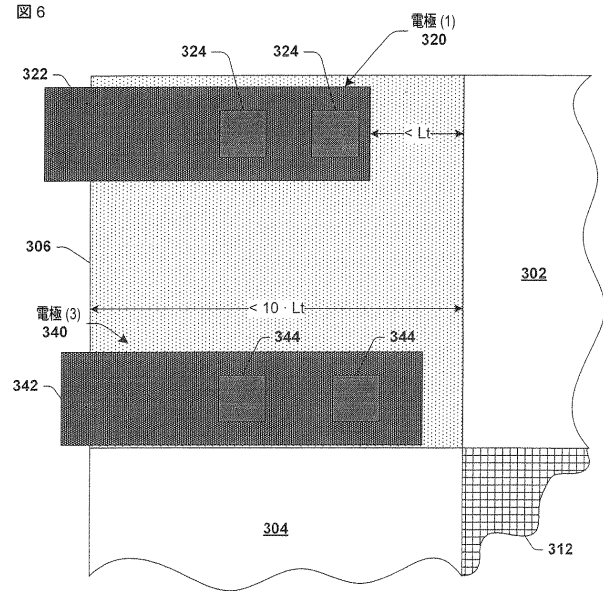
【 図 4 】



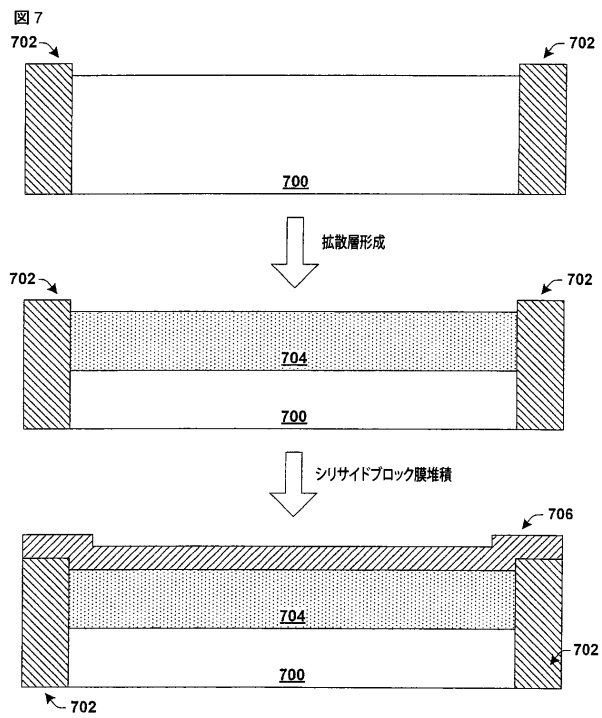
【 図 5 】



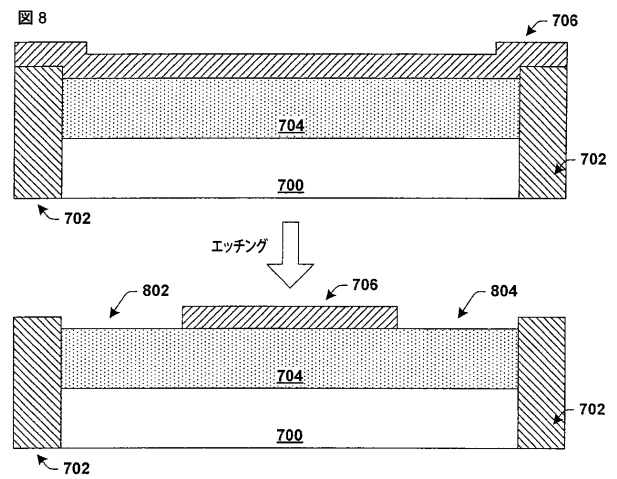
【 図 6 】



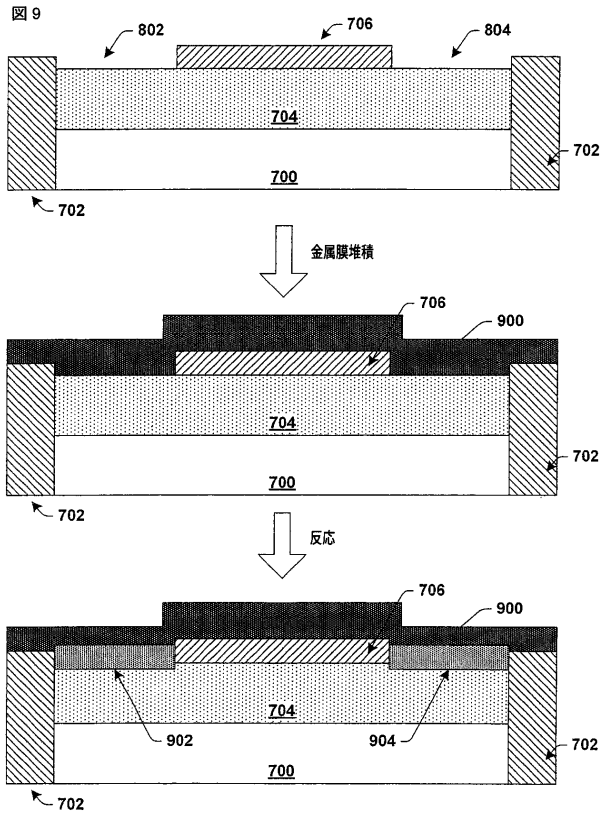
【 図 7 】



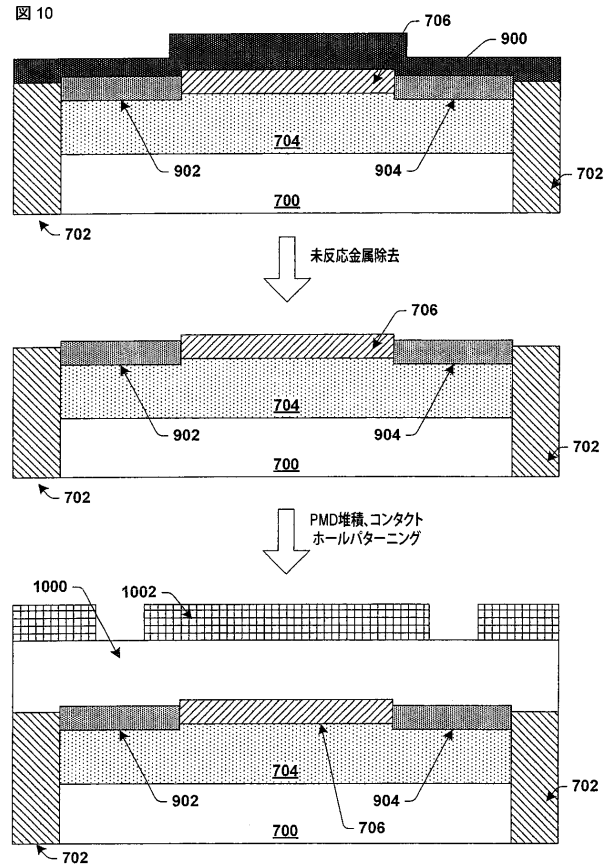
【 図 8 】



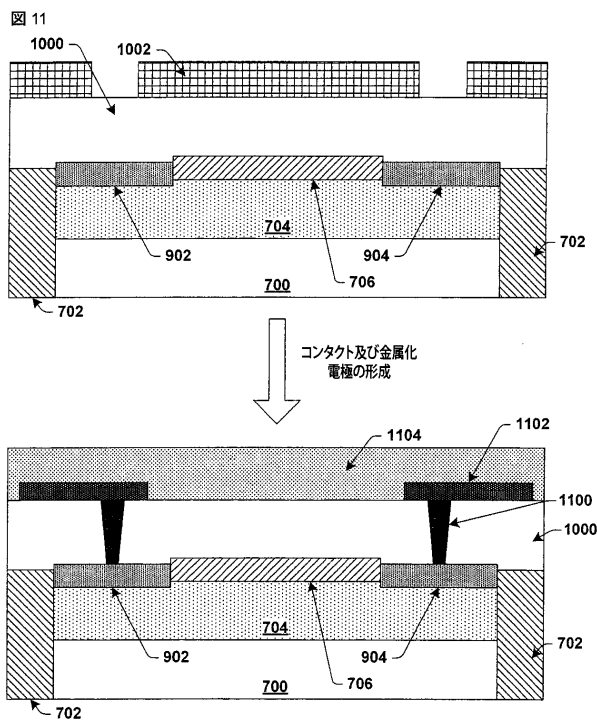
【 図 9 】



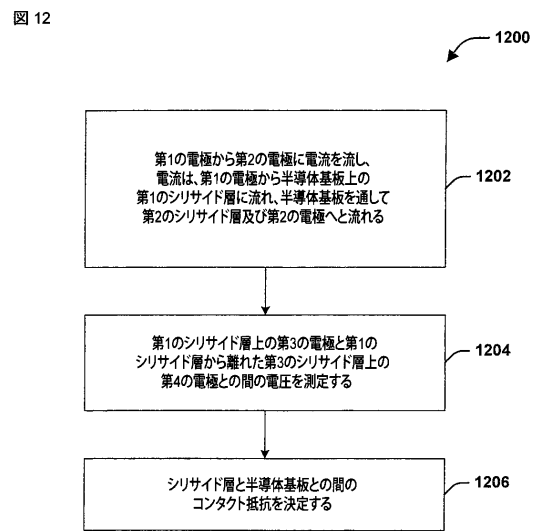
【 図 10 】



【 図 11 】

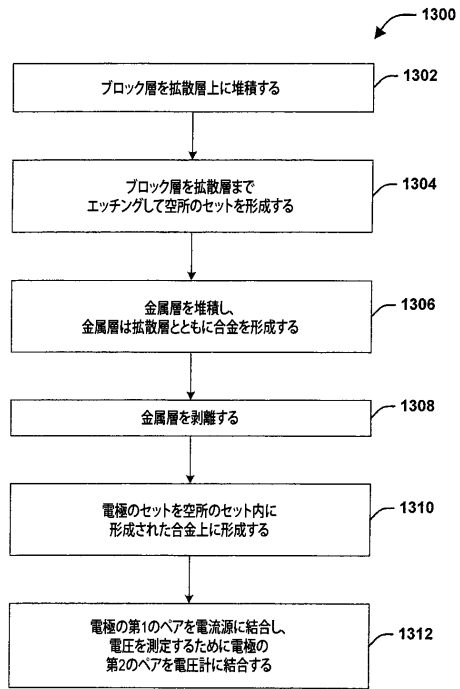


【 図 12 】



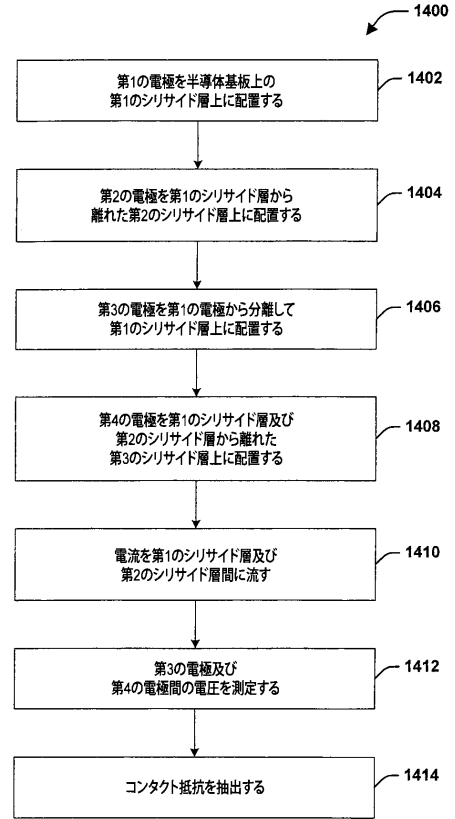
【 図 1 3 】

図 13



【 図 1 4 】

図 14



## フロントページの続き

- (74)代理人 100095441  
弁理士 白根 俊郎
- (74)代理人 100084618  
弁理士 村松 貞男
- (74)代理人 100103034  
弁理士 野河 信久
- (74)代理人 100119976  
弁理士 幸長 保次郎
- (74)代理人 100153051  
弁理士 河野 直樹
- (74)代理人 100140176  
弁理士 砂川 克
- (74)代理人 100158805  
弁理士 井関 守三
- (74)代理人 100172580  
弁理士 赤穂 隆雄
- (74)代理人 100179062  
弁理士 井上 正
- (74)代理人 100124394  
弁理士 佐藤 立志
- (74)代理人 100112807  
弁理士 岡田 貴志
- (74)代理人 100111073  
弁理士 堀内 美保子
- (74)代理人 100134290  
弁理士 竹内 将訓
- (72)発明者 大内 和也  
アメリカ合衆国、カリフォルニア州 92612、アーバイン、マッカーサー・ブーレバード  
19900、スイート400 東芝アメリカ電子部品社内
- (72)発明者 楠 直樹  
アメリカ合衆国、カリフォルニア州 92612、アーバイン、マッカーサー・ブーレバード  
19900、スイート400 東芝アメリカ電子部品社内
- Fターム(参考) 4M106 AA07 BA14 CA10