（由本局填寫）

承辦人代碼：	A6 B6
大　　類：	
ＩＰＣ分類：	

本案已向：

國（地區）　申請專利，申請日期：　　案號：　　，☐有　☐無主張優先權

1.日本	2000年09月27日	特願2000-294732	☑有 ☐無主張優先權
2.日本	2001年09月21日	特願2001-289588	☑有 ☐無主張優先權

有關微生物已寄存於：　　，寄存日期：　　，寄存號碼：

（請先閱讀背面之注意事項再填寫本頁各欄）

裝　訂　線

經濟部智慧財產局員工消費合作社印製

本紙張尺度適用中國國家標準（CNS）A4規格（210 × 297公釐）

五、發明說明（ 1 ）

相關應用交互參考

本專利申請根據並提出於2000年9月27日申請之前份日本專利申請案號2000-294732及於2001年9月21日申請之日本專利申請案號2001-289588的優點，這兩份專利申請的內容以提及方式整個併入本文中。

發明背景

發明領域

本發明與一種藉由複數個資料處理裝置來執行資料處理的資料處理系統(例如，多處理器系統)及一種資料處理方法有關。

相關技藝說明

隨著高度發展的資訊導向社會的進步，資料處理量(例如，電腦等等資料處理裝置執行的資料處理)的成長有增加的趨勢。另外，資料處理的內容已變得更複雜且高度先進。傳統上，如CPU(Central Processing Unit；中央處理單元)等等之類處理器的性能已高度增強，或是將複數個處理器轉換成多處理器，以便改良整個資料處理裝置的處理能力。

但是，近年來，需要資料處理能力增強的速度已到達超過高度改良處理器性能的速度。由於開發高性能處理器需要更多的時間，所以短時間內無法實現處理器高性能改良。

另一方面，例如，依據使用的處理器數量及處理方法，以決定多處理器的處理能力，並且對個別處理器的高性能

本紙張尺度適用中國國家標準(CNS) A4規格(210×297公釐)

五、發明說明（ 2 ）

的依賴較低。基於此原因，這是改良資料處理裝置處理能力的其中一種有用的手段。

當一個處理器執行資料處理時，如果依據資料需求範圍來分割，則使用多處理器之資料處理方法的解釋如下。

(1) 執行資料處理的處理器只使用鄰接之處理器處理的資料。

此類的控制適用於單元自動裝置(cell automaton)、影像濾波器、像運動一樣的cloth-wave計算、從彎曲表面的多邊形產生計算等等。

(2) 執行資料處理的處理器使用所有處理器處理的資料。

此類的控制適用於聯合儲存裝置、四色問題的最佳化、旅行推銷員問題等等、無線電(radiosity)、群集(clustering)、多工連結模擬、教學等等。

(3) 執行資料處理的處理器只使用複數個處理器之一部份處理器處理的資料。

此類的控制適用於自行組合計算、依據使用視覺感官判斷的群組演算法、多對多碰撞決策、資料庫搜尋、產生/變形連續彎曲表面的計算、產生(born)動畫、反向運動學等等。

在前面案例(1)中，可利用傳統平行處理器高效率實施資料處理。但是，在前面案例(2)和(3)中，整個系統的處理速度受限於平行處理器之間的通信速度，以至每個處理器的處理速度無法滿意地發揮。例如，會建立所有處理器之

本紙張尺度適用中國國家標準(CNS) A4規格(210×297公釐)

五、發明說明（ 3 ）

間交叉連接，以能夠執行案例(2)和(3)的高速資料處理。但是，在此情況下，需要許多的硬體，並且實際上並不可行。

發明概要

本發明的目的是提供各種多處理器系統、一種資料處理系統、一種資料處理方法、一種電腦程式及一種半導體裝置。

爲了解決前面提及的問題，本發明提供如下文所述的各種多處理器系統、一種資料處理系統、一種資料處理方法、一種電腦程式及一種半導體裝置。

一第一多處理器系統，其包括複數個處理器，用以執行資料處理；一控制器，用以將包含在資料處理中使用之資料的廣播資料廣播至該等複數個處理器，其中該等複數個處理器的每個處理器均從該控制器廣播的廣播資料中挑選每個處理器執行資料處理所需的資料，以執行資料處理。

在此類多處理器系統，由於該等複數個處理器的每個處理器均從該廣播資料中只挑選每個處理器所需的資料並且執行資料處理，所以可實施高速處理，而不會發生資料衝突。

在每個處理器可使用或參考來自於其他處理器之處理結果的情況下，該控制器從該等複數個處理器的每個處理器獲取處理結果，並且將獲取的處理結果當作廣播資料廣播至所有的處理器。

該等複數個處理器的每個處理器最好均已被指派識別資

本紙張尺度適用中國國家標準(CNS) A4規格(210×297公釐)

裝 訂

五、發明說明（ 4 ）

料，用以識別對應的處理器，該控制器產生廣播資料，其中會將當作結果獲取來源的處理器識別資料加入至處理結果中，並廣播該資料。因此，每個處理器均很容易挑選執行資料處理所需的處理結果，使每個處理器可在下一時序依據該識別資料執行資料處理。另外，每個處理器均很容易識別已從哪一個處理器傳送該廣播的處理結果。

當已完成資料處理的複數個處理器可能會發生衝突時，則提供的多處理器系統進一步包括一排序機件，用以從該等複數個處理器之中已完成資料處理的處理器獲取識別資料，以便以給定的序列將獲取的識別資料傳送至該控制器。然後，該控制器被建構，以依據自該排序機件接收的識別資料來獲得處理結果。在此情況下，進一步提供產生優先順序資料的裝置，以訂定該控制器所要執行的處理結果讀取序列。已完成資料處理的處理器被建構，以傳送該處理器的排序機件識別資料及關於處理的優先順序資料，該排序機件被建構，以依據該優先順序資料來決定傳送該識別資料的序列。

例如，在以整體多處理器系統來決定處理序列的情況下，提供該排序機件可允許該控制器以必要的序列來獲取該處理結果，並且視爲整個系統以高效率地執行複雜的處理。

該排序機件包括數量和處理器一樣的暫存器；記錄裝置，用以將該識別資料及從各自處理器傳送的識別資料記

本紙張尺度適用中國國家標準(CNS) A4規格(210×297公釐)

五、發明說明（ 5 ）

錄至與對應處理器有關的暫存器中；一比較器，用以執行該優先順序資料之間的比較，以決定記錄在各自暫存器中之識別資料的序列。該排序機件被建構，以依據該比較器的決策結果來決定傳送該識別資料的序列。

該多處理器系統中的該控制器包括(例如)記憶體，用以儲存資料；儲存控制裝置，用以從由自該排序機件接收到的該識別資料指定的處理器獲取處理結果，以將獲取的結果儲存至該記憶體中；以及資料產生裝置，用以讀取儲存在該記憶體中的處理結果，以產生包含該處理結果及該接收識別資料的廣播資料，以此方式允許實施多處理器系統。

另外，該等複數個處理器的每個處理器更明確具有一資料處理機件，以決定是否要將每個處理器執行之資料處理所需的資料納入該廣播資料，用以當所需資料被納入該廣播資料中時只挑選出該資料，並且執行資料處理；傳送裝置，用以依據該控制器的要求，將該資料處理機件執行的資料處理結果及每個處理器的識別傳送至該控制器；以及傳送裝置，用以當結束資料處理時，將包含每個處理器識別資料的處理程序結束通知資料傳送至該排序機件，以此方式允許實施多處理器系統

一第二多處理器系統，其包括複數個處理器，每個處理器均保存要與輸入資料比較的範本資料；一控制器，用以將該輸入資料廣播至該等複數個處理器；以及一比較機件，用以比較該等複數個處理器的各自輸出。該等複數個

本紙張尺度適用中國國家標準(CNS) A4規格(210×297公釐)

五、發明說明（ 6 ）

處理器保存的範本資料不同於其他處理器分別保存的範本資料。該等複數個處理器的每個處理器計算該控制器廣播之輸入資料的圖樣(feature)與每個處理器保存之範本資料的圖樣(feature)之間的差值，並且將包含計算而得之差值及識別每個處理器之識別資料的一對資料傳送至該比較機件。該比較機件依據從各自處理器接收到的差值來選取任一差值，並將與所選差值配對的識別資料傳送至該控制器。該控制器依據從該比較機件接收的識別資料來從該等複數個處理器中指定一個處理器。

前面建構的多處理器系統可高速執行資料相似判斷。

一第三多處理器系統，其包括複數個處理器，用以執行資料處理；一控制器，用以將資料處理中使用的資料廣播至該等複數個處理器；以及一加總電路，用以計算該等複數個處理器執行之資料處理結果的總和。該等複數個處理器的每個處理器均從該控制器廣播的資料中只挑選處理所需的資料並且執行資料處理，並且將處理結果傳送至該加總電路。該加總電路計算從各自處理器傳送之處理結果的總和，並且將計算結果傳送至該控制器。該控制器將從該加總電路接收的處理結果之總和廣播至該等複數個處理器。

通常需要資料處理結果的總和，才能將與如神經系統電腦中使用之最佳化計算有關的計算標準化。可將計算而得的總和廣播至每個處理器。前面建構的多處理器系統可高速執行這些處理。

本紙張尺度適用中國國家標準(CNS) A4規格(210×297公釐)

裝 訂

五、發明說明（ 7 ）

另外，在前面多處理器系統的每種多處理器系統中，該等複數個處理器的至少部分處理器係經由通用記憶體以環狀形式相互連接，並且被建構，以經由該通用記憶體來執行介於以環狀形式相互連接之處理器之間的資料傳輸/接收。

本發明提供的資料處理方法是一種利用設備或系統執行的方法，該設備或系統具有用來執行資料處理的複數個資料處理裝置，以及用來控制該等複數個資料處理裝置之每個資料處理裝置之作業的控制裝置，該方法包括下列步驟：以給定的順序來獲取資料處理結果，其中該資料處理是由複數個處理器的每個處理器執行，以產生廣播資料，該包含所獲取的處理結果以及用來識別當作處理結果獲取來源之資料處理裝置的識別資料，並且將該廣播資料廣播至該等複數個資料處理裝置，其中該步驟係由該控制裝置執行；以及依據該控制裝置所接收之該廣播資料中的識別資料，只選取某些指定的處理結果，以進行資料處理並且將該處理結果及指示每個資料處理裝置的識別資料傳送給該控制裝置，其中該步驟係由該等複數個資料處理裝置的至少一個資料處理裝置執行。

本發明提供的第一資料處理系統包括：複數個資料處理裝置，用以執行資料處理；以及控制裝置，用以廣播廣播資料，該廣播資料包括從某些或所有該等複數個資料處理裝置接收的資料處理結果，以及該等複數個資料處理裝置之至少一個資料處理裝置執行之資料處理中使用的資料，

本紙張尺度適用中國國家標準(CNS) A4規格(210×297公釐)

裝 訂

五、發明說明（ 8 ）

其中該等複數個資料處理裝置的每個資料處理裝置均從該控制裝置廣播的廣播資料中只挑選每個資料處理裝置執行資料處理所需的資料以執行資料處理，並且將處理結果傳送至該控制裝置。

第二資料處理系統是一種在執行資料處理之複數個資料處理裝置之間執行雙向通信的資料處理系統，該資料處理系統包括：指定裝置，用以指定至少一資料處理裝置以產生廣播資料，該廣播資料包括指定之資料處理裝置的識別資訊及傳送至該資料處理裝置的資料處理資料；獲取裝置，用以從某些或所有該等複數個資料處理裝置獲取對應之資料處理裝置執行的資料處理結果；以及收納裝置，用以將接收的處理結果納入至該廣播資料，以將該廣播資料廣播至該等複數個資料處理裝置的每個資料處理裝置。

本發明提供的電腦程式是用來使一設備構成下列功能(1)至(3)，其中該設備具有一用以執行介於執行資料處理之複數個資料處理裝置間雙向通信的電腦；並且本發明提供的半導體裝置是一種併入一設備中的半導體裝置，其中該設備具有一用以執行介於執行資料處理之複數個資料處理裝置間雙向通信的電腦，藉此使該電腦構成下列功能(1)至(3)。

即，有下列的功能：

(1) 指定至少一資料處理裝置以產生廣播資料，該廣播資料包括指定之資料處理裝置的識別資訊及傳送至該資料處理裝置的資料處理資料；

本紙張尺度適用中國國家標準(CNS) A4規格(210×297公釐)

裝 訂

五、發明說明（ 9 ）

(2) 從某些或所有該等複數個資料處理裝置獲取對應之資料處理裝置執行的資料處理結果；以及

(3) 將接收的處理結果納入至該廣播資料，以將該廣播資料廣播至該等複數個資料處理裝置的每個資料處理裝置。

圖式簡單說明

只要詳讀下文中詳細說明並參考隨附的圖式，將可明白本發明的這些目的和其他目的，以及本發明的優點，其中：

圖1顯示應用本發明之多處理器系統組態實例的圖式；

圖2顯示根據本發明之BCMC組態實例的圖式；

圖3顯示根據本發明之單元處理器組態實例的圖式；

圖4顯示根據本發明之WTA/加總電路組態實例的圖式；

圖5顯示根據本發明之多處理器系統執行之處理流程的流程圖；

圖6顯示使用根據本發明之鄰接處理器之資料處理結果的概念圖；

圖7顯示使用根據本發明之某些處理器之資料處理結果的概念圖；

圖8顯示根據本發明群組格點資料之案例的圖式；

圖9顯示根據本發明將物件分割成群集之案例的圖式；及

圖10顯示根據本發明之碰撞決策演算法處理流程的流程圖。

較佳具體實施例詳細說明

本紙張尺度適用中國國家標準(CNS) A4規格(210×297公釐)

裝 訂

五、發明說明（ 10 ）

現在將參考附圖來詳細說明本發明的具體實施例。

下文中將解說將本發明應用在多處理器系統當作資料處理系統實例的具體實施例。

＜整個組態＞

圖1顯示多處理器系統組態實例的圖式。多處理器系統1包括廣播記憶體控制器10(下文中稱之爲BCMC)，這個用來控制資料處理及資料記錄和讀取的控制裝置；複數個單元處理器20，用以當作每個資料處理裝置的實例；複數個WTA(Winner Take All)/加總電路30，用以構成資料處理所需的各種功能。

BCMC及所有的處理器20均是經由廣播通道(可將資訊同時散播給數位收件人的通信通道)連接。

多處理器系統1使用BCMC 10來管理狀態變數值(這個狀態變數值是每個單元處理器20獲取的資料處理結果)，並且透過廣播從BCMC 10傳送所有單元處理器20的狀態變數值，當作參考數值的一個實例。以此方式使每個單元處理器20能夠參考其他單元處理器20高速產生的狀態變數值。

廣播通道是介於BCMC 10與複數個單元處理器20之間的傳輸路徑，並且包括用來傳送位址的位址匯流排及用來傳送如狀態變數值之類資料的資料匯流排。位址包括用來指定每個單元處理器20的單元位址，及所有單元處理器20的廣播位址。

單元位址對應於記憶體上的位址(實體位址或邏輯位址)，並且從單元處理器20傳送的狀態變數值被設計放置

本紙張尺度適用中國國家標準(CNS) A4規格(210×297公釐)

裝 訂

五、發明說明（ 11 ）

在記憶體中對應於每個單元處理器20之單元位址指示的位址。每個單元處理器20均配備ID(識別)，用以當作識別每個單元處理器的識別資訊。單元位址也對應於ID。使用單元位址使得能夠指定要從哪一個單元處理器20輸出狀態變數值。

圖1中顯示連接WTA/加總電路30的方式。即，WTA/加總電路30係以金字塔形狀連接，其中單元處理器20端係設定爲第一階。兩個單元處理器20係連接至第一階之各自WTA/加總電路30的輸入端子，並且其輸出端子係連接至第二階WTA/加總電路30的輸入端子。

在第二階及更低階中，較低階之WTA/加總電路30的輸入端子係連接至各自的輸入端子，並且較高階之WTA/加總電路30的輸入端子係連接至較低階的輸出端子。較低階之WTA/加總電路30的輸出端子係連接至最高階之WTA/加總電路30的輸入端子，並且最高階之WTA/加總電路30的輸出端子係連接至BCMC 10。

除了前面說明的連接形式之外，本發明還可以串聯WTA/加總電路30的方式實施。在此情況下，兩個單元處理器20係連接至第一階之WTA/加總電路30的輸入端子，並且其輸出端子係連接至較高階的輸入端子。較低階之WTA/加總電路30的輸出端子及單元處理器係連接至第二階及更低階之WTA/加總電路30的輸入端子。第二階及更低階之WTA/加總電路30的輸出端子係連接至較高階的輸入端子。最高階之WTA/加總電路30的輸入端子係連接至較低

本紙張尺度適用中國國家標準(CNS) A4規格(210×297公釐)

裝 訂

五、發明說明（ 12 ）

階之WTA/加總電路30的輸出端子及單元處理器20，並且最高階之WTA/加總電路30的輸出端子係連接至BCMC 10。

下文中將更詳細解說BCMC 10、單元處理器20及WTA/加總電路30。

<BCMC>

BCMC 10透過廣播通道將資料廣播至所有的單元處理器20，以及從各自單元處理器20擷取狀態變數值並且保存狀態變數值。圖2顯示BCMC 10的組態實例。

BCMC 10包括CPU核心101，用以控制多處理器系統1的整個作業；主記憶體102，這是可重寫的SRAM(靜態隨機存取記憶體)；以及DMAC(Direct Memory Access Controller；直接記憶體存取控制器)103，這些裝置均是經由匯流排B1互相連接。CPU核心101是一種包含電腦的半導體裝置，該電腦具有執行本發明特有資料處理的功能，其方式是配合主記憶體102來讀取給定電腦程式以執行程式。主記憶體102係當作整個系統共用的記憶體。

最高階之WTA/加總電路30的輸出端子及外部記憶體(如硬碟機、可傳輸媒體等等)均是連接至匯流排B1。

在起始時間，CPU核心101從外部記憶體讀取啓動程式，並且執行啓動程式以運作作業系統。它也從外部記憶體讀取資料處理所需的各種資料，並且展開至主記憶體102。如每個單元處理器20狀態變數值之類的資料被設計儲存至主記憶體102中。狀態變數值被放置在對應於已計算對應

本紙張尺度適用中國國家標準(CNS) A4規格(210×297公釐)

裝 訂

五、發明說明（ 13 ）

狀態變數值之單元處理器20之單元位址的主記憶體位址中。

CPU核心101依據從主記憶體102讀取的資料，以產生要廣播至每個單元處理器20的廣播資料。廣播資料是一對資料，其具有狀態變數值，以及用來指示已計算對應狀態變數值之單元處理器20的單元位址。在此情況下，會產生一對或複數對資料。

DMAC 103是一種在主記憶體102與每個單元處理器20之間執行直接記憶體存取傳送控制的半導體裝置。例如，DMAC 103經由廣播通道將廣播資料廣播至每個單元處理器20。它也分別獲取各自單元處理器20的資料處理結果，並將資料處理結果寫入至主記憶體102。

<單元處理器>

每個單元處理器20從廣播資料挑選所所需的資料並且執行資料處理，並且在資料處理結束時將結果傳送至WTA/加總電路30。每個單元處理器20依據來自於BCMC 10的指令，將狀態變數值(這是資料處理結果)傳送至BCMC 10。各自單元處理器20係經由通用的記憶體(圖中未顯示)以環狀形式互相連接。每個單元處理器20可在同步時脈期間執行資料處理。再者，每個單元處理器20可在不同時脈期間執行資料處理。圖 3 顯示單元處理器20的組態實例。

單元處理器20係由單元CPU 201、輸入緩衝器202、輸出緩衝器203、WTA緩衝器204、程式控制器205、指令記憶體206及資料記憶體207所組成。

本紙張尺度適用中國國家標準(CNS) A4規格(210×297公釐)

裝 訂

五、發明說明（ 14 ）

單元CPU 201是具有可程式規劃浮點計算機的處理器，並且控制每個單元處理器20的運作以執行資料處理。單元CPU 201經由輸入緩衝器202獲得須從BCMC 10廣播的廣播資料。然後，單元CPU 201使用單元位址資料對來決定所獲取的廣播資料是否是單元CPU 201應執行處理所需的資料。如果必要的話，單元CPU 201將狀態變數值寫入至資料記憶體207中對應的位址。另外，單元CPU 201從資料記憶體207讀取狀態變數值，並且執行資料處理。然後，單元CPU 201將資料處理結果寫入至輸出緩衝器203，並且將指示資料處理結束的資料傳送至WTA/加總電路30。

輸入緩衝器202是用來保存須從BCMC 10廣播的廣播資料。被保存的廣播資料被傳送至單元CPU 201，以響應來自於單元CPU 201的請求。

輸出緩衝器203是用來保存單元CPU 201的狀態變數值。被保存的狀態變數值被傳送至單元BCMC 10，以響應來自於BCMC 10的請求。除了前面所述以外，輸入緩衝器202及輸出緩衝器203還可執行傳輸及接收控制資料。

在單元CPU 201執行的資料處理結束時，WTA緩衝器204接收來自於單元CPU 201的資料，這個資料指示資料處理結束。然後，WTA緩衝器204將接收到的資料傳輸至WTA/加總電路30，以向其報告資料處理結束。指示資料處理結束的資料包括(例如)單元處理器20的ID及決定優先順序的優先順序資料，當要將輸出緩衝器203中儲存的狀態變數值讀入至BCMC 10時需要這個優先順序資料。

本紙張尺度適用中國國家標準(CNS) A4規格(210×297公釐)

裝 訂

五、發明說明（ 15 ）

程式控制器205從BCMC 10擷取用來定義單元處理器20作業的程式。定義單元處理器20作業的程式包括供單元處理器20執行資料處理使用的程式，以及用來決定每個單元處理器20執行處理所需之資料的資料選擇程式。程式還包括用來決定優先順序的優先順序決定程式，這是當將處理結果讀入至BCMC 10所需的程式。

指令記憶體206儲存程式控制器205擷取的程式。依需求，將儲存的程式讀入至單元CPU 201。

資料記憶體207係用來儲存單元處理器20處理的資料。按照單元CPU 201需求所決定廣播資料被寫入至單元CPU 201中。廣播資料係儲存在資料記憶體207中對應於單元位址的位址。

另外，根據本具體實施例，資料記憶體207的一部份係經由通用記憶體連接至互相鄰接的單元處理器20，促使能夠在每個循環期間，在鄰接的單元處理器之間傳輸/接收資料。

<WTA/加總電路>

複數個WTA/加總電路30依據每個單元處理器20傳送之用來指示資料處理結束的資料，以決定BCMC 10從單元處理器20擷取狀態變數值的順序，並向BCMC 10報告。

圖4顯示WTA/加總電路30的組態實例。

每個WTA/加總電路30均是由兩個輸入暫存器A和B(下文中稱之爲第一輸入暫存器301和第二輸入暫存器302)、選擇器開關303、比較器304、加法器305及輸出暫存器306所

本紙張尺度適用中國國家標準(CNS) A4規格(210×297公釐)

裝 訂

五、發明說明（ 16 ）

組成。

第一輸入暫存器301和第二輸入暫存器302均具有一個整數暫存器及一個浮點暫存器。例如，在每個單元處理器20傳送之用來指示資料處理結束的資料之中，會將ID資料寫入至整數暫存器，以及將優先順序資料寫入至浮點暫存器。

選擇器開關303將能量供給比較器304或加法器305。具體而言，選擇器開關303促使能夠根據作業模式來使用比較器或加法器的其中一個。作業模式係由來自於BCMC 10的指令所決定。下文中將會說明作業模式。

比較器304執行浮點值的比較，這是第一輸入暫存器301和第二輸入暫存器302的浮點暫存器所保存的浮點值。比較器304將較大(或較小)值及其隨附的整數寫入至輸出暫存器306。

加法器305計算浮點值(這是第一輸入暫存器301和第二輸入暫存器302的浮點暫存器所保存的浮點值)的總和，並將計算結果寫入至輸出暫存器306。

輸出暫存器306的建構方式實質上相同於第一輸入暫存器301和第二輸入暫存器302。即，輸出暫存器306包括整數暫存器及浮點暫存器。ID資料被寫入至整數暫存器，而優先順序資料被寫入至浮點暫存器。

WTA/加總電路30具有下文中提出的三種作業模式。

最大值(WTA)模式：

比較器304係由選擇器開關303供給能量。比較器304執

本紙張尺度適用中國國家標準(CNS) A4規格(210×297公釐)

裝 訂

五、發明說明（ 17 ）

行浮點值A與B(這是第一輸入暫存器301和第二輸入暫存器302的浮點暫存器所保存的浮點值)的比較。比較器304將較大(或較小)值及其隨附的整數寫入至輸出暫存器306。當寫入至輸出暫存器306結束時，會清除第一輸入暫存器301和第二輸入暫存器302。輸出暫存器306的內容被寫入至較高階之WTA/加總電路30的輸入暫存器。此時，如果當作寫入目的地的輸入暫存器未被清除，則會停止寫入，並且在這個循環期間不執行寫入。基於此原因，輸出暫存器306的內容被設計在下一循環期間寫入。

加法模式：

加法器305係由選擇器開關303供給能量。加法器305計算浮點值A與B(這是第一輸入暫存器301和第二輸入暫存器302的浮點暫存器所保存的浮點值)的總和。然後，加法器305將計算結果寫入至輸出暫存器~~306~~。輸出暫存器306的內容被寫入至較高階之WTA/加總電路30的輸入暫存器。

近似排序模式：

比較器304係由選擇器開關303供給能量。比較器304執行浮點值A與B(這是第一輸入暫存器301和第二輸入暫存器302的浮點暫存器所保存的浮點值)的比較。比較器304將較大(或較小)值及其隨附的整數寫入至輸出暫存器306。

之後，只會清除輸入暫存器，其保存寫入至輸出暫存器306的值。輸出暫存器306的內容被寫入至較高階之WTA/加總電路30的輸入暫存器。如果當作寫入目的地的輸入暫

本紙張尺度適用中國國家標準(CNS) A4規格(210×297公釐)

裝 訂

五、發明說明（ 18 ）

存器未被清除，則會停止寫入，並且在這個循環期間不執行寫入。在加法運算中，會執行較低階之WTA/加總電路30之輸出暫存器306的寫入作業。

藉由近似排序模式，BCMC 10從最高階之WTA/加總電路30接收到的資料被儲存，以適當地遞增或遞減浮點值。

另外，會進入每種模式之前，均會先清除所有WTA/加總電路30的第一輸入暫存器301、第二輸入暫存器302及輸出暫存器306。

每種模式的變更實施當作排序機件的功能(排序機件)及/或與整個複數個WTA/加總電路有關的加總電路。換言之，近似排序模式中的作業實現排序機件，以及加法模式中的作業實現加總電路。

以最大值模式及近似排序模式運作的WTA/加總電路30可以下列方式實現：

即，WTA/加總電路30係由與單元處理器20數量相同的輸入暫存器、選擇器開關、比較器304、加法器305及輸出暫存器所組成。

準備的輸入暫存器數量與單元處理器20的數量相同，並且每個輸入暫存器均包括一個整數暫存器及一個浮點暫存器，類似於第一輸入暫存器301和第二輸入暫存器302。比較器執行浮點值的比較，這是所有輸入暫存器的浮點暫存器所保存的浮點值。加法器計算浮點值的總和，這是所有浮點暫存器所保存的浮點值。

輸出暫存器與圖4所示之WTA/加總電路30的輸出暫存器

本紙張尺度適用中國國家標準(CNS) A4規格(210×297公釐)

裝 訂

五、發明說明（ 19 ）

相同。

比較器比較各自輸入暫存器之浮點暫存器所保存的優先順序資料，並且以遞減的優先順序將隨附的ID連續寫入至輸出暫存器。以此方式促使能夠以遞減的優先順序將ID傳送至BCMC 10。

加法器將浮點暫存器所保存的資料相加，以獲得總和。

此類的WTA/加總電路係當作本發明的排序機件及加總電路，而不是採用如圖1所示的連接。

<資料處理方法>

本具體實施例的多處理器系統1執行下列的作業，以執行必要的資料處理。圖5顯示多處理器系統1執行之處理流程的流程圖。

在BCMC 10的主記憶體102中，預先儲存所有單元處理器20之狀態變數值的起始值。

BCMC 10產生廣播資料，這是包括每個單元處理器20之狀態變數值及每個單元處理器20之單元位址的一對資料(步驟S101)。然後，BCMC 10將產生的廣播資料廣播至所有的單元處理器20(步驟S102)。

每個單元處理器20將廣播資料擷取至輸入緩衝器202。單元處理器20依據指令記憶體206中儲存的資料選擇程式，以檢查單元CPU 201輸入緩衝器202保存之廣播資料的單元位址，並且確認是否有每個單元處理器20執行資料處理所需的狀態變數值(步驟S103)。在沒有每個單元處理器20執行資料處理所需之狀態變數值的情況下，單元處理器

本紙張尺度適用中國國家標準(CNS) A4規格(210×297公釐)

裝 訂

五、發明說明（ 20 ）

20結束處理作業(步驟S103：否)。在有每個單元處理器20執行資料處理所需之狀態變數值的情況下(步驟S103：是)，單元處理器20執行將對應的狀態變數值覆寫至資料記憶體207上對應於與這個狀態變數值配對之單元位址的位址上(步驟S104)。

在此方式中，結束將資料從BCMC 10廣播至每個單元處理器20。

當廣播結束時，每個單元處理器20將資料處理提供給資料記憶體207上記錄的狀態變數值，以依據指令記憶體206中儲存的資料處理程式來產生新的狀態變數值。新的狀態變數值被寫入至資料記憶體207，並且也會被寫入至輸出緩衝器203(步驟S105)。然後，每個單元處理器20將新的狀態變數值覆寫至資料記憶體207上對應於其單元位址的位址上。

當資料處理結束時，單元CPU 201經由WTA緩衝器204將結束資料(包含ID及優先順序資料)傳輸至第一階之WTA/加總電路30的輸入暫存器，並且報告資料處理結束(步驟S106)。資料處理前後，會依據給定的優先順序決定程式來產生優先順序資料。

關於每個單元處理器20傳送的結束資料，WTA/加總電路30分別使用輸入暫存器的整數暫存器來保存ID，以及使用浮點暫存器來保存優先順序資料。此處，WTA/加總電路30係以近似排序模式運作。基於此原因，選擇器開關303供給能量給比較器304。

本紙張尺度適用中國國家標準(CNS) A4規格(210×297公釐)

裝 訂

五、發明說明（ 21 ）

WTA/加總電路30之第一輸入暫存器301和第二輸入暫存器302的整數暫存器保存從不同處理器傳送的ID。每個浮點暫存器保存的ID隨附的優先順序資料。比較器304從第一輸入暫存器301和第二輸入暫存器302的浮點暫存器讀取優先順序資料，並且比較優先順序資料。由於比較結果，比較器304將較高優先順序資料及隨附的ID寫入至輸出暫存器306的浮點暫存器及整數暫存器。關於寫入至輸出暫存器306之輸入暫存器的內容，會將這內容清除。關於寫入至輸出暫存器306之ID及優先順序資料，則是被寫入至較高階之WTA/加總電路30的輸入暫存器。

前面提及的處理係在各階的WTA/加總電路上執行。最高階之WTA/加總電路30將寫入至輸出暫存器306之整數暫存器的ID傳送至BCMC 10。

整個WTA/加總電路30利用前面提供的處理，以遞減的優先順序將ID傳送至BCMC 10(步驟S107)。

BCMC 10從對應於WTA/加總電路30傳送之ID之單元處理器20的輸出緩衝器203獲取須經資料處理的狀態變數值。執行將所獲取的狀態變數值覆寫至對應於指示已執行處理之單元處理器20之單元位址的位址中(步驟S108)。

以此方式，結束處理狀態變數值的一個循環作業。

BCMC 10從每個單元處理器20獲取資料處理結果，以此方式產生廣播資料。

每個單元處理器20從廣播資料中只挑選每個單元處理器20所需的資料，以執行資料處理。使用此類廣播資料的資

本紙張尺度適用中國國家標準(CNS) A4規格(210×297公釐)

裝 訂

五、發明說明（ 22 ）

料處理促使能夠使用所有其他單元處理器20處理過的資料來執行處理。另外，BCMC 10使用一對資料(其具有每個單元處理器20傳送之資料處理結果及用來指示已產生資料處理結果之單元處理器20的單元位址)來產生廣播資料。這促使能夠只使用特定單元處理器20傳送的資料處理結果來執行處理。另外，由於鄰接的單元處理器20係經由通用記憶體互相連接，所以能夠在鄰接的單元處理器20之間執行處理，類似於先前技藝。

每個單元處理器20從廣播資料挑選所需的資料，而不需要將每個單元處理器20所需的資料直接擷取至主記憶體102，並且處理其中保存的資料，允許高速處理，而不會發生資料衝突。

[第一項具體實施例]

下文中將具體解說前面解說之多處理器系統1的第一具體實施例。

這個具體實施例參考圖6來解說只使用特定單元處理器20及其鄰接之其他單元處理器20處理過之資料的實例。

在圖6中，“O”標示單元處理器，而較暗的“O”標示執行資料處理的單元處理器，而“●”標示保存必要資料的單元處理器。

假設下列的過濾計算係相對於關於n x n點陣(n是二或二以上的自然數)之每個點陣點之資料(點陣點資料)連續執行。

$$Xi,j = (Xi-1,j + Xi+1,j + Xi,j - Xi,j+1)/4$$

本紙張尺度適用中國國家標準(CNS) A4規格(210×297公釐)

裝 訂

五、發明說明（ 23 ）

其中i=點陣點的列數，j=點陣點的行數。

BCMC 10將點陣點資料(當作廣播資料之以列或行群組的資料)廣播至n單元處理器20。

圖8群組之點陣資料的圖式。圖中以“O”標示的點陣點資料係五個一組群組。一個群組中的點陣點資料係由一個單元處理器20處理。

單元處理器20將來自於廣播資料之群組的必要點陣點資料儲存至資料記憶體207中。然後，它從資料記憶體207連續讀取點陣點資料，並且執行資料處理。經由通用記憶體連接之單元處理器20間的資料傳送係使用通用記憶體執行。如果將資料寫入至通用記憶體的寫入作業是一個循環，則在單元處理器20間的傳送群組資料可能以2n循環執行。

各自單元處理器20係同步運作以執行寫入至通用記憶體，並且當作在管線處理中同時計時，促使能夠在單元處理器之間同時執行通信及計算。

每當群組點陣資料之資料處理結束時，BCMC 10廣播下一個廣播資料。單元處理器20依據廣播的資料i和j來判斷是否應執行資料處理。

廣播資料被群組，以便能夠以列方向或行方向來處理資料，並且經由通用資料來執行資料傳送，允許以列方向或行方向來處理資料。

[第二項具體實施例]

這個具體實施例參考圖7來解說只使用某些或所有單元

本紙張尺度適用中國國家標準(CNS) A4規格(210×297公釐)

五、發明說明（ 24 ）

處理器20處理過之資料的實例。在圖7中，“O”標示單元處理器，而較暗的“O”標示執行資料處理的單元處理器，而“●”標示保存必要資料的單元處理器。此類多處理器系統可用來實現跳躍欄位組合儲存(hop field associative storage)。

假設每個單元處理器20均保存一個狀態變數值(這個資料處理結果)，以及權值因數(用以指示狀態變數值的重要性)。另外，會將號碼加入至每個單元處理器20，並且BCMC 10以號碼順序從所有的單元處理器20擷取狀態變數值。

BCMC 10廣播從每個單元處理器20擷取的狀態變數值，當作廣播資料。每個單元處理器20從廣播資料中只選取所需的狀態變數值，並且執行關於權值因數的乘積加總作業，並且更新狀態變數值。在所需的狀態變數值指示所有的狀態變數值均包含於廣播資料中的情況下，這相當於是使用所有處理器處理過的資料進行處理。

[第三項具體實施例]

下文中將解說圖樣比對計算處理的實例。

此處，執行用來指示保存資料之單元處理器20的處理，其類似於輸入資料功能。這個處理執行方式如下：

每個單元處理器20均事先保存要比較的範本資料。

BCMC 10將輸入資料廣播至所有的單元處理器20。每個單元處理器20計算每個處理器保存之範本資料的圖樣(feature)與輸入資料的圖樣(feature)之間的差值。差值會與

本紙張尺度適用中國國家標準(CNS) A4規格(210×297公釐)

裝 訂

五、發明說明（ 25 ）

ID一起傳送至WTA/加總電路30。

WTA/加總電路30係以最大值模式運作。輸入暫存器的整數暫存器保存ID，而浮點暫存器則保存差值。比較器304比較各自單元處理器20計算的差值，並且將較小差值及其隨附的ID傳送至輸出暫存器306。這個處理係透過WTA/加總電路30執行，以獲取最小差值及其隨附的ID。獲取的ID及差值一起被傳送至BCMC 10。

BCMC 10依據ID來指定單元處理器20。這促使能夠偵測最類似於輸入資料之圖樣(feature)的範本資料，並且偵測範本資料與輸入資料的差值。

[第四項具體實施例]

下文中將解說影像處理中使用之運動中物件碰撞決策演算法處理的實例。「碰撞決策演算法」決定存在於特定空間中的n個物件是否有發生碰撞，以及當發生碰撞時產生的強度。

n個物件的空間分佈有些變化，並且物件被分成m個群集。例如，此處假設決定是否有一個物件與任何其他(n-1)物件發生碰撞最強烈。

圖9顯示此類空間中的物件，並且使用矩形來隔離以"O"標示的物件，以形成一個群集。在圖9中，物件被分成五個群集。物件的資料指示係從BCMC 10廣播，並且以群集爲基礎被擷取至單元處理器20。單元處理器20執行與包含於一個群集中之擷取物件有關之空間位置與移動的相關處理。

本紙張尺度適用中國國家標準(CNS) A4規格(210×297公釐)

裝 訂

五、發明說明（ 26 ）

在圖5的實例中，單元處理器A至E執行被分成五個群集之物件的處理。

下文中將參考圖10來說明有關碰撞決策演算法的處理流程。

BCMC 10產生廣播資料(其包括具有物件位置和速度之資料的物件資料，以及指示對應物件所屬之群集的群集資料)，並且將廣播資料廣播至所有的單元處理器20(步驟S201)。每個單元處理器20依據群集資料從廣播資料挑出物件資料，並擷取之。

已擷取物件資料的單元處理器20從物件的現行位址資料及速度資料來計算時間單元後的新位址資料。單元處理器20從新位址資料獲取新邊框的值(步驟S202)。邊框表示圍住物件的矩形，例如，如圖9所示。邊框值是邊框頂點的座標。

BCMC 10從每個單元處理器20擷取新的物件位置資料，並且更新位置資料(步驟S203)。

接著，BCMC 10將包含獲取之新位置資料的物件資料逐一廣播至所有的單元處理器20(步驟S204)。即，BCMC 10將位置資料(其指示一個物件的位置，當作須經碰撞決策的目標，下文中稱之爲「決定物件」)傳送所有的單元處理器20。

每個單元處理器20先使用於步驟S202計算的邊框來決定是否會發生決定物件碰撞(步驟S205)。具體而言，單元處理器20決定該決定物件的位置是否是位於邊框上。

本紙張尺度適用中國國家標準(CNS) A4規格(210×297公釐)

五、發明說明（ 27 ）

在可能會發生決定物件碰撞的情況下，即，決定物件位於邊框上(步驟S205：是)，單元處理器20連續計算位於邊框上要處理之各自物件間的距離(步驟S206)以決定是否發生碰撞(步驟S207)。在決定物件與位於邊框上之任一物件碰撞的情況下(步驟S207：是)，單元處理器20產生包括碰撞強度資料的碰撞資料，其以數量方式來指示碰撞所造成的影響強度，並且產生碰撞對決定物件造成的影響的資料(步驟S208)。另外，單元處理器20將產生之碰撞資料中的碰撞強度資料與其ID一起傳送至WTA/加總電路30(步驟S209)。

如果決定物件出現在邊框範圍外(步驟S205：否)，或決定物件由於計算距離的結果而未與任一物件碰撞(步驟S207：否)，則每個單元處理器20將(例如)「-1, 0」當作碰撞強度資料傳送至WTA/加總電路30(步驟S210)。

WTA/加總電路30係以最大值模式運作。WTA/加總電路30執行從單元處理器20傳送之碰撞強度資料間的比較，並且偵測碰撞強度資料(其指示碰撞所造成的最大影響)(步驟S211)。然後，WTA/加總電路30指定已產生所偵測之碰撞強度資料的單元處理器20。之後，WTA/加總電路30將ID(用以指示指定的單元處理器20)傳送至BCMC 10。

BCMC 10從單元處理器20(從最高階之WTA/加總電路30所指出的單元處理器之ID)獲得碰撞資料(步驟S212)。於步驟204之後，藉由處理所有物件，執行空間中所有物件之間的碰撞決策。

本紙張尺度適用中國國家標準(CNS) A4規格(210×297公釐)

裝 訂

五、發明說明（ 28 ）

[第五項具體實施例]

下文中將解說使用WTA/加總電路30之加法器305的實例。

每個單元處理器20將資料處理結果輸入至WTA/加總電路30。在WTA/加總電路30中，加法器305將資料處理結果相加，結果獲取與所有單元處理器20有關之資料處理結果的總和。在此方式中，WTA/加總電路30能夠高速獲取資料處理結果的總和。

資料處理結果的總和被傳送至BCMC 10，接著將總和高速傳輸至所有的單元處理器20。資料處理結果的總和係用來與如神經系統電腦中使用之最佳化計算有關的計算標準化。

在前面的解說明，雖然BCMC 10及WTA/加總電路30係以互相獨立的方式構成，但是可將WTA/加總電路30併入BCMC 10中，以當作一個組塊來建構控制器。

另外，前文中已解說資料處理裝置是單元處理器20及控制裝置是控制器(BCMC 10)的實例。但是，本發明的組態組件不限定於前面的實例。

例如，可能提供如下的組態。

即，兩個或兩個以上資料處理終端機係經由廣域網路以雙向通信的形式連接。在這些資料處理終端機之中，一個或複數個資料處理終端機被當作控制裝置，而其他的資料處理終端機係當作資料處理裝置。控制裝置具備廣播廣播資料的功能，該廣播資料包括從某些或所有複數個資料處

本紙張尺度適用中國國家標準(CNS) A4規格(210×297公釐)

裝 訂

五、發明說明（ 29 ）

理裝置接收到的資料處理結果及至少一資料處理裝置執行資料處理使用的資料。複數個資料處理裝置的每個資料處理裝置均具備從控制裝置廣播之廣播資料只挑選每個資料處理裝置執行資料處理所需的資料，以執行資料處理，並且處理結果傳輸至控制裝置。

另外，還可能提供如下的組態。

即，複數個一般用途的資料處理終端機(其能夠指定預先決定的識別資訊，例如，前文提及的識別資料)係當作複數個資料處理裝置使用。然後，可只用一個伺服器(其能與執行與這些一般用途資料處理終端機之間的雙向通信)來建構資料處理系統，或是使用配備包含CPU及記憶體之半導體裝置的設備來建構資料處理系統。

關於此類的伺服器及設備，其內建的CPU讀取並執行給定的電腦程式。以此方式爲伺服器主體或設備提供下列的功能。即，指定至少一資料處理終端機當作資料處理裝置的功能，以產生廣播資料，該廣播資料包括指定之資料處理終端機的識別資訊及傳送至該資料處理終端機的資料處理資料。另一項功能是從某些或所有該等複數個資料處理終端機獲取對應之資料處理終端機執行的資料處理結果。還有一項功能是將接收的處理結果納入至該廣播資料，以將該對應的廣播資料廣播至該等複數個資料處理終端機的每個資料處理終端機。

前文提及的本發明能夠在使用複數個資料處理裝置的情況下，在資料處理裝置之間高效率執行資料處理。

本紙張尺度適用中國國家標準(CNS) A4規格(210×297公釐)

裝 訂

五、發明說明（ 30 ）

各種具體實施例及變更均可實施，而不會脫離本發明廣大的精神及範疇。前面說明的具體實施例係用來解說本發明，而不是限制本發明的範疇。本發明的範疇係由隨附的申請專利範圍指出，而不是由具體實施例指出。在本發明申請專利範圍同等意義範圍內及申請專利範圍內的各種修改均視爲屬於本發明的範疇。

本紙張尺度適用中國國家標準(CNS) A4規格(210×297公釐)

裝 訂

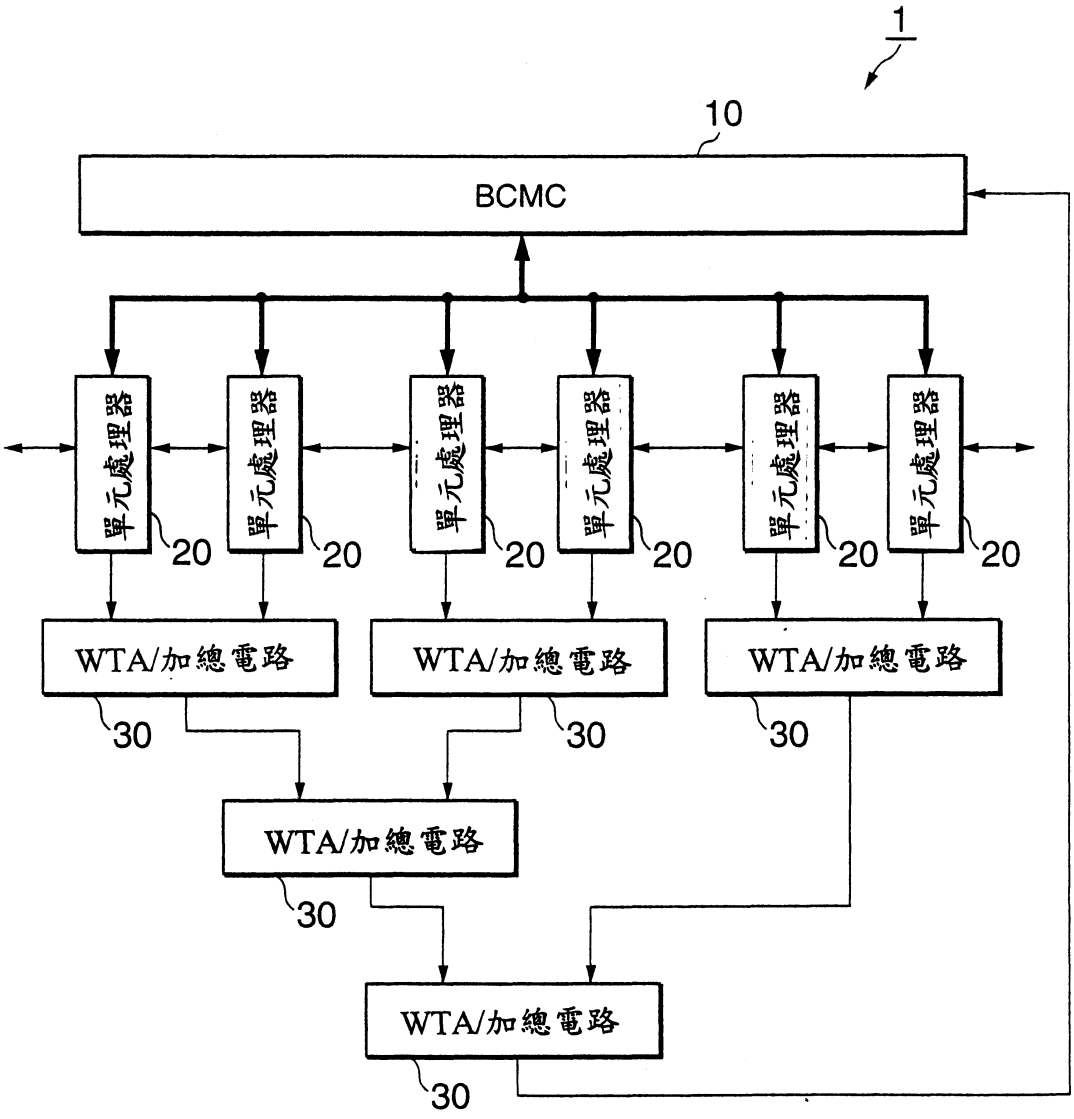

圖 1

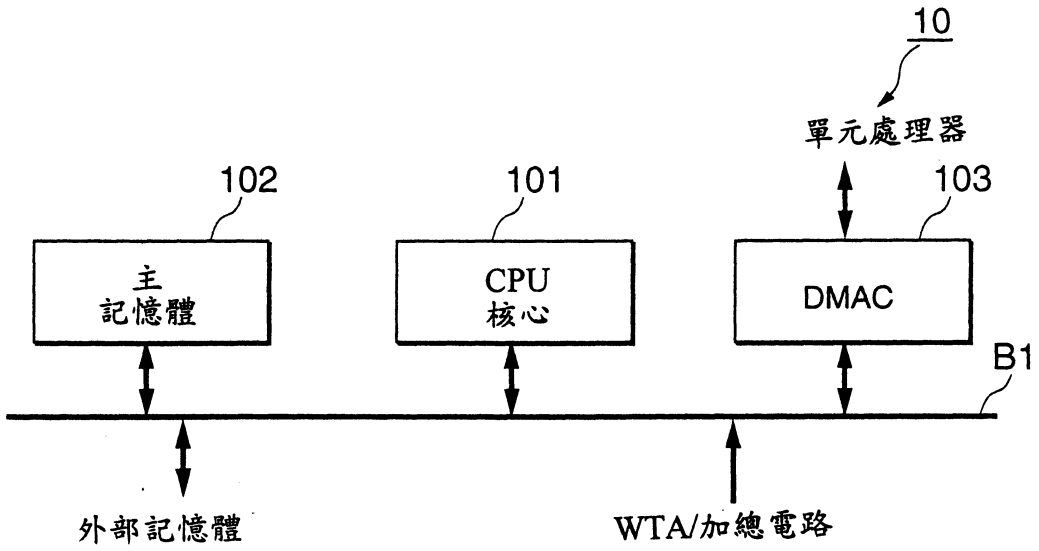

圖 2

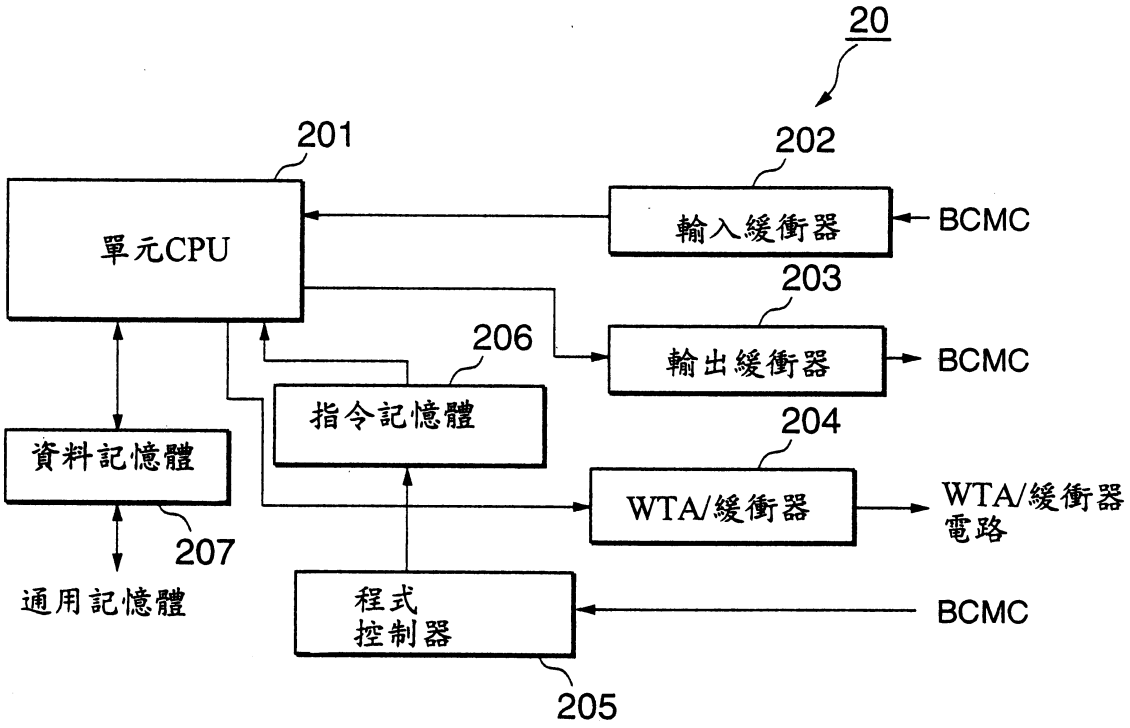
20
201
202
單元CPU
輸入緩衝器
BCMC
203
206
輸出緩衝器
BCMC
指令記憶體
204
資料記憶體
WTA/緩衝器
WTA/緩衝器
電路
207
通用記憶體
程式
控制器
BCMC
205

圖 3

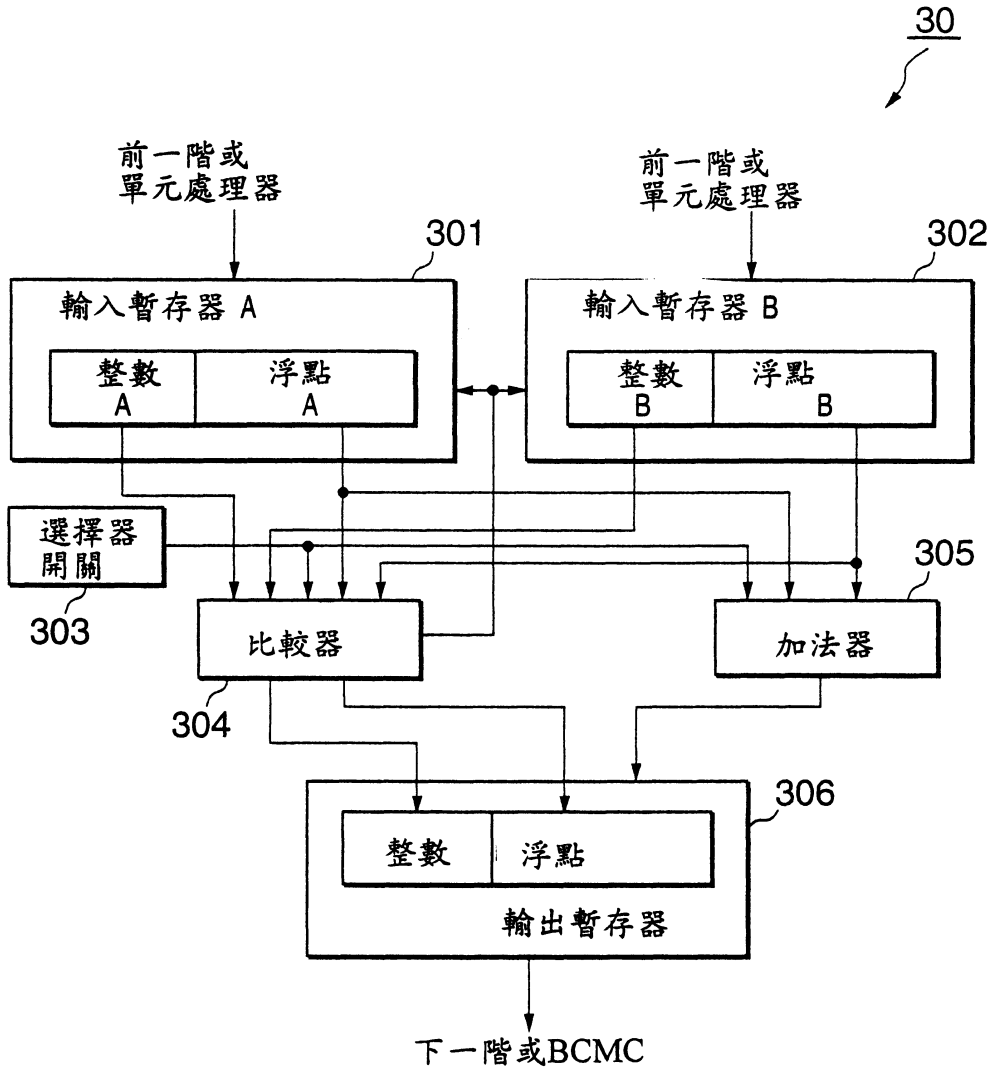
30
前一階或
單元處理器
前一階或
單元處理器
301
302
輸入暫存器 A
整數
A
浮點
A
輸入暫存器 B
整數
B
浮點
B
選擇器
開關
303
比較器
304
加法器
305
306
整數
浮點
輸出暫存器
下一階或BCMC

圖 4

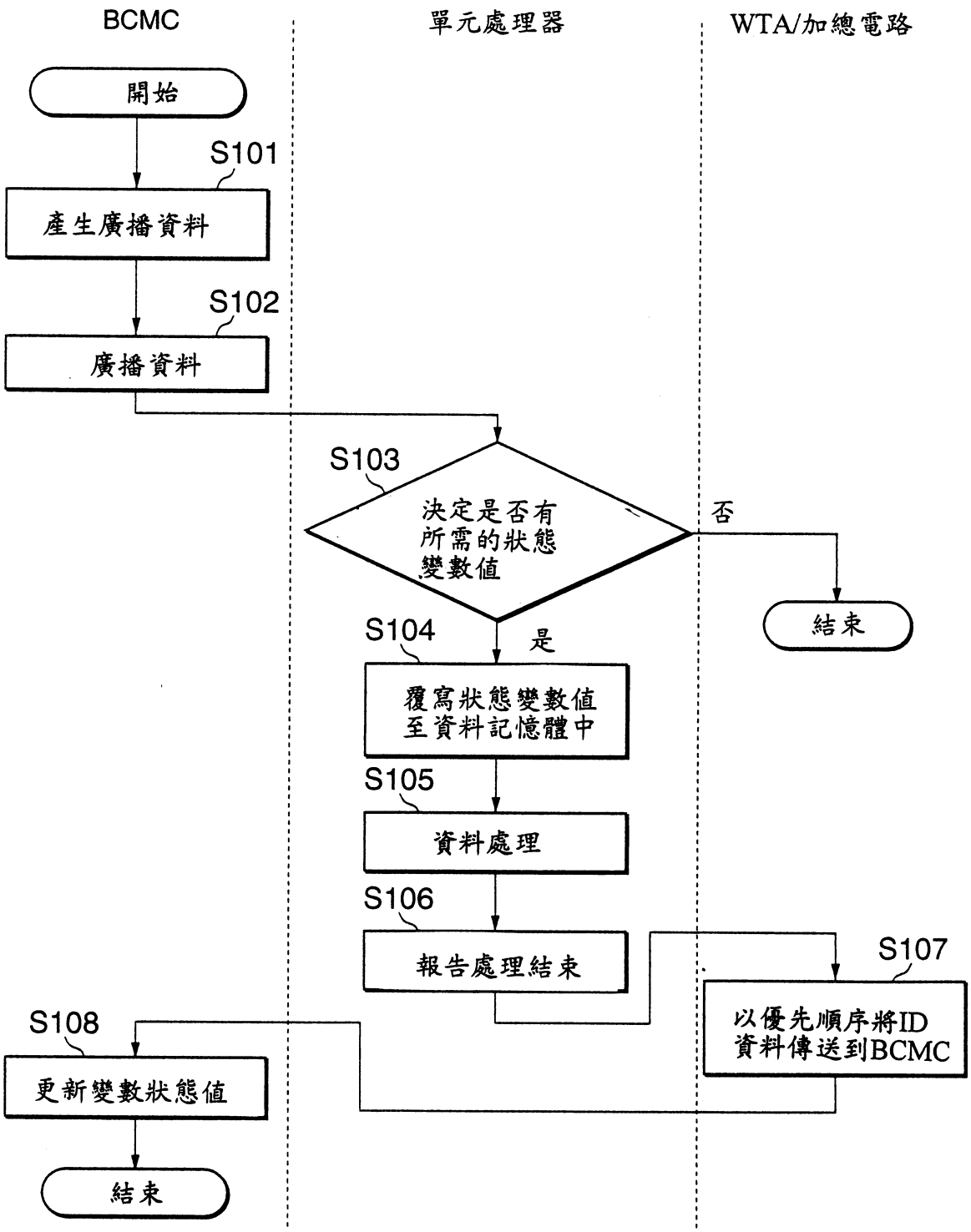
BCMC
單元處理器
WTA/加總電路
開始
S101
產生廣播資料
S102
廣播資料
S103
決定是否有所需的狀態變數值
否
結束
是
S104
覆寫狀態變數值至資料記憶體中
S105
資料處理
S106
報告處理結束
S107
以優先順序將ID資料傳送到BCMC
S108
更新變數狀態值
結束

圖 5

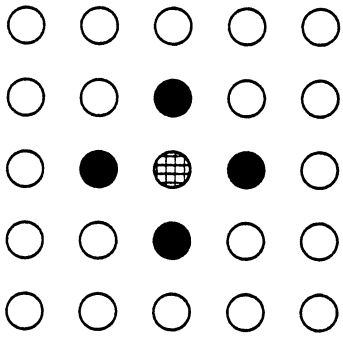

圖 6

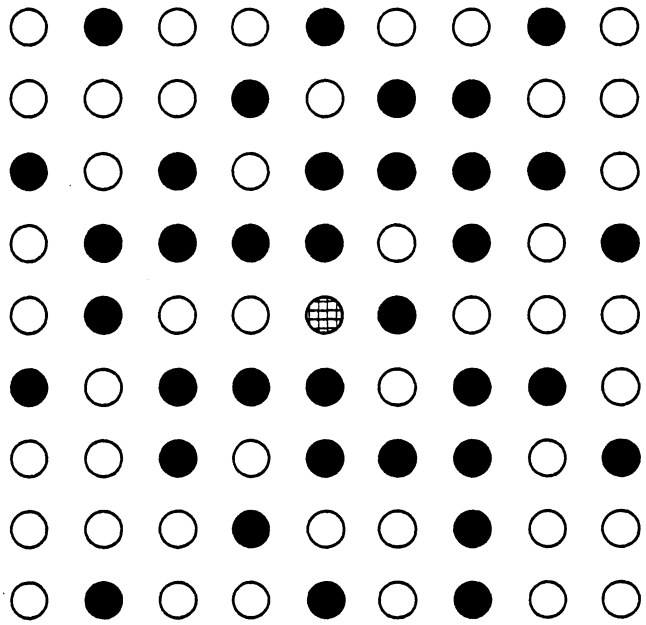

圖 7

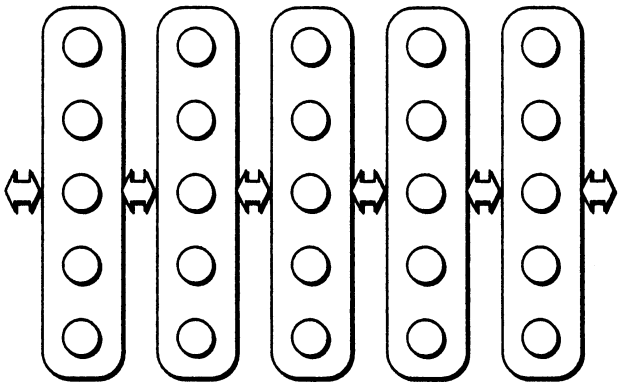

圖 8

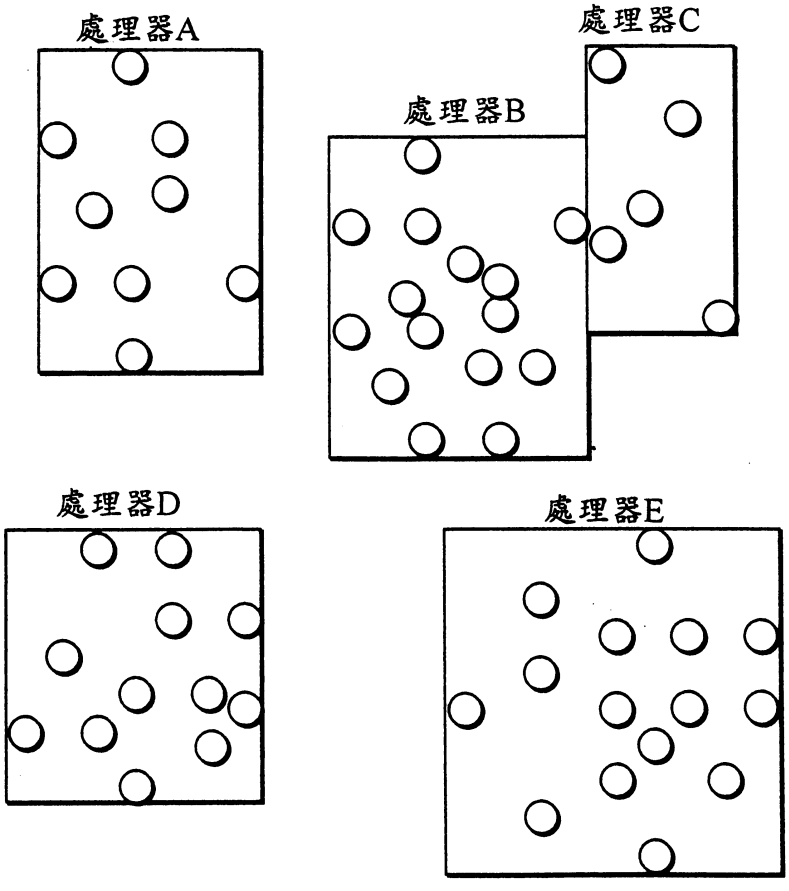

圖 9

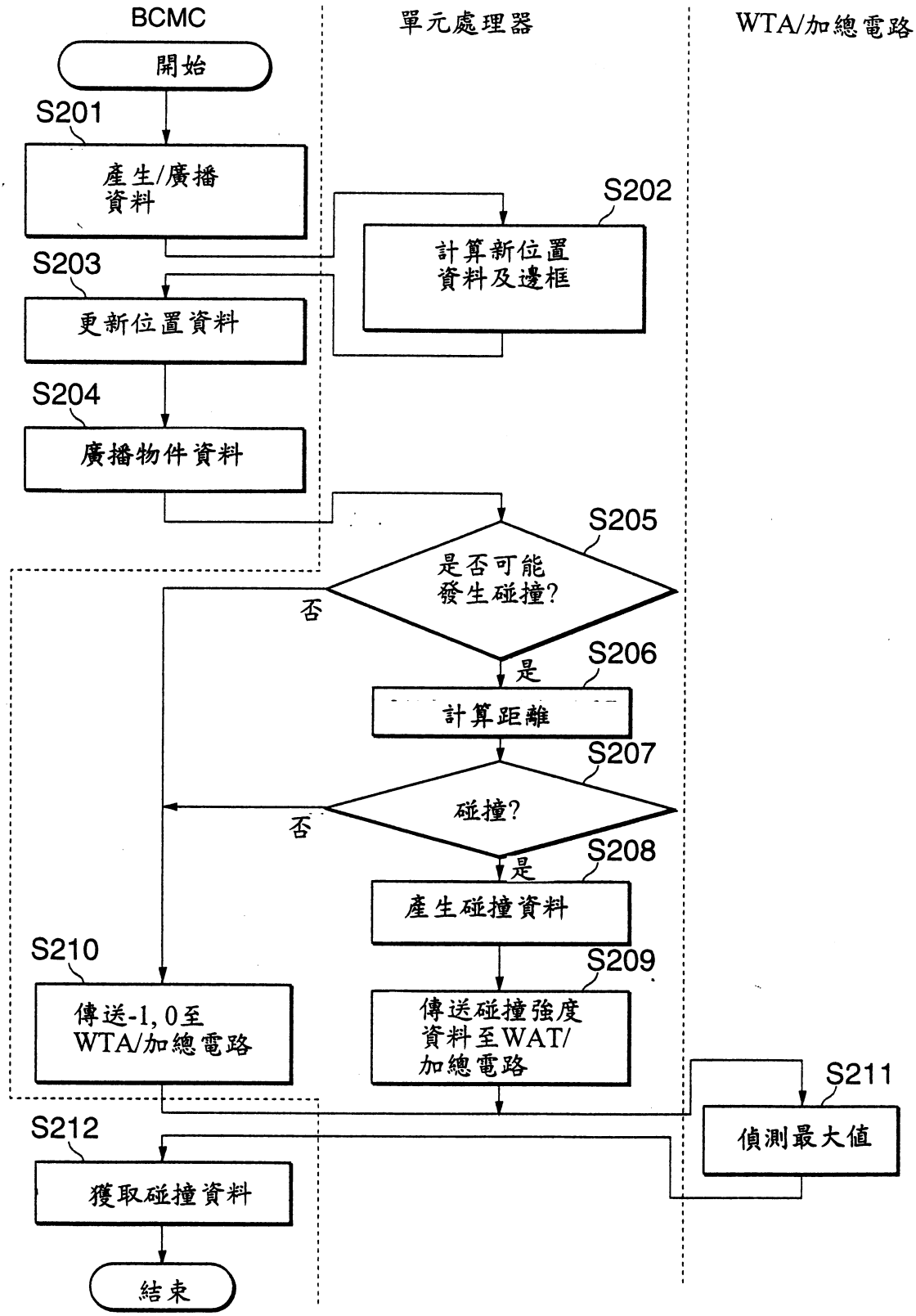
BCMC
單元處理器
WTA/加總電路
開始
S201
產生/廣播資料
S202
計算新位置資料及邊框
S203
更新位置資料
S204
廣播物件資料
S205
是否可能發生碰撞?
否
是
S206
計算距離
S207
碰撞?
否
是
S208
產生碰撞資料
S209
傳送碰撞強度資料至WAT/加總電路
S210
傳送-1, 0至WTA/加總電路
S211
偵測最大值
S212
獲取碰撞資料
結束

圖 10

公告本

I229265

申請日期	90、9、27
案　　號	90123900
類　　別	G06F 15/16

修正替換頁
更 93年7月12日

A4
C4

中文說明書替換頁(93 年 7 月)

（以上各欄由本局填註）

發明 新型 專利說明書

一、發明新型名稱	中　文	多處理器系統，資料處理系統，資料處理方法，及電腦可讀取之記錄媒體
	英　文	MULTI-PROCESSOR SYSTEM, DATA PROCESSING SYSTEM, DATA PROCESSING METHOD, AND COMPUTER READABLE RECORDING MEDIA
二、發明創作人	姓　名	佐佐木 伸夫 NOBUO SASAKI
	國　籍	日本
	住、居所	日本國東京都港區赤坂7丁目1番1號 日商新力電腦娛樂股份有限公司內
三、申請人	姓　名 (名　稱)	日商新力電腦娛樂股份有限公司 SONY COMPUTER ENTERTAINMENT INC.
	國　籍	日本
	住、居所 (事務所)	日本國東京都港區赤坂7丁目1番1號
	代表人 姓　名	久多良木 健 KEN KUTARAGI

本紙張尺度適用中國國家標準(CNS) A4規格(210×297公釐)

裝 訂 線

修正替換頁
93年7月12日

A5
B5

四、中文發明摘要（發明之名稱：）

多處理器系統，資料處理系統，資料處理方法，及電腦可讀取之記錄媒體

本發明揭示多處理器系統，其包括複數個單元處理器，用以執行資料處理；一BCMC，用以將包含在資料處理中使用之資料的廣播資料廣播至該等複數個單元處理器；該等複數個單元處理器的每個單元處理器均從BCMC廣播的廣播資料中只挑選每個單元處理器執行資料處理所需的資料，以執行資料處理。該BCMC獲得所有單元處理器的資料處理結果，以便將結果當作廣播資料提供給所有的單元處理器，以此方式使該BCMC能夠在該等單元處理器之間傳輸及接收資料處理結果，並且當作整個系統來執行高速資料處理。

英文發明摘要（發明之名稱：）

MULTI-PROCESSOR SYSTEM, DATA PROCESSING SYSTEM, DATA PROCESSING METHOD, AND COMPUTER READABLE RECORDING MEDIA

The multi-processor system comprises a plurality of cell processors for performing data processing, a BCMC for broadcasting broadcast data including data used in data processing to the plurality of cell processors, each of the plurality of cell processors sorts out only data necessary for data processing that is performed by each cell processor from broadcast data broadcasted by BCMC to as to perform data processing. BCMC obtains results of data processing of all cell processors so that they can be supplied to all cell processors as broadcast data, thus making it possible to transmit and receive the results of data processing between the cell processors and perform high-speed data processing as an entire system.

本紙張尺度適用中國國家標準(CNS) A4規格(210×297公釐)

裝 訂 線

六、申請專利範圍

1. 一種多處理器系統，包括：

複數個處理器，用以執行資料處理；以及

一控制器，用以將包含在資料處理中使用之資料的廣播資料廣播至該等複數個處理器，其中該等複數個處理器的每個處理器均從該控制器廣播的廣播資料中挑選每個處理器執行資料處理所需的資料，以執行資料處理。

2. 如申請專利範圍第1項之多處理器系統，其中該控制器從已執行資料處理之每個處理器獲取處理結果，並且將獲取的處理結果當作該廣播資料廣播至所有的處理器。

3. 如申請專利範圍第1項之多處理器系統，其中該等複數個處理器的每個處理器已被指派識別資料，用以識別每個處理器，該控制器產生廣播資料，其中會將當作結果獲取來源的處理器識別資料加入至該處理結果中並廣播該資料，並且該等複數個處理器挑選執行資料處理所需的該處理結果，使每個處理器可在下一時序依據該包含於該接收之廣播資料識別資料執行資料處理。

4. 如申請專利範圍第3項之多處理器系統，該多處理器系統進一步包括一排序機件，用以從該等複數個處理器之中已完成資料處理的處理器獲取識別資料，以便以給定的序列將獲取的識別資料傳送至該控制器，其中該控制器被建構，以依據自該排序機件接收的識別資料來獲得該處理結果。

5. 如申請專利範圍第4項之多處理器系統，該多處理器系統進一步包括產生優先順序資料的裝置，以訂定該控制

本紙張尺度適用中國國家標準(CNS) A4規格(210×297公釐)

裝 訂 線

六、申請專利範圍

器所要執行的該處理結果讀取序列，其中已完成資料處理的處理器被建構，以傳送該處理器的排序機件識別資料及關於處理的該優先順序資料，該排序機件被建構，以依據該優先順序資料來決定傳送該識別資料的序列。

6. 如申請專利範圍第5項之多處理器系統，其中該排序機件包括數量和該等處理器一樣的暫存器；記錄裝置，用以將該識別資料及從各自處理器傳送的識別資料記錄至與對應處理器有關的該暫存器中；一比較器，用以執行該優先順序資料之間的比較，以決定記錄在各自暫存器中之識別資料的序列，並且該排序機件依據該比較器的決策結果來決定傳送該識別資料的序列。

7. 如申請專利範圍第4項之多處理器系統，其中該控制器包括：記憶體，用以儲存資料；儲存控制裝置，用以從由自該排序機件接收到的該識別資料指定的處理器獲取該處理結果，以將獲取的結果儲存至該記憶體中；以及資料產生裝置，用以讀取儲存在該記憶體中的該處理結果，以產生包含該處理結果及該接收識別資料的該廣播資料。

8. 如申請專利範圍第4項之多處理器系統，其中該等複數個處理器的每個處理器均包括：一資料處理機件，以決定是否要將每個處理器執行之資料處理所需的資料納入該廣播資料，用以當所需資料被納入該廣播資料中時只挑選出該資料，並且執行資料處理；傳送裝置，用以依據該控制器的要求，將該資料處理機件執行的資料處理

本紙張尺度適用中國國家標準(CNS) A4規格(210×297公釐)

裝
訂
線

六、申請專利範圍

結果及每個處理器的識別傳送至該控制器；以及傳送裝置，用以當結束資料處理時，將包含每個處理器識別資料的處理程序結束通知資料傳送至該排序機件。

9. 一種多處理器系統，包括：

複數個處理器，每個處理器均保存要與輸入資料比較的範本資料；

一控制器，用以將該輸入資料廣播至該等複數個處理器；以及

一比較機件，用以比較該等複數個處理器的各自輸出，

其中該等複數個處理器保存的範本資料不同於其他處理器分別保存的範本資料；該等複數個處理器的每個處理器計算該控制器廣播之輸入資料的圖樣(feature)與每個處理器保存之範本資料的圖樣(feature)之間的差值，並且將包含該計算而得之差值及識別每個處理器之識別資料的一對資料傳送至該比較機件；該比較機件依據從各自處理器接收到的差值來選取任一差值，並將與所選差值配對的識別資料傳送至該控制器；該控制器依據從該比較機件接收的識別資料來從該等複數個處理器中指定一個處理器。

10. 一種多處理器系統，包括：

複數個處理器，用以執行資料處理；

一控制器，用以將資料處理中使用的資料廣播至該等複數個處理器；以及

本紙張尺度適用中國國家標準(CNS) A4規格(210×297公釐)

修正替換頁
92年10月9日

六、申請專利範圍

一加總電路，用以計算該等複數個處理器執行之資料處理結果的總和，

其中該等複數個處理器的每個處理器均從該控制器廣播的資料中只挑選處理所需的資料並且執行資料處理，並且將處理結果傳送至該加總電路；並且該加總電路計算從各自處理器傳送之處理結果的總和，並且將計算結果傳送至該控制器；並且該控制器將從該加總電路接收的處理結果之總和廣播至該等複數個處理器。

11. 如申請專利範圍第1項之多處理器系統，其中該等複數個處理器的至少部分處理器係經由通用記憶體以環狀形式相互連接，並且被建構，以經由該通用記憶體來執行介於以環狀形式相互連接之處理器之間的資料傳輸/接收。

12. 如申請專利範圍第9項之多處理器系統，其中該等複數個處理器的至少部分處理器係經由通用記憶體以環狀形式相互連接，並且被建構，以經由該通用記憶體來執行介於以環狀形式相互連接之處理器之間的資料傳輸/接收。

13. 如申請專利範圍第10項之多處理器系統，其中該等複數個處理器的至少部分處理器係經由通用記憶體以環狀形式相互連接，並且被建構，以經由該通用記憶體來執行介於以環狀形式相互連接之處理器之間的資料傳輸/接收。

14. 一種資料處理方法，該方法執行於一設備或系統，其具

本紙張尺度適用中國國家標準(CNS) A4規格(210×297公釐)

裝 訂 線

六、申請專利範圍

有用來執行資料處理的複數個資料處理裝置，以及用來控制該等複數個資料處理裝置之每個資料處理裝置之作業的控制裝置，該方法包括下列步驟：

以給定的順序來獲取資料處理結果，其中該資料處理是由複數個處理器的每個處理器執行，以產生廣播資料，該包含所獲取的處理結果以及用來識別當作處理結果獲取來源之資料處理裝置的識別資料，並且將該廣播資料廣播至該等複數個資料處理裝置，其中該步驟係由該控制裝置執行；以及

依據該控制裝置所接收之該廣播資料中的識別資料，只選取某些指定的處理結果，以執行資料處理，並且將該處理結果及指示每個資料處理裝置的識別資料傳送給該控制裝置，其中該步驟係由該等複數個資料處理裝置的至少一個資料處理裝置執行。

15. 一種資料處理系統，包括：

複數個資料處理裝置，用以執行資料處理；以及

控制裝置，用以廣播廣播資料，該廣播資料包括從某些或所有該等複數個資料處理裝置接收的資料處理結果，以及該資料處理裝置之至少一個資料處理裝置執行資料處理中使用的資料，

其中該等複數個資料處理裝置的每個資料處理裝置均從該控制裝置廣播的廣播資料中只挑選每個資料處理裝置執行資料處理所需的資料以執行資料處理，並且將處理結果傳送至該控制裝置。

本紙張尺度適用中國國家標準(CNS) A4規格(210×297公釐)

裝 訂 線

六、申請專利範圍

16. 一種資料處理系統，其係在執行資料處理之複數個資料處理裝置之間執行雙向通信者，該資料處理系統包括：

指定裝置，用以指定至少一資料處理裝置以產生廣播資料，該廣播資料包括指定之資料處理裝置的識別資訊及傳送至該資料處理裝置的資料處理資料；

獲取裝置，用以從某些或所有該等複數個資料處理裝置獲取對應之資料處理裝置執行的資料處理結果；以及

收納裝置，用以將接收的處理結果納入至該廣播資料，以將該廣播資料廣播至該等複數個資料處理裝置的每個資料處理裝置。

17. 一種電腦可讀取之記錄媒體，其包含一電腦程式，該電腦程式係使具有一用以執行介於執行資料處理之複數個資料處理裝置間雙向通信之電腦的設備執行下列功能：

(1)指定至少一該資料處理裝置以產生廣播資料，該廣播資料包括指定之資料處理裝置的識別資訊及傳送至該資料處理裝置的資料處理資料；

(2)從某些或所有該等複數個資料處理裝置獲取對應之資料處理裝置執行的資料處理結果；以及

(3)將接收的處理結果納入至該廣播資料，以將該廣播資料廣播至該等複數個資料處理裝置的每個資料處理裝置。

18. 一種半導體裝置，其係併入一具有一用以執行介於執行資料處理之複數個資料處理裝置間雙向通信之電腦設備者，其包含：

本紙張尺度適用中國國家標準(CNS) A4規格(210×297公釐)

六、申請專利範圍

(1)指定至少一該資料處理裝置以產生廣播資料之裝置，該廣播資料包括指定之資料處理裝置的識別資訊及傳送至該資料處理裝置的資料處理資料；

(2)從某些或所有該等複數個資料處理裝置獲取對應之資料處理裝置執行的資料處理結果之裝置；以及

(3)將接收的處理結果納入至該廣播資料，以將該廣播資料廣播至該等複數個資料處理裝置的每個資料處理裝置之裝置。

本紙張尺度適用中國國家標準(CNS) A4規格(210×297公釐)