

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号
特許第5679996号
(P5679996)

(45) 発行日 平成27年3月4日(2015.3.4)

(24) 登録日 平成27年1月16日(2015.1.16)

(51) Int.Cl.	F I	
H O 1 L 23/02 (2006.01)	H O 1 L 23/02	C
B 8 1 C 3/00 (2006.01)	B 8 1 C 3/00	
B 8 1 B 7/02 (2006.01)	B 8 1 B 7/02	
H O 1 L 23/06 (2006.01)	H O 1 L 23/02	J
	H O 1 L 23/06	Z

請求項の数 6 (全 11 頁)

(21) 出願番号	特願2011-548020 (P2011-548020)	(73) 特許権者	504199127
(86) (22) 出願日	平成22年1月13日 (2010.1.13)		フリースケール セミコンダクター イン
(65) 公表番号	特表2012-516055 (P2012-516055A)		コーポレイテッド
(43) 公表日	平成24年7月12日 (2012.7.12)		アメリカ合衆国 テキサス州 7 8 7 3 5
(86) 国際出願番号	PCT/US2010/020847		オースティン ウィリアム キャノン
(87) 国際公開番号	W02010/090798		ドライブ ウェスト 6 5 0 1
(87) 国際公開日	平成22年8月12日 (2010.8.12)	(74) 代理人	100142907
審査請求日	平成24年12月19日 (2012.12.19)		弁理士 本田 淳
(31) 優先権主張番号	12/356,939	(72) 発明者	モンテス、ルーベン ビー.
(32) 優先日	平成21年1月21日 (2009.1.21)		アメリカ合衆国 7 8 6 1 3 テキサス州
(33) 優先権主張国	米国 (US)		シダー パーク カシエル ウッド コ
			ープ 2 7 0 4

最終頁に続く

(54) 【発明の名称】 金属ゲルマニウムシリコン材料を用いた基板接合

(57) 【特許請求の範囲】

【請求項 1】

金属含有層を第 1 基板の上に形成する工程と、
第 2 基板を設ける工程と、
前記第 2 基板に支持され、シリコンを含有する第 1 層を形成する工程と、
ゲルマニウム及びシリコンを含有する第 2 層を前記第 1 層上に形成する工程と、
ゲルマニウムを含有する第 3 層を前記第 2 層上に形成する工程と、
前記第 3 層を、前記金属含有層に接触させる工程と、
前記第 3 層を、前記金属含有層に接触させた後に、機械的接合材料を前記第 1 基板と前記第 2 基板との間に形成する工程とを備え、機械的接合材料を形成する前記工程は、熱を前記第 3 層及び前記金属含有層に加える工程を含み、前記接合材料は、前記金属含有層の金属と、前記第 1 層の材料と、前記第 2 層の材料と、前記第 3 層の材料とを含有する、前記第 1 基板と前記第 2 基板とを接合するための方法。

【請求項 2】

前記第 1 基板または第 2 基板のうちの 1 つの上方には半導体素子が形成されており、前記接触させる工程の後で前記接合材料は前記半導体素子を取り囲む、請求項 1 に記載の方法。

【請求項 3】

第 1 層を形成する前記工程、第 2 層を形成する前記工程、及び第 3 層を形成する前記工程では更に、前記第 1 層、前記第 2 層、及び前記第 3 層が多結晶であることを特徴とする、

請求項 1 に記載の方法。

【請求項 4】

更に、金属含有層を形成する前記工程の前に、ポリシリコン層を前記第 1 基板の上に形成する工程を含み、金属含有層を形成する前記工程では更に、前記金属含有層が前記ポリシリコン層上に形成されることを特徴とする、請求項 1 に記載の方法。

【請求項 5】

第 1 基板を第 2 基板に接合積層体を介して接触させる工程を備える、前記第 1 基板と前記第 2 基板との間で密封を行なうための方法において、

前記接合積層体は、

シリコンを含有する第 1 層と、

前記第 1 層と接触し、ゲルマニウム及びシリコンを含有する第 2 層と、

前記第 2 層と接触し、ゲルマニウムを含有する第 3 層と、

前記第 3 層と接触する金属含有層と、を含み、前記方法はさらに、

熱及び圧力を前記接合積層体に加えて、前記接合積層体が前記第 1 基板と前記第 2 基板との接合部になるようにする工程を備え、前記接合部は、前記金属含有層の金属、シリコン、及びゲルマニウムの三成分系の共晶化合物からなる、方法。

【請求項 6】

半導体素子を前記第 1 基板上に形成する工程をさらに備え、前記接合積層体は前記半導体素子を取り囲み、接触させる前記工程では、前記金属含有層が前記第 1 基板の上に形成され、かつ前記第 1 層が前記第 2 基板の上に形成される、請求項 5 に記載の方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は概して、半導体素子に関するものであり、特に半導体素子の密封体を接合する方法に関するものである。

【背景技術】

【0002】

微小電気機械システム (micro electrical mechanical system: MEMS) 素子のような幾つかの種類の半導体素子の場合、素子が経時的に正しく動作するように当該素子を密封 (例えば、気密封止) することが望ましい。例えば、幾つかの種類の MEMS 加速度計の場合、MEMS 加速度計を筐体内に密封して、MEMS 加速度計の可動部分が後続のプロセス時に汚染されるのを防止することが望ましい。

【0003】

MEMS 素子を密封する 1 つの方法では、キャップ用ウェハを、MEMS 素子を含む第 2 ウェハに接合する。キャップ用ウェハ及び第 2 ウェハが MEMS 素子の空洞を形成する。キャップ用ウェハは、空洞の周囲に配置される鉛ガラスフリットを含むことができ、この鉛ガラスフリットで、第 2 ウェハとの接合を、圧力及び温度を加えた状態で行なう。

【発明の概要】

【発明が解決しようとする課題】

【0004】

必要なのは、2 枚のウェハを接合して合体させることにより、MEMS 素子のような半導体素子を密封する方法を改善することである。

【課題を解決するための手段】

【0005】

キャップ用ウェハを素子形成用ウェハに、金属ポリシリコンゲルマニウム材料により接合して、密封筐体を半導体素子の周りに形成する。一方のウェハでは、シリコン (Si)、ポリシリコンゲルマニウム (SiGe)、及びポリゲルマニウム (Ge) から成る積層体を形成する。金属構造を第 2 ウェハに形成する。当該金属シリコンゲルマニウム材料は、金属構造及びゲルマニウム構造を接触状態で配置し、そして熱を加えることにより (そ

10

20

30

40

50

して、幾つかの実施形態では、圧力を加えることにより)形成される。

【図面の簡単な説明】

【0006】

【図1】本発明の1つの実施形態による1つの形成工程における素子形成用ウェハの部分切り欠き断面図。

【図2】本発明の1つの実施形態による1つの形成工程における素子形成用ウェハの部分上面図。

【図3】本発明の1つの実施形態による1つの形成工程におけるキャップ用ウェハの部分切り欠き断面図。

【図4】本発明の1つの実施形態による別の形成工程におけるキャップ用ウェハの部分切り欠き断面図。

【図5】本発明の1つの実施形態による1つの形成工程における素子形成用ウェハに対向配置されるキャップ用ウェハの部分切り欠き断面図。

【図6】本発明の1つの実施形態による別の形成工程における素子形成用ウェハに押圧配置されるキャップ用ウェハの部分切り欠き断面図。

【発明を実施するための形態】

【0007】

本発明は、添付の図面を参照することにより一層深く理解することができ、そして本発明の多くの目的、特徴、及び利点が、この技術分野の当業者に明らかになる。

特に断らない限り、同じ参照記号を異なる図面に使用して同じアイテムを指すようにしている。これらの図は、必ずしも寸法通りには描かれていない。

【0008】

以下に示すのは、本発明を実施する1つの形態に関する詳細な説明である。本説明は、本発明を例示するために行なわれるのであり、本発明を限定するものとして解釈されるべきではない。

【0009】

図1は、キャップ用ウェハ(例えば、図3の301)で密封される半導体素子105を含む素子形成用ウェハ101の側面図である。1つの実施形態では、素子105は、例えば加速度計またはスイッチのようなMEMS素子である。MEMS素子の1つの例では、素子105は、ポリシリコンにより形成され、かつバネで支持され、そして基板103に対して移動することができるブルーフマス(図示せず)を含む。このような実施形態では、素子105は容量構造群を含み、これらの容量構造の容量を測定することにより、ブルーフマスの動きを検出することができる。しかしながら、素子105は、他の実施形態では他の種類の半導体素子とすることができる。例えば、1つの実施形態では、素子105はトランスジューサとすることができる。

【0010】

ウェハ101は基板103を含み、この基板103は、1つの実施形態では、バルク単結晶シリコンにより形成される。絶縁層107(例えば、 SiO_2)は基板103に形成される。図示の実施形態では、層107はシリコン局所酸化(local oxidation of silicon: LOCOS)プロセスにより形成されるが、他の実施形態では、他の方法により形成してもよい。1つの実施形態では、ウェハ101の裏面(図示せず)は研削し、そして研磨することができる。層107には、開口部111が、次に形成される半導体素子105の位置の周りに配置されるように形成される。他の実施形態では、開口部111は、層107をパターニングすることにより形成することができる。1つの実施形態では、層107は、25Kオングストロームの厚さを有するが、他の実施形態では、他の厚さとしてもよい。

【0011】

層107を形成した後、ポリシリコン層113及び120(多結晶シリコン層)、及び金属層122を層107の上に形成する。1つの実施形態では、層113、120、及び122を個別に形成し、そして次に、次の層を形成する前に、パターニングしてこれらの

層の所望構造を形成する。幾つかの実施形態では、誘電体層、例えば層 118 を、ポリシリコン層 113 及び 120 を形成した後に、または形成する前に形成して、これらの層により形成される種々の構造を絶縁することができる。また、犠牲層（図示せず）を使用して、後の時点で後続のプロセスにおいて除去される所望構造を形成してもよい。1つの実施形態では、層 118 は、シリコンリッチ窒化物材料とすることができる。

【0012】

図示の実施形態では、素子 105 は、層 113, 118, 120, 122 を含む。このような素子では、これらの層をパターニングして、当該層のうち、当該素子の種々の位置にある部分を除去することができる。しかしながら、図を簡単にするために、素子 105 は、これらの層が、素子 105 全体を横切る破線で区切られて位置している状態が示されている。他の実施形態では、素子 105 を含むウェハ 101 は、他の半導体層及び金属層を含むことができる。

10

【0013】

ウェハ 101 は、素子 105 を取り囲むシールリング 117 を含む。リング 117 は、開口部 111 の上に位置し、層 113 のポリシリコン材料は基板 103 のシリコン材料と開口部 111 で接触する。

【0014】

電気コンタクト群が更にウェハ 101 に、コンタクト 121 及び 123 が図 1 に示されるように形成される。図示の実施形態では、コンタクト 121 及び 123 は、ポリシリコン層 113、ポリシリコン層 120、及び金属層 122 を含むが、誘電体層 118 は含まない。各コンタクトは、素子 105 の構造に、層 113 により形成されるポリシリコン配線（例えば、図 2 の 211）を介して電氣的に接続される。

20

【0015】

1つの実施形態では、ポリシリコン層 113 は、3500 オングストロームの厚さであるが、他の実施形態では、他の厚さとすることができる。1つの実施形態では、層 113 に、不純物、例えばリンを添加することにより、導電率をイオン注入によって大きくするが、他の実施形態では、他の不純物を他の方法により添加してもよい。

【0016】

1つの実施形態では、ポリシリコン層 120 は、32 K オングストロームの厚さであるが、他の実施形態では、他の厚さとすることができる。1つの実施形態では、層 120 に、例えばリンをドーパドオキサイド拡散プロセスにより添加するが、他の実施形態では、他の不純物を添加して、導電率を他の方法により大きくしてもよい。

30

【0017】

金属層 122 は、パターニング済み層 120 の上に形成される。1つの実施形態では、層 122 はアルミニウムにより形成される。1つの実施形態では、層 122 は、99.5%（原子重量%）のアルミニウム、及び5%（原子重量%）の銅により形成される。しかしながら、層 122 は、他の実施形態では、金、白金、タンゲステン、チタン、コバルト、ニッケル、錫、及びタンタルのような他の金属により形成してもよい、または他の金属を含んでいてもよい。幾つかの実施形態では、層 122 は、ゲルマニウムまたはシリコンのような幾つかの非金属材料を含むことができる。1つの実施形態では、層 122 は、98 原子重量%以上の主金属材料（幾つかの実施形態ではアルミニウム）を含む。1つの実施形態では、層 122 は、3 ~ 4 ミクロンの範囲の厚さを有するが、他の実施形態では、他の厚さとしてもよい。

40

【0018】

1つの実施形態では、素子 105 は、金属層 122 の一部を含む。1つの実施形態では、金属層 122 の一部を利用して、重量を素子 105 のプルーフマスに付加する。

幾つかの実施形態では、層 122 は、物理気相堆積、スパッタリング、蒸着、またはめっきにより形成される。層 122 を次にパターニングすることにより、1つのシールリング 117 と、そしてコンタクト 121 及び 123 と、を含む所望の構造を形成する。

【0019】

50

図2は、ウェハ101の上面図を示している。リング117は、素子105の周囲を取り囲む矩形を有するものとして示されている。ウェハ101は、多数のコンタクト201、203、121、123、205、及び207を含み、これらのコンタクトは、ポリシリコン配線211、213、215、221、219、及び217をそれぞれ介して素子105の構造群に電氣的に接続される。これらの配線は、層113のポリシリコンにより形成される。

【0020】

図示の実施形態では、配線213、215、221、及び219はリング117を通り抜ける。これらの位置では、リング117の層113は、これらの配線から窒化物層118を介して、そしてこれらの配線の側方の位置の他の誘電体材料を介して電氣的に絶縁される。図示の実施形態では、リング117は層113の2つの部分を含む。部分212は、側壁218から始まり、そして素子105の周囲の3辺全体に亘って側壁220まで延在する「C字」構造に見える。第2部分216は、第1セットの配線211、213、及び215と第2セットの配線221、219、及び217との間に位置する。部分216を側壁218から分離することにより、配線213及び215を通すための開口部を形成し、そして部分216を側壁220から分離することにより、配線221及び219を通すための開口部を形成する。

【0021】

配線211及び217は、リング117の層113の一部と連続している。従って、これらの配線が、リングの外側の配線部分からリング117を横切ってリングの内側の配線部分に達する様子を示す破線は描いていない。従って、リング117は、コンタクト205及び201に電氣的に接続される。1つの実施形態では、コンタクト205及び201は、グランドパッドとして機能し、そして基板103に、配線群を介して、かつ開口部111の導電材料を介して電氣的に接続される。

【0022】

開口部111をリング117の層113の一部、及び配線211及び217の一部の下に設けて、基板103とのオーミックコンタクトを可能にする。開口部111を配線213、215、221、及び219の下には設けないようにして、これらの構造を基板103から絶縁している。

【0023】

他の実施形態では、基板103に通じるこれらの開口部は、異なる位置に設けてもよい、異なるサイズとしてもよい、そして/または異なる形状としてもよい。例えば、1つの実施形態では、開口部111は、リング117の下に、かつ配線211及び217がリング117を貫通して延在する位置にのみ設けられる。他の実施形態では、これらの基板開口部は、配線211及び217の下に、かつリング117の外側の位置に設けてもよい。1つの実施形態では、基板開口部群は、コンタクト201及び205の下に設けてもよい。

【0024】

窒化物誘電体層118を形成した後、誘電体層、例えば二酸化シリコン（図示せず）をウェハ101に堆積させる。次に、開口部を窒化物層118に、リング117のこれらの部分に形成する。層120を次にウェハ101を覆うように形成する。リング117の層120の一部が、リング117の層113の一部と窒化物層118のこれらの開口部を介して接触する。

【0025】

図3は、キャップ用ウェハ301の部分切り欠き側面図である。図示の実施形態では、キャップ用ウェハ301は、バルクシリコン基板303と、そして当該基板303を覆うように形成される酸化物層305と、を含む。1つの実施形態では、層305を熱成長させるが、他の実施形態では、層305を堆積させてもよい。層305は、4950オングストロームの厚さであるが、他の実施形態では、他の厚さとしてもよい。

【0026】

層 3 0 5 を形成した後、開口部群を層 3 0 5 に、トレンチ 3 1 1 及び 3 0 7 の位置に形成する。次に、ウェハ 3 0 1 にエッチングプロセスを（ウェットエッチングまたはドライエッチングのいずれか）を施して、トレンチ 3 1 1 及び 3 0 7 を基板 3 0 3 に形成する。その後、開口部 3 0 9 を層 3 0 5 に形成して基板 3 0 3 を露出させる。

【 0 0 2 7 】

図 4 を参照するに、ポリシリコン層 4 0 1 を、ウェハ 3 0 1 を覆うように形成する。1 つの実施形態では、層 4 0 1 は、7 5 0 ~ 2 5 0 0 オングストロームの範囲の厚さを有するが、他の実施形態では、他の厚さを有することができる。1 つの実施形態では、層 4 0 1 は、化学気相堆積プロセス（CVD）により形成されるが、他の実施形態では、他のプロセスにより形成してもよい。1 つの実施形態では、層 4 0 1 は、1 つのプロセスにより、摂氏 5 5 0 度超の温度で形成される。

10

【 0 0 2 8 】

幾つかの実施形態では、層 4 0 1 は、次に形成される層 4 0 3 のシード層として作用する。層 4 0 3 は、シリコンゲルマニウムにより形成される。1 つの実施形態では、層 4 0 3 は、2 0 ~ 4 0 原子パーセントの範囲のゲルマニウムを、残りの組成がシリコンから成るように含む。しかしながら、他の実施形態は、異なる原子パーセントのゲルマニウムを有することができる。1 つの実施形態では、層 4 0 3 のゲルマニウム濃度は、図 4 に示す図を参照するに、ゲルマニウム濃度が層 4 0 3 の底部でより低くなり、かつ層 4 0 3 の最上部でより高くなるように変化させることができる。1 つの実施形態では、層 4 0 3 は CVD プロセスにより形成されるが、他の実施形態では、他のプロセスにより形成してもよい。1 つの実施形態では、シリコンゲルマニウム層 4 0 3 は、5 0 0 ~ 4 0 0 0 オングストロームの範囲の厚さを有するが、他の実施形態では、他の厚さとしてもよい。

20

【 0 0 2 9 】

層 4 0 5 を層 4 0 3 上に形成する。層 4 0 5 は、多結晶ゲルマニウムにより形成される。1 つの実施形態では、層 4 0 5 は、2 0 0 0 ~ 4 0 0 0 0 オングストロームの範囲の厚さを有するが、他の実施形態では、他の厚さとしてもよい。1 つの実施形態では、層 4 0 5 は、CVD プロセスにより形成されるが、他の実施形態では、他のプロセスにより形成してもよい。

【 0 0 3 0 】

幾つかの実施形態では、ウェハ 3 0 1 の裏面を研削し、そして研磨することができる。更に、幾つかの実施形態では、トレンチ群（図示せず）をウェハ 3 0 1 の裏面に形成してもよい。

30

【 0 0 3 1 】

1 つの実施形態では、多結晶層 4 0 1 , 4 0 3 , 及び 4 0 5 に、導電性不純物（例えば、ボロン、リン、砒素）を添加しない。他の実施形態では、これらの多結晶層に導電性不純物または他の種類の不純物を添加することができる。

【 0 0 3 2 】

図 5 は、ウェハ 3 0 1 をウェハ 1 0 1 に、リング 1 1 7 が開口部 3 0 9 に位置合わせされ、トレンチ 3 1 1 がコンタクト 1 2 1 及び 1 2 3 の上に位置し、かつトレンチ 3 0 7 が素子 1 0 5 の上に位置するように接触させる様子を示す部分切り欠き側面図である。図 5 は、2 枚のウェハを接合して合体させるために熱を加える（そして、幾つかの実施形態では、圧力を加える）直前の両方のウェハを示している。

40

【 0 0 3 3 】

図 6 は、ウェハ 1 0 1 及び 3 0 1 を、熱を 2 枚のウェハに加えることにより接合して合体させた後の部分切り欠き側面図である。接合プロセス中に、リング 1 1 7 の層 1 2 2 の金属材料が層 4 0 1 のポリシリコン、層 4 0 3 の多結晶シリコンゲルマニウム、及び層 4 0 5 の多結晶ゲルマニウムと反応して、アルミニウム、シリコン、及びゲルマニウムから成る接合材料 6 0 1 を形成する。1 つの実施形態では、この材料 6 0 1 は、アルミニウム（または、他の実施形態では他の金属）、シリコン、及びゲルマニウムの三成分系である。1 つの実施形態では、アルミニウム（または、他の実施形態では、層 1 2 2 の他の材料

50

）が容積比で最大の成分であり、その後にゲルマニウムが続き、そして次にシリコンが続く。材料 601 は導電性である。1 つの実施形態では、材料 601 は Al - Ge - Si 共晶化合物と表記することができる。1 つの実施形態では、材料 601 は化合物膜と表記することができる。1 つの実施形態では、材料 601 に含有されるシリコンの原子重量比は 5 % 超である。

【0034】

リング 117 が素子 105 を完全に包囲する実施形態では、材料 601 によって、素子 105 をウェハ 101 と 301 との間に気密封止することができる。更に、材料 601 は導電性であるので、幾つかの実施形態では、当該材料によって、導電経路（例えば、接地経路）を 2 枚のウェハの間に設けることができる。

10

【0035】

これらのウェハを 425 ~ 500 の範囲の温度で、更に好ましくは、450 ~ 475 の範囲の温度で接合する。しかしながら、他の実施形態では、他の温度を使用してもよい。層 122 にアルミニウムを使用するのは、アルミニウムによって、摂氏 500 度以下の接合温度を使用することができるので好ましい。幾つかの実施形態では、接合プロセス中に、基板 303 と基板 103 との隙間を、図 5 に示す当該隙間の位置で減少させる。

【0036】

幾つかの実施形態では、これらのウェハを、熱を加える他に、圧力を加えた状態で接合して合体させる。1 つの実施形態では、治具から加わる力による 5000 ~ 10,000 ミリバールの範囲の圧力を、幾つかの実施形態では、6500 ミリバールの好適な圧力を加える。しかしながら、他の実施形態では、接合力の印加による他の圧力を使用してもよい。

20

【0037】

幾つかの実施形態では、多結晶ゲルマニウム層 405 を CVD プロセス（プラズマ支援 CVD プロセスを含む）により形成することにより、このような層を、微粒子の生成を少なくするプロセスにより形成して欠陥密度をより低くする方法が得られる。

【0038】

更に、CVD 堆積させた多結晶ゲルマニウム層を利用することにより、幾つかの実施形態では、層 122 の材料との接合力を強めることができる粗さを持つ層が得られる。

多結晶ゲルマニウム層（例えば、層 405）を多結晶シリコンゲルマニウム層（例えば、層 403）の上に形成すると、幾つかの実施形態では、ボイドが材料 601 内に、かつシード層 401 が位置する箇所に形成されるのを防止することができる。中間シリコンゲルマニウム層 403 を使用すると、シードポリシリコン層 401 から層 405 へのシリコンのマイグレーションが接合プロセス中に発生するのを阻止することができると考えられる。従って、中間シリコンゲルマニウム層 403 を利用すると、材料 601 の強度が高まり、かつ材料 601 がより均一になる。

30

【0039】

結果として得られるウェハ（図 6 において接合して合体させたウェハ 101 及びウェハ 301）は、図 6 に示す段階に続いて、更に処理される。例えば、基板 303 の一部を除去して、コンタクト 121 及び 123 を露出させることにより、これらの接合パッドを外部に接続することができる。その後、結果として得られるウェハを個片化して多数のチップとし、これらのチップの各チップは、材料 601 と同様の材料で密封される素子 105 と同様の素子を含む。このようなチップをパッケージ封止して、電子システムに組み込むことができる。

40

【0040】

幾つかの実施形態では、キャップ用ウェハ 301 は、当該ウェハに形成される集積回路の半導体素子群を含むことができる。例えば、集積回路（例えば、マイクロプロセッサ）をトレンチ 307 内に形成してもよい。当該集積回路は、素子 105 に電氣的に接続することができる。

【0041】

50

図示の実施形態では、リング 1 1 7 の金属層 1 2 2 は、素子形成用ウェハ 1 0 1 に形成され、そして多結晶層 4 0 1 , 4 0 3 , 及び 4 0 5 はウェハ 3 0 1 に形成される。他の実施形態では、層 4 0 1 , 4 0 3 , 及び 4 0 5 は、素子形成用ウェハ 1 0 1 に形成され、そしてキャップ用ウェハ 3 0 1 に形成される金属リングに接合させることができる。

【 0 0 4 2 】

1 つの実施形態では、1 つの方法は、金属含有層を第 1 基板の上に形成する工程と、第 2 基板を設ける工程と、そして前記第 2 基板に支持される第 1 シリコン含有層を形成する工程と、を含む。前記方法は更に、第 2 ゲルマニウム / シリコン含有層を前記第 1 層上に形成する工程と、第 3 ゲルマニウム含有層を前記第 2 層上に形成する工程と、そして前記第 3 層を、前記金属含有層に接触させる工程と、を含む。前記方法は更に、前記第 3 層を、前記金属含有層に接触させた後に、機械的接合材料を前記第 1 基板と前記第 2 基板との間に形成する工程を含む。機械的接合材料を形成する前記工程は、熱を前記第 3 層及び前記金属含有層に加える工程を含む。前記接合材料は、前記金属含有層の金属と、そして前記第 3 層の材料と、を含む。

10

【 0 0 4 3 】

別の実施形態では、第 1 基板と第 2 基板との間で密封を行なう方法は、前記第 1 基板を前記第 2 基板に接合積層体を介して接触させる工程を含む。前記接合積層体は、第 1 シリコン含有層と、前記第 1 層と接触する第 2 ゲルマニウム / シリコン含有層と、前記第 2 層と接触する第 3 ゲルマニウム含有層と、そして前記第 3 層と接触する第 4 金属含有層と、を含む。前記方法は、熱及び圧力を前記接合積層体に加えて、前記接合積層体が前記第 1 基板と前記第 2 基板との接合部になるようにする工程を含む。

20

【 0 0 4 4 】

別の実施形態では、半導体構造は、第 1 基板と、前記第 1 基板上の半導体素子と、第 2 基板と、そして前記第 1 基板と前記第 2 基板との間の導電性接合部と、を含み、前記導電性接合部は、前記半導体素子を取り囲むことにより、前記半導体素子を前記第 1 基板と前記第 2 基板との間で密封する。前記導電性接合部は、金属、シリコン、及びゲルマニウムを含む。前記導電性接合部に含有されるシリコンの原子百分率は 5 % 超である。

【 0 0 4 5 】

本発明の特定の実施形態について示し、そして記載してきたが、この技術分野の当業者であれば、本明細書において提供される示唆に基づいて、更に別の変更及び変形を、本発明、及び本発明のより広義の態様から逸脱しない限り加えることができ、従って、添付の請求項は、これらの請求項の範囲に、全てのこのような変更及び変形を、これらの変更及び変形が本発明の真の思想及び範囲に含まれるものとして包含するものであることが理解できるであろう。

30

【 図 5 】

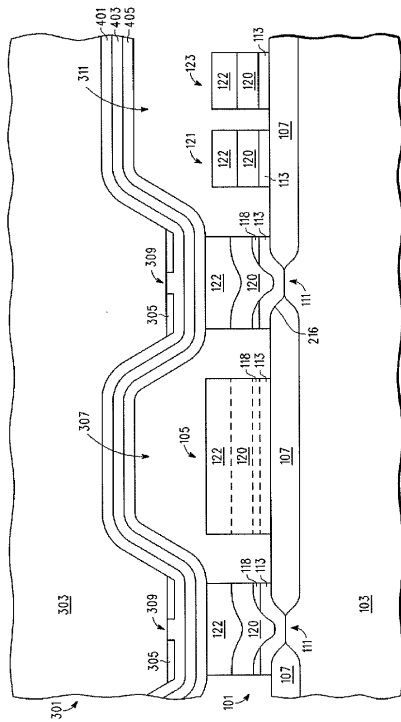


FIG. 5

【圖 6】

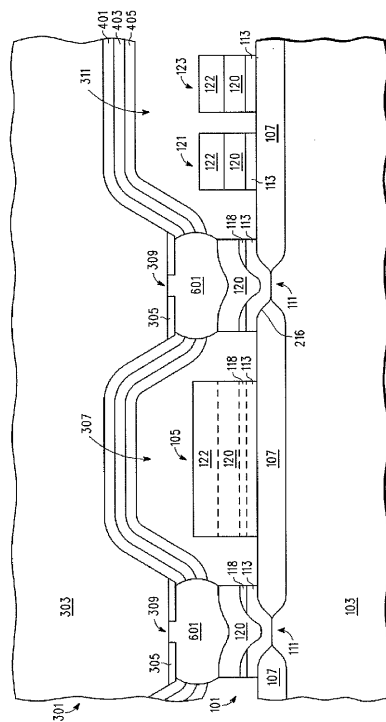


FIG. 6

フロントページの続き

(72)発明者 パマタット、アレックス ピー.

アメリカ合衆国 78749 テキサス州 オースティン コースタル ドライブ 8700

審査官 宮崎 園子

(56)参考文献 特開2000-101019(JP,A)

(58)調査した分野(Int.Cl., DB名)

H01L 23/02