

[19] 中华人民共和国国家知识产权局

[51] Int. Cl.

G11B 20/10 (2006.01)

G11B 5/09 (2006.01)



[12] 发明专利说明书

专利号 ZL 200410081982.8

[45] 授权公告日 2008 年 8 月 6 日

[11] 授权公告号 CN 100409347C

[22] 申请日 2004. 12. 29

[21] 申请号 200410081982.8

[30] 优先权

[32] 2004. 3. 29 [33] US [31] 10/811,523

[73] 专利权人 日立环球储存科技荷兰有限公司

地址 荷兰阿姆斯特丹

[72] 发明人 查德·E·米切尔

维基·L·皮帕尔 乔伊·M·波斯

雷蒙德·A·里奇塔

[56] 参考文献

US5886842A 1999. 3. 23

CN1391693A 2003. 1. 15

CN1340193A 2002. 3. 13

US5737342A 1998. 4. 7

WO02097811A1 2002. 12. 5

审查员 刘晓华

[74] 专利代理机构 北京市柳沈律师事务所

代理人 邸万奎 黄小临

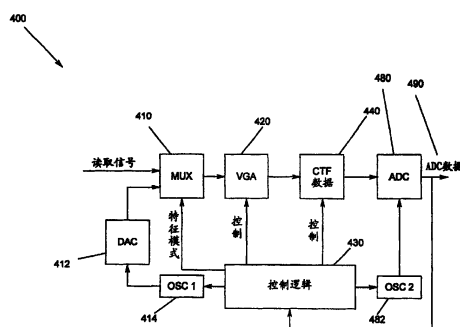
权利要求书 2 页 说明书 10 页 附图 6 页

[54] 发明名称

用于提供头振幅特征化的装置

[57] 摘要

公开了一种用于提供头振幅特征化的装置。DAC 用于向读取通道的前端的可变增益放大器施加已知信号。通过读取通道并在 ADC 的输出端处理该信号，读取并利用该信号来确定输入通道振幅。在已知两个输入信号的振幅、ADC 代码扩展和两个 VGA 增益代码的情况下，产生用于确定头振幅的公式。



1. 一种数据通道, 包括:

读取信号模拟输入;

数字模拟转换器 DAC, 用于产生具有预定振幅的 DAC 模拟测试信号;

可变增益放大器 VGA, 具有 VGA 输入和 VGA 输出;

模拟数字转换器 ADC, 所述 VGA 的输出耦接到 ADC, 并且所述 VGA 的输入耦接到模拟输入开关, 其中该模拟输入开关可以在所述读取信号模拟输入和所述 DAC 模拟测试信号之间选择; 以及

控制器, 其耦接到所述 DAC、VGA 和模拟输入开关, 用于通过产生至少两个不同振幅的 DAC 模拟测试信号、获得与所述至少两个不同振幅的 DAC 模拟测试信号相关联的 VGA 增益代码、并且使用从 ADC 接收的代码计算 ADC 代码扩展, 来确定读取头通道振幅。

2. 如权利要求 1 所述的数据通道, 其中来自 ADC 的代码是代码检测信号。

3. 如权利要求 1 所述的数据通道, 其中来自 ADC 的代码是行程代码。

4. 如权利要求 1 所述的数据通道, 其中来自 ADC 的代码是 ADC 的至少一个数字输出。

5. 如权利要求 1 所述的数据通道, 其中所述 DAC 模拟测试信号具有预定的高和低振幅。

6. 如权利要求 1 所述的数据通道, 其中 VGA 对所述 DAC 模拟测试信号施加增益, 直到 ADC 的输出达到由预定行程代码确定的电平为止。

7. 如权利要求 1 所述的数据通道, 其中利用数据滤波进行一次头振幅特征化, 利用伺服滤波再进行一次头振幅特征化, 以产生数据 VGA 增益值和伺服 VGA 增益值, 并利用数据 VGA 增益值和伺服 VGA 增益值来确定数据通道的输入振幅。

8. 一种磁性存储装置, 包括:

用于在其上记录数据的磁性存储介质;

用于移动磁性存储介质的马达;

用于在磁性存储介质上读取和写入数据的头;

用于相对于磁性存储介质给所述头定位的致动器; 以及

用于处理来自所述磁性存储介质的编码信号的数据通道,所述数据通道包括:

读取信号模拟输入;

数字模拟转换器 DAC, 用于产生具有预定振幅的 DAC 模拟测试信号;

可变增益放大器 VGA, 具有 VGA 输入和 VGA 输出;

模拟数字转换器 ADC, 所述 VGA 的输出耦接到所述 ADC, 并且所述 VGA 的输入耦接到模拟输入开关, 其中该模拟输入开关可以在所述读取信号模拟输入和所述 DAC 模拟测试信号之间选择; 以及

控制器, 其耦接到所述 DAC、VGA 和模拟输入开关, 用于通过产生至少两个不同振幅的 DAC 模拟测试信号、获得与所述至少两个不同振幅的 DAC 模拟测试信号相关联的 VGA 增益代码、并且使用从 ADC 接收的代码计算 ADC 代码扩展, 来确定读取头通道振幅。

9. 如权利要求 8 所述的磁性存储装置, 其中来自所述 ADC 的所述代码是代码检测信号。

10. 如权利要求 8 所述的磁性存储装置, 其中来自所述 ADC 的所述代码是行程代码。

11. 如权利要求 8 所述的磁性存储装置, 其中来自所述 ADC 的代码是所述 ADC 的至少一个数字输出。

12. 如权利要求 8 所述的磁性存储装置, 其中所述 DAC 模拟测试信号具有预定的高和低振幅。

13. 如权利要求 8 所述的磁性存储装置, 其中所述 VGA 对所述 DAC 模拟测试信号施加增益, 直到所述 ADC 的输出达到由预定行程代码确定的电平为止。

14. 如权利要求 8 所述的磁性存储装置, 其中利用数据滤波进行一次头振幅特征化, 利用伺服滤波再进行一次头振幅特征化, 以产生数据 VGA 增益值和伺服 VGA 增益值, 并利用数据 VGA 增益值和伺服 VGA 增益值确定数据通道的输入振幅。

用于提供头振幅特征化的装置

技术领域

本发明一般涉及从数据存储介质读取的信号，尤其涉及用于提供头振幅特征化(characterization)的装置。

背景技术

近来，先进的数据存储装置，如磁盘驱动装置(即，硬盘驱动器)，已增大了存储容量，并增大了数据存取速度。由于这些优点，磁盘驱动装置作为计算机系统的辅助存储装置已得到广泛使用。而且，与盘驱动技术的这些改进相关的脉冲通信的发展，近来已在脉冲通信系统的广泛领域中提供了增大的速度和可靠性。

磁盘驱动装置的影响存储容量和存取速度的主要特征是头、记录介质、伺服机构、读取/写入通道中使用的信号处理技术等。其中，利用 PRML(部分响应最大似然)检测的信号处理技术对现代磁盘驱动装置的增大的存储容量和高存取速度做出了重大贡献。

在磁盘驱动装置的普通读取/写入通道电路中的读取通道电路包括用于对该装置的读取/写入头产生的模拟读取信号的初始处理的元件。该处理提供自动增益控制(AGC)放大、滤波和均衡，以及模拟/数字转换。

每个读取/写入头产生或感测磁盘上的电磁场或磁编码作为磁通区域。电磁场中通量反转的存在或不存在表示磁盘上存储的数据。通量反转是磁盘的相邻区域上磁通的改变。磁通反转的存在或不存在对应于诊断(diagnostic)输入信号的二进制的 1 和 0。为了在磁盘上“写入”数据，电子元件从主机接收数据，并将数据转换成磁编码。头将磁编码传输到磁盘的一部分上。为了从磁盘“读取”数据，将头邻近具有期望的磁编码的磁盘的部分放置。头从磁盘感测和传输磁编码。该电子元件将磁编码转换为传输给主机的数据。主机可以是个人计算机或其他电子设备。电子元件可以应用误差检测和校正算法，以确保对来自磁盘的数据的精确存储和取回。为提高盘驱动器上的数据存储密度，磁致电阻和电感读取/写入头已发展到具有感测更小振幅磁信号的

增强的灵敏性和增强的信号辨别力。

通常，硬盘驱动器通过“峰值检测”——检测磁盘上的通量反转通过读取/写入头之下时产生的电压峰值——来读取数据。然而，已发展了部分响应最大似然(PRML)算法，以随着密度和旋转速度的增加而改进峰值检测。PRML在盘驱动电子元件中执行，以解释由读取/写入头感测的磁信号。PRML盘驱动器读取由盘上存储的磁通反转产生的模拟波形。不同于寻找峰值来指示通量反转，PRML数字化地对模拟波形进行采样(该算法的“部分响应”部分)，并应用信号处理方法学来确定由波形表示的位图(该算法的“最大似然”部分)。因此，在PRML数据通道中，正确的数据检测需要归一化的读回信号振幅。通常在模拟信号路径中使用可变增益放大器(VGA)来标度(scale)读回信号。已知的PRML通道需要模拟包络检测器电路来感测到来读回信号的振幅，以对VGA提供增益校正。

因为材料和制造的差异，每个头会具有不同的特征信号输出电平。必须通过调节头放大器增益使该电平归一化，从而使振幅检测电路具有相同的信号余量。为了准确地进行这一归一化调节，必须使用具有精确的已知记录振幅的特定已录磁带。

在一些系统中，通过在必须周期性地重新调节的放大器上提供增益调节，以及通过为每个读取/写入、速度和密度的组合提供不同的信号振幅检测阈值电平，已经解决了这些问题。然而，这些阈值电平是固定的，不能变化针对介质涂层类型、磨损或信号随时间的衰减而调节。另外，这些固定的阈值需要在振幅检测变得可靠之前，通过调节其放大器增益，使每个磁头的输出非常精确地归一化。

振幅感测是用于数字数据记录的带系统中的读取电路的重要部分，所述带系统在带上平行记录多个轨道。在这种系统中，广泛地使用误差检测和校正方法，例如跨平行轨道的奇偶校验、或对单个轨道中的数据位的奇偶校验。振幅的损失是轨道出现误差的重要标志，然后可以使用校正方法校正轨道，以避免必须重新定位和再次读取数据。

PRML电子元件用来校准和调谐PRML读取/写入通道。例如，为了确保精确的数据检测，并提供关于读换能器(transducer)的完整性和操作条件的了解，对VGA增益的校准是必要的。为校准VGA增益，对读取通道中的VGA提供读回信号。然后可以感测到与放大电路的环路增益相关联的电压信号，

并将其与对应于数字字值的多个控制电压信号比较。该数字字值与和所感测的表示读回信号的相对振幅的电压信号相等的控制电压信号相关联。然后，通过对增益调整放大器的信号输入施加与对应的预定增益值相关联的参考电压信号，可以确定 VGA 的增益特征。控制电压信号可以选择性地施加到针对每个参考电压信号的放大器上，直到放大器输出电压信号实质上等于预定参考电压信号。

为了简化校准过程，很多硬驱动器包括附加的数字模拟转换器(DAC)和附加的模拟数字转换器(ADC)，用于诊断测试读取/写入通道。这些 DAC 和 ADC 是除用于在读取/写入通道中执行读取和写入操作的其它数字模拟转换器和模拟数字转换器之外附加的。然而，这些 ADC 设计增加了硬件要求，从而增加了读取/写入通道的尺寸和成本。而且，因为诸如温度变化、头磨损等因素不利地影响读回信号振幅估计的精确度，所以难以在例如盘驱动器的存储装置中测量头振幅。

可以看到，需要用于提供头振幅特征化的装置。

发明内容

为了克服在上述现有技术中的缺陷，并克服其它在阅读和理解本说明书后将明白的缺陷，本发明公开了一种用于提供头振幅特征化的装置。

本发明通过利用 DAC 向读取通道前端的可变增益放大器施加已知信号，而解决了上述问题。通过读取通道和在 ADC 的输出端处理该信号，并读取和利用该信号来确定输入通道振幅。

根据本发明原理的数据通道包括具有可变增益放大器(VGA)的数字模拟转换器(DAC)电路，该 DAC 电路响应读取信号模拟输入和 DAC 数字输入，在模拟数字转换器(ADC)提供数字输出；以及控制器，耦接到 DAC 电路上，用于根据 DAC 的编程、从 ADC 接收的编码以及从 VGA 获得的增益代码，确定读取头通道振幅。

在本发明的另一实施例中，提供了一种读取通道的模拟前端。该模拟前端包括：用于接收读取信号的模拟处理电路；耦接到模拟处理器的数字模拟转换器(DAC)，用于向模拟处理电路提供高和低控制信号，以产生预定模拟处理电路输出信号；耦接到模拟处理电路的可变增益放大器(VGA)，用于利用 VGA 增益代码处理预定模拟处理电路输出信号，以产生放大信号；耦接到

VGA 的模拟数字转换器(ADC), 用于响应放大信号产生 ADC 代码扩展(code spread); 寄存器, 用于存储两个输入信号的振幅、与两个输入信号相关联的 ADC 代码扩展和与两个输入信号相关联的两个 VGA 增益代码、以及对应的高和低 DAC 控制信号; 以及耦接到寄存器的处理器, 用于利用从两个输入信号的振幅、与两个输入信号相关联的 ADC 代码扩展和与两个输入信号相关联的两个 VGA 增益代码、以及对应的高和低 DAC 控制信号导出的公式, 计算任何输入信号的振幅。

在本发明的另一个实施例中, 提供一种磁性存储装置。该磁性存储装置包括: 用于在其上记录数据的磁性存储介质; 用于移动磁性存储介质的马达; 用于在磁性存储介质上读取和写入数据的头; 用于相对于磁性存储介质给头定位的致动器; 以及用于处理来自磁性存储介质的编码信号的数据通道, 该数据通道包括: 具有可变增益放大器(VGA)的数字模拟转换器(DAC)电路, 该 DAC 电路响应读取信号模拟输入和 DAC 数字输入, 在模拟数字转换器(ADC)提供数字输出; 以及耦接到 DAC 电路的控制器, 用于根据 DAC 的编程、从 ADC 接收的代码以及从 VGA 获得的增益代码, 确定读取头通道振幅。

在本发明的另一个实施例中, 提供了一种数据通道。该数据通道包括: 用于接收输入信号的装置; 耦接到用于接收输入信号的装置、并用于向用于接收输入信号的装置提供控制信号的装置; 耦接到用于接收输入信号的装置、并用于放大来自用于接收输入信号的装置的信号的装置; 耦接到用于提供控制信号的装置、并用于响应来自用于放大的装置的信号和控制信号而在转换器装置处提供数字输出的装置; 以及耦接到用于提供数字输出的装置、并用于根据用于提供控制信号的装置的编程、从转换器装置接收的代码以及从用于放大输入信号的装置获得的增益代码而确定读取头通道振幅的装置。

在本发明的另一个实施例中, 提供一种磁性存储装置。该磁性存储装置包括: 用于在其上记录数据的装置; 用于移动用于记录数据的装置的装置; 用于在用于记录数据的装置上读取和写入数据的装置; 用于相对于用于记录数据的装置给用于读取和写入的装置定位的装置; 以及用于处理来自用于记录的装置的编码信号的装置, 该用于处理编码信号的装置包括: 用于接收输入信号的装置; 耦接到用于接收输入信号的装置、并用于向用于接收输入信号的装置提供控制信号的装置; 耦接到用于接收输入信号的装置、并用于放大来自用于接收输入信号的装置的信号的装置; 耦接到用于提供控制信号的

装置、并用于响应来自用于放大的装置的信号和控制信号而在转换器装置处提供数字输出的装置；以及耦接到用于提供数字输出的装置、并用于根据用于提供控制信号的装置的编程、从转换器装置接收的代码以及从用于放大输入信号的装置获得的增益代码而确定读取头通道振幅的装置。

在形成本申请一部分的所附权利要求中具体地指出了作为本发明特征的这些和其它优点和新颖性特征。然而，为了更好地理解本发明、其优点以及通过对其的使用获得的目的，下面将讨论形成本申请另一部分的附图和附随的描述，其中图解和描述了根据本发明的装置的特定示例。

附图说明

现在参考附图，其中相同的附图标记始终表示相应的部件：

图 1 示出了根据本发明实施例的存储系统；

图 2 是根据本发明实施例的磁盘驱动装置的方框图；

图 3 是图 2 的读取/写入通道电路的方框图；

图 4 是表示根据本发明实施例的读取通道的模拟子块和控制逻辑的方框图；

图 5 示出了根据本发明实施例的用于检测来自 ADC 的阈值电压代码的特征化引擎；以及

图 6 是根据本发明实施例的用于进行头振幅特征化的操作的详细流程图。

具体实施方式

下面将参考附图描述实施例，所述附图构成本申请的一部分，并且通过图解示出了可以实践本发明的特定实施例。应该理解，可以使用其它的实施例，因为可以在不脱离本发明的范围的情况下进行结构变化。

本发明提供了一种用于提供头振幅特征化的装置。本发明使用 DAC 对在读取通道前端的可变增益放大器施加已知信号。通过读取通道在 ADC 的输出端处理该信号，读取并利用该信号确定输入通道振幅。

图 1 示出了根据本发明实施例的存储系统 100。在图 1 中，致动器 120 控制换能器 110。致动器 120 控制换能器 110 的位置。换能器 110 在磁性介质 130 上写入和读取数据。将读取/写入的信号送到数据通道 140。信号处理系

统 150 控制致动器 120, 并处理数据通道 140 的信号。另外, 由信号处理系统 150 控制介质平移器(translator)160, 使磁性介质 130 相对于换能器 110 移动。而且, 本发明不意味着限于特定类型的存储系统 100、或用于存储系统 100 中的特定类型的介质 130。

图 2 是根据本发明的实施例的磁盘驱动装置 200 的方框图。在图 2 中, 由主轴马达 234 旋转盘 210, 并且头 212 位于对应各盘 210 的表面上。头 212 安装在从 E 形组件 214 延伸到盘 210 的对应的伺服臂上。组件 214 具有关联的旋转音圈致动器 230, 其移动组件 214, 从而改变头 212 的位置, 以便从一个或多个盘 210 上的特定位置读取数据或向其中写入数据。

前置放大器 216 前置放大由头 212 拾取的信号, 从而在读取操作期间给读取/写入通道电路 218 提供放大的信号。在写入操作期间, 前置放大器 216 将来自读取/写入通道电路 218 的编码写入数据信号传送到头 212。在读取操作中, 读取/写入通道电路 218 从前置放大器 216 提供的读取信号中检测数据脉冲, 并对该数据脉冲进行解码。读取/写入通道电路 218 将解码的数据脉冲传送到盘数据控制器(DDC)220。而且, 读取/写入通道电路 218 还对从 DDC 220 接收的写入数据进行解码, 并将解码的数据提供给前置放大器 216。

DDC 220 既通过读取/写入通道电路 218 和前置放大器 216, 将从主机(未示出)接收的数据写入到盘 210 上, 又将来自盘 210 的读取数据传送到主机。DDC 220 还接在主机和微控制器 224 之间。缓冲 RAM(随机存取存储器)222 临时存储在 DDC 220 和主机、微控制器 224、以及读取/写入通道电路 218 之间传送的数据。微控制器 224 响应来自主机的读取和写入命令而控制轨道搜索和轨道跟踪功能。

ROM(只读存储器)226 存储微控制器 224 的控制程序及各种设置值。伺服驱动器 228 产生用于响应从控制头 212 的位置的微控制器 224 中产生的控制信号, 而驱动致动器 230 的驱动电流。该驱动电流被施加到致动器 230 的音圈。致动器 230 根据从伺服驱动器 228 提供的驱动电流的方向和大小, 相对于盘 210 给头 212 定位。主轴马达驱动器 232 根据从用于控制盘 210 的微控制器 224 产生的控制值, 驱动旋转盘 210 的主轴马达 234。

图 3 是图 2 的读取/写入通道电路 300 的方框图。在图 3 中, 读取/写入通道电路 300 包括: 具有读取/写入装置和记录介质的物理记录通道 338、用于在记录介质上写入数据的写入通道电路 340、以及用于从记录介质读取数据

的读取通道电路 342。写入通道电路 340 由编码器 344、预解码器 346、和写入预补偿器 348 构成。读取通道电路 342 包括模拟前端 350、模拟数字转换器(ADC)354、均衡器 356、Viterbi(维特比)检测器 358、以及解码器 364。

在操作中, 编码器 344 将为写到记录介质上而输入的写入数据 320 编码成预定代码。例如, 对于这种预定代码, 通常使用 RLL(游程长度受限)码, 其中, 相邻的零的数目必须保持在指定最大和最小值之间。然而, 本发明不意味着限于 RLL, 而是可以使用其他编码。包括预解码器 346 是为了防止误差传播。写入预补偿器 348 减少了从读取/写入头产生的非线性效应。然而, 因为实际记录通道的响应并不与这一传递函数完全一致, 所以总是需要后续的均衡。

模拟前端 350 放大从盘读取的模拟信号 322。由模拟数字(A/D)转换器 354 将从模拟前端 350 输出的信号转换成离散的数字信号。然后, 将所得的数字信号施加到均衡器 356, 其自适应地控制符号间干扰(ISI), 以产生期望的波形。Viterbi 检测器 358 接收从均衡器 356 输出的均衡信号, 并从中产生编码数据。解码器 364 对从 Viterbi 检测器 358 输出的编码数据进行解码, 以产生最终的读取数据 324。

图 4 是表示根据本发明实施例的读取通道 400 的模拟子部件和控制逻辑的方框图。提供了模拟开关或多路复用器 410, 用于在输入之间进行切换。一个输入是读取信号。在多路复用器 410 的输入端提供 DAC 412。根据本发明的实施例, DAC 用于通过利用 DAC 412 产生具有已知振幅和已知频率的模拟信号, 来校准读取通道模拟电路。因此, 可以使用 DAC 412 通过读取通道 400 发送已知信号。

可变增益放大器(VGA)420 接收多路复用器 410 根据来自 DAC 412 的输入而提供的振幅和频率已知的输入信号。将该 VGA 输入信号送入 VGA 420, 然后通过整个读取路径将增益锁定到设定的 ADC 代码扩展。确定对这个信号振幅的 VGA 增益代码。来自 VGA 420 的放大信号经过连续时间滤波器(CTF) 440。CTF 440 配置为滤除噪音。

提供 CTF 440 的输出以驱动 ADC 480。由可编程振荡器 414 为 DAC 412 提供时钟(be clocked), 并且 DAC 412 用于产生 VGA 420 的输入信号。还例如通过另一个可编程振荡器 482 为 ADC 480 提供时钟。因此, 读取通道 400 使用逻辑来建立读取通道的输入, 从而使得能够测量所得的 ADC 代码。对应于

两个特征化振幅的 VGA 增益的数据和伺服的两个特征化结果,连同数据或伺服 VGA 增益,使得例如由图 1 的信号处理系统 150、图 2 的控制器 224、和/或控制逻辑 430 能够进行一系列计算,以确定通道输入振幅。从所读取的 ADC 输出代码 490,可以推断出 VGA 420 的输入信号的振幅。

图 5 示出了根据本发明实施例的用于检测来自 ADC 的阈值电压代码的特征化引擎 500。在头振幅特征化期间, DAC 产生由头振幅 DAC 低和高代码(Head Amplitude DAC Low and High Code)确定的两个不同的输入振幅,并将其输入到 VGA。VGA 对这些信号施加增益,直到 ADC 输出达到由 ADC 差分行程代码(ADC Difference Trip Code)确定的电平。在图 5 中,示出了用于产生代码检测信号 540 的电路 510。在第一电路 510 中,将 ADC 数据 512、514 与阈值 516 进行比较。响应该比较产生代码检测信号 540。

图 6 是根据本发明实施例进行头振幅特征化的操作的详细流程图 600。首先在 610,从 DAC 产生“已知振幅”的 VGA 输入信号。在 620,将该信号送入 VGA 输入,然后通过整个读取路径将增益锁定到设定的 ADC 代码扩展。这可以由利用二进制的特征化序列发生器(sequencer)或逐步逼近实现,以控制 VGA。在 622,确定这个信号振幅的 VGA 增益代码。接着在 630,从 DAC 产生更大的 VGA 输入信号。在 640,通过整个读取路径再一次将信号的增益锁定到相同的 ADC 代码扩展。在 642,还确定这个信号振幅的 VGA 增益代码。

在 650,在已知两个输入信号的振幅、ADC 代码扩展以及两个 VGA 增益代码的情况下,产生用于确定头振幅的公式。在 652,以 mV 为单位,将 ADC 代码扩展转换为 ADC 输出的振幅。然后在 654,以 mV 为单位,将头振幅 DAC 低和高代码转换为其对应的振幅。在 656,以 dB 为单位,计算两个特征化振幅的增益。在 658,利用两个特征化振幅的增益,计算斜率,然后在 660 确定截距。在 662,确定计算输入信号的 mV 单位的振幅的公式。

如上所述,例如由图 1 的信号处理系统 150 和/或图 2 的控制器 224 进行头振幅特征化。下面描述根据本发明的实施例进行头振幅特征化的过程。

以 mV 为单位,将 ADC 代码扩展如下转换成 ADC 输出的振幅:

利用特征序列发生器: $Y_{ADC} = (ADCTripCode - ADC_MID) * ADC_LSB * 2$,

其中,ADCTripCode(ADC 行程代码)是寄存器可选头振幅 ADC 差分行程代码

的十进制等效值，而 ADC_MID 为：

$$(ADC_MAXCODE - ADC_MINCODE)/2。$$

其中，ADC_MAXCODE 是最大可测量电压的十进制等效值，ADC_MINCODE 是最小可测量电压的十进制等效值，ADC_LSB 是 ADC 的电压增量。然后以 mV 为单位，将头振幅 DAC 低和高代码如下转换为其对应的振幅：

$$InputAmp\ 1=(2*DACLowCode+1)*DAC_LSB$$

$$InputAmp\ 2=(2*DACHighCode+1)*DAC_LSB$$

其中，DACLowCode(DAC 低代码)是寄存器可选头振幅 DAC 低代码的十进制等效值，而 DACHighCode(DAC 高代码)是寄存器可选头振幅 DAC 高代码的十进制等效值，DAC_LSB 是 DAC 的电压增量。

如下，以 dB 为单位，计算两个特征化振幅的增益(Gain)：

$$Gain\ 1=20*\log(Y_{ADC}/InputAmp\ 1); \text{ 以及}$$

$$Gain\ 2=20*\log(Y_{ADC}/InputAmp\ 2)。$$

利用这两个特征化振幅的增益，如下计算斜率(slope)：

$$slope = \frac{Result1 - Result2}{Gain1 - Gain2}$$

其中，Result(结果) 1 是头振幅特征化结果 1 的十进制等效值，Result 2 是头振幅特征化结果 2 的十进制等效值，而 Gain 1 和 Gain 2 是在上述运算中计算出的。然后，截距 b 则是 Result 1-slope*Gain 1。

如下，以 mV 为单位，确定输入信号的振幅：

$$AmplX=(Y_{ADC}/10^{((VGA\ CodeX-b-slope)/(20*slope))}),$$

其中，VGA 代码是常规伺服或数据模式中的增益和定时循环的结果，VGACodeX 是 VGA 增益代码(十进制等效值)。

如上所述，利用为读取数据或伺服数据配置的模拟前端，可以进行头振幅特征化，从而使得能够利用数据和伺服 VGA 增益结果进行计算以找出该通道的输入振幅。在头振幅特征化期间，DAC 产生由头振幅 DAC 低和高代码

确定的两个不同的输入振幅，并将其输入到 VGA，VGA 对这些信号施加增益，直到 ADC 输出达到由 ADC 差分行程代码确定的电平。

对应于两个特征化振幅的 VGA 增益的两个特征化结果，连同数据或伺服 VGA 增益一起，使得能够进行一系列计算，以确定通道输入振幅。通过利用从均衡得出的分支(tap)发出读取操作进行振幅测量，将对任何数据模式得出几乎均匀的数据 VGA 增益结果。这是因为，16 态的均衡在 CTF 和 DFIR 中加强了较高频率的信号而削弱了较低频率的信号。因为很少有模式相关(dependence)，所以这个结果对于为头重新初始化而监测头振幅很管用。

通过在激活异步磁体的情况下，写入所需要的磁体长度的测试轨道，可以进行利用空闲模式下的包络检测器测量头振幅的可选操作。该空闲包络检测器起动，并且合成器设置成高出 10% 到 20% 的数据率，以过采样(over sample)读回信号。该过程可以为同步场的 VGA 增益提供大约 ± 2 lsb 的重复率。

参考图 1-6 示出的过程，在实际中可以有形地实现于计算机-可读介质或载体中，如，图 1 所示的一个或多个固定和/或可移动数据存储装置 188，或其它数据存储或数据通信装置。计算机程序 190 可以载入存储器 170，以配置处理器 172 执行计算机程序 190。计算机程序 190 包括这样的指令，当其由图 1 的处理器 172 读取并执行时，使装置进行必要的步骤，以执行本发明实施例的步骤或单元。

上面对本发明的示范实施例的描述只是为了说明和描述的目的而给出。其并不旨在穷举或将本发明限制在所公开的精确形式。基于上述讲述内容，可以进行很多修改和变化。本发明的范围不是限于这一具体描述，而是限于所附权利要求。

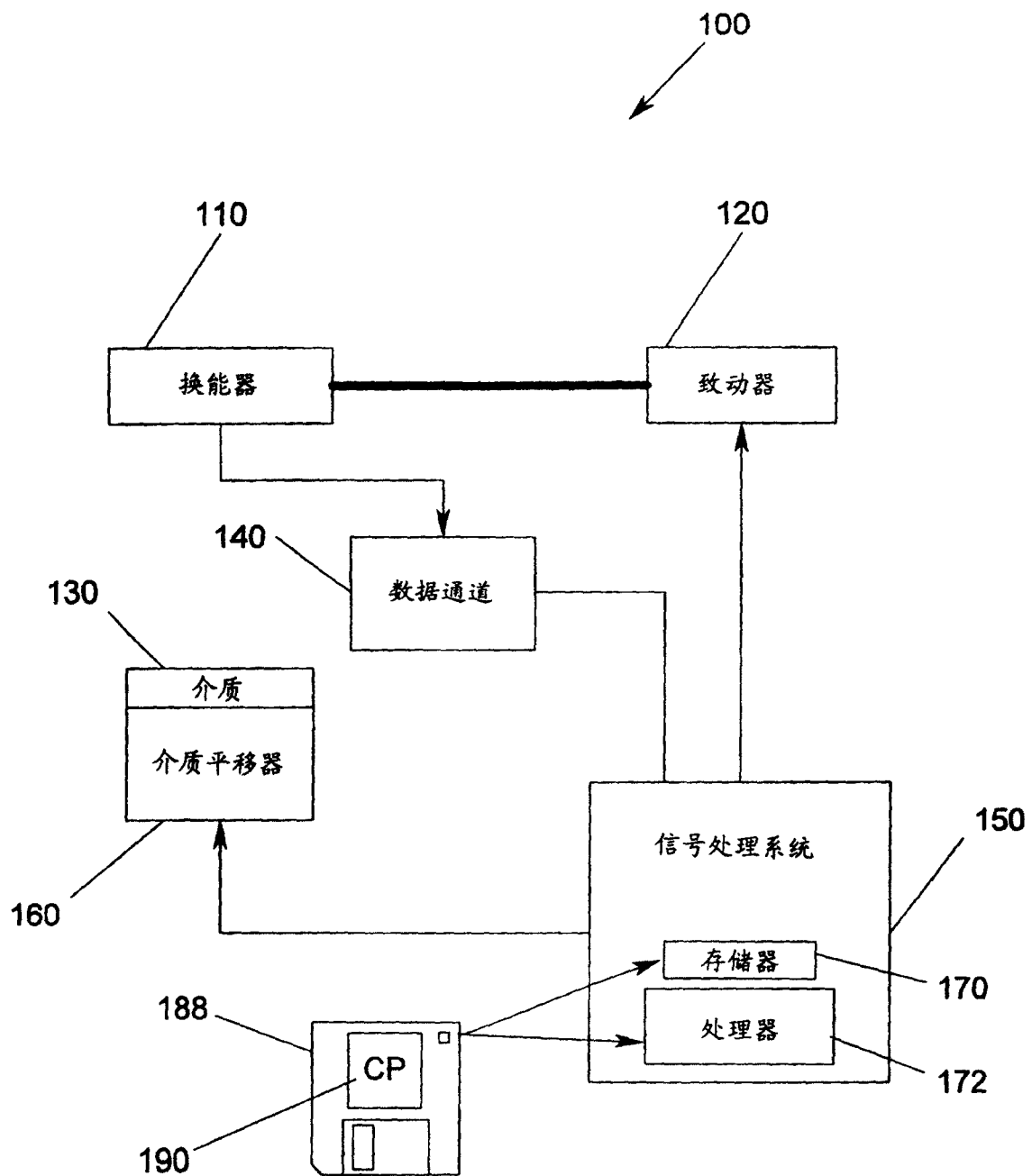


图 1

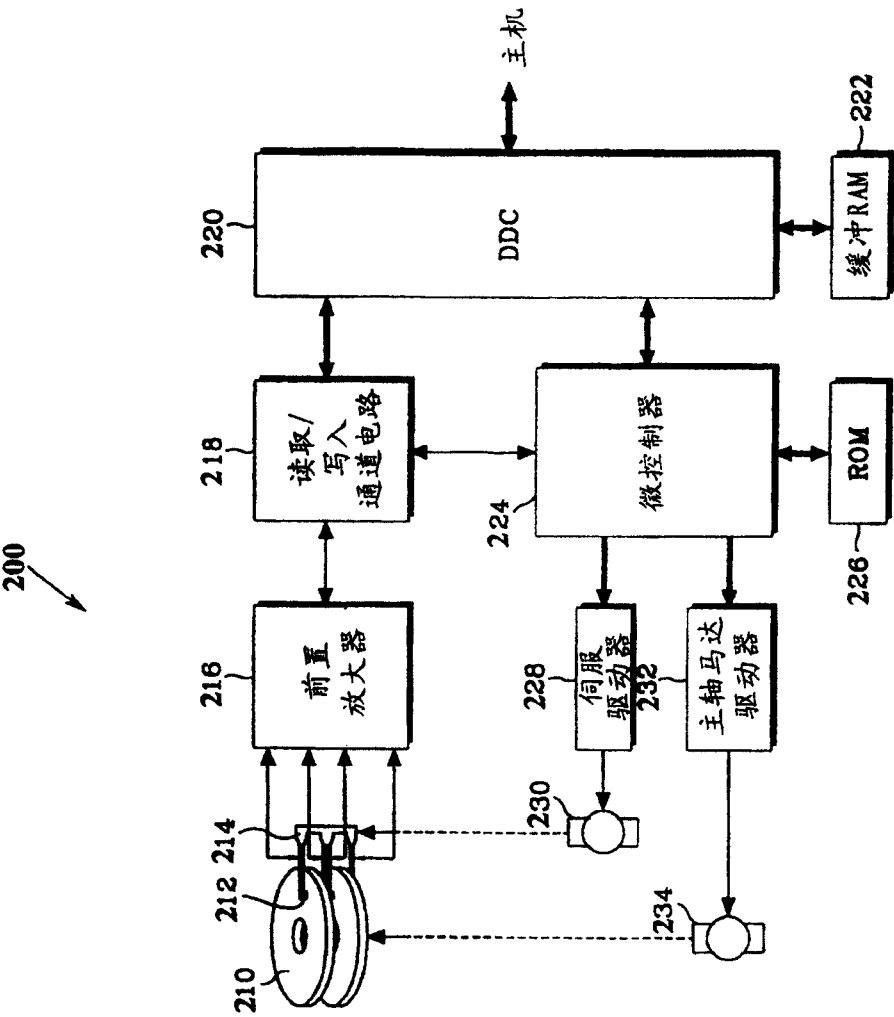


图 2

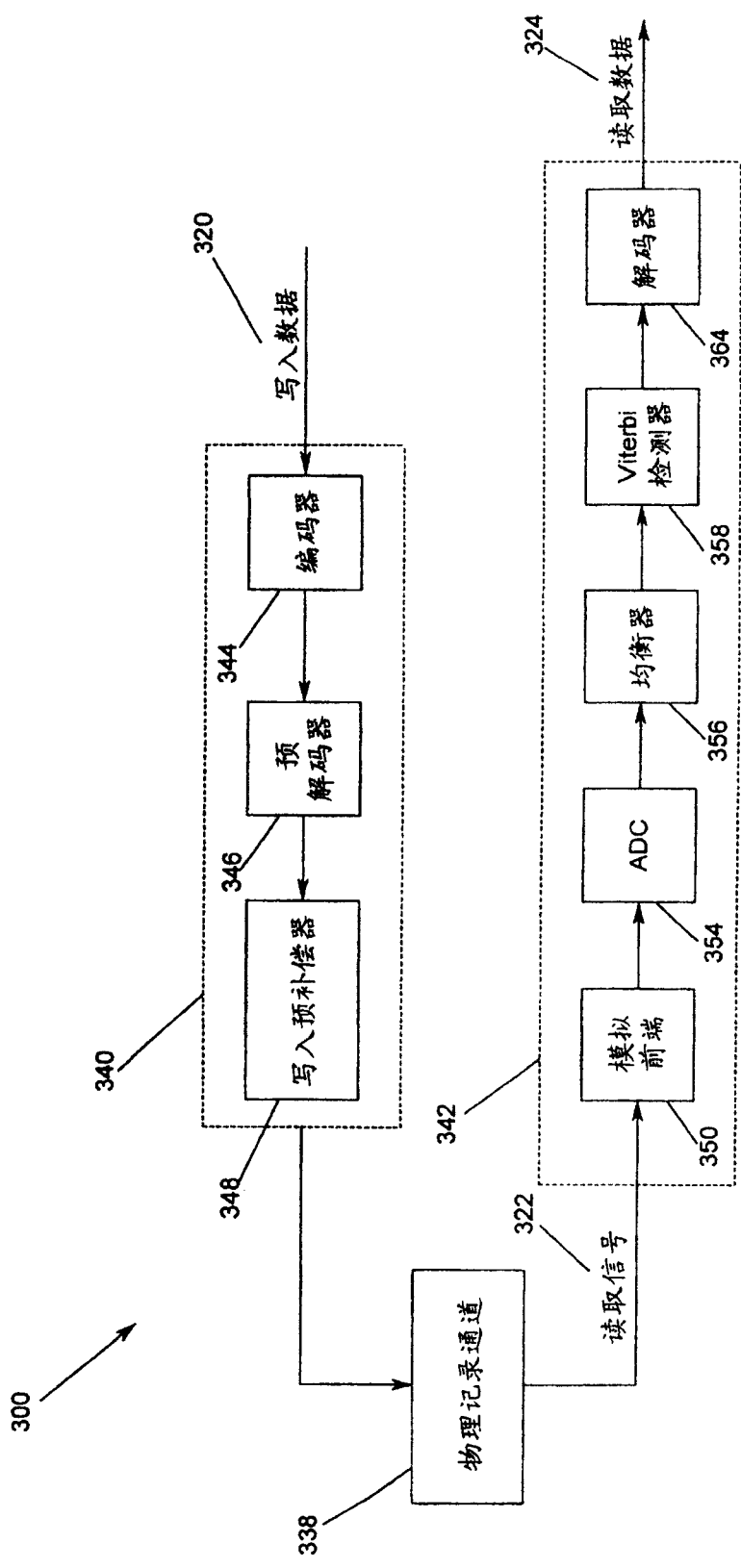


图 3

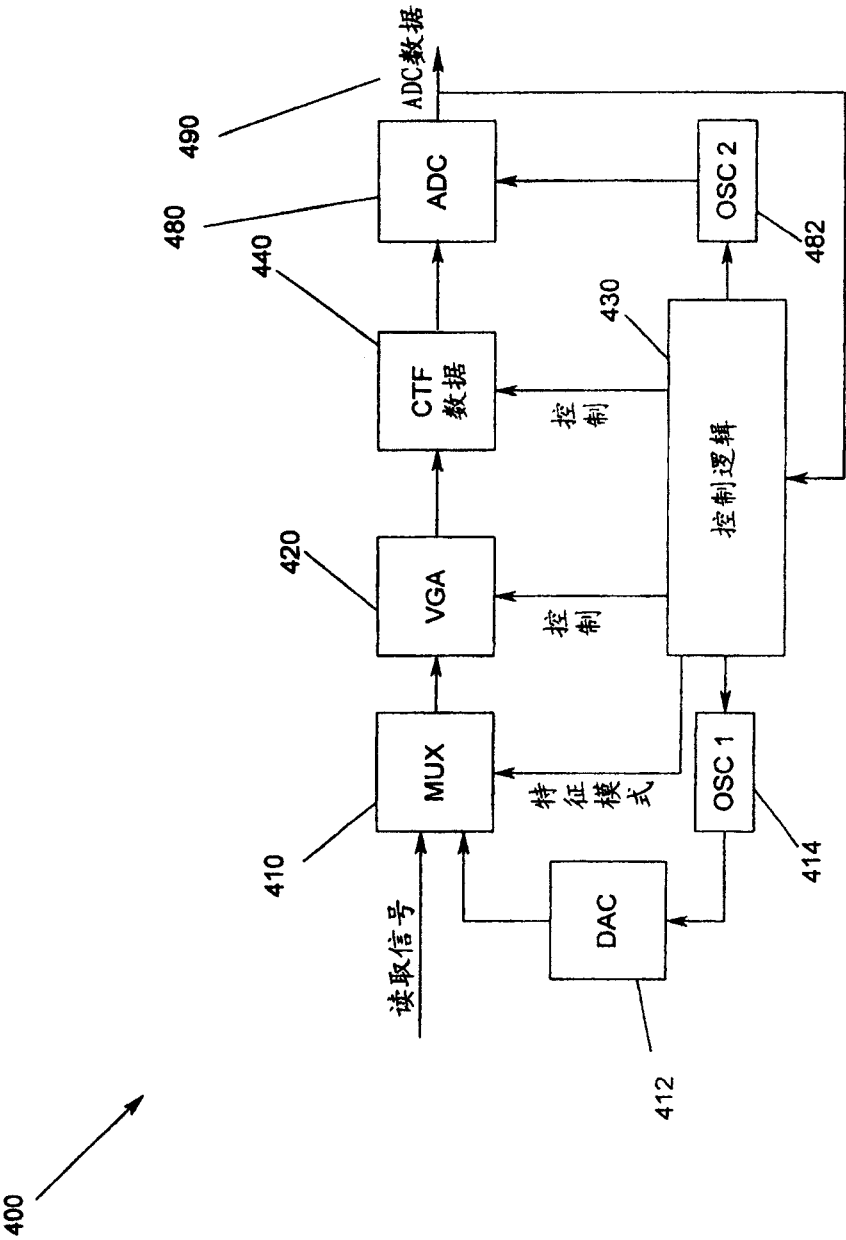


图 4

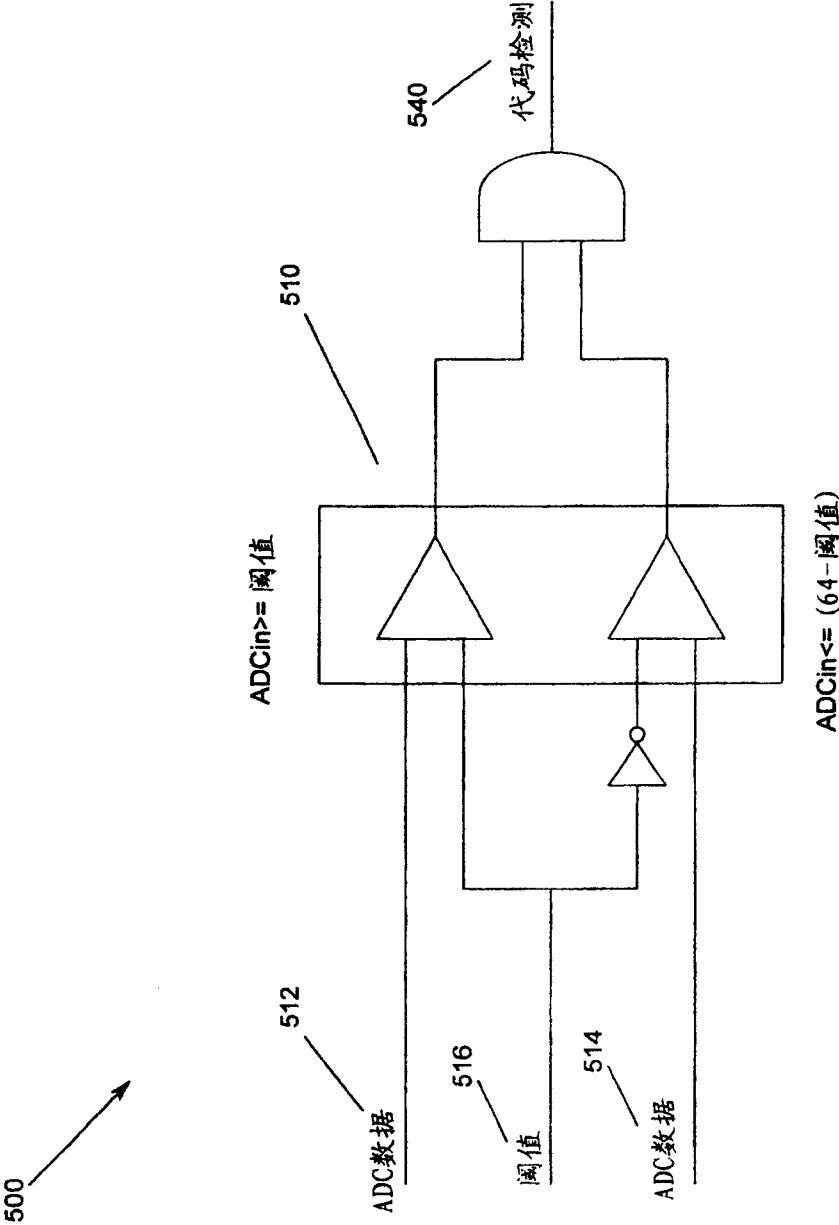


图 5

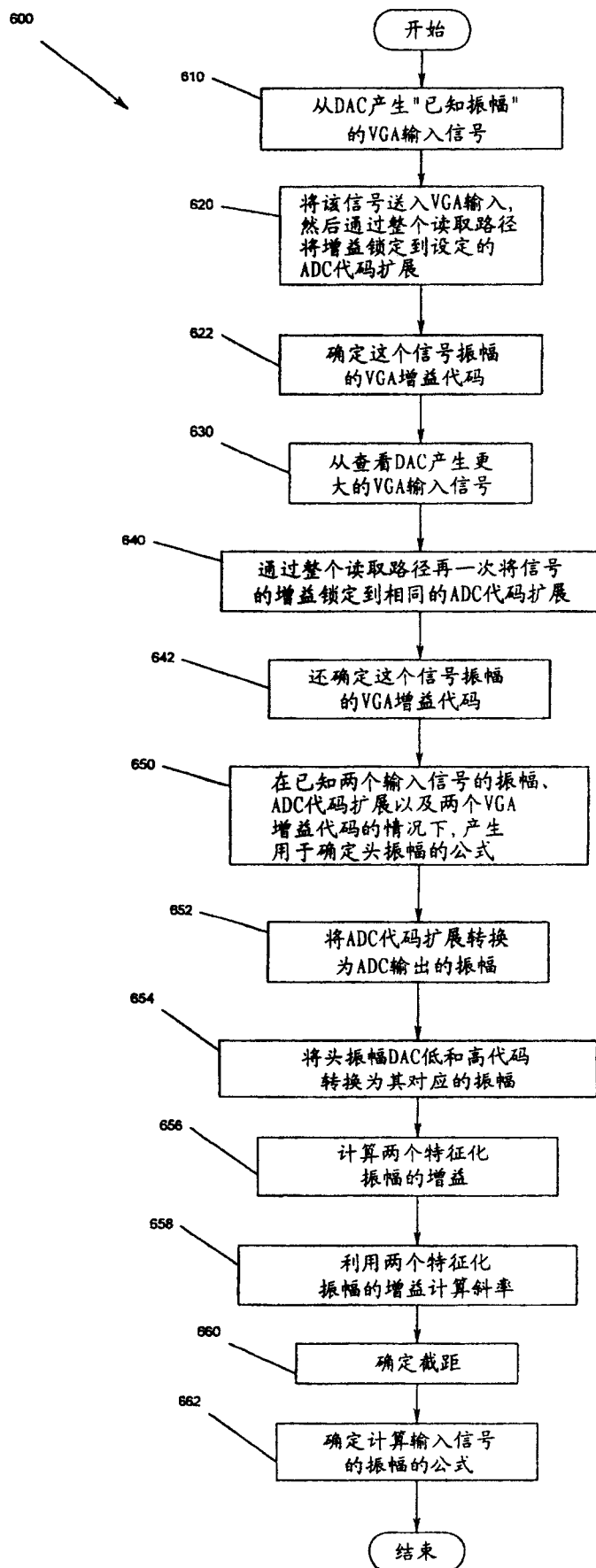


图 6