



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2009-0036243
(43) 공개일자 2009년04월14일

(51) Int. Cl.

H03F 3/68 (2006.01) H04B 1/06 (2006.01)

H04B 1/18 (2006.01)

(21) 출원번호 10-2007-0101305

(22) 출원일자 2007년10월09일

심사청구일자 2007년10월09일

(71) 출원인

창원대학교 산학협력단

경남 창원시 사림동 9 창원대학교내

(72) 발명자

김영희

경남 창원시 반림동 현대아파트 112동 1001호

임규호

경남 창원시 사림동 137-14번지 205호

(뒷면에 계속)

(74) 대리인

이철희

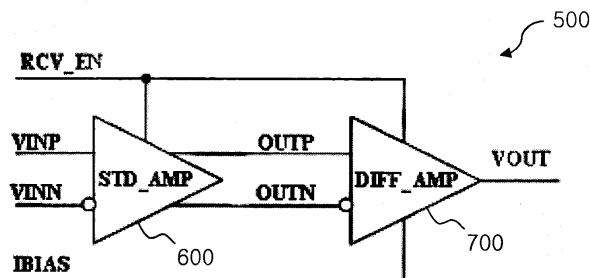
전체 청구항 수 : 총 14 항

(54) 고속 신호 전송과 저전력 소비를 구현하는 수신기

(57) 요약

본 발명은 고속 신호 전송과 저전력 소비를 구현하는 수신기에 관하여 개시된다. 수신기는 스탠다드 증폭기와 차동 증폭기를 포함한다. 스탠다드 증폭기는 제1 및 제2 입력 신호들을 수신하고, 수신 인에이블 신호에 응답하여 제1 및 제2 입력 신호들을 감지 증폭하여 제1 및 제2 출력 신호들을 발생하되, 수신 인에이블 신호에 응답하여 제1 및 제2 출력 신호들을 셋팅시킨다. 차동 증폭기는 바이어스 신호에 응답하여 제1 및 제2 출력 신호들을 차동 증폭하여 제3 출력 신호를 발생하되, 수신 인에이블 신호에 응답하여 제3 출력 신호를 셋팅시킨다.

대표도 - 도5



(72) 발명자

이재형

부산광역시 부산진구 양정동 271-2번지 산호맨션
2동 305호

김태호

부산 사상구 모라2동 무학아파트 3동 701호

특허청구의 범위

청구항 1

제1 및 제2 입력 신호들을 수신하고, 수신 인에이블 신호에 응답하여 상기 제1 및 제2 입력 신호들을 감지 증폭하여 제1 및 제2 출력 신호들을 발생하되, 상기 수신 인에이블 신호에 응답하여 상기 제1 및 제2 출력 신호들을 셋팅시키는 스탠다드 증폭기; 및

바이어스 신호에 응답하여 상기 제1 및 제2 출력 신호들을 차동 증폭하여 제3 출력 신호를 발생하되, 상기 수신 인에이블 신호에 응답하여 상기 제3 출력 신호를 셋팅시키는 차동 증폭기를 구비하는 것을 특징으로 하는 수신기.

청구항 2

제1항에 있어서, 상기 스탠다드 증폭기는

일단이 상기 제1 출력 신호에 연결되고, 다른 일단이 제1 노드에 연결되는 제1 저항;

일단이 상기 제1 노드에 연결되고, 다른 일단이 상기 제2 출력 노드에 연결되는 제2 저항;

상기 수신 인에이블 신호에 응답하여 상기 제1 노드와 제1 추가 노드를 연결시키는 제1 스위칭부;

상기 제1 추가 노드의 전압 레벨에 응답하여 제2 내지 제4 노드로 전원 전압을 제공하는 제1 전원 구동부;

상기 수신 인에이블 신호에 응답하여 상기 제1 노드와 제2 추가 노드를 연결시키는 제2 스위칭부;

상기 제2 추가 노드의 전압 레벨에 응답하여 제5 내지 제7 노드로 접지 전압을 제공하는 제2 전원 구동부;

상기 제2 내지 제4 노드들로 공급되는 상기 전원 전압과 상기 제5 내지 제7 노드들로 공급되는 상기 접지 전압으로 구동되고, 상기 제1 및 제2 입력 신호들을 감지 증폭하는 감지 증폭부; 및

상기 수신 인에이블 신호에 응답하여 상기 제1 출력 신호를 제1 로직 레벨로 셋팅하고 상기 제2 출력 신호를 제2 로직 레벨로 셋팅하는 수신 인에이블부를 구비하는 것을 특징으로 하는 수신기.

청구항 3

제2항에 있어서, 상기 제1 전원 구동부는

상기 전원 전압이 그 소스에 연결되고, 상기 제1 추가 노드가 그 게이트에 연결되고, 상기 제2 노드가 그 드레인에 연결되는 제1 피모스 트랜지스터;

상기 전원 전압이 그 소스에 연결되고, 상기 제1 추가 노드가 그 게이트에 연결되고, 상기 제3 노드가 그 드레인에 연결되는 제2 피모스 트랜지스터;

상기 전원 전압이 그 소스에 연결되고, 상기 제1 추가 노드가 그 게이트에 연결되고, 상기 제4 노드가 그 드레인에 연결되는 제3 피모스 트랜지스터; 및

상기 전원 전압이 그 소스에 연결되고, 상기 수신 인에이블 신호가 그 게이트에 연결되고, 상기 제1 추가 노드가 그 드레인에 연결되는 제4 피모스 트랜지스터를 구비하는 것을 특징으로 하는 수신기.

청구항 4

제2항에 있어서, 상기 제2 전원 구동부는

상기 접지 전압이 그 소스에 연결되고, 상기 제2 추가 노드가 그 게이트에 연결되고, 상기 제5 노드가 그 드레인에 연결되는 제1 엔모스 트랜지스터;

상기 접지 전압이 그 소스에 연결되고, 상기 제2 추가 노드가 그 게이트에 연결되고, 상기 제6 노드가 그 드레인에 연결되는 제2 엔모스 트랜지스터;

상기 접지 전압이 그 소스에 연결되고, 상기 제2 추가 노드가 그 게이트에 연결되고, 상기 제7 노드가 그 드레인에 연결되는 제3 엔모스 트랜지스터; 및

상기 접지 전압이 그 소스에 연결되고, 상보된 상기 수신 인에이블 신호가 그 게이트에 연결되고, 상기 제2 추

가 노드가 그 드레인에 연결되는 제4 엔모스 트랜지스터를 구비하는 것을 특징으로 하는 수신기.

청구항 5

제2항에 있어서, 상기 감지 증폭기는

상기 제2 노드가 그 소스에 연결되고, 상기 제1 입력 신호가 그 게이트에 연결되고, 상기 제6 노드가 그 드레인에 연결되는 제1 피모스 트랜지스터;

상기 제2 노드가 그 소스에 연결되고, 상기 제2 입력 신호가 그 게이트에 연결되고, 상기 제7 노드가 그 드레인에 연결되는 제2 피모스 트랜지스터;

상기 제3 노드가 그 소스에 연결되고, 상기 제1 노드가 그 게이트에 연결되고, 상기 제2 출력 신호가 그 드레인에 연결되는 제3 피모스 트랜지스터;

상기 제4 노드가 그 소스에 연결되고, 상기 제1 노드가 그 게이트에 연결되고, 상기 제1 출력 신호가 그 드레인에 연결되는 제4 피모스 트랜지스터;

상기 제5 노드가 그 소스에 연결되고, 상기 제1 입력 신호가 그 게이트에 연결되고, 상기 제3 노드가 그 드레인에 연결되는 제1 엔모스 트랜지스터;

상기 제5 노드가 그 소스에 연결되고, 상기 제2 입력 신호가 그 게이트에 연결되고, 상기 제4 노드가 그 드레인에 연결되는 제2 엔모스 트랜지스터;

상기 제6 노드가 그 소스에 연결되고, 상기 제1 노드가 그 게이트에 연결되고, 상기 제2 출력 신호가 그 드레인에 연결되는 제3 엔모스 트랜지스터; 및

상기 제7 노드가 그 소스에 연결되고, 상기 제1 노드가 그 게이트에 연결되고, 상기 제1 출력 신호가 그 드레인에 연결되는 제4 엔모스 트랜지스터를 구비하는 것을 특징으로 하는 수신기.

청구항 6

제2항에 있어서, 상기 수신 인에이블부는

상기 전원 전압이 그 소스에 연결되고, 상기 수신 인에이블 신호가 그 게이트에 연결되고, 상기 제2 출력 신호가 그 드레인에 연결되는 제1 피모스 트랜지스터;

상기 접지 전압이 그 소스와 그 게이트에 연결되고, 상기 제2 출력 신호가 그 드레인에 연결되는 제1 엔모스 트랜지스터;

상기 전원 전압이 그 소스와 그 게이트에 연결되고, 상기 제1 출력 신호가 그 드레인에 연결되는 제2 피모스 트랜지스터; 및

상기 접지 전압이 그 소스에 연결되고, 상보된 수신 인에이블 신호가 그 게이트에 연결되고, 상기 제1 출력 신호가 그 드레인에 연결되는 제2 엔모스 트랜지스터를 구비하는 것을 특징으로 하는 수신기.

청구항 7

제1항에 있어서, 상기 차동 증폭기는

상기 전원 전압이 그 소스에 연결되고, 그 게이트와 그 드레인이 연결되는 제1 피모스 트랜지스터;

상기 전원 전압이 그 소스에 연결되고, 상기 제1 피모스 트랜지스터의 게이트가 그 게이트에 연결되는 제2 피모스 트랜지스터;

상기 제1 출력 신호가 그 게이트에 연결되고, 상기 제1 피모스 트랜지스터의 드레인이 그 드레인에 연결되는 제1 엔모스 트랜지스터;

상기 제2 출력 신호가 그 게이트에 연결되고, 상기 제2 피모스 트랜지스터의 드레인이 그 드레인에 연결되는 제2 엔모스 트랜지스터;

상기 접지 전압이 그 소스에 연결되고, 상기 바이어스 신호가 그 게이트와 그 드레인에 연결되는 제3 엔모스 트랜지스터;

상기 접지 전압이 그 소스에 연결되고, 상기 제3 엔모스 트랜지스터의 게이트가 그 게이트에 연결되고, 상기 제1 및 제2 엔모스 트랜지스터들의 소스들이 그 드레인에 연결되는 제4 엔모스 트랜지스터;

상기 제2 피모스 트랜지스터와 상기 제2 엔모스 트랜지스터 사이의 연결 노드 신호와 상기 수신 인에이블 신호를 입력하는 낸드 게이트; 및

상기 낸드 게이트 출력을 입력하고 직렬 연결된 제1 내지 제3 인버터들을 구비하는 것을 특징으로 하는 수신기.

청구항 8

제1 및 제2 입력 신호들을 수신하여 감지 증폭하여 제1 및 제2 출력 신호들을 발생하되, 상기 제1 및 제2 입력 신호들의 전압 차가 제1 오프셋 전압과 제2 오프셋 전압의 차이만큼 감지될 때 상기 감지 증폭을 수행하는 오프셋 증폭기; 및

바이어스 신호에 응답하여 상기 제1 및 제2 출력 신호들을 차동 증폭하여 제3 출력 신호를 발생하되, 상기 수신 인에이블 신호에 응답하여 상기 제3 출력 신호를 셋팅시키는 차동 증폭기를 구비하는 것을 특징으로 하는 수신기.

청구항 9

제8항에 있어서, 상기 오프셋 증폭기는

일단이 상기 제1 출력 신호에 연결되고, 다른 일단이 제1 노드에 연결되는 제1 저항;

일단이 상기 제1 노드에 연결되고, 다른 일단이 상기 제2 출력 노드에 연결되는 제2 저항;

상기 수신 인에이블 신호에 응답하여 상기 제1 노드와 제1 추가 노드를 연결시키는 제1 스위칭부;

상기 제1 추가 노드의 전압 레벨에 응답하여 제2 내지 제4 노드로 전원 전압을 제공하는 제1 전원 구동부;

상기 수신 인에이블 신호에 응답하여 상기 제1 노드와 제2 추가 노드를 연결시키는 제2 스위칭부;

상기 제2 추가 노드의 전압 레벨에 응답하여 제5 내지 제7 노드로 접지 전압을 제공하는 제2 전원 구동부;

상기 제2 내지 제4 노드들로 공급되는 상기 전원 전압과 상기 제5 내지 제7 노드들로 공급되는 상기 접지 전압으로 구동되고, 상기 제1 및 제2 입력 신호들을 감지 증폭하는 감지 증폭부; 및

상기 제1 오프셋 전압 및 상기 제2 오프셋 전압을 감지 증폭하는 오프셋 전압 감지부를 구비하는 것을 특징으로 하는 수신기.

청구항 10

제9항에 있어서, 상기 제1 전원 구동부는

상기 전원 전압이 그 소스에 연결되고, 상기 제1 추가 노드가 그 게이트에 연결되고, 상기 제2 노드가 그 드레인에 연결되는 제1 피모스 트랜지스터;

상기 전원 전압이 그 소스에 연결되고, 상기 제1 추가 노드가 그 게이트에 연결되고, 상기 제3 노드가 그 드레인에 연결되는 제2 피모스 트랜지스터;

상기 전원 전압이 그 소스에 연결되고, 상기 제1 추가 노드가 그 게이트에 연결되고, 상기 제4 노드가 그 드레인에 연결되는 제3 피모스 트랜지스터; 및

상기 전원 전압이 그 소스에 연결되고, 상기 수신 인에이블 신호가 그 게이트에 연결되고, 상기 제1 추가 노드가 그 드레인에 연결되는 제4 피모스 트랜지스터를 구비하는 것을 특징으로 하는 수신기.

청구항 11

제9항에 있어서, 상기 제2 전원 구동부는

상기 접지 전압이 그 소스에 연결되고, 상기 제2 추가 노드가 그 게이트에 연결되고, 상기 제5 노드가 그 드레인에 연결되는 제1 엔모스 트랜지스터;

상기 접지 전압이 그 소스에 연결되고, 상기 제2 추가 노드가 그 게이트에 연결되고, 상기 제6 노드가 그 드레

인에 연결되는 제2 엔모스 트랜지스터;

상기 접지 전압이 그 소스에 연결되고, 상기 제2 추가 노드가 그 게이트에 연결되고, 상기 제7 노드가 그 드레인에 연결되는 제3 엔모스 트랜지스터; 및

상기 접지 전압이 그 소스에 연결되고, 상보된 상기 수신 인에이블 신호가 그 게이트에 연결되고, 상기 제2 추가 노드가 그 드레인에 연결되는 제4 엔모스 트랜지스터를 구비하는 것을 특징으로 하는 수신기.

청구항 12

제9항에 있어서, 상기 감지 증폭기는

상기 제2 노드가 그 소스에 연결되고, 상기 제1 입력 신호가 그 게이트에 연결되고, 상기 제6 노드가 그 드레인에 연결되는 제1 피모스 트랜지스터;

상기 제2 노드가 그 소스에 연결되고, 상기 제2 입력 신호가 그 게이트에 연결되고, 상기 제7 노드가 그 드레인에 연결되는 제2 피모스 트랜지스터;

상기 제3 노드가 그 소스에 연결되고, 상기 제1 노드가 그 게이트에 연결되고, 상기 제2 출력 신호가 그 드레인에 연결되는 제3 피모스 트랜지스터;

상기 제4 노드가 그 소스에 연결되고, 상기 제1 노드가 그 게이트에 연결되고, 상기 제1 출력 신호가 그 드레인에 연결되는 제4 피모스 트랜지스터;

상기 제5 노드가 그 소스에 연결되고, 상기 제1 입력 신호가 그 게이트에 연결되고, 상기 제3 노드가 그 드레인에 연결되는 제1 엔모스 트랜지스터;

상기 제5 노드가 그 소스에 연결되고, 상기 제2 입력 신호가 그 게이트에 연결되고, 상기 제4 노드가 그 드레인에 연결되는 제2 엔모스 트랜지스터;

상기 제6 노드가 그 소스에 연결되고, 상기 제1 노드가 그 게이트에 연결되고, 상기 제2 출력 신호가 그 드레인에 연결되는 제3 엔모스 트랜지스터; 및

상기 제7 노드가 그 소스에 연결되고, 상기 제1 노드가 그 게이트에 연결되고, 상기 제1 출력 신호가 그 드레인에 연결되는 제4 엔모스 트랜지스터를 구비하는 것을 특징으로 하는 수신기.

청구항 13

제9항에 있어서, 상기 오프셋 전압 감지부는

상기 전원 전압이 그 소스에 연결되고, 상기 제1 추가 노드가 그 게이트에 연결되는 제1 피모스 트랜지스터;

상기 제1 피모스 트랜지스터의 드레인이 그 소스에 연결되고, 상기 제1 오프셋 전압이 그 게이트에 연결되고, 상기 제6 노드가 그 드레인에 연결되는 제2 피모스 트랜지스터;

상기 제1 피모스 트랜지스터의 드레인이 그 소스에 연결되고, 상기 제2 오프셋 전압이 그 게이트에 연결되고, 상기 제7 노드가 그 드레인에 연결되는 제3 피모스 트랜지스터;

상기 접지 전압이 그 소스에 연결되고, 상기 제2 추가 노드가 그 게이트에 연결되는 제1 엔모스 트랜지스터;

상기 제1 엔모스 트랜지스터의 드레인이 그 소스에 연결되고, 상기 제1 오프셋 전압이 그 게이트에 연결되고, 상기 제3 노드가 그 드레인에 연결되는 제2 엔모스 트랜지스터; 및

상기 제1 엔모스 트랜지스터의 드레인이 그 소스에 연결되고, 상기 제2 오프셋 전압이 그 게이트에 연결되고, 상기 제4 노드가 그 드레인에 연결되는 제3 엔모스 트랜지스터를 구비하는 것을 특징으로 하는 수신기.

청구항 14

제8항에 있어서, 상기 차동 증폭기는

상기 전원 전압이 그 소스에 연결되고, 그 게이트와 그 드레인이 연결되는 제1 피모스 트랜지스터;

상기 전원 전압이 그 소스에 연결되고, 상기 제1 피모스 트랜지스터의 게이트가 그 게이트에 연결되는 제2 피모스 트랜지스터;

상기 제1 출력 신호가 그 게이트에 연결되고, 상기 제1 피모스 트랜지스터의 드레인이 그 드레인에 연결되는 제1 엔모스 트랜지스터;

상기 제2 출력 신호가 그 게이트에 연결되고, 상기 제2 피모스 트랜지스터의 드레인이 그 드레인에 연결되는 제2 엔모스 트랜지스터;

상기 접지 전압이 그 소스에 연결되고, 상기 바이어스 신호가 그 게이트와 그 드레인에 연결되는 제3 엔모스 트랜지스터;

상기 접지 전압이 그 소스에 연결되고, 상기 제3 엔모스 트랜지스터의 게이트가 그 게이트에 연결되고, 상기 제1 및 제2 엔모스 트랜지스터들의 소스들이 그 드레인에 연결되는 제4 엔모스 트랜지스터;

상기 제2 피모스 트랜지스터와 상기 제2 엔모스 트랜지스터 사이의 연결 노드 신호와 상기 수신 인에이블 신호를 입력하는 낸드 게이트; 및

상기 낸드 게이트 출력을 입력하고 직렬 연결된 제1 내지 제3 인버터들을 구비하는 것을 특징으로 하는 수신기.

명세서

발명의 상세한 설명

기술 분야

- <1> 본 발명은 디스플레이 구동 IC용 인터페이스 회로에 관한 것으로, 특히 모바일 시스템의 고속 신호 전송과 저전력 소비를 구현하는 수신기에 관한 것이다.

배경 기술

- <2> LVDS(Low Voltage Differential Signal)는 시스템 간 신호 전송 체계 규약들 중의 하나이다. LVDS는 고속의 디지털 데이터 신호를 전압 진폭이 작은 신호로 변환한 후, 2-포트의 전송 선로를 통해 시스템 간 통신을 가능케 한다. 진폭을 줄임으로써 전력 소모 및 EMI / EMC 문제를 해결할 수 있고, 동시에 2-포트 전송 선로를 통해 차동 신호로 전송되기 때문에 외부 잡음에 둔감한 신호 전송을 통해 신호의 무결성을 향상시킬 수 있는 장점이 있다.
- <3> 휴대폰의 메인 CPU와 TFT-LCD 구동 IC 간의 고속 데이터 인터페이스의 경우, LVDS 신호 전송을 응용하고 있다. 영상 데이터 버스가 기존의 CMOS/TTL 레벨의 신호로 전송될 경우, EMC / EMI 등의 문제뿐만 아니라 전송해야 할 데이터 버스의 폭과 높이에 따라 전송 선로 수가 늘어나 비용이 높아진다. 그러나, LVDS 인터페이스를 사용해 낮은 전송 속도를 갖는 병렬 데이터를 고속 및 직렬 데이터로 변환한 후 전송하는 경우, 전송 선로 수를 줄여 비용을 낮출 수 있는 장점이 있다.
- <4> LVDS는, 예컨대, 350mV 정도의 작은 전압을 전송 선로에 차동 모드로 시그널링(Signaling)하는 원리로서, 고속 전송에 요구되는 회로의 전 분야에 걸쳐 사용되고 있다. 도 1은 LVDS 신호 전송 방식의 기본적인 블록 다이어그램을 설명하는 도면이다. 도 1을 참조하면, LVDS 구동회로(10)는 CMOS/TTL 레벨의 DATA_IN 디지털 입력 신호를 LVDS 신호레벨로 변환하여 2개의 전송 선로(30)를 통해 서로 반대방향의 3.5mA의 일정한 전류를 전송하게 된다. LVDS 수신회로(20)의 입력단에서는 외부 또는 내부 저항에 의해 두 전송 선로(30)를 종단하므로, 두 전송 선로(30) 간 전류 루프가 형성된다. 따라서 LVDS 신호는 두 개의 출력에 의해 완전 차동으로 동작하게 된다. 두 차동 전류 출력 신호들은 서로가 기준 신호로 작용하므로, 두 신호들의 접지에 무관하게 되어 신호 무결성을 향상시킬 수 있다. 이때, 입력 신호(DATA_IN)의 값에 따라 전류의 방향이 바뀌게 된다. 전류 루프에 의해 종단 저항의 양단에 전압 차(예컨대 350mV, 100Ω 종단)가 발생하고, LVDS 입력 버퍼는 이 전압 차 및 극성을 추출하여 다시 CMOS/TTL 레벨의 DATA_OUT 신호로 복원하게 된다.
- <5> 이러한 LVDS 인터페이스 기술을 모바일 디스플레이 디지털 인터페이스(Mobile Display Digital Interface: MDDI)에 응용한다면, 모바일 시스템의 고속 신호 전송과 저전력 소비를 구현할 수 있을 것이다.

발명의 내용

해결 하고자하는 과제

<6> 본 발명의 목적은 고속 신호 전송과 저전력 소비를 구현하는 수신기를 제공하는 데 있다.

과제 해결수단

<7> 상기 목적을 달성하기 위하여, 본 발명의 일면에 따른 수신기는, 제1 및 제2 입력 신호들을 수신하고 수신 인에이블 신호에 응답하여 제1 및 제2 입력 신호들을 감지 증폭하여 제1 및 제2 출력 신호들을 발생하되 수신 인에이블 신호에 응답하여 제1 및 제2 출력 신호들을 셋팅시키는 스탠다드 증폭기와, 바이어스 신호에 응답하여 제1 및 제2 출력 신호들을 차동 증폭하여 제3 출력 신호를 발생하되 수신 인에이블 신호에 응답하여 제3 출력 신호를 셋팅시키는 차동 증폭기를 포함한다.

<8> 본 발명의 실시예들에 따라, 스탠다드 증폭기는, 일단이 제1 출력 신호에 연결되고 다른 일단이 제1 노드에 연결되는 제1 저항, 일단이 제1 노드에 연결되고 다른 일단이 제2 출력 노드에 연결되는 제2 저항, 수신 인에이블 신호에 응답하여 제1 노드와 제1 추가 노드를 연결시키는 제1 스위칭부, 제1 추가 노드의 전압 레벨에 응답하여 제2 내지 제4 노드로 전원 전압을 제공하는 제1 전원 구동부, 수신 인에이블 신호에 응답하여 제1 노드와 제2 추가 노드를 연결시키는 제2 스위칭부, 제2 추가 노드의 전압 레벨에 응답하여 제5 내지 제7 노드로 접지 전압을 제공하는 제2 전원 구동부, 제2 내지 제4 노드들로 공급되는 전원 전압과 제5 내지 제7 노드들로 공급되는 접지 전압으로 구동되고, 제1 및 제2 입력 신호들을 감지 증폭하는 감지 증폭부, 그리고 수신 인에이블 신호에 응답하여 제1 출력 신호를 제1 로직 레벨로 셋팅하고 제2 출력 신호를 제2 로직 레벨로 셋팅하는 수신 인에이블 부를 포함할 수 있다.

<9> 본 발명의 실시예들에 따라, 차동 증폭기는, 전원 전압이 그 소스에 연결되고 그 게이트와 그 드레인이 연결되는 제1 피모스 트랜지스터, 전원 전압이 그 소스에 연결되고 제1 피모스 트랜지스터의 게이트가 그 게이트에 연결되는 제2 피모스 트랜지스터, 제1 출력 신호가 그 게이트에 연결되고 제1 피모스 트랜지스터의 드레인이 그 드레인에 연결되는 제1 엔모스 트랜지스터, 제2 출력 신호가 그 게이트에 연결되고 제2 피모스 트랜지스터의 드레인이 그 드레인에 연결되는 제2 엔모스 트랜지스터, 접지 전압이 그 소스에 연결되고, 바이어스 신호가 그 게이트와 그 드레인에 연결되는 제3 엔모스 트랜지스터, 접지 전압이 그 소스에 연결되고 제3 엔모스 트랜지스터의 게이트가 그 게이트에 연결되고 제1 및 제2 엔모스 트랜지스터들의 소스들이 그 드레인에 연결되는 제4 엔모스 트랜지스터, 제2 피모스 트랜지스터와 제2 엔모스 트랜지스터 사이의 연결 노드 신호와 수신 인에이블 신호를 입력하는 낸드 게이트, 그리고 낸드 게이트 출력을 입력하고 직렬 연결된 제1 내지 제3 인버터들을

<10> 상기 목적을 달성하기 위하여, 본 발명의 다른 일면에 따른 수신기는, 제1 및 제2 입력 신호들을 수신하여 감지 증폭하여 제1 및 제2 출력 신호들을 발생하되 제1 및 제2 입력 신호들의 전압 차가 제1 오프셋 전압과 제2 오프셋 전압의 차이만큼 감지될 때 감지 증폭을 수행하는 오프셋 증폭기와, 바이어스 신호에 응답하여 제1 및 제2 출력 신호들을 차동 증폭하여 제3 출력 신호를 발생하되 수신 인에이블 신호에 응답하여 제3 출력 신호를 셋팅시키는 차동 증폭기를 포함한다.

<11> 본 발명의 실시예들에 따라, 오프셋 증폭기는 일단이 제1 출력 신호에 연결되고 다른 일단이 제1 노드에 연결되는 제1 저항, 일단이 제1 노드에 연결되고 다른 일단이 제2 출력 노드에 연결되는 제2 저항, 수신 인에이블 신호에 응답하여 제1 노드와 제1 추가 노드를 연결시키는 제1 스위칭부, 제1 추가 노드의 전압 레벨에 응답하여 제2 내지 제4 노드로 전원 전압을 제공하는 제1 전원 구동부, 수신 인에이블 신호에 응답하여 제1 노드와 제2 추가 노드를 연결시키는 제2 스위칭부, 제2 추가 노드의 전압 레벨에 응답하여 제5 내지 제7 노드로 접지 전압을 제공하는 제2 전원 구동부, 제2 내지 제4 노드들로 공급되는 전원 전압과 제5 내지 제7 노드들로 공급되는 접지 전압으로 구동되고 제1 및 제2 입력 신호들을 감지 증폭하는 감지 증폭부, 그리고 제1 오프셋 전압 및 제2 오프셋 전압을 감지 증폭하는 오프셋 전압 감지부를 포함할 수 있다.

효 과

<12> 본 발명의 수신기에 의하면 시스템들 간의 디지털 신호 인터페이스에 유리하여 MDDI 고속 인터페이스에 적용된다. 이에 따라, 디지털 기저 대역(base band) 컨트롤러와 디스플레이 및 카메라 등을 연결하는 신호의 수를 줄일 수 있다. 이렇게 상호 통신 연결의 복잡성을 줄여서 비용을 줄이고 신뢰성은 높인다. 또한, 고해상도 디스플레이 및 카메라가 장착된 고급 멀티미디어 단말기에서 연결 부분을 통한 다중 동시 고속 신호를 제거하여 단말기 통합에 따르는 복잡성을 줄여준다. 따라서, 본 발명의 수신기를 MDDI 통신 방식에 사용하면, 줄어든 배선 수로 인하여 낮은 비용, 증대된 신뢰성 및 전원 소비 감소로 연결되며, 추가적인 보조 구성 요소 및 모듈이 필요 없게 되어 MSM(Mobile Station Modem)으로 직접 통합되는 장점이 있다.

발명의 실시를 위한 구체적인 내용

- <13> 본 발명과 본 발명의 동작상의 이점 및 본 발명의 실시에 의하여 달성되는 목적을 충분히 이해하기 위해서는 본 발명의 예시적인 실시예를 설명하는 첨부 도면 및 첨부 도면에 기재된 내용을 참조하여야만 한다.
- <14> 이하, 첨부한 도면을 참조하여 본 발명의 바람직한 실시예를 설명함으로써, 본 발명을 상세히 설명한다. 각 도면에 제시된 동일한 참조부호는 동일한 부재를 나타낸다.
- <15> 도 2은 전형적인 MDDI의 개념을 설명하는 도면이다. 도 2를 참조하면, 카메라 모듈(50)과 MSM(Mobile Station Modem) 칩(40) 간의 MDDI 링크(Link, 70)를 통한 LVDS 송수신에서는 카메라 모듈(50)이 신호를 송신하는 MDDI 호스트(Host)가 되고, MSM 칩(40)은 신호를 수신하는 MDDI 클라이언트(Client)가 된다. 반면에 LCD 모듈(60)과의 MDDI 링크를 통한 LVDS 송수신은 MSM 칩(40)이 신호를 송신하는 MDDI 호스트가 되고, LCD 모듈(60)이 신호를 수신하는 MDDI 클라이언트가 된다.
- <16> 도 3은 도 2의 MDDI 링크의 블록 다이어그램이다. 도 3을 참조하면, MDDI 클라이언트 칩(60)은, 예컨대, LCD 모듈을 나타내고, MDDI 호스트 칩(40)은 휴대폰의 MSM 칩을 나타낸다. MDDI 호스트 칩(40)은 데이터 전송부(Data Transmitter), 스트로브 전송부(Strobe Transmitter) 그리고 데이터 수신부(Data Receiver) 등으로 구성된다. MDDI 호스트 칩(40)은 송신부 내의 디지털 데이터 처리로부터 CMOS 로직 호환 레벨의 직렬 데이터를 입력으로 받아, LVDS의 신호 전송 규약을 만족하는 신호 레벨로 변환하여 수신부로 차동 신호를 전송하는 역할을 한다.
- <17> MDDI 클라이언트 칩(60)은 스트로브 수신부(Strobe Receiver), 오프셋 수신부(Offset Receiver), 데이터 수신부(Data Receiver), 데이터 송신부(Data Transmitter) 그리고 데이터 복원부(Data Recovery) 등으로 구성된다. MDDI 클라이언트 칩(60)은 수신부의 LVDS 수신 회로로서, MDDI 호스트 칩(40)의 구동 회로로부터 전송된 LVDS 호환 신호 레벨로부터 CMOS 로직 호환 신호 레벨로 복원하는 기능을 한다. 그리고 송신부를 제외한 부분은 LVDS 신호가 구동 회로로부터 수신 회로로 전송되는 연결 전송선(PCB 선로 및 케이블)을 나타내고 있으며, 구동 회로로부터 전송되는 차동 전류 신호의 전류 회귀 경로 형성 및 임피던스 정합을 위한 종단 저항 역할을 한다.
- <18> MDDI 링크(70)에서, 데이터 페어(Data Pair)는 양방향 통신이며, 스트로브 페어(Strobe Pair)는 단방향 통신이다. MDDI 링크(70)는 전류 구동 방식이고, 병렬 저항 터미네이션(Parallel Resistive Termination)을 사용한다.
- <19> LVDS 수신 회로는 넓은 입력 공통 모드 범위를 가져야 하고, 신호 전달시 노이즈에 의해 발생할 수 있는 간섭을 방지할 것이 요구된다. 이에 따라, LVDS 수신 회로에는 레일-투-레일(Rail-to-Rail) 증폭기와 히스테리시스를 갖는 슈미트 트리거가 사용된다. 전송선을 통한 신호 전송 시, 송신단과 수신단간의 접지 레벨은 동일하지 않다. 그래서 수신단의 입력부는 공통 모드 전압 범위에서는 충분한 마진이 필요하고 수신 회로의 대역폭을 늘려야 하기 때문에, 자체 바이어스 구조의 레일-투-레일 증폭기가 장점을 가진다.
- <20> 자체 바이어스로 구동되는 레일-투-레일 증폭기는, 입력 버퍼의 대역폭을 늘리기 위한 베이스(Baze) 증폭기를 주로 사용한다. 도 4는 베이스 증폭기를 설명하는 회로 다이어그램이다. 도 4를 참조하면, 베이스 증폭기(400)는 제1 및 제2 저항들(R1, R2), 제1 전원 구동부(410), 감지 증폭부(420) 그리고 제2 전원 구동부(430)를 포함한다.
- <21> 제1 저항(R1)과 제2 저항(R2)은 제2 출력 신호(OUTN)와 제1 출력 신호(OUTP) 사이에 직렬 연결된다. 제1 저항(R1)과 제2 저항(R2)은 동일한 저항값을 갖는다. 제1 저항(R1)과 제2 저항(R2) 사이의 연결점인 제1 노드(N1)에는 전원 전압(VDD)의 반에 해당하는 전압 레벨(VDD/2)이 자체적으로 잡힌다.
- <22> 제1 전원 구동부(410)는 제1 노드(N1) 전압에 응답하여 감지 증폭부(420)로 전원 전압(VDD)을 제공하는 제1 내지 제3 피모스 트랜지스터들(MP1-MP3)로 구성된다. 제1 피모스 트랜지스터(MP1)는, 전원 전압(VDD)이 그 소스에 연결되고, 제1 노드(N1)가 그 게이트에 연결되고, 제2 노드(N2)가 그 드레인에 연결된다. 제2 피모스 트랜지스터(MP2)는, 전원 전압(VDD)이 그 소스에 연결되고, 제1 노드(N1)가 그 게이트에 연결되고, 제3 노드(N3)가 그 드레인에 연결된다. 제3 피모스 트랜지스터(MP3)는, 전원 전압(VDD)이 그 소스에 연결되고, 제1 노드(N1)가 그 게이트에 연결되고, 제4 노드(N4)가 그 드레인에 연결된다.
- <23> 감지 증폭부(420)는 제1 및 제2 입력 신호들(VINP, VINN)을 감지 증폭하여 제1 및 제2 출력 신호들(OUTP, OUTN)을 발생한다. 감지 증폭부(420)는 제4 내지 제7 피모스 트랜지스터들(MP4-MP7)과 제4 내지 제7 엔모스 트랜지스터들(MN4-MN7)을 포함한다. 제4 피모스 트랜지스터(MP4)는, 제2 노드(N2)가 그 소스에 연결되고, 제1 입력 신호(VINP)가 그 게이트에 연결되고, 제6 노드(N6)가 그 드레인에 연결된다. 제5 피모스 트랜지스터(MP5)는,

제2 노드(N2)가 그 소스에 연결되고, 제2 입력 신호(VINN)가 그 게이트에 연결되고, 제7 노드(N7)가 그 드레인에 연결된다. 제6 피모스 트랜지스터(MP6)는, 제3 노드(N3)가 그 소스에 연결되고, 제1 노드(N1)가 그 게이트에 연결되고, 제2 출력 신호(OUTN)가 그 드레인에 연결된다. 제7 피모스 트랜지스터(MP7)는, 제4 노드(N4)가 그 소스에 연결되고, 제1 노드(N1)가 그 게이트에 연결되고, 제1 출력 신호(OUTP)가 그 드레인에 연결된다. 제4 엔모스 트랜지스터(MN4)는, 제5 노드(N5)가 그 소스에 연결되고, 제1 입력 신호(VINP)가 그 게이트에 연결되고, 제3 노드(N3)가 그 드레인에 연결된다. 제5 엔모스 트랜지스터(MN5)는, 제5 노드(N5)가 그 소스에 연결되고, 제2 입력 신호(VINN)가 그 게이트에 연결되고, 제4 노드(N4)가 그 드레인에 연결된다. 제6 엔모스 트랜지스터(MN6)는, 제6 노드(N6)가 그 소스에 연결되고, 제1 노드(N1)가 그 게이트에 연결되고, 제2 출력 신호(OUTN)가 그 드레인에 연결된다. 제7 엔모스 트랜지스터(MN7)는, 제7 노드(N7)가 그 소스에 연결되고, 제1 노드(N1)가 그 게이트에 연결되고, 제1 출력 신호(OUTP)가 그 드레인에 연결된다.

<24> 제2 전원 구동부(430)는 제1 노드(N1) 전압에 응답하여 감지 증폭부(420)로 접지 전압(VSS)을 제공하는 제1 내지 제3 엔모스 트랜지스터들(MN1-MN3)로 구성된다. 제1 엔모스 트랜지스터(MN1)는, 접지 전압(VSS)이 그 소스에 연결되고, 제1 노드(N1)가 그 게이트에 연결되고, 제5 노드(N5)가 그 드레인에 연결된다. 제2 엔모스 트랜지스터(MN2)는, 접지 전압(VSS)이 그 소스에 연결되고, 제1 노드(N1)가 그 게이트에 연결되고, 제6 노드(N6)가 그 드레인에 연결된다. 제3 엔모스 트랜지스터(MN3)는, 접지 전압(VSS)이 그 소스에 연결되고, 제1 노드(N1)가 그 게이트에 연결되고, 제7 노드(N7)가 그 드레인에 연결된다.

<25> 베이스 증폭기(400)는 제1 및 제2 입력 신호들(VINP, VINN)이 엔모스 트랜지스터 쌍(MN4, MN5)과 피모스 트랜지스터 쌍(MP4, MP5) 모두에 연결되어 있다. 따라서, 낮은 공통모드의 신호의 경우 피모스 트랜지스터(MP4, MP5)에 의해서, 높은 공통모드의 경우 엔모스 트랜지스터(MN4, MN5)에 의해 동작한다. 그리고 자체 바이어스 구조로 공통모드 부재환 회로가 필요 없어 회로를 간단하게 구현할 수 있다.

<26> 도 5는 본 발명의 제1 실시예에 따른 스탠다드 수신기(standard receiver)를 설명하는 회로 다이어그램이다. 도 5를 참조하면, 스탠다드 수신기(500)는 스탠다드 증폭기(600)와 차동 증폭기(700)를 포함하는 2-스테이지의 증폭기로 구성된다. 스탠다드 수신기(500)는 제1 및 제2 입력 신호들(VINP, VINN), 수신 인에이블 신호(RCV_EN) 및 바이어스 신호(IBIAS)에 응답하여 제3 출력 신호(VOUT)를 발생한다. 제3 출력 신호(VOUT)는 데이터 복원 회로의 입력으로 들어가 원래의 신호를 복원하는 데 사용될 수 있다.

<27> 도 6은 도 5의 스탠다드 증폭기를 설명하는 회로 다이어그램이다. 도 6을 참조하면, 스탠다드 증폭기(600)는, 앞서 설명한 도 4의 베이스 증폭기(400)와 비교하여, 제1 스위칭부(640), 제2 스위칭부(650) 그리고 수신 인에이블부(660)를 더 포함한다는 점에서 차이가 있다. 그리고 제1 및 제2 전원 구동부들(610, 630)은 도 4의 제1 및 제2 전원 구동부들(410, 420)의 구성 요소들과 유사한데, 수신 인에이블 신호들(REV_EN, REV_ENb)에 응답하는 피모스 트랜지스터(MP8)와 엔모스 트랜지스터(MN8)를 더 포함한다는 점에서 차이가 있다. 도 4와 동일한 참조부호는 동일한 부재를 나타내므로, 설명의 중복을 피하기 위하여 구체적인 설명이 생략된다.

<28> 제1 전원 구동부(610)는, 전원 전압(VDD)이 그 소스에 연결되고, 수신 인에이블 신호(RCV_EN)가 그 게이트에 연결되고, 제1 추가 노드(N1a)가 그 드레인에 연결되는 제8 피모스 트랜지스터(MP8)를 더 포함한다. 수신 인에이블 신호(RCV_EN)는, 예컨대, LCD 모듈인 도 3의 MDDI 클라이언트 칩(60)이 커져 있는 경우 로직 하이레벨 상태이고, 꺼져있는 있는 경우 로직 로우레벨 상태이다. 제1 추가 노드(N1a)는, MDDI 클라이언트 칩(60)이 꺼져있는 있는 경우, 로직 로우레벨의 수신 인에이블 신호(RCV_EN)에 응답하여 전원 전압(VDD) 레벨로 셋팅된다.

<29> 제2 전원 구동부(630)는, 접지 전압(VSS)이 그 소스에 연결되고, 상보된 수신 인에이블 신호(RCV_ENb)가 그 게이트에 연결되고, 제2 추가 노드(N1b)가 그 드레인에 연결되는 제8 엔모스 트랜지스터(MN8)를 더 포함한다. 상보된 수신 인에이블 신호(RCV_ENb)는, MDDI 클라이언트 칩(60)이 커져 있는 경우 로직 로우레벨 상태이고, 꺼져있는 있는 경우 로직 하이레벨 상태이다. 제1 추가 노드(N1a)는, MDDI 클라이언트 칩(60)이 꺼져있는 있는 경우, 로직 하이레벨의 상보된 수신 인에이블 신호(RCV_ENb)에 응답하여 접지 전압(VSS) 레벨로 셋팅된다.

<30> 제1 스위칭부(640)는 수신 인에이블 신호쌍(RCV_EN, RCV_ENb)에 응답하여 제1 노드(N1)와 제1 추가 노드(N1a)를 선택적으로 연결시킨다. 제1 스위칭부(640)는, MDDI 클라이언트 칩(60)이 꺼져있는 있는 경우 제1 노드(N1)와 제1 추가 노드(N1a)의 연결을 차단하고, MDDI 클라이언트 칩(60)이 커져 있는 경우 제1 노드(N1)와 제1 추가 노드(N1a)를 연결시킨다. 즉, MDDI 클라이언트 칩(60)이 커져 있는 경우, 제1 노드(N1)와 제1 추가 노드(N1a)는 도 4의 제1 노드(N1)와 같이 VDD/2 전압 레벨이 된다.

<31> 제2 스위칭부(650)는 수신 인에이블 신호쌍(RCV_EN, RCV_ENb)에 응답하여 제1 노드(N1)와 제2 추가 노드(N1b)를

선택적으로 연결시킨다. 제2 스위칭부(650)는, MDDI 클라이언트 칩(60)이 꺼져있는 있는 경우 제1 노드(N1)와 제2 추가 노드(N1b)의 연결을 차단하고, MDDI 클라이언트 칩(60)이 켜져 있는 경우 제1 노드(N1)와 제2 추가 노드(N1b)를 연결시킨다. 즉, MDDI 클라이언트 칩(60)이 켜져 있는 경우, 제1 노드(N1)와 제2 추가 노드(N1b)는 도 4의 제1 노드(N1)와 같이 VDD/2 전압 레벨이 된다.

<32> 수신 인에이블부(660)는, 상보된 수신 인에이블 신호(RCV_ENb)와 수신 인에이블 신호(RCV_EN)에 응답하여 제1 및 제2 출력 신호들(OUTP, OUTN)의 전압 레벨을 셋팅하는 제9 및 제10 피모스 트랜지스터들(MP9, MP10)과 제9 및 제10 엔모스 트랜지스터들(MN9, MN10)을 포함한다. 제9 피모스 트랜지스터(MP9)는, 전원 전압(VDD)이 그 소스에 연결되고, 수신 인에이블 신호(RCV_EN)가 그 게이트에 연결되고, 제2 출력 신호(OUTN)가 그 드레인에 연결된다. 제9 엔모스 트랜지스터(MN9)는, 접지 전압(VSS)이 그 소스와 그 게이트에 연결되고, 제2 출력 신호(OUTN)가 그 드레인에 연결된다. 제10 피모스 트랜지스터(MP10)는, 전원 전압(VDD)이 그 소스와 그 게이트에 연결되고, 제1 출력 신호(OUTP)가 그 드레인에 연결된다. 제10 엔모스 트랜지스터(MN10)는, 접지 전압(VSS)이 그 소스에 연결되고, 상보된 수신 인에이블 신호(RCV_ENb)가 그 게이트에 연결되고, 제1 출력 신호(OUTP)가 그 드레인에 연결된다. 수신 인에이블부(660)는, MDDI 클라이언트 칩(60)이 꺼져 있는 경우, 제1 출력 신호(OUTP)를 로직 로우레벨로 셋팅하고 제2 출력 신호(OUTN)는 로직 하이레벨로 셋팅한다.

<33> 스탠다드 증폭기(600)는 도 4의 베이스 증폭기(400)에 비해 데이터 전송이 없을 경우 완전히 동작을 멈추도록 설계하여 공급 전원 전압에서의 대기 모드 전류를 완전히 차단한다.

<34> 도 7은 도 5의 차동 증폭기를 설명하는 회로 다이어그램이다. 도 7을 참조하면, 차동 증폭기(700)는 제1 및 제2 피모스 트랜지스터들(701, 702), 제1 내지 제4 엔모스 트랜지스터들(703, 704, 705, 706), 낸드 게이트(707) 그리고 제1 내지 제3 인버터들(708, 709, 710)을 포함한다. 제1 및 제2 피모스 트랜지스터들(701, 702)은, 그 소스들이 전원 전압(VDD)에 연결되고, 그 게이트들이 제1 피모스 트랜지스터(701)의 드레인에 연결된다. 제1 엔모스 트랜지스터(703)은, 스탠다드 증폭기(600, 도 6)의 제1 출력 신호(OUTP)가 그 게이트에 연결되고, 제1 피모스 트랜지스터(701)의 드레인이 그 드레인에 연결된다. 제2 엔모스 트랜지스터(704)은, 스탠다드 증폭기(600, 도 6)의 제2 출력 신호(OUTN)가 그 게이트에 연결되고, 제2 피모스 트랜지스터(702)의 드레인이 그 드레인에 연결된다. 제3 및 제4 엔모스 트랜지스터들(705, 706)은, 바이어스 신호(IBIAS)에 응답하는 전류 미러로 구성된다. 제4 엔모스 트랜지스터(706)는 제1 및 제2 엔모스 트랜지스터들(703, 704)의 소스들과 접지 전압(VSS) 사이에 연결된다. 낸드 게이트(707)은 제2 피모스 트랜지스터(702)와 제2 엔모스 트랜지스터(704)의 연결 노드 신호와 수신 인에이블 신호(RCV_EN)를 입력한다. 제1 내지 제3 인버터들(708, 709, 710)은 직렬 연결되고, 낸드 게이트(707)을 입력하여 스탠다드 수신기(500, 도 5)의 제3 출력 신호(VOUT)를 발생한다.

<35> 차동 증폭기(700)는 제1 및 제2 엔모스 트랜지스터들(703, 704)로 구성되는 차동 증폭기를 사용한다. 차동 증폭기(700)는 수신 인에이블 신호(RCV_EN)에 의해 제어되는 데, 수신 인에이블 신호(RCV_EN)가 로직 로우레벨이면 제3 출력 신호(VOUT)를 로직 로우레벨로 셋팅하여 전력 소모를 줄인다.

<36> 도 8은 본 발명의 제2 실시예에 따른 옹셋 수신기를 설명하는 도면이다. 도 8을 참조하면, 옹셋 수신기(800)는 옹셋 증폭기(900)와 차동 증폭기(700)를 포함하는 2-스테이지의 증폭기로 구성된다. 옹셋 수신기(800)는 제1 및 제2 입력 신호들(VINP, VINN), 제1 및 제2 옹셋 전압들(V0, V125), 수신 인에이블 신호(RCV_EN) 및 바이어스 신호(IBIAS)에 응답하여 출력 신호(VOUT)를 발생한다.

<37> 도 9는 도 8의 옹셋 증폭기의 회로 다이어그램이다. 도 9를 참조하면, 옹셋 증폭기(900)는, 도 6에서 설명된 스탠다드 증폭기(600)와 비교하여, 수신 인에이블부(660)를 포함하지 않고, 감지 증폭부(620) 내에 옹셋 전압 감지부(625)를 더 포함한다는 점에서 차이가 있다. 도 6과 동일한 참조부호는 동일한 부재를 나타내므로, 설명의 중복을 피하기 위하여 구체적인 설명이 생략된다.

<38> 옹셋 전압 감지부(625)는 제11 내지 제13 피모스 트랜지스터들(MP11-MP13)과 제1 내지 제3 엔모스 트랜지스터들(MN11-MN13)을 포함한다. 제11 피모스 트랜지스터(MP11)는, 전원 전압(VDD)이 그 소스에 연결되고, 제1 추가 노드(N1a)가 그 게이트에 연결된다. 제12 피모스 트랜지스터(MP12)는, 제11 피모스 트랜지스터(MP11)의 드레인이 그 소스에 연결되고, 제1 옹셋 전압(V0)이 그 게이트에 연결되고, 제6 노드(N6)가 그 드레인에 연결된다. 제13 피모스 트랜지스터(MP13)는, 제11 피모스 트랜지스터의 드레인이 그 소스에 연결되고, 제2 옹셋 전압(V125)이 그 게이트에 연결되고, 제7 노드(N7)가 그 드레인에 연결된다. 제11 엔모스 트랜지스터(MN11)는, 접지 전압(VSS)이 그 소스에 연결되고, 제2 추가 노드(N1b)가 그 게이트에 연결된다. 제12 엔모스 트랜지스터(MN12)는, 제11 엔모스 트랜지스터(MN11)의 드레인이 그 소스에 연결되고, 제1 옹셋 전압(V0)이 그 게이트에 연결되고, 제3 노드(N3)가 그 드레인에 연결된다. 제13 엔모스 트랜지스터(MN13)는, 제11 엔모스 트랜지스터(MN11)의 드레인이

이 그 소스에 연결되고, 제2 오프셋 전압(V125)이 그 게이트에 연결되고, 제4 노드(N4)가 그 드레인에 연결된다.

<39> 오프셋 증폭기(900)는 제1 및 제2 입력 신호들(VINp, VINN)이 수신되지 않을 경우에 동작을 멈추고 있다가 125mV 이상의 입력 전압 차가 감지될 경우 동면(Hibernation Mode)상태에서 벗어나는 신호를 생성하여 스탠다드 수신기(500, 도 5)를 동작시키는 클라이언트 웨이크 업(client wake-up) 신호를 생성하는 기능을 하며, 입력 전압 차이가 125mV 이하일 경우 그 동작을 멈추어 동면 상태에 있게 된다.

<40> 도 10은 도 5의 스탠다드 수신기(500)의 150MHz 동작에서의 아이 패턴을 보여주는 도면으로, 임의의 차동 입력에 대하여 출력 신호가 중첩된 모습을 보여준다.

<41> 본 발명은 도면에 도시된 일 실시예를 참고로 설명되었으나 이는 예시적인 것에 불과하며, 본 기술 분야의 통상의 지식을 가진 자라면 이로부터 다양한 변형 및 균등한 타 실시예가 가능하다는 점을 이해할 것이다. 따라서, 본 발명의 진정한 기술적 보호 범위는 첨부된 등록청구범위의 기술적 사상에 의해 정해져야 할 것이다.

도면의 간단한 설명

<42> 도 1은 LVDS 신호 전송 방식의 기본적인 블록 다이어그램을 설명하는 도면이다.

<43> 도 2은 전형적인 MDDI(Mobile Display Digital Interface)의 개념을 설명하는 도면이다.

<44> 도 3은 도 2의 MDDI 링크의 블록 다이어그램이다.

<45> 도 4는 전형적인 베이스 증폭기를 설명하는 회로 다이어그램이다.

<46> 도 5는 본 발명의 제1 실시예에 따른 스탠다드 수신기(standard receiver)를 설명하는 도면이다.

<47> 도 6은 도 5의 스탠다드 증폭기를 설명하는 회로 다이어그램이다.

<48> 도 7은 도 5의 차동 증폭기를 설명하는 회로 다이어그램이다

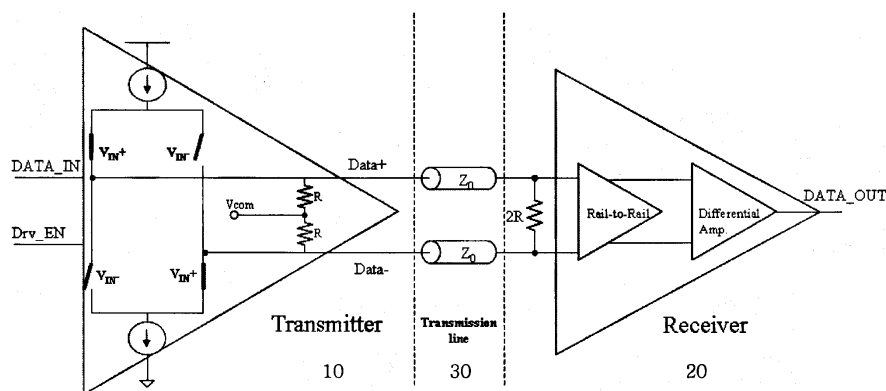
<49> 도 8은 본 발명의 제2 실시예에 따른 오프셋 수신기를 설명하는 도면이다.

<50> 도 9는 도 8의 오프셋 증폭기의 회로 다이어그램이다.

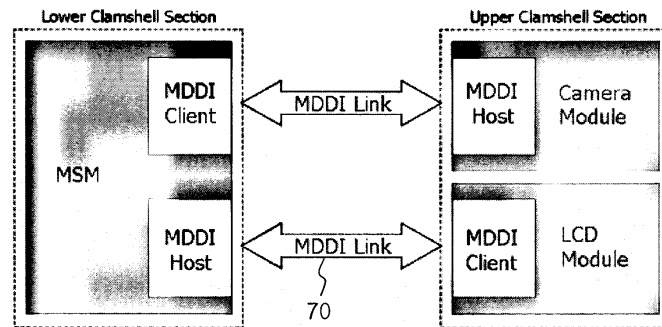
<51> 도 10은 도 5의 스탠다드 수신기의 150MHz 동작에서의 아이 패턴을 보여주는 도면이다.

도면

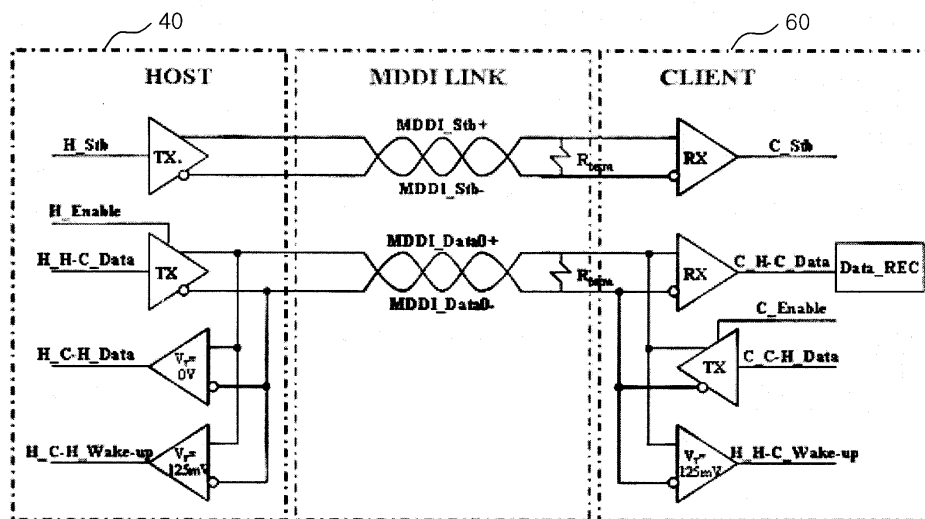
도면1



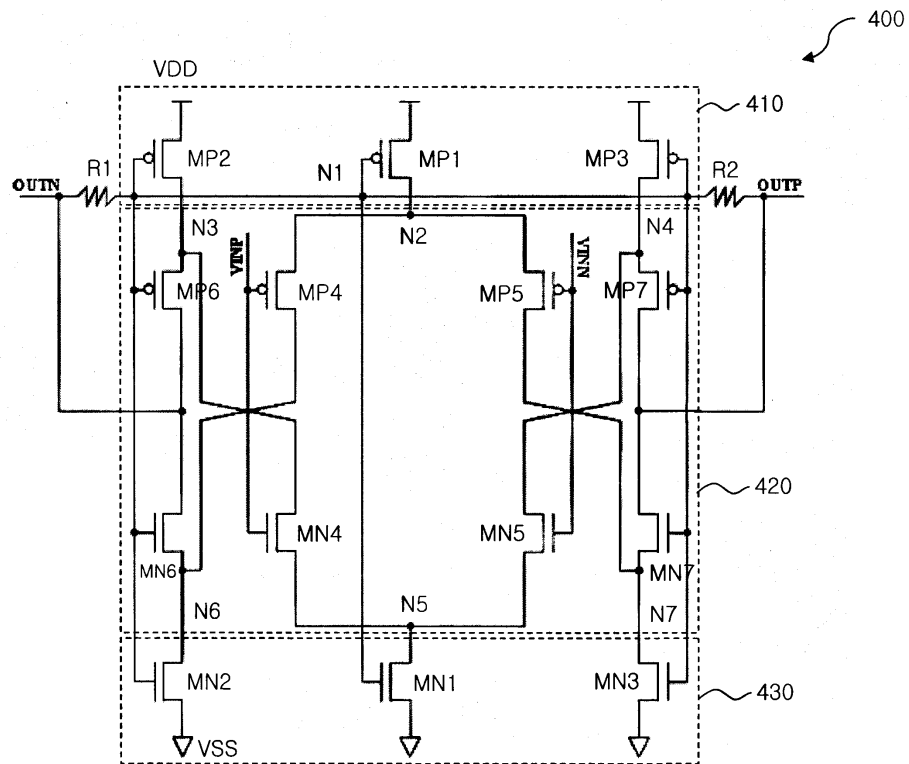
도면2



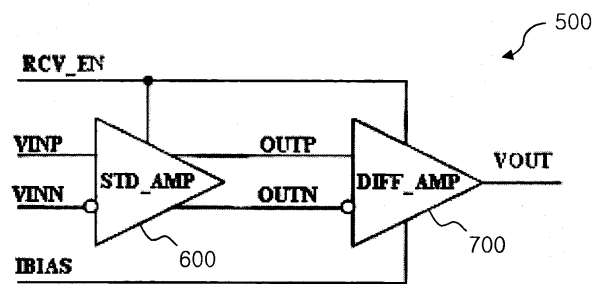
도면3



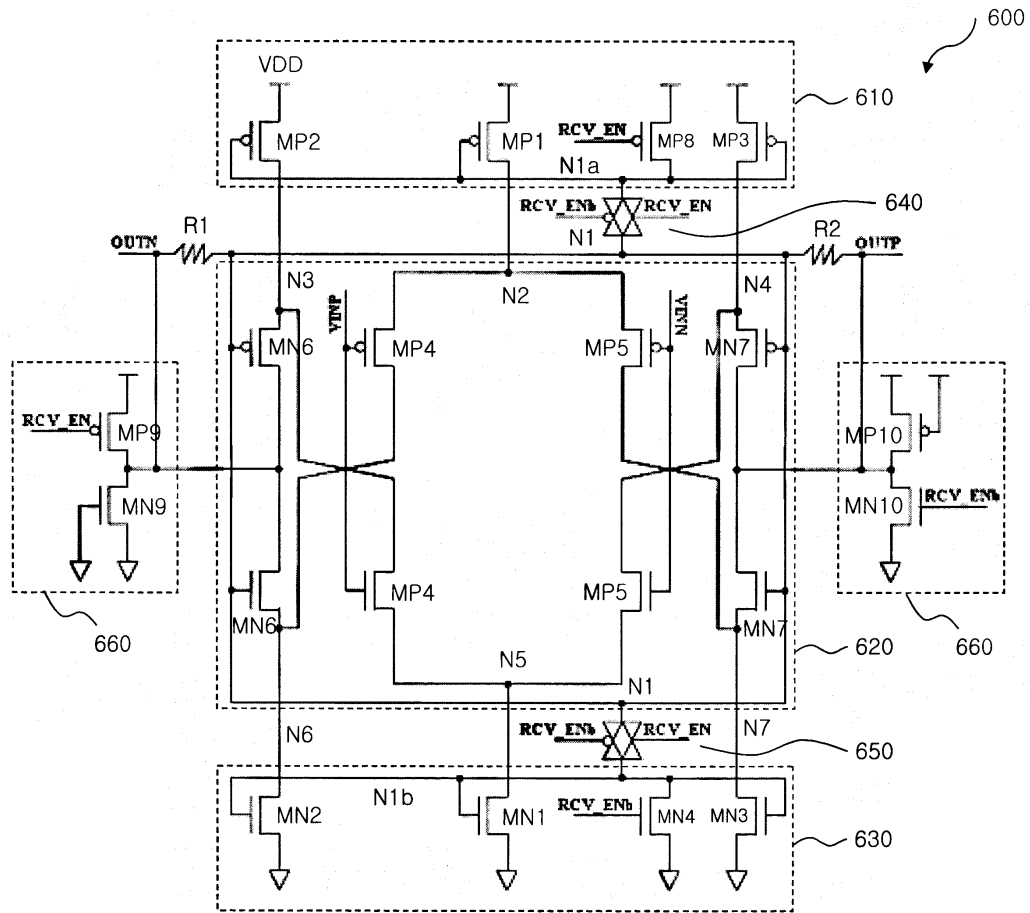
도면4



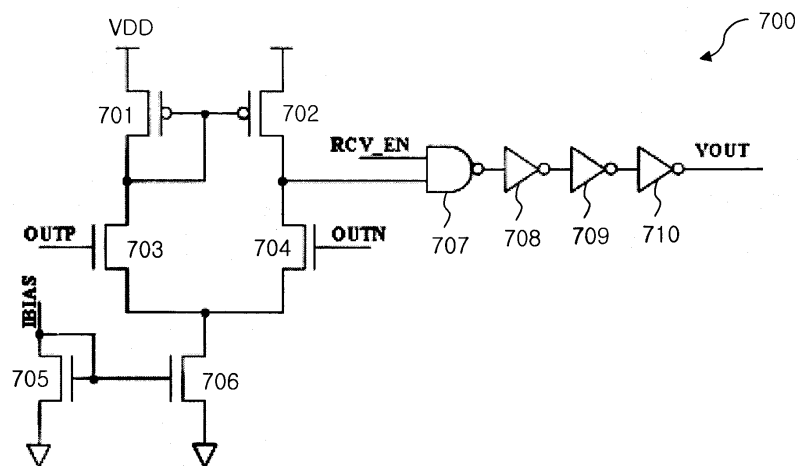
도면5



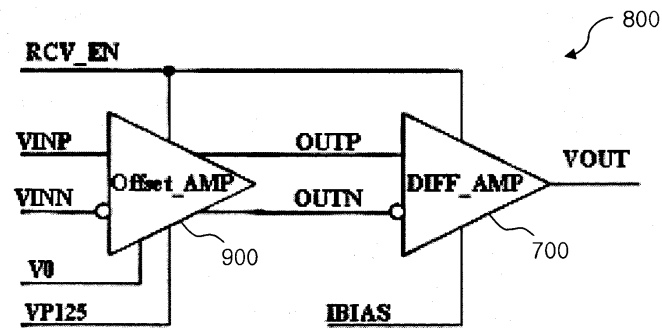
도면6



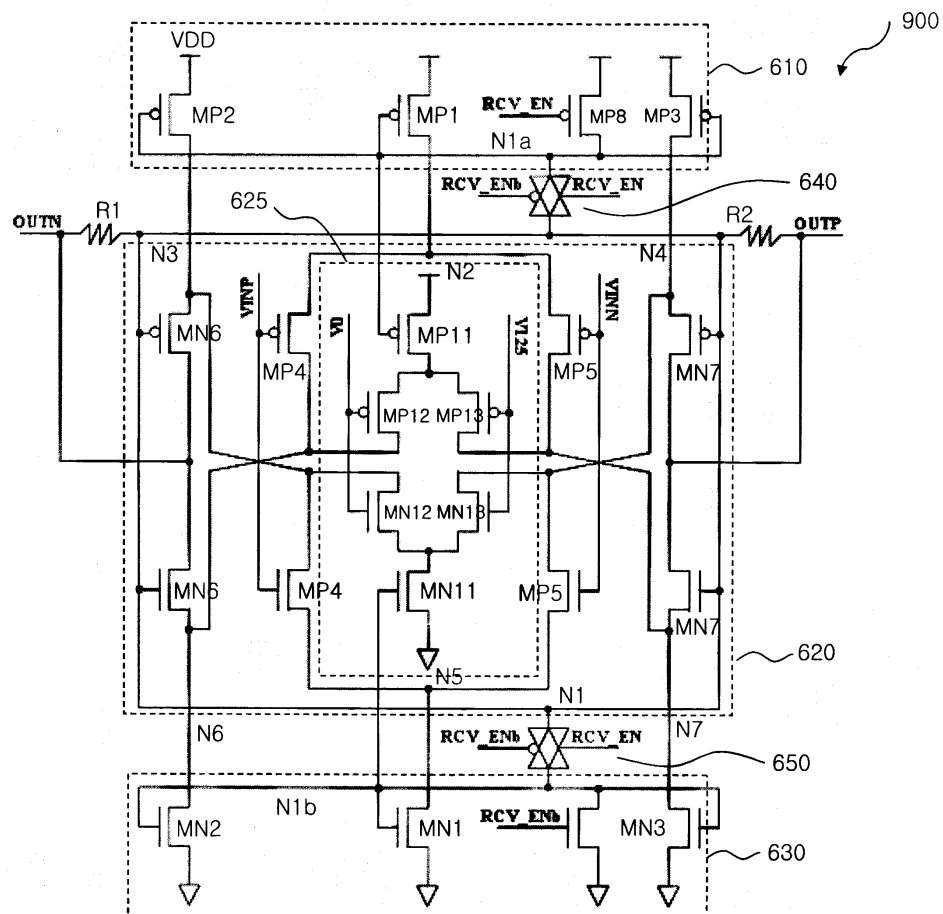
도면7



도면8



도면9



도면10

