

【特許請求の範囲】**【請求項 1】**

ウエイト命令を備え、該ウエイト命令を実行すると、プロセッサ内の処理を停止させる状態であるウエイトステート状態に移行し、ウエイトステート離脱要求信号を受信すると、ウエイトステート状態から離脱し、プログラムカウンタが指示する命令から引き続き実行を行う

ことを特徴とする非同期マイクロプロセッサ。

【請求項 2】

前記ウエイト命令を実行していることを示すウエイトステート信号と、前記ウエイトステート離脱要求信号とを監視し、前記ウエイトステート信号を検知している際に、前記ウエイトステート離脱要求信号を検知すると、前記ウエイトステート信号を解除した後、前記ウエイトステート離脱要求信号を解除する4相ハンドシェーディングによって、ウエイトステートからの離脱と確認を行う

ことを特徴とする請求項1記載の非同期マイクロプロセッサ。

【請求項 3】

プログラムカウンタとウエイトステート移行アドレスレジスタを備え、該プログラムカウンタが指示するアドレスからフェッチした命令を順次実行する非同期マイクロプロセッサにおいて、

該プログラムカウンタが該ウエイトステート移行アドレスレジスタに記憶されたアドレスと一致するか否かを判定し、一致する場合に、命令実行中あるいは命令実行後に、プログラムカウンタの更新の前後に関わらず、プロセッサ内の処理を停止させる状態であるウエイトステート状態に移行し、ウエイトステート離脱要求信号を受けると、ウエイトステート状態から離脱し、プログラムカウンタの更新後に、プログラムカウンタの指示する命令を継続して実行する

ことを特徴とする非同期マイクロプロセッサ。

【請求項 4】

ウエイト命令を実行し前記ウエイトステート状態に移行していることを示すウエイトステート信号と、前記ウエイトステート離脱要求信号とを監視し、前記ウエイトステート信号を検知している際に、前記ウエイトステート離脱要求信号を検知すると、前記ウエイトステート信号を解除した後、前記ウエイトステート離脱要求信号を解除する4相ハンドシェーディングによって、ウエイトステートからの離脱と確認を行う

ことを特徴とする請求項3記載の非同期マイクロプロセッサ。

【請求項 5】

前記ウエイトステート移行アドレスレジスタには複数のアドレスが記憶されることを特徴とする請求項3または請求項4記載の非同期マイクロプロセッサ。

【請求項 6】

優先する処理を実行させる要求である割り込み要求を受信した場合は、当該割り込み要求を受け付けせず、引き続きウエイトステート状態を継続する

ことを特徴とする請求項1から請求項5のいずれかに記載の非同期マイクロプロセッサ。

【請求項 7】

請求項1から請求項5のうちいずれかに記載の非同期マイクロプロセッサを備えたことを特徴とする電子情報装置。

【発明の詳細な説明】**【技術分野】****【0001】**

本発明は、非同期マイクロプロセッサに関し、特に、非同期マイクロプロセッサの処理の停止と再開の制御を行う非同期マイクロプロセッサ、電子情報装置に関する。

【背景技術】**【0002】**

従来から、非同期マイクロプロセッサが利用されている。この非同期マイクロプロセッサ

10

20

30

40

50

サの長所のうち、待機時には一切の A C (ダイナミック) 電力を消費しない、待機状態からの復帰が俊敏であるという点を活かし、 S l e e p 命令 (以下、スリープ命令) や H a l t 命令 (以下、ホールト命令) を実行することで、待機状態に遷移させ、外部からの要求やタイマーによる割り込み信号を受けて割り込み処理プログラムを実行させる方式、すなわち、割り込み駆動方式あるいはイベントドリブン方式のプログラミング・スキームを採用することが考えられる。

このような、スリープ命令やホールト命令を非同期マイクロプロセッサに利用する技術については、例えば、下記の非特許文献 1 に記載されている。

【非特許文献 1】 Design Wave Magazine , 2005 年 7 月 , C Q 出版 , pp 70 - 84 , 唐木信雄

10

【発明の開示】

【発明が解決しようとする課題】

【 0 0 0 3 】

しかしながら、上述の割り込み駆動方式においては、以下に示す問題点がある。

(1) 同期マイクロプロセッサに比べれば、非同期マイクロプロセッサは、待機状態からの離脱すなわち割り込み処理は俊敏に処理されるが、コンテキストのセーブとリストアのオーバーヘッド時間が発生するので、このオーバーヘッド時間を短縮することが好ましい。特に、マイクロプロセッサ間のセマフォーを用いた通信や、 4 相ハンドシェーキングによる通信では、このオーバーヘッド時間の影響は大きくなる。

【 0 0 0 4 】

(2) 割り込み処理に関する効率や安全性 (システムの強靭性) の観点から割り込み内容に優先順位すなわち、割込レベルを付与し、割り込みを受け付けて処理しなければならない高い優先順位を持つ割り込みレベルを優先的に受け付け、実行する方式もあるが、この場合、混乱を避けるために割り込み処理プログラムの中では同じ優先度を持つ割り込みレベルを受け付けないことが多い。そうすると、割り込み処理プログラムの中で低い割り込みレベルが割り当てられたプロセスと他のプロセスとがランデブーを行う必要がある場合は、プログラムによる判定ループの命令を実行し、同期をとる必要があり、この判定ループを繰り返して実行するための電力の消費が発生してしまう。

【 0 0 0 5 】

本発明は、このような事情に鑑みてなされたもので、その目的は、オーバーヘッドにかかる時間を短縮して待機状態からの復帰を俊敏に行うことができるとともに、消費電力を低減させることができる非同期マイクロプロセッサ、電子情報装置を提供することにある。

30

【課題を解決するための手段】

【 0 0 0 6 】

上述した課題を解決するために、本発明は、ウエイト命令を備え、該ウエイト命令を実行すると、プロセッサ内の処理を停止させる状態であるウエイトステート状態に移行し、ウエイトステート離脱要求信号を受信すると、ウエイトステート状態から離脱し、プログラムカウンタが指示する命令から引き続き実行を行うことを特徴とする。

【 0 0 0 7 】

また、本発明は、上述の非同期マイクロプロセッサにおいて、前記ウエイト命令を実行していることを示すウエイトステート信号と、前記ウエイトステート離脱要求信号とを監視し、前記ウエイトステート信号を検知している際に、前記ウエイトステート離脱要求信号を検知すると、前記ウエイトステート信号を解除した後、前記ウエイトステート離脱要求信号を解除する 4 相ハンドシェーキングによって、ウエイトステートからの離脱と確認を行うことを特徴とする。

【 0 0 0 8 】

また、本発明は、プログラムカウンタとウエイトステート移行アドレスレジスタを備え、該プログラムカウンタが指示するアドレスからフェッチした命令を順次実行する非同期マイクロプロセッサにおいて、該プログラムカウンタが該ウエイトステート移行アドレス

40

50

レジスタに記憶されたアドレスと一致するか否かを判定し、一致する場合に、命令実行中あるいは命令実行後に、プログラムカウンタの更新の前後に関わらず、プロセッサ内の処理を停止させる状態であるウエイトステート状態に移行し、ウエイトステート離脱要求信号を受けると、ウエイトステート状態から離脱し、プログラムカウンタの更新後に、プログラムカウンタの指示する命令を継続して実行することを特徴とする。

【0009】

また、本発明は、上述の非同期マイクロプロセッサにおいて、ウエイト命令を実行し前記ウエイトステート状態に移行していることを示すウエイトステート信号と、前記ウエイトステート離脱要求信号とを監視し、前記ウエイトステート信号を検知している際に、前記ウエイトステート離脱要求信号を検知すると、前記ウエイトステート信号を解除した後、前記ウエイトステート離脱要求信号を解除する4相ハンドシェーディングによって、ウエイトステートからの離脱と確認を行うことを特徴とする。10

【0010】

また、本発明は、上述の非同期マイクロプロセッサにおいて、前記ウエイトステート移行アドレスレジスタには複数のアドレスが記憶されることを特徴とする。

【0011】

また、本発明は、上述の非同期マイクロプロセッサにおいて、優先する処理を実行させる要求である割り込み要求を受信した場合は、当該割り込み要求を受け付けせず、引き続きウエイトステート状態を継続することを特徴とする。

【0012】

また、本発明は、上述の非同期マイクロプロセッサを備えたことを特徴とする電子情報装置である。20

【0013】

以上説明したように、この発明によれば、ウエイト命令を備え、このウエイト命令を実行した場合に、ウエイト命令の実行状態で停止させ、割り込みによって他の処理を行うことなく、ウエイトステート離脱要求信号を受信した場合に、停止前の処理を引き続き行うことが可能となる。

また、割り込み処理が終了した後に、復帰する番地を記憶する必要がないので、番地を記憶する処理や呼び出す処理にかかるオーバーヘッドを無くし、割り込みベクターを参照する必要もなくなる。30

また、命令を実行するにあたり、ポーリングのループを行う必要がなくなり、このため、ポーリングのためのAC電力を消費することがなくなり、消費電力を抑えることができ、また、コンテキストのセーブを行うことなく、速やかにウエイトステート状態から離脱することが可能となる。

【発明を実施するための最良の形態】

【0014】

以下、本発明の一実施形態による非同期マイクロプロセッサ装置について図面を参照して説明する。図1は、この発明の一実施形態による非同期マイクロプロセッサを適用した制御装置の構成を示す概略ブロック図である。

制御装置1は、ウエイト命令を実行する機能を備え、該ウエイト命令を実行すると、非同期プロセッサ内の処理を停止させる状態であるウエイトステート状態に移行する機能と、ウエイトステート離脱要求信号を制御装置1の外部から受信すると、ウエイトステート状態から離脱し、プログラムカウンタが指示する命令から引き続き実行を行う機能を有する。この制御装置1は、例えば、非同期マイクロプロセッサが適用される。40

【0015】

この制御装置1において、プログラムカウンタ10は、制御部20が次に実行する命令のアドレスが記憶される。

制御部20は、プログラムカウンタ10に記憶されたアドレスに従って、所定のメモリ、例えば、制御装置1の外部に接続されるメモリに記憶されたプログラムを読み出し、その命令を実行する。この制御部20が実行する命令には種々あるが、例えば、ウエイト命50

令（WAIT命令）等がある。このウエイト命令は、実行をすると、ウエイツテート離脱要求信号を受信するまで、制御装置1（非同期マイクロプロセッサ）内の処理を停止する状態に移行する命令である。

【0016】

ここで、従来におけるホールト命令、スリープ命令と本願発明におけるウエイト命令との相違について説明する。ホールト命令は、その命令を実行すると、外部から割り込み要求信号を受信するまで処理を停止し、割り込み要求を受信すると、受信した割り込み要求に応じて、割り込み処理を実行し、その割り込み処理が終了すると、割り込みが発生する前の処理を引き続き行うものである。このホールト命令は、例えば、同期マイクロプロセッサに適用される場合、あらかじめ決められた時間の経過後に再起動する必要がある場合は、例えばクロックの出力に基づいて予め決められた時間が経過するまで停止させることができる。同期マイクロプロセッサが停止中も動作するクロック信号に基づいて、一定時間が経過した時に割込み信号を発生する外部回路からの割込み信号を受けて割込み処理を実行し、割込み処理終了後に、ホールト命令の次の命令からプログラムを再開することが可能である。

10

【0017】

スリープ命令は、その命令を実行すると、外部から割り込み要求信号を受信するまで処理を停止し、割り込み要求を受信すると、受信した割り込み要求に応じて、割り込みが発生した処理を実行し、その割り込みが発生した処理が終了すると、割り込みが発生する前の処理を引き続き行うものである。このスリープ命令は、例えば、同期マイクロプロセッサに適用される場合、クロックの動作を停止させる信号を出力して、クロック信号発生器の電力消費を抑えることができる。外部から割り込み信号が入力されると、割込み処理を実行し、割込み処理終了後に、スリープ命令の次の命令からプログラムを再開することが可能である。

20

【0018】

このように、スリープ命令、ホールト命令は、実行すると停止状態となり、他の割り込み要求が入力された場合に、処理を再開し、その割り込み要求を実行するものであるのに対し、ウエイト命令は、割り込み要求が入力されても、その割り込み要求指示には応答せず、ウエイツテート状態を解除するウエイツテート離脱要求信号が入力されたか否かを監視し、このウエイツテート離脱要求信号が入力されたことが検出された場合に、ウエイト状態から離脱して実行状態に戻すことによって処理を再開する点において相違する。

30

【0019】

図1に戻り、ウエイツテート離脱回路30は、制御部20が命令を実行することにより移行した状態遷移のステートを参照し、ウエイト命令を実行している場合であって、かつ、制御装置1の外部からのウエイツテート離脱要求信号を受信した場合に、制御部20にウエイツテート解除指示信号を出力する。

このウエイツテート離脱要求信号は、ウエイト命令を実行することによってウエイツテート状態に遷移したステートを処理の実行状態に戻す指示をする信号である。

40

【0020】

次に、図1の構成における制御装置1の動作について、図2のフローチャートを用いて説明する。

まず、制御部20は、プログラムカウンタ10を参照し、そのプログラムカウンタが示す命令をメモリからフェッチし（ステップS10）、フェッチした命令をデコードし（ステップS11）、実行する（ステップS12）。ここで、実行した命令がウエイト命令であった場合には、この時点でウエイツテート離脱要求信号がウエイツテート離脱回路30に入力され、ウエイツテート離脱回路30からウエイツテート解除指示信号が入力されるまで、処理を停止する。ウエイツテート離脱要求信号がウエイツテート離脱回路30に入力され、ウエイツテート離脱回路30からウエイツテート解除指示信号が入力されると、制御部20は、ライトバックをし（ステップS13）、プログラムカウ

50

ンタの更新を行う（ステップ S 14）。

【0021】

次に、制御部 20 は、割り込み要求が入力されているか否かを判定する（ステップ S 15）。ここでは、ステップ S 12において実行した命令がスリープ命令またはホールト命令である場合には、割り込み要求が入力されるまで待機し、割り込み要求が入力されると（ステップ S 15 - YES）、割り込み要求を実行する前のアドレス（プログラムカウンタの値）をスタックに書き込んでセーブをした後（ステップ S 16）、割り込みベクターを参照してプログラムカウンタを更新し（ステップ S 17）、ステップ S 10 に移行する。ここでは、更新した後のプログラムカウンタに従って命令がフェッチされる。

一方、ステップ S 15 の割り込み要求の判定において、ステップ S 12 において実行した命令がウエイト命令であった場合、またはスリープ命令、ホールト命令ではない場合であって、割り込み要求があった場合には（ステップ S 15 - YES）、その割り込み要求を実行すべく、ステップ S 16 に移行する。他方、ステップ S 15 の割り込み要求の判定において、ステップ S 12 において実行した命令がウエイト命令であった場合、またはスリープ命令、ホールト命令ではない場合であって、割り込み要求がない場合には（ステップ S 15 - NO）、ステップ S 10 に移行し、次の命令をフェッチする。

【0022】

このように、フェッチした命令を実行する際、ウエイト命令である場合に、ウエイトステート離脱要求信号が入力されるまで処理を停止し、ウエイトステート離脱要求信号が入力された場合にウエイトステート状態から離脱するようにした。これにより、割り込みによって他の処理を行うことなく、ウエイトステート離脱要求信号を受信した場合に、ウエイトステートから離脱して実行状態に戻すことによって処理を引き続行うことが可能となる。

【0023】

なお、以上説明した実施形態において、ウエイトステート離脱回路 30 は、ウエイトステート離脱要求信号の他に、NMI (Non-Maskable Interrupt) 信号を受信した場合に、ウエイトステート離脱要求信号を受信した際と同様の処理を行うようにすることも可能である。

【0024】

次に、第 2 の実施形態について説明する。ここでは、図 1 におけるウエイトステート離脱回路 30 についてさらに詳細に説明する。図 3 は、ウエイトステート離脱回路 30 の構成の一例を示す構成図である。

この図において、ウエイトステート離脱回路 30 は、OR 回路 31 と C エレメント回路 32 とを有する。C エレメント回路 32 の一方の入力端子には、ウエイト命令を実行した際に制御部 20 がウエイトステート状態に遷移したことを示すウエイトステート信号が入力され、他方の端子には、ウエイトステート離脱要求信号が入力される。C エレメント回路 32 の出力端子は、OR 回路 31 の一方の入力端子に接続される。

OR 回路 31 は、一方の入力端子に C エレメント回路 32 の出力が接続され、他方の入力端子にウエイトステート離脱要求信号が入力され、OR の演算結果としてウエイトステート解除指示信号を出力する。この出力は、例えば、制御部 20 に接続され、ウエイトステート解除信号が制御部 20 に入力されたことを契機にウエイトステート状態が解除される。

【0025】

次に、上述の C エレメント回路 32 についてさらに説明する。図 4 は、C エレメント回路 32 の一例を示す構成図である。C エレメント回路 32 の一方の入力端子にはウエイトステート信号が In 1 として入力され、他方の入力端子にウエイトステート離脱要求信号が In 2 として入力され、その演算結果が出力端子から出力される。この C エレメント回路 32 の真理値表を図 5 に示す。この図に示すように、ウエイトステート信号とウエイトステート離脱要求信号がともに ‘0’ の時は出力が ‘0’ すなわち、ウエイトステート状態から離脱した状態となり、ウエイトステート信号とウエイトステート離脱要求信号がと

10

20

30

40

50

もに‘1’の時は出力が‘1’となり、ウエイットステート状態となる。一方、ウエイットステート信号とウエイットステート離脱要求信号とのうちいずれか一方が‘0’の時は、その出力は、以前の値を維持する。すなわち、入力信号の状態が‘0’から‘1’または‘1’から‘0’に変化する前の出力の状態が‘0’であった時は‘0’、「1’であった時は‘1’が出力される。

【0026】

図6は、このCエレメント回路32の他の構成について説明するための図面である。この図に示すように、

第1の回路33は、その入力端子がVCC等の電源に接続され、出力端子が第2の回路34の入力端子に接続されている。そして、第1の回路31のゲート端子には、反転素子を介してウエイットステート信号が入力される。10

第2の回路34は、その入力端子が第1の回路の出力端子に接続され、出力端子が第3の回路35の入力端子に接続されている。そして、第2の回路34のゲート端子には、反転素子を介してウエイットステート離脱要求信号が入力される。

第3の回路35は、その入力端子が第2の回路の出力端子に接続され、出力端子が第4の回路の入力端子に接続されている。そして、第3の回路35のゲート端子には、ウエイットステート離脱要求信号が入力される。

第4の回路36は、その入力端子が第3の回路の出力端子に接続され、出力端子が外部のグラウンド端子に接続される。そして、第4の回路36のゲート端子には、ウエイットステート信号が入力される。20

【0027】

NOT回路37は、入力端子が第2の回路の出力端子と第3の回路の入力端子との間に接続され、出力端子が外部に出力として取り出される。NOT回路38は、入力端子がNOT回路37の出力端子に接続され、出力端子がNOT回路35の入力端子に接続される。20

【0028】

次に、図7を用いてウエイットステート離脱回路30の動作について説明する。

まず、プログラムカウンタによって示されるアドレスの命令がフェッチされて実行される。ここで、ウエイット命令ではない場合、ウエイットステート状態に遷移しないので、ウエイットステート信号は‘0’であり、また、ウエイットステート離脱要求信号が‘0’である場合には(時刻a)、順次命令がフェッチされ、実行される。30

次に、ウエイットステート離脱要求信号が入力されると、‘0’から‘1’に切り替わる(時刻b)。ここでは、ウエイット命令が実行されていなければ、プログラムカウンタが示すアドレスの命令をフェッチして実行する処理を繰り返す。

そして、ウエイット命令が実行されると、ウエイットステート状態に遷移し、ウエイットステート信号が‘1’に切り替わる。ここでは、ウエイットステート離脱要求信号が‘1’であるので、ウエイットステート信号とウエイットステート離脱要求信号との両方が‘1’となるので(時刻c)、ウエイットステート信号が‘1’から‘0’に切り替わった後(時刻d)、ウエイットステート離脱要求信号も‘1’から‘0’に切り替わる(時刻e)。これにより、ウエイットステート状態が解除され、プログラムカウンタが示すアドレスの命令をフェッチして実行する。40

【0029】

そして、フェッチして実行した命令がウエイット命令であった場合には、ウエイットステート信号が‘0’から‘1’に切り替わり、ウエイットステート状態に遷移する(時刻f)。ここでは、割り込み要求が発生したとしても、割り込み処理は行わず、ウエイットステート離脱要求信号が入力されるまで、ウエイットステート状態を維持する。そして、ウエイットステート離脱要求信号が入力され、「0’から‘1’に切り替わると(時刻g)、ウエイットステート状態が解除され、ウエイットステート信号が‘1’から‘0’となる(時刻h)。このウエイットステート信号が‘1’から‘0’となることによって、ウエイットステート離脱要求信号も‘1’から‘0’となる(時刻i)。50

【0030】

このように、この第2の実施形態によれば、ウエイト命令を実行していることを示すウエイットステート信号と、ウエイットステート離脱要求信号とを監視し、ウエイットステート信号を検知している際に、ウエイットステート離脱要求信号を検知すると、Cエレメント回路32からの出力は、ウエイットステート状態の離脱を指示する信号がOR回路31に入力されることで、ウエイットステート信号が解除される。このように、ウエイットステート信号が解除（‘1’から‘0’）された後に、ウエイットステート離脱要求信号を解除（‘1’から‘0’）する4相ハンドシェーティングによって、ウエイットステート状態からの離脱との確認が行われる。

【0031】

10

次に、第3の実施形態について説明する。図8は第3の実施形態における非同期マイクロプロセッサの一例としての制御装置100の構成を示す概略ブロック図である。この図において、

プログラムカウンタ101は、制御部104が次に実行する命令のアドレスを記憶する。

ウエイットステート移行アドレス記憶部102は、ウエイト命令を実行させるためのアドレスが記憶される。ここで記憶されるアドレスは、ウエイトさせる目的に応じて1つでもよいし、複数のアドレスを記憶するようにしてもよい。

一致検出回路103は、プログラムカウンタ101のアドレスとウエイットステート移行アドレス記憶部102に記憶されたアドレスとを比較し、プログラムカウンタ101が示すアドレスと一致するアドレスがウエイットステート移行アドレス記憶部102に記憶されているか否かを判定する。

また、一致検出回路103は、一致するアドレスがあると判定した場合には、ウエイットステート信号をウエイットステート信号発生回路105に出力する。

20

【0032】

ウエイットステート信号発生回路105は、一致検出回路103からウエイットステート信号が入力されると、制御部104にウエイットステート信号を出力し、制御部104をウエイットステート状態に遷移させる。

また、ウエイットステート信号発生回路105は、一致検出回路103からウエイットステート信号が入力されていた場合において、ウエイットステート離脱要求信号が外部から入力されると、制御部104へのウエイットステート信号の出力を停止し、制御部104のウエイットステート状態を解除する。

30

また、ウエイットステート信号発生回路105は、制御部104がウエイト命令を実行している際に、ウエイットステート信号と、ウエイットステート離脱要求信号とを監視し、ウエイットステート信号を検知している際に、ウエイットステート離脱要求信号を検知すると、前記ウエイットステート信号を解除した後、前記ウエイットステート離脱要求信号を解除する4相ハンドシェーティングによって、ウエイットステートからの離脱と確認を行う。

【0033】

40

制御部104は、プログラムカウンタ101に記憶されたアドレスに従って、所定のメモリ、例えば、制御装置100の外部に接続されるメモリに記憶されたプログラムを読み出し、その命令を実行する。

また、制御部104は、ウエイットステート信号発生回路105からウエイットステート信号が入力されると、命令実行中あるいは命令実行後に、プログラムカウンタの更新の前後に関わらず、プロセッサ内の処理を停止させる状態であるウエイットステート状態に移行する。

また、制御部104は、ウエイットステート状態においてウエイットステート離脱要求信号を受けると、ウエイットステート状態から離脱し、プログラムカウンタの更新後に、プログラムカウンタの指し示す命令を継続して実行する。

【0034】

50

この実施形態においても、上述の第1および第2実施形態と同様に、優先する処理を実

行させる要求である割り込み要求を受信した場合であっても、当該割り込み要求を受け付けせず、引き続きウエイットステート状態を継続する。

【0035】

次に、第3の実施形態における制御装置100の動作について説明する。ここでは、図2のフローチャートのステップS10からステップS14までの処理と同様に行われる。そして、プログラムカウンタの更新が行われると、一致検出回路103は、更新された後のプログラムカウンタとウエイットステート移行アドレス記憶部102に記憶されたアドレスとを比較し、ウエイットステート移行アドレス記憶部102に記憶されたアドレスにプログラムカウンタのアドレスに一致するアドレスがあるか否かを判定する。この判定結果において、アドレスが一致しない場合には、ステップS15に移行し、後の処理を上述した実施形態と同様に行う。10

【0036】

一方、一致検出回路103は、プログラムカウンタのアドレスとウエイットステート移行アドレス記憶部102に記憶されたアドレスと一致すると判定すると、ウエイットステート信号を制御部104に出力する。ウエイットステート信号が入力されると、制御部104は、ウエイットステート状態に移行する。このウエイットステート状態に移行すると、割り込み要求が入力されたとしても、その割り込み要求を受付しない。

【0037】

ウエイットステート状態に移行した後、ウエイットステート信号発生回路105は、ウエイットステート離脱要求信号が入力されたか否かを監視して判定する。ウエイットステート離脱要求信号が入力されると、ウエイットステート信号発生回路105は、ウエイットステート信号を解除することによって、制御部104へのウエイットステート信号の出力を停止する。これにより、制御部104は、ウエイットステート状態を離脱し、以降の処理を行う。20

【0038】

なお、以上説明した第3の実施形態においても、ウエイットステート離脱回路30が、ウエイットステート離脱要求信号の他に、NMI信号を受信した場合に、ウエイットステート離脱要求信号を受信した際と同様の処理を行うようにすることも可能である。

【0039】

なお、以上説明した実施形態における制御装置1、制御装置100を非同期マイクロプロセッサとして、電子情報装置に搭載するようにしてもよい。ここでいう電子情報装置とは、情報処理を行うことができる機能を有するコンピュータであり、パーソナルコンピュータや持ち運び可能なコンピュータであってもよい。30

【0040】

以上、この発明の実施形態について図面を参照して詳述してきたが、具体的な構成はこの実施形態に限られるものではなく、この発明の要旨を逸脱しない範囲の設計等も含まれる。

【図面の簡単な説明】

【0041】

【図1】この発明の一実施形態による非同期マイクロプロセッサを適用した制御装置の構成を示す概略ブロック図である。

【図2】制御装置の動作について説明するためのフローチャートである。

【図3】ウエイットステート離脱回路30の構成の一例を示す構成図である。

【図4】Cエレメント回路32の一例を示す構成図である。

【図5】Cエレメント回路32の真理値表を示す図面である。

【図6】Cエレメント回路32の他の構成について説明するための図面である。

【図7】ウエイットステート離脱回路30の動作について説明するための図面である。

【図8】第3の実施形態における非同期マイクロプロセッサの一例としての制御装置100の構成を示す概略ブロック図である。

【符号の説明】

【0042】

10

20

30

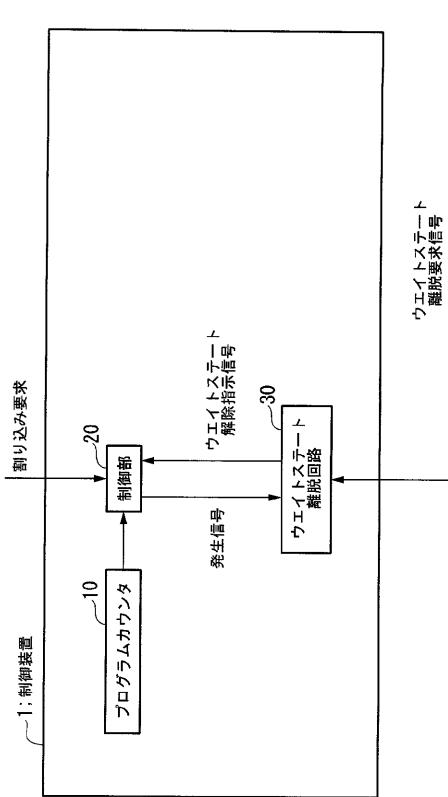
40

50

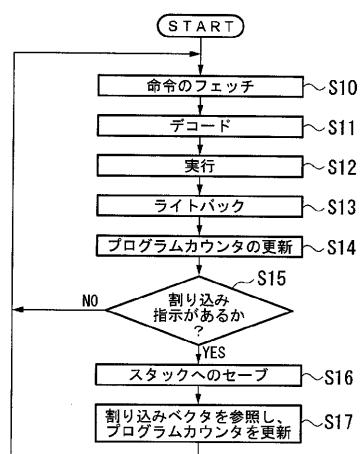
1、100 制御装置
 20、104 制御部
 101 プログラムカウンタ
 103 一致検出回路

10 プログラムカウンタ
 30 ウエイットステート離脱回路
 102 ウエイットステート移行アドレス記憶部
 105 ウエイットステート信号発生回路

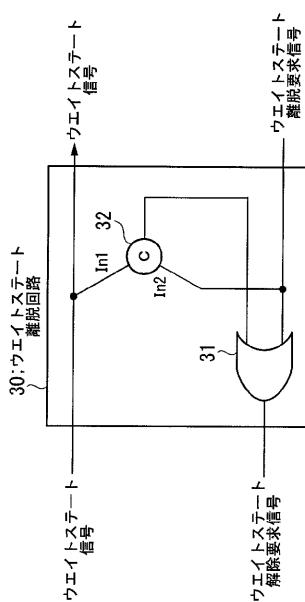
【図1】



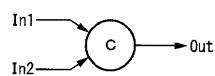
【図2】



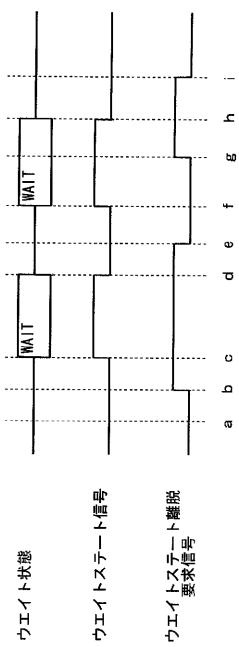
【図3】



【図4】



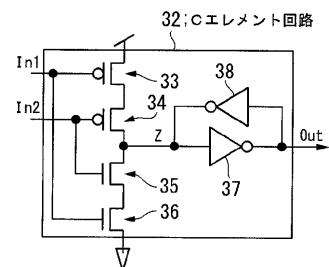
【図7】



【 四 5 】

(b) C エレメント 真理値表		
In1	In2	Out
0	0	0
0	1	-
1	0	-
1	1	1

【 図 6 】



〔 四 8 〕

