

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2008-299740

(P2008-299740A)

(43) 公開日 平成20年12月11日(2008.12.11)

(51) Int.Cl.	F I	テーマコード (参考)
<b>G06F 9/30 (2006.01)</b>	G06F 9/30 330C	5B033
<b>G06F 15/78 (2006.01)</b>	G06F 15/78 510Z	5B062

審査請求 未請求 請求項の数 7 O L (全 11 頁)

(21) 出願番号	特願2007-147124 (P2007-147124)	(71) 出願人	000002369
(22) 出願日	平成19年6月1日(2007.6.1)		セイコーエプソン株式会社
			東京都新宿区西新宿2丁目4番1号
		(74) 代理人	100107836
			弁理士 西 和哉
		(74) 代理人	100064908
			弁理士 志賀 正武
		(74) 代理人	100101465
			弁理士 青山 正和
		(72) 発明者	唐木 信雄
			長野県諏訪市大和3丁目3番5号 セイコーエプソン株式会社内
		Fターム(参考)	5B033 AA03 BC02
			5B062 AA03 AA05 HH07 JJ03

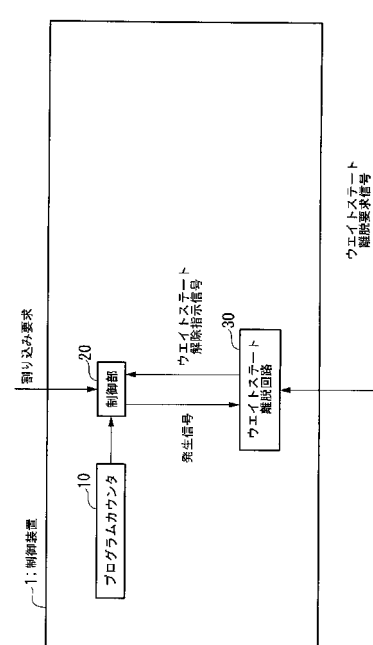
(54) 【発明の名称】 非同期マイクロプロセッサ、電子情報装置

## (57) 【要約】

【課題】オーバーヘッドにかかる時間を短縮して待機状態からの復帰を俊敏に行うことができるとともに、消費電力を低減させることができる非同期マイクロプロセッサを提供する。

【解決手段】ウエイト命令を備え、該ウエイト命令を実行すると、プロセッサ内の処理を停止させる状態であるウエイト状態状態に移行し、ウエイト状態離脱要求信号を受信すると、ウエイト状態状態から離脱し、プログラムカウンタが指し示す命令から引き続き実行を行うことを特徴とする非同期マイクロプロセッサ。

【選択図】図1



**【特許請求の範囲】****【請求項 1】**

ウェイト命令を備え、該ウェイト命令を実行すると、プロセッサ内の処理を停止させる状態であるウェイトステート状態に移行し、ウェイトステート離脱要求信号を受信すると、ウェイトステート状態から離脱し、プログラムカウンタが指し示す命令から引き続き実行を行う

ことを特徴とする非同期マイクロプロセッサ。

**【請求項 2】**

前記ウェイト命令を実行していることを示すウェイトステート信号と、前記ウェイトステート離脱要求信号とを監視し、前記ウェイトステート信号を検知している際に、前記ウェイトステート離脱要求信号を検知すると、前記ウェイトステート信号を解除した後、前記ウェイトステート離脱要求信号を解除する 4 相ハンドシェーキングによって、ウェイトステートからの離脱と確認を行う

ことを特徴とする請求項 1 記載の非同期マイクロプロセッサ。

**【請求項 3】**

プログラムカウンタとウェイトステート移行アドレスレジスタを備え、該プログラムカウンタが指し示すアドレスからフェッチした命令を順次実行する非同期マイクロプロセッサにおいて、

該プログラムカウンタが該ウェイトステート移行アドレスレジスタに記憶されたアドレスと一致するか否かを判定し、一致する場合に、命令実行中あるいは命令実行後に、プログラムカウンタの更新の前後に関わらず、プロセッサ内の処理を停止させる状態であるウェイトステート状態に移行し、ウェイトステート離脱要求信号を受けると、ウェイトステート状態から離脱し、プログラムカウンタの更新後に、プログラムカウンタの指し示す命令を継続して実行する

ことを特徴とする非同期マイクロプロセッサ。

**【請求項 4】**

ウェイト命令を実行し前記ウェイトステート状態に移行していることを示すウェイトステート信号と、前記ウェイトステート離脱要求信号とを監視し、前記ウェイトステート信号を検知している際に、前記ウェイトステート離脱要求信号を検知すると、前記ウェイトステート信号を解除した後、前記ウェイトステート離脱要求信号を解除する 4 相ハンドシェーキングによって、ウェイトステートからの離脱と確認を行う

ことを特徴とする請求項 3 記載の非同期マイクロプロセッサ。

**【請求項 5】**

前記ウェイトステート移行アドレスレジスタには複数のアドレスが記憶される

ことを特徴とする請求項 3 または請求項 4 記載の非同期マイクロプロセッサ。

**【請求項 6】**

優先する処理を実行させる要求である割り込み要求を受信した場合は、当該割り込み要求を受け付けせず、引き続きウェイトステート状態を継続する

ことを特徴とする請求項 1 から請求項 5 のいずれかに記載の非同期マイクロプロセッサ。

**【請求項 7】**

請求項 1 から請求項 5 のうちいずれかに記載の非同期マイクロプロセッサを備えたことを特徴とする電子情報装置。

**【発明の詳細な説明】****【技術分野】****【0001】**

本発明は、非同期マイクロプロセッサに関し、特に、非同期マイクロプロセッサの処理の停止と再開の制御を行う非同期マイクロプロセッサ、電子情報装置に関する。

**【背景技術】****【0002】**

従来から、非同期マイクロプロセッサが利用されている。この非同期マイクロプロセッ

10

20

30

40

50

サの長所のうち、待機時には一切のAC（ダイナミック）電力を消費しない、待機状態からの復帰が俊敏であるという点を活かし、Sleep命令（以下、スリープ命令）やHalt命令（以下、ホールド命令）を実行することで、待機状態に遷移させ、外部からの要求やタイマーによる割り込み信号を受けて割り込み処理プログラムを実行させる方式、すなわち、割り込み駆動方式あるいはイベントドリブン方式のプログラミング・スキームを採用することが考えられる。

このような、スリープ命令やホールド命令を非同期マイクロプロセッサに利用する技術については、例えば、下記の非特許文献1に記載されている。

【非特許文献1】Design Wave Magazine, 2005年7月, CQ出版, pp70 - 84, 唐木信雄

【発明の開示】

【発明が解決しようとする課題】

【0003】

しかしながら、上述の割り込み駆動方式においては、以下に示す問題点がある。

（1）同期マイクロプロセッサに比べれば、非同期マイクロプロセッサは、待機状態からの離脱すなわち割り込み処理は俊敏に処理されるが、コンテキストのセーブとリストアのオーバーヘッド時間が発生するので、このオーバーヘッド時間を短縮することが好ましい。特に、マイクロプロセッサ間のセマフォを用いた通信や、4相ハンドシェーキングによる通信では、このオーバーヘッド時間の影響は大きくなる。

【0004】

（2）割り込み処理に関わる効率や安全性（システムの強靱性）の観点から割り込み内容に優先順位すなわち、割込レベルを付与し、割り込みを受け付けて処理しなければならない高い優先順位を持つ割り込みレベルを優先的に受け付け、実行する方式もあるが、この場合、混乱を避けるために割り込み処理プログラムの中では同じ優先度を持つ割り込みレベルを受け付けないことが多い。そうすると、割り込み処理プログラムの中で低い割り込みレベルが割り当てられたプロセスと他のプロセスとがランデブーを行う必要がある場合は、プログラムによる判定ループの命令を実行し、同期をとる必要があり、この判定ループを繰り返して実行するための電力の消費が発生してしまう。

【0005】

本発明は、このような事情に鑑みてなされたもので、その目的は、オーバーヘッドにかかる時間を短縮して待機状態からの復帰を俊敏に行うことができるとともに、消費電力を低減させることができる非同期マイクロプロセッサ、電子情報装置を提供することにある。

【課題を解決するための手段】

【0006】

上述した課題を解決するために、本発明は、ウェイト命令を備え、該ウェイト命令を実行すると、プロセッサ内の処理を停止させる状態であるウェイトステート状態に移行し、ウェイトステート離脱要求信号を受信すると、ウェイトステート状態から離脱し、プログラムカウンタが指し示す命令から引き続き実行を行うことを特徴とする。

【0007】

また、本発明は、上述の非同期マイクロプロセッサにおいて、前記ウェイト命令を実行していることを示すウェイトステート信号と、前記ウェイトステート離脱要求信号とを監視し、前記ウェイトステート信号を検知している際に、前記ウェイトステート離脱要求信号を検知すると、前記ウェイトステート信号を解除した後、前記ウェイトステート離脱要求信号を解除する4相ハンドシェーキングによって、ウェイトステートからの離脱と確認を行うことを特徴とする。

【0008】

また、本発明は、プログラムカウンタとウェイトステート移行アドレスレジスタを備え、該プログラムカウンタが指し示すアドレスからフェッチした命令を順次実行する非同期マイクロプロセッサにおいて、該プログラムカウンタが該ウェイトステート移行アドレス

10

20

30

40

50

レジスタに記憶されたアドレスと一致するか否かを判定し、一致する場合に、命令実行中あるいは命令実行後に、プログラムカウンタの更新の前後に関わらず、プロセッサ内の処理を停止させる状態であるウェイトステート状態に移行し、ウェイトステート離脱要求信号を受けると、ウェイトステート状態から離脱し、プログラムカウンタの更新後に、プログラムカウンタの指し示す命令を継続して実行することを特徴とする。

【 0 0 0 9 】

また、本発明は、上述の非同期マイクロプロセッサにおいて、ウェイト命令を実行し前記ウェイトステート状態に移行していることを示すウェイトステート信号と、前記ウェイトステート離脱要求信号とを監視し、前記ウェイトステート信号を検知している際に、前記ウェイトステート離脱要求信号を検知すると、前記ウェイトステート信号を解除した後、前記ウェイトステート離脱要求信号を解除する４相ハンドシェーキングによって、ウェイトステートからの離脱と確認を行うことを特徴とする。

10

【 0 0 1 0 】

また、本発明は、上述の非同期マイクロプロセッサにおいて、前記ウェイトステート移行アドレスレジスタには複数のアドレスが記憶されることを特徴とする。

【 0 0 1 1 】

また、本発明は、上述の非同期マイクロプロセッサにおいて、優先する処理を実行させる要求である割り込み要求を受信した場合は、当該割り込み要求を受け付けせず、引き続きウェイトステート状態を継続することを特徴とする。

【 0 0 1 2 】

20

また、本発明は、上述の非同期マイクロプロセッサを備えたことを特徴とする電子情報装置である。

【 0 0 1 3 】

以上説明したように、この発明によれば、ウェイト命令を備え、このウェイト命令を実行した場合に、ウェイト命令の実行状態で停止させ、割り込みによって他の処理を行うことなく、ウェイトステート離脱要求信号を受信した場合に、停止前の処理を引き続き行うことが可能となる。

また、割り込み処理が終了した後に、復帰する番地を記憶する必要がないので、番地を記憶する処理や呼び出す処理にかかるオーバーヘッドを無くし、割り込みベクターを参照する必要もなくなる。

30

また、命令を実行するにあたり、ポーリングのループを行う必要がなくなり、このため、ポーリングのためのＡＣ電力を消費することがなくなり、消費電力を抑えることができ、また、コンテキストのセーブを行うことなく、速やかにウェイトステート状態から離脱することが可能となる。

【発明を実施するための最良の形態】

【 0 0 1 4 】

以下、本発明の一実施形態による非同期マイクロプロセッサ装置について図面を参照して説明する。図１は、この発明の一実施形態による非同期マイクロプロセッサを適用した制御装置の構成を示す概略ブロック図である。

制御装置１は、ウェイト命令を実行する機能を備え、該ウェイト命令を実行すると、非同期プロセッサ内の処理を停止させる状態であるウェイトステート状態に移行する機能と、ウェイトステート離脱要求信号を制御装置１の外部から受信すると、ウェイトステート状態から離脱し、プログラムカウンタが指し示す命令から引き続き実行を行う機能を有する。この制御装置１は、例えば、非同期マイクロプロセッサが適用される。

40

【 0 0 1 5 】

この制御装置１において、プログラムカウンタ１０は、制御部２０が次に実行する命令のアドレスが記憶される。

制御部２０は、プログラムカウンタ１０に記憶されたアドレスに従って、所定のメモリ、例えば、制御装置１の外部に接続されるメモリに記憶されたプログラムを読み出し、その命令を実行する。この制御部２０が実行する命令には種々あるが、例えば、ウェイト命

50

令（WAIT命令）等がある。このウェイト命令は、実行をすると、ウェイトステート離脱要求信号を受信するまで、制御装置 1（非同期マイクロプロセッサ）内の処理を停止する状態に移行する命令である。

【0016】

ここで、従来におけるホールド命令、スリープ命令と本願発明におけるウェイト命令との相違について説明する。ホールド命令は、その命令を実行すると、外部から割り込み要求信号を受信するまで処理を停止し、割り込み要求を受信すると、受信した割り込み要求に応じて、割り込み処理を実行し、その割り込み処理が終了すると、割り込みが発生する前の処理を引き続き行うものである。このホールド命令は、例えば、同期マイクロプロセッサに適用される場合、あらかじめ決められた時間の経過後に再起動する必要がある場合は、例えばクロックの出力に基づいて予め決められた時間が経過するまで停止させることができる。同期マイクロプロセッサが停止中も動作するクロック信号に基づいて、一定時間が経過した時に割り込み信号を発生する外部回路からの割り込み信号を受けて割り込み処理を実行し、割り込み処理終了後に、ホールド命令の次の命令からプログラムを再開することが可能である。

10

【0017】

スリープ命令は、その命令を実行すると、外部から割り込み要求信号を受信するまで処理を停止し、割り込み要求を受信すると、受信した割り込み要求に応じて、割り込みが発生した処理を実行し、その割り込みが発生した処理が終了すると、割り込みが発生する前の処理を引き続き行うものである。このスリープ命令は、例えば、同期マイクロプロセッサに適用される場合、クロックの動作を停止させる信号を出力して、クロック信号発生器の電力消費を抑えることができる。外部から割り込み信号が入力されると、割り込み処理を実行し、割り込み処理終了後に、スリープ命令の次の命令からプログラムを再開することが可能である。

20

【0018】

このように、スリープ命令、ホールド命令は、実行すると停止状態となり、他の割り込み要求が入力された場合に、処理を再開し、その割り込み要求を実行するものであるのに対し、ウェイト命令は、割り込み要求が入力されても、その割り込み要求指示には応答せず、ウェイトステート状態を解除するウェイトステート離脱要求信号が入力されたか否かを監視し、このウェイトステート離脱要求信号が入力されたことが検出された場合に、ウェイト状態から離脱して実行状態に戻すことによって処理を再開する点において相違する。

30

【0019】

図 1 に戻り、ウェイトステート離脱回路 30 は、制御部 20 が命令を実行することにより移行した状態遷移のステートを参照し、ウェイト命令を実行している場合であって、かつ、制御装置 1 の外部からのウェイトステート離脱要求信号を受信した場合に、制御部 20 にウェイトステート解除指示信号を出力する。

このウェイトステート離脱要求信号は、ウェイト命令を実行することによってウェイトステート状態に遷移したステートを処理の実行状態に戻す指示をする信号である。

【0020】

40

次に、図 1 の構成における制御装置 1 の動作について、図 2 のフローチャートを用いて説明する。

まず、制御部 20 は、プログラムカウンタ 10 を参照し、そのプログラムカウンタが示す命令をメモリからフェッチし（ステップ S 10）、フェッチした命令をデコードし（ステップ S 11）、実行する（ステップ S 12）。ここで、実行した命令がウェイト命令であった場合には、この時点でウェイトステート離脱要求信号がウェイトステート離脱回路 30 に入力され、ウェイトステート離脱回路 30 からウェイトステート解除指示信号が入力されるまで、処理を停止する。ウェイトステート離脱要求信号がウェイトステート離脱回路 30 に入力され、ウェイトステート離脱回路 30 からウェイトステート解除指示信号が入力されると、制御部 20 は、ライトバックをし（ステップ S 13）、プログラムカウ

50

ンタの更新を行う（ステップ S 1 4）。

【 0 0 2 1 】

次に、制御部 2 0 は、割り込み要求が入力されているか否かを判定する（ステップ S 1 5）。ここでは、ステップ S 1 2 において実行した命令がスリープ命令またはホールト命令である場合には、割り込み要求が入力されるまで待機し、割り込み要求が入力されると（ステップ S 1 5 - Y E S）、割り込み要求を実行する前のアドレス（プログラムカウンタの値）をスタックに書き込んでセーブをした後（ステップ S 1 6）、割り込みベクターを参照してプログラムカウンタを更新し（ステップ S 1 7）、ステップ S 1 0 に移行する。ここでは、更新した後のプログラムカウンタに従って命令がフェッチされる。

一方、ステップ S 1 5 の割り込み要求の判定において、ステップ S 1 2 において実行した命令がウェイト命令であった場合、またはスリープ命令、ホールト命令ではない場合であって、割り込み要求があった場合には（ステップ S 1 5 - Y E S）、その割り込み要求を実行すべく、ステップ S 1 6 に移行する。他方、ステップ S 1 5 の割り込み要求の判定において、ステップ S 1 2 において実行した命令がウェイト命令であった場合、またはスリープ命令、ホールト命令ではない場合であって、割り込み要求がない場合には（ステップ S 1 5 - N O）、ステップ S 1 0 に移行し、次の命令をフェッチする。

【 0 0 2 2 】

このように、フェッチした命令を実行する際、ウェイト命令である場合に、ウェイトステート離脱要求信号が入力されるまで処理を停止し、ウェイトステート離脱要求信号が入力された場合にウェイトステート状態から離脱するようにした。これにより、割り込みによって他の処理を行うことなく、ウェイトステート離脱要求信号を受信した場合に、ウェイトステートから離脱して実行状態に戻すことによって処理を引き続き行うことが可能となる。

【 0 0 2 3 】

なお、以上説明した実施形態において、ウェイトステート離脱回路 3 0 は、ウェイトステート離脱要求信号の他に、N M I（Non-Maskable Interrupt）信号を受信した場合に、ウェイトステート離脱要求信号を受信した際と同様の処理を行うようにすることも可能である。

【 0 0 2 4 】

次に、第 2 の実施形態について説明する。ここでは、図 1 におけるウェイトステート離脱回路 3 0 についてさらに詳細に説明する。図 3 は、ウェイトステート離脱回路 3 0 の構成の一例を示す構成図である。

この図において、ウェイトステート離脱回路 3 0 は、O R 回路 3 1 と C エlement 回路 3 2 とを有する。C エlement 回路 3 2 の一方の入力端子には、ウェイト命令を実行した際に制御部 2 0 がウェイトステート状態に遷移したことを示すウェイトステート信号が入力され、他方の端子には、ウェイトステート離脱要求信号が入力される。C エlement 回路 3 2 の出力端子は、O R 回路 3 1 の一方の入力端子に接続される。

O R 回路 3 1 は、一方の入力端子に C エlement 回路 3 2 の出力が接続され、他方の入力端子にウェイトステート離脱要求信号が入力され、O R の演算結果としてウェイトステート解除指示信号を出力する。この出力は、例えば、制御部 2 0 に接続され、ウェイトステート解除信号が制御部 2 0 に入力されたことを契機にウェイトステート状態が解除される。

【 0 0 2 5 】

次に、上述の C エlement 回路 3 2 についてさらに説明する。図 4 は、C エlement 回路 3 2 の一例を示す構成図である。C エlement 回路 3 2 の一方の入力端子にはウェイトステート信号が I n 1 として入力され、他方の入力端子にウェイトステート離脱要求信号が I n 2 として入力され、その演算結果が出力端子から出力される。この C エlement 回路 3 2 の真理値表を図 5 に示す。この図に示すように、ウェイトステート信号とウェイトステート離脱要求信号がともに ' 0 ' の時は出力が ' 0 ' すなわち、ウェイトステート状態から離脱した状態となり、ウェイトステート信号とウェイトステート離脱要求信号がと

10

20

30

40

50

もに‘ 1 ’の時は出力が‘ 1 ’となり、ウェイトステート状態となる。一方、ウェイトステート信号とウェイトステート離脱要求信号とのうちいずれか一方が‘ 0 ’の時は、その出力は、以前の値を維持する。すなわち、入力信号の状態が‘ 0 ’から‘ 1 ’または‘ 1 ’から‘ 0 ’に変化する前の出力の状態が‘ 0 ’であった時は‘ 0 ’、‘ 1 ’であった時は‘ 1 ’が出力される。

#### 【 0 0 2 6 】

図 6 は、この C エlement 回路 3 2 の他の構成について説明するための図面である。この図に示すように、

第 1 の回路 3 3 は、その入力端子が V C C 等の電源に接続され、出力端子が第 2 の回路 3 4 の入力端子に接続されている。そして、第 1 の回路 3 1 のゲート端子には、反転素子を介してウェイトステート信号が入力される。

第 2 の回路 3 4 は、その入力端子が第 1 の回路の出力端子に接続され、出力端子が第 3 の回路 3 5 の入力端子に接続されている。そして、第 2 の回路 3 4 のゲート端子には、反転素子を介してウェイトステート離脱要求信号が入力される。

第 3 の回路 3 5 は、その入力端子が第 2 の回路の出力端子に接続され、出力端子が第 4 の回路の入力端子に接続されている。そして、第 3 の回路 3 5 のゲート端子には、ウェイトステート離脱要求信号が入力される。

第 4 の回路 3 6 は、その入力端子が第 3 の回路の出力端子に接続され、出力端子が外部のグランド端子に接続される。そして、第 4 の回路 3 6 のゲート端子には、ウェイトステート信号が入力される。

#### 【 0 0 2 7 】

N O T 回路 3 7 は、入力端子が第 2 の回路の出力端子と第 3 の回路の入力端子との間に接続され、出力端子が外部に出力として取り出される。N O T 回路 3 8 は、入力端子が N O T 回路 3 7 の出力端子に接続され、出力端子が N O T 回路 3 5 の入力端子に接続される。

#### 【 0 0 2 8 】

次に、図 7 を用いてウェイトステート離脱回路 3 0 の動作について説明する。

まず、プログラムカウンタによって示されるアドレスの命令がフェッチされて実行される。ここで、ウェイト命令ではない場合、ウェイトステート状態に遷移しないので、ウェイトステート信号は‘ 0 ’であり、また、ウェイトステート離脱要求信号が‘ 0 ’である場合には（時刻 a ）、順次命令がフェッチされ、実行される。

次に、ウェイトステート離脱要求信号が入力されると、‘ 0 ’から‘ 1 ’に切り替わる（時刻 b ）。ここでは、ウェイト命令が実行されていないければ、プログラムカウンタが示すアドレスの命令をフェッチして実行する処理を繰り返す。

そして、ウェイト命令が実行されると、ウェイトステート状態に遷移し、ウェイトステート信号が‘ 1 ’に切り替わる。ここでは、ウェイトステート離脱要求信号が‘ 1 ’であるので、ウェイトステート信号とウェイトステート離脱要求信号との両方が‘ 1 ’となるので（時刻 c ）、ウェイトステート信号が‘ 1 ’から‘ 0 ’に切り替わった後（時刻 d ）、ウェイトステート離脱要求信号も‘ 1 ’から‘ 0 ’に切り替わる（時刻 e ）。これにより、ウェイトステート状態が解除され、プログラムカウンタが示すアドレスの命令をフェッチして実行する。

#### 【 0 0 2 9 】

そして、フェッチして実行した命令がウェイト命令であった場合には、ウェイトステート信号が‘ 0 ’から‘ 1 ’に切り替わり、ウェイトステート状態に遷移する（時刻 f ）。ここでは、割り込み要求が発生したとしても、割り込み処理は行わず、ウェイトステート離脱要求信号が入力されるまで、ウェイトステート状態を維持する。そして、ウェイトステート離脱要求信号が入力され、‘ 0 ’から‘ 1 ’に切り替わると（時刻 g ）、ウェイトステート状態が解除され、ウェイトステート信号が‘ 1 ’から‘ 0 ’となる（時刻 h ）。このウェイトステート信号が‘ 1 ’から‘ 0 ’となることによって、ウェイトステート離脱要求信号も‘ 1 ’から‘ 0 ’となる（時刻 i ）。

## 【 0 0 3 0 】

このように、この第 2 の実施形態によれば、ウェイト命令を実行していることを示すウェイトステート信号と、ウェイトステート離脱要求信号とを監視し、ウェイトステート信号を検知している際に、ウェイトステート離脱要求信号を検知すると、C エlement 回路 3 2 からの出力は、ウェイトステート状態の離脱を指示する信号が OR 回路 3 1 に入力されることで、ウェイトステート信号が解除される。このように、ウェイトステート信号が解除（‘ 1 ’ から ‘ 0 ’ ）された後に、ウェイトステート離脱要求信号を解除（‘ 1 ’ から ‘ 0 ’ ）する 4 相ハンドシェーキングによって、ウェイトステート状態からの離脱とその確認が行われる。

## 【 0 0 3 1 】

次に、第 3 の実施形態について説明する。図 8 は第 3 の実施形態における非同期マイクロプロセッサの一例としての制御装置 1 0 0 の構成を示す概略ブロック図である。この図において、

プログラムカウンタ 1 0 1 は、制御部 1 0 4 が次に実行する命令のアドレスを記憶する。

ウェイトステート移行アドレス記憶部 1 0 2 は、ウェイト命令を実行させるためのアドレスが記憶される。ここで記憶されるアドレスは、ウェイトさせる目的に応じて 1 つでもよいし、複数のアドレスを記憶するようにしてもよい。

一致検出回路 1 0 3 は、プログラムカウンタ 1 0 1 のアドレスとウェイトステート移行アドレス記憶部 1 0 2 に記憶されたアドレスとを比較し、プログラムカウンタ 1 0 1 が示すアドレスと一致するアドレスがウェイトステート移行アドレス記憶部 1 0 2 に記憶されているか否かを判定する。

また、一致検出回路 1 0 3 は、一致するアドレスがあると判定した場合には、ウェイトステート信号をウェイトステート信号発生回路 1 0 5 に出力する。

## 【 0 0 3 2 】

ウェイトステート信号発生回路 1 0 5 は、一致検出回路 1 0 3 からウェイトステート信号が入力されると、制御部 1 0 4 にウェイトステート信号を出力し、制御部 1 0 4 をウェイトステート状態に遷移させる。

また、ウェイトステート信号発生回路 1 0 5 は、一致検出回路 1 0 3 からウェイトステート信号が入力されていた場合において、ウェイトステート離脱要求信号が外部から入力されると、制御部 1 0 4 へのウェイトステート信号の出力を停止し、制御部 1 0 4 のウェイトステート状態を解除する。

また、ウェイトステート信号発生回路 1 0 5 は、制御部 1 0 4 がウェイト命令を実行している際に、ウェイトステート信号と、ウェイトステート離脱要求信号とを監視し、ウェイトステート信号を検知している際に、ウェイトステート離脱要求信号を検知すると、前記ウェイトステート信号を解除した後、前記ウェイトステート離脱要求信号を解除する 4 相ハンドシェーキングによって、ウェイトステートからの離脱と確認を行う。

## 【 0 0 3 3 】

制御部 1 0 4 は、プログラムカウンタ 1 0 1 に記憶されたアドレスに従って、所定のメモリ、例えば、制御装置 1 0 0 の外部に接続されるメモリに記憶されたプログラムを読み出し、その命令を実行する。

また、制御部 1 0 4 は、ウェイトステート信号発生回路 1 0 5 からウェイトステート信号が入力されると、命令実行中あるいは命令実行後に、プログラムカウンタの更新の前後に関わらず、プロセッサ内の処理を停止させる状態であるウェイトステート状態に移行する。

また、制御部 1 0 4 は、ウェイトステート状態においてウェイトステート離脱要求信号を受けると、ウェイトステート状態から離脱し、プログラムカウンタの更新後に、プログラムカウンタの指し示す命令を継続して実行する。

## 【 0 0 3 4 】

この実施形態においても、上述の第 1 および第 2 実施形態と同様に、優先する処理を実

10

20

30

40

50



行させる要求である割り込み要求を受信した場合であっても、当該割り込み要求を受け付けせず、引き続きウェイトステート状態を継続する。

【 0 0 3 5 】

次に、第 3 の実施形態における制御装置 1 0 0 の動作について説明する。ここでは、図 2 のフローチャートのステップ S 1 0 からステップ S 1 4 までの処理と同様に行われる。そして、プログラムカウンタの更新が行われると、一致検出回路 1 0 3 は、更新された後のプログラムカウンタとウェイトステート移行アドレス記憶部 1 0 2 に記憶されたアドレスとを比較し、ウェイトステート移行アドレス記憶部 1 0 2 に記憶されたアドレスにプログラムカウンタのアドレスに一致するアドレスがあるか否かを判定する。この判定結果において、アドレスが一致しない場合には、ステップ S 1 5 に移行し、後の処理を上述した実施形態と同様に行う。

10

【 0 0 3 6 】

一方、一致検出回路 1 0 3 は、プログラムカウンタのアドレスとウェイトステート移行アドレス記憶部 1 0 2 に記憶されたアドレスと一致すると判定すると、ウェイトステート信号を制御部 1 0 4 に出力する。ウェイトステート信号が入力されると、制御部 1 0 4 は、ウェイトステート状態に移行する。このウェイトステート状態に移行すると、割り込み要求が入力されたとしても、その割り込み要求を受付しない。

【 0 0 3 7 】

ウェイトステート状態に移行した後、ウェイトステート信号発生回路 1 0 5 は、ウェイトステート離脱要求信号が入力されたか否かを監視して判定する。ウェイトステート離脱要求信号が入力されると、ウェイトステート信号発生回路 1 0 5 は、ウェイトステート信号を解除することによって、制御部 1 0 4 へのウェイトステート信号の出力を停止する。これにより、制御部 1 0 4 は、ウェイトステート状態を離脱し、以降の処理を行う。

20

【 0 0 3 8 】

なお、以上説明した第 3 の実施形態においても、ウェイトステート離脱回路 3 0 が、ウェイトステート離脱要求信号の他に、NMI 信号を受信した場合に、ウェイトステート離脱要求信号を受信した際と同様の処理を行うようにすることも可能である。

【 0 0 3 9 】

なお、以上説明した実施形態における制御装置 1、制御装置 1 0 0 を非同期マイクロプロセッサとして、電子情報装置に搭載するようにしてもよい。ここでいう電子情報装置とは、情報処理を行うことができる機能を有するコンピュータであり、パーソナルコンピュータや持ち運び可能なコンピュータであってもよい。

30

【 0 0 4 0 】

以上、この発明の実施形態について図面を参照して詳述してきたが、具体的な構成はこの実施形態に限られるものではなく、この発明の要旨を逸脱しない範囲の設計等も含まれる。

【図面の簡単な説明】

【 0 0 4 1 】

【図 1】この発明の一実施形態による非同期マイクロプロセッサを適用した制御装置の構成を示す概略ブロック図である。

40

【図 2】制御装置の動作について説明するためのフローチャートである。

【図 3】ウェイトステート離脱回路 3 0 の構成の一例を示す構成図である。

【図 4】C エlement 回路 3 2 の一例を示す構成図である。

【図 5】C エlement 回路 3 2 の真理値表を示す図面である。

【図 6】C エlement 回路 3 2 の他の構成について説明するための図面である。

【図 7】ウェイトステート離脱回路 3 0 の動作について説明するための図面である。

【図 8】第 3 の実施形態における非同期マイクロプロセッサの一例としての制御装置 1 0 0 の構成を示す概略ブロック図である。

【符号の説明】

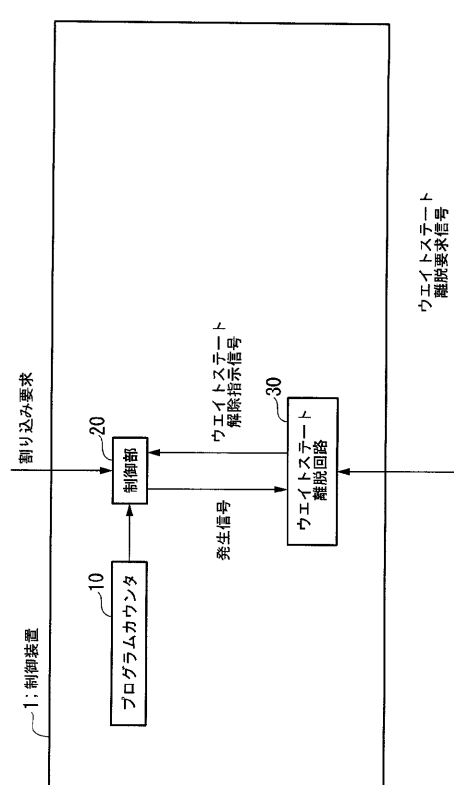
【 0 0 4 2 】

50

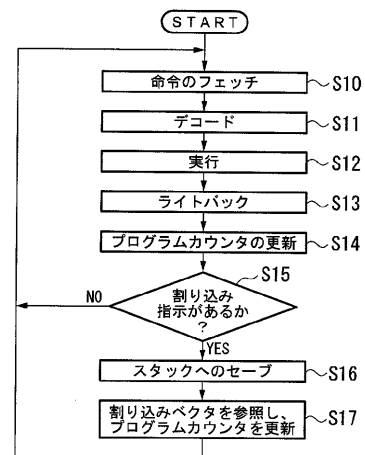
1、100 制御装置  
 20、104 制御部  
 101 プログラムカウンタ  
 103 一致検出回路

10 プログラムカウンタ  
 30 ウェイトステート離脱回路  
 102 ウェイトステート移行アドレス記憶部  
 105 ウェイトステート信号発生回路

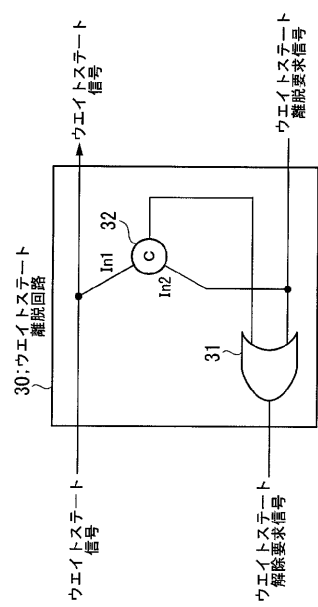
【図1】



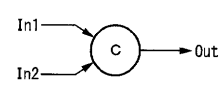
【図2】



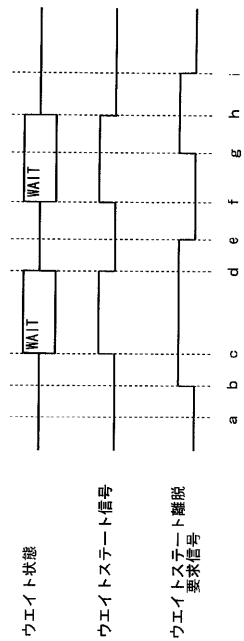
【図 3】



【図 4】



【図 7】

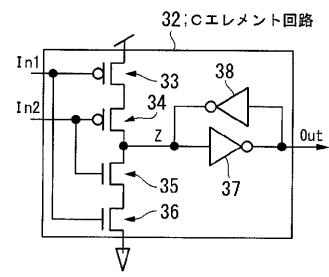


【図 5】

(b) C Element Truth Table

In1	In2	Out
0	0	0
0	1	-
1	0	-
1	1	1

【図 6】



【図 8】

